

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2014-0129545 (43) 공개일자 2014년11월07일
(51) 국제특허분류(Int. Cl.) H03K 3/356 (2006.01)	(71) 출원인 인하대학교 산학협력단 인천광역시 남구 인화로 100, 인하대학교 (용현동)	(72) 발명자 강진구 서울 서초구 잠원로 150, 2동 505호 (잠원동, 잠원한신아파트) 안택준 인천 남구 소성로 72, 11동 301호 (학익동, 장미아파트)
(21) 출원번호 10-2013-0047960 (22) 출원일자 2013년04월30일 심사청구일자 2013년04월30일	(74) 대리인 양성보	

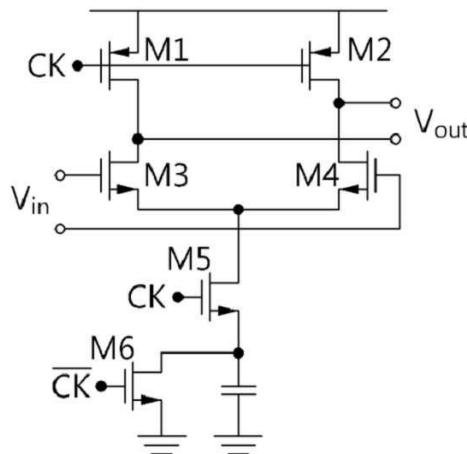
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 전하 구동 방식 래치와 동적 전류모드 래치를 결합한 저전력 플립플롭 회로

(57) 요약

고속 데이터 처리를 위한 저전력 플립플롭 회로 및 동작 방법이 제시된다. 입력전압 차에 의해 캐패시턴스(Capacitance)를 충전시켜 래치 동작을 수행하고, 저전력을 소모하는 전하 구동 방식 래치를 이용하는 마스터 및 마스터와 연결되고, 입력전압으로 NRZ 패턴이 인가될 경우, 추가적인 회로 없이 동일한 NRZ 패턴이 출력되는 동적 전류모드 래치를 이용하는 슬레이브를 포함하는 저전력 플립플롭 회로에 관한 것이다. 또한, 제안하는 플립플롭은 클럭의 반 주기 동안에만 전류가 흐름으로써 전력 소모를 감소시킬 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

입력전압 차에 의해 캐패시턴스(Capacitance)를 충전시켜 래치 동작을 수행하고, 저전력을 소모하는 전하 구동 방식 래치를 이용하는 마스터; 및

상기 마스터와 연결되고, 입력전압으로 NRZ 패턴이 인가될 경우, 추가적인 회로 없이 동일한 NRZ 패턴이 출력되는 동적 전류모드 래치를 이용하는 슬레이브

를 포함하는 저전력 플립플롭 회로.

청구항 2

제1항에 있어서,

상기 슬레이브는 클럭이 하이(Hight)일 경우, 모스 스위치는 온(on)되어 전류가 흐르고, 입력전압에 따라 트랜스패런트(Transparent) 동작을 수행하고,

상기 클럭이 로우(Low)일 경우, 모스 스위치는 오프(off)되어 전류가 흐르지 않는

저전력 플립플롭 회로.

청구항 3

제1항에 있어서,

상기 플립플롭은 클럭의 반 주기 동안에만 전류가 흐름으로써 전력 소모를 감소시킬 수 있는

저전력 플립플롭 회로.

청구항 4

저전력을 소모하는 전하 구동 방식 마스터를 통해 입력전압의 차를 이용하여 캐패시턴스(Capacitance)를 충전시켜 래치 동작을 수행하는 단계;

상기 마스터의 출력전압을 동적 전류모드 래치를 이용하는 슬레이브의 입력전압으로 전달하는 단계; 및

상기 슬레이브는 상기 입력전압을 받아 추가적인 회로 없이 입력전압의 패턴과 동일한 패턴의 출력전압을 출력하는 단계

를 포함하는 저전력 플립플롭 동작 방법.

청구항 5

제4항에 있어서,

상기 슬레이브는 상기 입력전압을 받아 추가적인 회로 없이 입력전압의 패턴과 동일한 패턴의 출력전압을 출력하는 단계는 상기 입력전압으로 NRZ 패턴이 인가될 경우, 동일한 NRZ 패턴이 출력되고,

상기 플립플롭은 클럭의 반 주기 동안에만 전류가 흐름으로써 전력 소모를 감소시킬 수 있는

저전력 플립플롭 동작 방법.

명세서

기술 분야

본 발명은 고속 데이터 처리를 위한 저전력 플립플롭 회로 구현에 관한 것이다. 더욱 상세하게는 저전력을 소모하는 전하 구동 방식 래치를 이용하는 마스터 및 동적 전류모드 래치를 이용하는 슬레이브를 포함하고, 추가

[0001]

적인 회로 없이 입력전압의 패턴과 동일한 패턴의 출력전압을 출력하고, 전력 소모를 감소시킬 수 있는 고속 데이터 처리를 위한 저전력 플립플롭 회로에 관한 것이다.

배경 기술

- [0002] 반도체 장치는 데이터가 저장되는 메모리 셀 어레이(cell array)와 메모리 셀 어레이에 데이터를 저장하거나 저장된 데이터를 독출하기 위한 다수의 회로들을 포함한다. 다수의 회로들 중, 페이지 버퍼는 제어회로로부터 출력되는 페이지 버퍼 신호들에 응답하여 메모리 셀 어레이에 연결된 비트라인들의 전압을 제어한다.
- [0003] 한국공개특허 2012-0136533호는 이러한 다수의 메모리 셀들이 포함된 셀 스트링들, 페이지 버퍼 제어신호들에 따라, 상기 셀 스트링들과 연결된 비트라인과 데이터가 저장되는 래치를 연결하거나, 상기 비트라인을 프리 차지(free charge)하기 위한 회로들이 포함된 페이지 버퍼 등을 포함하는 반도체 장치에 관한 기술을 기재하고 있다.
- [0004] 이러한 반도체 내에서 많이 사용되는 래치 회로는 일반적으로 신호를 포착하여 그것을 보유하는 기능을 가진 회로로 플립플롭(flip-flop) 회로에서 이용하는 것으로서, 많은 분야에 적용 및 응용 가능하다. 예를 들어, 이를 차량에 적용할 경우 상기 래치 회로는 전원이 인가된 상태에서 현 상태를 유지하는 특성을 가지고 있다. 그러나, 종래 기술의 래치 회로는 정상적인 상태에서는 전류소모가 많고 인가되는 전원이 차단되면 현 상태를 유지할 수 없는 문제점이 있었다. 또한, 래치 회로는 동작되는 전원이 재 입력 되더라도 이전의 상태를 무시하고 현 동작상태를 기억하지 못하여 디폴트 상태가 되는 문제점이 있었다.
- [0005] 종래 기술에 따르면 마스터-슬레이브(Master-Slave) 플립플롭을 구성하기 위해 전류 모드(Current Mode Logic, CML) 래치의 회로가 일반적으로 많이 사용되어왔다. 이러한 전류 모드(Current Mode Logic, CML) 래치는 클럭의 신호에 따라 전류가 흐르는 방향을 달리하여 래치 기능을 수행하게 된다. 전류 모드(Current Mode Logic, CML) 래치의 경우 CMOS 스태틱(static) 구조에 비해 레일-투-레일(Rail-to-rail)의 신호를 사용하지 않아도 된다. 예를 들어, 신호 체인 관점에서 연산 증폭기가 ADC를 구동할 때, 레일-투-레일 스윙을 하는 연산 증폭기의 출력 한계 값을 볼 수 있다. 증폭기의 전형적인 폐쇄형 루프 대역폭은 $2.3\text{V}/\mu\text{s}$ 의 보통 슬루율(slew rate)에서 약 3MHz이다. 증폭기의 출력 전압 스윙은 140mV~4.66V이며, 이 5V 전압 공급 시스템에서 신호와 레일 사이의 헤드룸(headroom)은 140mV이다. 이러한 증폭기에서 VOL의 최소값은 +15mV이고, VOH의 최대값은 VDD-20mV일 수 있다. 단일 전압 공급 CMOS 증폭기는 2/3/4kHz 이상에서 왜곡 현상을 보이는 비선형성 출력 단계 효과를 나타낼 수 있다. 각 레일로부터의 증폭기 출력 신호를 272mV로 줄이면, 데이터는 ADC 왜곡만을 가지는 완벽한 모습을 가질 수 있다.
- [0006] 또한, 모드(Current Mode Logic, CML) 래치의 경우 CMOS 스태틱(static) 구조에 비해 고속의 데이터를 처리할 수 있다는 장점이 있다. 하지만 래치가 동작하는 내내 전류가 지속해서 흐르기 때문에 높은 소비 전력이 단점으로 꼽힌다.
- [0007] 종래 기술에 따른 또 다른 예로 차지 스티어링(Charge steering) 래치의 회로 또한, 일반적으로 많이 사용된다. 이러한 차지 스티어링(Charge steering) 래치는 클럭이 로우(Low)일 때 입력전압 상단의 PMOS 스위치는 온(on)되지만 입력전압 하단의 NMOS 스위치는 오프(off)되면서 출력전압의 양 단 모두가 VDD만큼 충전이 되었다가(Reset) 클럭이 하이(High)로 되면서 입력전압의 전압 차에 의해 캐패시턴스(Capacitance)를 충전시켜 래치 동작을 수행(Evaluation)하게 된다. 이러한 차지 스티어링(Charge steering) 래치 회로는 래치 동작을 하는데 있어 저전력을 소모한다는 장점이 있다. 또한, NRZ(non-return to zero) 패턴을 인가하였을 경우 RZ(return to zero) 패턴의 출력이 나올 수 있다. 이로 인해 래치 회로를 나란히 캐스캐이드(Cascade) 연결을 하여 플립플롭(Flipflop) 동작을 수행할 수 없고 NRZ(non-return to zero) 패턴을 만들어 내기 위한 추가적인 회로가 필요하다는 단점이 있다.
- [0008] 이러한 종래 기술의 차지 스티어링(Charge steering)을 이용한 플립플롭(Flipflop) 회로는 플립플롭(Flipflop) 동작을 수행할 수 있다. 하지만, 차지 스티어링(Charge steering) 래치의 회로와 마찬가지로 NRZ(non-return to zero) 패턴을 인가하였을 경우 RZ(return to zero) 패턴의 출력이 나오며 역시 NRZ(non-return to zero) 패턴을 만들어 내기 위한 추가적인 회로가 필요하다는 단점이 존재한다.

발명의 내용

해결하려는 과제

- [0009] 본 발명이 이루고자 하는 기술적 과제는 고속 데이터 처리를 위한 저전력 플립플롭 회로를 구현하는데 있다. 또한, 전력 소모를 감소시키고, 종래 기술의 차지 스티어링 래치(charge steering latch)와 달리 NRZ 패턴을 출력하기 위한 추가적인 회로 없이 NRZ(non-return to zero)패턴을 인가하였을 경우 동일한 NRZ패턴을 출력하기 위한 것이다.

과제의 해결 수단

- [0010] 일 측면에 있어서, 본 발명에서 제안하는 전하 구동 방식 래치와 동적 전류모드 래치를 결합한 저전력 플립플롭 회로는 입력전압 차에 의해 캐패시턴스(Capacitance)를 충전시켜 래치 동작을 수행하고, 저전력을 소모하는 전하 구동 방식 래치를 이용하는 마스터 및 마스터와 연결되고, 입력전압으로 NRZ 패턴이 인가될 경우, 추가적인 회로 없이 동일한 NRZ 패턴이 출력되는 동적 전류모드 래치를 이용하는 슬레이브를 포함한다.
- [0011] 전하 구동 방식 래치와 동적 전류모드 래치를 결합한 저전력 플립플롭 회로의 슬레이브는 클럭이 하이(Hight)일 경우, 모스 스위치는 온(on)되어 전류가 흐르고, 입력전압에 따라 트랜스패런트(Transparent) 동작을 수행한다. 또한, 클럭이 로우(Low)일 경우, 모스 스위치는 오프(off)되어 전류가 흐르지 않는다.
- [0012] 전하 구동 방식 래치와 동적 전류모드 래치를 결합한 저전력 플립플롭 회로는 클럭의 반 주기 동안에만 전류가 흐름으로써 전력 소모를 감소시킬 수 있다.
- [0013] 일 측면에 있어서, 본 발명에서 제안하는 전하 구동 방식 래치와 동적 전류모드 래치를 결합한 저전력 플립플롭 회로 동작 방법은 저전력을 소모하는 전하 구동 방식 마스터를 통해 입력전압의 차를 이용하여 캐패시턴스(Capacitance)를 충전시켜 래치 동작을 수행하는 단계와, 마스터의 출력전압을 동적 전류모드 래치를 이용하는 슬레이브의 입력전압으로 전달하는 단계 및 슬레이브는 입력전압을 받아 추가적인 회로 없이 입력전압의 패턴과 동일한 패턴의 출력전압을 출력하는 단계를 포함한다.
- [0014] 전하 구동 방식 래치와 동적 전류모드 래치를 결합한 저전력 플립플롭 회로 동작 방법에 따른 슬레이브는 입력 전압을 받아 추가적인 회로 없이 입력전압의 패턴과 동일한 패턴의 출력전압을 출력하는 단계에서 입력전압으로 NRZ 패턴이 인가될 경우, 동일한 NRZ 패턴이 출력된다. 또한, 플립플롭은 클럭의 반 주기 동안에만 전류가 흐름으로써 전력 소모를 감소시킬 수 있다.

발명의 효과

- [0015] 본 발명의 실시예들에 따르면 고속 데이터 처리를 위한 저전력 플립플롭 회로는 저전력을 소모하는 전하 구동 방식 래치를 이용하는 마스터와 동적 전류모드 래치를 이용하는 슬레이브를 통해 추가적인 회로 없이 입력전압의 패턴과 동일한 패턴의 출력전압을 출력할 수 있고, 클럭의 반 주기 동안에만 전류가 흐름으로써 전력 소모를 감소시킬 수 있다.

도면의 간단한 설명

- [0016] 도 1은 종래 기술에 따른 차지 스티어링(charge steering) 래치 회로를 나타내는 도면이다.
- 도 2는 종래 기술에 따른 차지 스티어링(charge steering) 플립플롭 회로를 나타내는 도면이다.
- 도 3은 전하 구동 방식 래치와 동적 전류모드 래치를 결합한 저전력 플립플롭 회로를 나타내는 도면이다.
- 도 4는 전하 구동 방식 래치와 동적 전류모드 래치를 결합한 저전력 플립플롭 회로의 동작을 설명하기 위한 순서도이다.
- 도 5는 본 발명의 일 실시예에 따른 저전력 플립플롭 회로의 시뮬레이션 결과를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0018] 도 1은 종래 기술에 따른 차지 스티어링(charge steering) 래치 회로를 나타내는 도면이다.
- [0019] 도 1을 참고하면, 차지 스티어링(Charge steering) 래치 회로는 클럭(CK)이 로우(Low)일 때 M1, M2는 턴-온(turn-on)이 지만 M5가 턴-오프(turn-off) 되면서 출력전압(Vout) 양 단 모두가 공급전압(VDD)만큼 충전이 되었다가 클럭이 하이(High)가 되면서 M3, M4로 입력되는 입력전압(Vin)의 전압 차에 의해 캐패시터(Capacitance)를 충전시켜 래치 동작을 수행하게 된다. 이러한 차지 스티어링(Charge steering) 래치 회로는 래치 동작을 하는데 있어서 저전력을 소모한다는 장점이 있다. 위의 회로는 입력전압으로 NRZ 패턴을 인가하였을 경우 RZ 패턴의 출력전압이 출력된다. 이로 인해 래치 회로를 캐스캐이드(Cascade)로 연결하여 플립플롭(Flipflop) 동작을 수행할 수 없고, NRZ 패턴의 출력전압을 만들어 내기 위한 추가적인 회로가 필요하다는 단점이 존재한다.
- [0020] 디지털 신호 부호의 구성 방법상의 종류로는 RZ(return to zero)와 NRZ(non-return to zero)가 있다. NRZ(non-return to zero)는 디지털 신호 부호의 구성 방법상의 종류의 한 형태이며, 어떠한 신호를 물리 계층에서 전송할 때 쓰이는 방법이다. NRZ에서는, '1'과 '0'의 2진 값 각각을 양(+)의 전압 값과 부(-)의 전압 값으로 변환한다.
- [0021] NRZ는 펄스 간격과 같은 시간 폭의 펄스파형으로 구성되어 있어 마크가 연속될 때는 전압의 변화가 없다. 이에 대하여 연속되는 마크를 마크마다 분리하는 것이 바람직한 경우도 있다. 이와 같이 펄스 간격보다 짧은 시간 폭의 펄스파형으로 구성하는 것이 RZ이다. RZ의 경우(펄스 폭/펄스 간격)를 충격 계수(duty factor)라 부르며 %로 표시한다. 통상 충격 계수 50%의 RZ 신호가 사용된다. 양극형 신호의 경우는 NRZ, RZ로 구성되어 유선 전송로에서는 통상 충격 계수 50%의 RZ 양극형 신호가 사용된다.
- [0022] 정논리 NRZ에서, 낮은 상태는 더 낮은 부(-)전압 또는 낮은 정(+)전압에 의해 표현되고, 높은 상태는 덜 낮은 부전압 또는 더 높은 정전압에 의해 표현된다.
- [0023] 예를 들어, 정논리 NRZ에 대해 아래와 같이 나타낼 수 있다.
- Logic 0 = +0.5 V
Logic 1 = +5.0 V
- Logic 0 = -3.0 V
Logic 1 = 0.0 V
- [0024]
- [0025] 부정논리 NRZ에서, 낮은 상태는 더 높은 정전압 또는 덜 낮은 부전압에 의해 표현되며, 높은 상태는 낮은 양전압 또는 더 낮은 부전압에 의해 표현된다.
- [0026] 예를 들어, 부정논리 NRZ에 대해 아래와 같이 나타낼 수 있다.
- Logic 0 = +5.0 V
Logic 1 = +0.5 V
- Logic 0 = 0.0 V
Logic 1 = -3.0 V
- [0027]
- [0028] 도 2는 종래 기술에 따른 차지 스티어링(charge steering) 플립플롭 회로를 나타내는 도면이다.

- [0029] 종래 기술에 따르면 마스터-슬레이브(Master-Slave) 플립플롭을 구성하기 위해 전류 모드(Current Mode Logic, CML) 래치의 회로가 일반적으로 많이 사용되었다. 이러한 전류 모드(Current Mode Logic, CML) 래치는 클럭의 신호에 따라 전류가 흐르는 방향을 달리하여 래치 기능을 수행하게 된다. 전류 모드(Current Mode Logic, CML) 래치의 경우 CMOS 스태틱(static) 구조에 비해 레일-투-레일(Rail-to-rail)의 신호를 사용하지 않아도 된다. 예를 들어, 신호 체인 관점에서 연산 증폭기가 ADC를 구동할 때, 레일-투-레일 스윙을 하는 연산 증폭기의 출력 한계 값을 볼 수 있다. 증폭기의 전형적인 폐쇄형 루프 대역폭은 $2.3V/\mu s$ 의 보통 슬루율(slew rate)에서 약 3MHz이다. 증폭기의 출력 전압 스윙은 140mV~4.66V이며, 이 5V 전압 공급 시스템에서 신호와 레일 사이의 헤드룸(headroom)은 140mV이다. 이러한 증폭기에서 VOL의 최소값은 +15mV이고, VOH의 최대값은 VDD-20mV일 수 있다. 단일 전압 공급 CMOS 증폭기는 2/3/4kHz 이상에서 왜곡 현상을 보이는 비선형성 출력 단계 효과를 나타낼 수 있다. 각 레일로부터의 증폭기 출력 신호를 272mV로 줄이면, 데이터는 ADC 왜곡만을 가지는 완벽한 모습을 가질 수 있다.
- [0030] 또한, 모드(Current Mode Logic, CML) 래치의 경우 CMOS 스태틱(static) 구조에 비해 고속의 데이터를 처리할 수 있다는 장점이 있다. 하지만 래치가 동작하는 내내 전류가 지속해서 흐르기 때문에 높은 소비 전력이 단점으로 꼽힌다.
- [0031] 종래 기술에 따른 또 다른 예로 차지 스티어링(Charge steering) 래치의 회로 또한, 일반적으로 많이 사용된다. 이러한 차지 스티어링(Charge steering) 래치는 클럭이 로우(Low)일 때 입력전압 상단의 PMOS 스위치는 온(on) 되지만 입력전압 하단의 NMOS 스위치는 오프(off) 되면서 출력전압의 양 단 모두가 VDD만큼 충전이 되었다가 (Reset) 클럭이 하이(High)로 되면서 입력전압의 전압 차에 의해 캐패시턴스(Capacitance)를 충전시켜 래치 동작을 수행(Evaluation)하게 된다. 이러한 차지 스티어링(Charge steering) 래치 회로는 래치 동작을 하는데 있어 저전력을 소모한다는 장점이 있다. 또한, NRZ(non-return to zero) 패턴을 인가하였을 경우 RZ(return to zero) 패턴의 출력이 나올 수 있다. 이로 인해 래치 회로를 나란히 캐스캐이드(Cascade) 연결을 하여 플립플롭(Flipflop) 동작을 수행할 수 없고 NRZ(non-return to zero) 패턴을 만들어 내기 위한 추가적인 회로가 필요하다는 단점이 있다.
- [0032] 이러한 종래 기술의 차지 스티어링(Charge steering)을 이용한 플립플롭(Flipflop) 회로는 플립플롭(Flipflop) 동작을 수행할 수 있다. 도2를 참조하면, 마스터(Master)(210)와 슬레이브(Slave)(220) 구조로 이루어진 플립플롭을 사용하지만, 차지 스티어링(Charge steering) 래치의 회로와 마찬가지로 NRZ(non-return to zero) 패턴을 인가하였을 경우 RZ(return to zero) 패턴의 출력이 나오며 역시 NRZ(non-return to zero) 패턴을 만들어 내기 위한 추가적인 회로가 필요하다는 단점이 존재한다.
- [0033] 도 3은 전하 구동 방식 래치와 동적 전류모드 래치를 결합한 저전력 플립플롭 회로를 나타내는 도면이다.
- [0034] 전하 구동 방식 래치와 동적 전류모드 래치를 결합한 저전력 플립플롭은 마스터(Master)(310)와 슬레이브(Slave)(320)의 구조로 이루어져 있다.
- [0035] 전하 구동 방식 래치를 이용하는 마스터(Master)(310)에서 차지 스티어링(Charge steering) 래치 회로는 래치 동작을 하는데 있어서 저전력을 소모한다는 장점이 있다. 하지만, 이러한 차지 스티어링(Charge steering) 래치 회로는 입력전압으로 NRZ 패턴을 인가하였을 경우 RZ 패턴의 출력전압이 출력된다. 이로 인해 래치 회로를 캐스캐이드(Cascade)로 연결하여 플립플롭(Flipflop) 동작을 수행할 수 없고, NRZ 패턴의 출력전압을 만들어 내기 위한 추가적인 회로가 필요하다는 단점이 존재한다. 따라서, 추가적인 회로 없이 NRZ패턴을 인가하였을 경우 동일한 NRZ패턴이 출력되는 동적 전류모드 래치를 이용하는 슬레이브(Slave)와 연결하여 입력전압의 패턴과 동일한 패턴의 출력전압을 출력할 수 있다.
- [0036] 동적 전류모드 래치를 이용하는 슬레이브(Slave)에서 클럭(CK)이 하이(High)일 경우 PMOS 스위치 M1, M2 및 NMOS 스위치 M5가 턴-온(turn-on) 되면서 전류가 흐르게 되고 입력전압 Vin의 전압에 따라 트랜스퍼런트(Transparent) 동작을 보인다. 클럭이 로우(Low)일 경우에는 PMOS 스위치 M1, M2 및 NMOS 스위치 M5가 턴-오프(turn-off) 되면서 전류가 더 이상 흐르지 못하고 그에 따라 래치 동작을 수행하게 된다. 제안하는 회로의 경우 클럭(CK)의 반 주기 동안에만 전류가 흐르기 때문에 전력 소모를 감소시킬 수 있게 된다. 또한 차지 스티어링(Charge steering)과 달리 NRZ패턴을 인가하였을 경우 동일한 NRZ패턴이 출력되기 때문에 추가적인 회로를 필요로 하지 않는다.
- [0037] 이렇게 전하 구동 방식 래치를 이용하는 마스터(Master)(310)와 동적 전류모드 래치를 이용하는 슬레이브

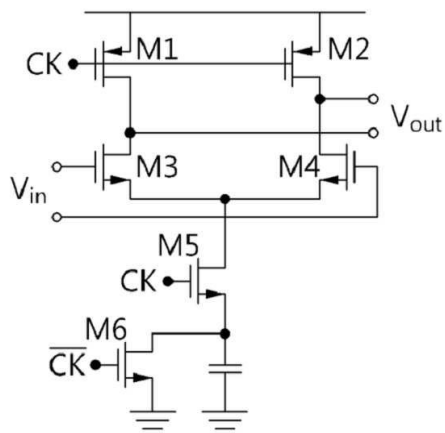
(Slave)(320)를 연결함으로써 저전력으로 동작하는 플립플롭 회로를 구현할 수 있다.

- [0038] 도 4는 전하 구동 방식 래치와 동적 전류모드 래치를 결합한 저전력 플립플롭 회로의 동작을 설명하기 위한 순서도이다.
- [0039] 전하 구동 방식 래치와 동적 전류모드 래치를 결합한 저전력 플립플롭 회로의 동작은 저전력을 소모하는 전하 구동 방식 마스터를 통해 입력 전압의 차를 이용하여 래치 동작을 수행하는 단계(410), 마스터의 출력전압을 동적 전류모드 래치를 이용하는 슬레이브의 입력전압으로 전달하는 단계(420), 슬레이브는 입력전압을 받아 추가적인 회로 없이 입력전압의 패턴과 동일한 패턴의 출력 전압을 출력하는 단계(430)를 포함한다.
- [0040] 전하 구동 방식 래치와 동적 전류모드 래치를 결합한 저전력 플립플롭은 마스터(Master)와 슬레이브(Slave)의 구조로 이루어져 있다.
- [0041] 먼저, 전하 구동 방식 래치와 동적 전류모드 래치를 결합한 저전력 플립플롭 회로의 동작은 저전력을 소모하는 전하 구동 방식 마스터를 통해 입력전압(Vin)의 차를 이용하여 래치 동작을 수행한다(410). 전하 구동 방식 래치를 이용하는 마스터(Master)에서 차지 스티어링(Charge steering) 래치 회로는 래치 동작을 하는데 있어서 저전력을 소모한다는 장점이 있다. 하지만, 이러한 차지 스티어링(Charge steering) 래치 회로는 입력전압으로 NRZ 패턴을 인가하였을 경우 RZ 패턴의 출력전압이 출력된다. 이로 인해 래치 회로를 캐스케이드(Cascade)로 연결하여 플립플롭(Flipflop) 동작을 수행할 수 없고, NRZ 패턴의 출력전압을 만들어 내기 위한 추가적인 회로가 필요하다는 단점이 존재한다. 따라서, 추가적인 회로 없이 NRZ패턴을 인가하였을 경우 동일한 NRZ패턴이 출력되는 동적 전류모드 래치를 이용하는 슬레이브(Slave)와 연결하여 입력전압의 패턴과 동일한 패턴의 출력전압을 출력할 수 있다. 따라서, 마스터의 출력전압을 동적 전류모드 래치를 이용하는 슬레이브의 입력전압으로 전달한다(420).
- [0042] 이후, 슬레이브는 입력전압을 받아 추가적인 회로 없이 입력전압의 패턴과 동일한 패턴의 출력 전압을 출력한다(430). 동적 전류모드 래치를 이용하는 슬레이브(Slave)에서 클럭(CK)이 하이(High)일 경우 PMOS 스위치 M1, M2 및 NMOS 스위치 M5 가 턴-온(turn-on) 되면서 전류가 흐르게 되고 입력전압 Vin의 전압에 따라 트랜스퍼런트(Transparent) 동작을 보인다. 클럭이 로우(Low)일 경우에는 PMOS 스위치 M1, M2 및 NMOS 스위치 M5 가 턴-오프(turn-off) 되면서 전류가 더 이상 흐르지 못하고 그에 따라 래치 동작을 수행하게 된다. 제안하는 회로의 경우 클럭(CK)의 반 주기 동안에만 전류가 흐르기 때문에 전력 소모를 감소시킬 수 있게 된다. 또한 차지 스티어링(Charge steering)과 달리 NRZ패턴을 인가하였을 경우 동일한 NRZ패턴이 출력되기 때문에 추가적인 회로를 필요로 하지 않는다.
- [0043] 이렇게 전하 구동 방식 래치를 이용하는 마스터(Master)와 동적 전류모드 래치를 이용하는 슬레이브(Slave)를 연결함으로써 저전력으로 동작하는 플립플롭 회로를 구현할 수 있다.
- [0044] 도 5는 본 발명의 일 실시예에 따른 저전력 플립플롭 회로의 시뮬레이션 결과를 나타내는 도면이다.
- [0045] 도 5를 참조하면, 각각 입력전압(Vin), 클럭(CK), 출력전압(Vout)의 파형을 나타낸다. 먼저 클럭 CK1 지점(510)에서, 입력전압(Vin)은 하이(Hight)를 나타낸다. 따라서, 클럭 CK1 지점(510)에서의 출력전압(Vout) 또한 하이(Hight)를 나타낸다. 출력전압(Vout)은 다음 클럭의 입력에서 입력전압(Vin)이 바뀔 때까지 이 출력전압 값을 유지한다. 클럭 CK2 지점(520)에서, 입력전압(Vin)은 로우(Low)를 나타낸다. 따라서, 클럭 CK2 지점(520)에서의 출력전압(Vout) 또한 로우(Low)를 나타낸다.
- [0046] 또 다른 클럭 CK3 지점(530)에서, 입력전압(Vin)은 하이(Hight)를 나타낸다. 이때의 출력전압(Vout)은 하이(Hight)를 나타낸다. 다음 클럭 CK4 지점(540)에서, 입력전압(Vin)은 변하지 않고 이전 클럭에서의 하이(Hight) 값을 그대로 유지하고 있다. 따라서 출력전압 값은 다음 클럭의 입력에서 입력전압(Vin)이 바뀔 때까지 이 값을 유지한다. 이후, 클럭 CK5 지점(550)에서, 입력전압(Vin)은 로우(Low)를 나타낸다. 입력전압(Vin)에 변화가 있는 클럭 CK5 지점(550)에서 출력전압(Vout) 또한 로우(Low)를 나타낸다.
- [0047] 이와 같이 외부로부터 주어지는 입력 조건에 따라서 출력을 결정하는 회로를 플립플롭이라고 한다. 한번 외부 입력에 의하여 어느 것인가의 안정 상태로 결정되면, 다음은 새로운 입력 조건이 주어질 때까지 회로는 그 안정 상태 그대로를 유지(기억)할 수 있다.

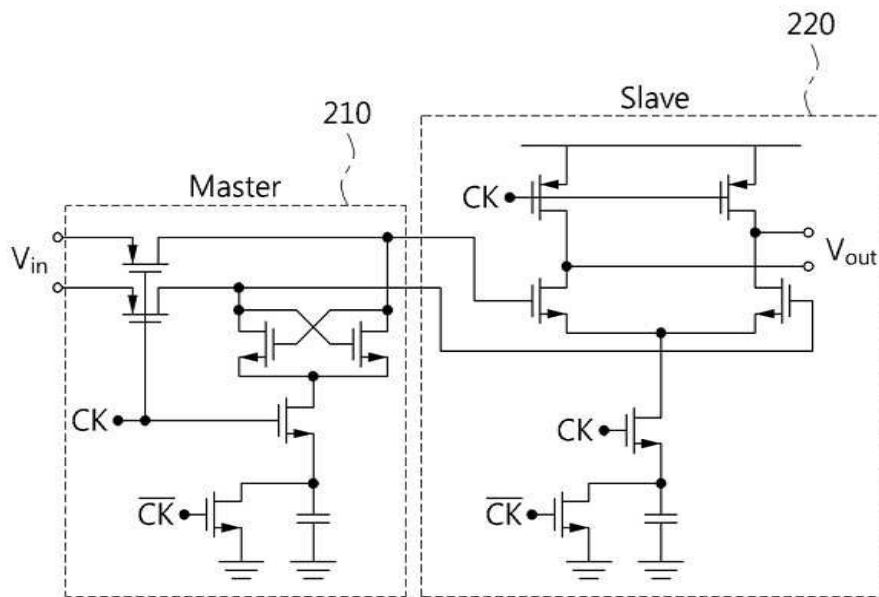
- [0048] 본 발명의 실시예들에 따르면, 제안하는 고속 데이터 처리를 위한 저전력 플립플롭 회로는 저전력을 소모하는 전하 구동 방식 래치를 이용하는 마스터와 동적 전류모드 래치를 이용하는 슬레이브를 통해 추가적인 회로 없이 입력전압의 패턴과 동일한 패턴의 출력전압을 출력할 수 있고, 클럭의 반 주기 동안에만 전류가 흐름으로써 전력 소모를 감소시킬 수 있다.
- [0049] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(configuration)도 가능하다.
- [0050] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.
- [0051] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.
- [0052] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0053] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

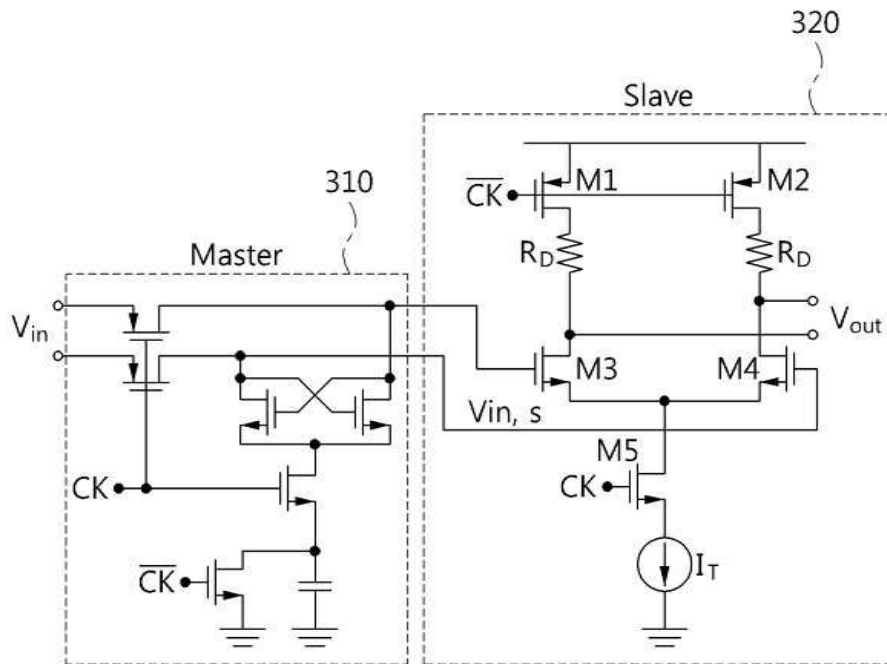
도면1



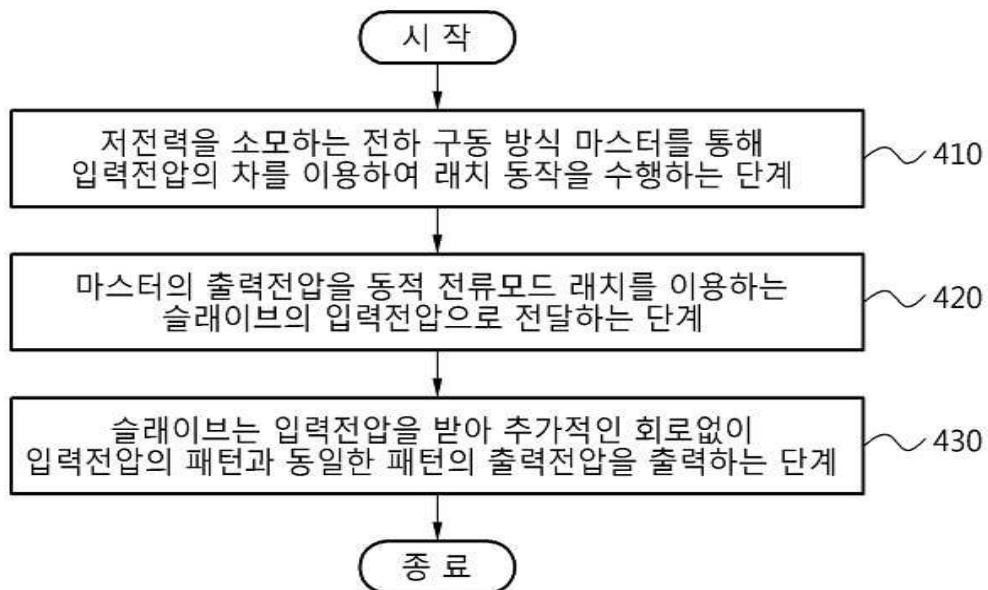
도면2



도면3



도면4



도면5

