

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl. <sup>6</sup> G01R 31/28	(45) 공고일자 2000년 07월 01일 (11) 등록번호 10-0260805 (24) 등록일자 2000년 04월 12일
(21) 출원번호 10-1992-0023168 (22) 출원일자 1992년 12월 03일	(65) 공개번호 특 1993-0014233 (43) 공개일자 1993년 07월 22일
(30) 우선권주장 91203342.0 1991년 12월 18일 EP(EP)	
(73) 특허권자 코닌클리케 필립스 일렉트로닉스 엔.브이. 요트.케.아. 르페즈 네델란드왕국 아인드호펜 그로네보드스베그 1	
(72) 발명자 빌헬무스 파울루스 마리아 덴 데커 네델란드왕국 아인드호펜 그로네보드세베그 1	
(74) 대리인 이병호	

**심사관 : 권호영****(54) 수명 만료 검출기를 포함하는 회로 장치****요약**

회로 장치는 회로 장치의 다른 부분보다 “빠르게 닳도록” 동작하거나 조절되는 내구성 검출기를 포함한다. 내구성 검출기가 작동을 멈출 때 회로 장치가 대체되어진다는 것을 표시하는 표시기가 내구성 검출기에 접속되어 있다.

**대표도****도1****명세서**

[발명의 명칭]

수명 만료 검출기를 포함하는 회로 장치

[도면의 간단한 설명]

제1도는 내구성 검출기(a wear detector)의 일실시예도.

제2도는 비직류 손실 내구성 검출기(a non-d.c dissipating wear detector)의 일실시예도.

제3도는 비직류 손실 내구성 검출기의 다른 실시예도.

제4도는 비직류 손실 내구성 검출기의 또 다른 실시예도.

\* 도면의 주요부분에 대한 부호의 설명

T1, T21~T26, T41, T42 : 트랜지스터 COM : 비교기

M : 멀티바이브레이터 11~15 : 인버터

EXOR1, EXOR2 : 배타적 OR 게이트

[발명의 상세한 설명]

본 발명은 회로 장치의 유효 수명(service life)을 관리하는 회로 상태를 표시하기 위한 회로 및 수단을 포함하는 회로 장치에 관한 것이다.

특히, 독일특허출원(German Offenlegungsschrift) 번호 제 25.34.668호는 총의 색이 온도에 따라 변화하거나 일정한 온도에서 영구 변색(permanent discolouring)을 나타내는 외부층을 가진 수동 또는 능동 소자를 제공하는 것으로 공지된다.

단락-회로화(short-circuiting) 또는 과부하화(overloading)는 그것에 근거하여 검출될 수 있다. 그러나, 상기 소자들은 단락-회로화 또는 과부하화가 발생되었는지를 검사하기 위해 시각적으로 규칙적으로 점검할 필요가 있다.

더욱이, 영국특허출원 제 2,195,185호(=필립스 번호 11.856)로부터, 테스트 수단을 갖춘 집적 회로를 제공하는 것으로 공지되어, 집적 회로의 상태가 테스트될 수 있고, 그 테스트 결과(집적 회로의 상태)는 출력 핀을 통해 제공되어진다. 상기 테스트 수단은 테스트된 집적 회로가 정확하게 작동하는지 여부를

표시한다. 그러나, 값비싸고 복잡한 전자 시스템은 결함이 있을 때 항복(break down)될 것이다. 만약 (값비싼) 백업 시스템이 제공되지 않는다면, 관련 시스템에 의해 제공된 부대 설비, 예를 들어, 전자 지불 시스템(electronic payment systems)이나, 컴퓨터 제어 선박, 비행기, 항공 교통 제어 시스템이나, 화학 장치에서 심각한 문제가 발생할 수 있다. 특히, 수리 시간이 그때 받아들일 수 없을 정도로 길게 되면, 앞서 말한 것은 바람직하지 않다.

본 발명의 목적은 특히 다음 유 효 수명의 만료를 검출할 수 있는 회로 장치를 제공하기 위한 것이다.

이를 달성하기 위해, 본 발명은 유 효 수명을 관리하는 회로 상태를 표시하기 위한 회로 및 수단을 포함하는 회로 장치를 제공하며, 상기 수단은 내구성 표시자(a wear indicator)를 포함하고, 그의 기능 파라미터가 조절되어 상기 회로의 동작 동안 상기 회로 자체가 결함이 있게 되기 전에 상기 수명 표기기가 결함이 있게 되고, 상기 수단은 상기 내구성 표시자의 결함 상태를 신호하기 위한 검출기를 더 포함하는 것을 특징으로 한다. 상기 회로 및 내구성 표시자가 반도체 기판상에 집적된다.

본 발명에 따른 회로 장치의 일실시예는, 상기 회로는 제1 소자를 포함하고, 상기 내구성 표시자는 제2 소자를 포함하고, 상기 제1 및 제2 소자는 기능적으로 유사하며, 상기 제2 소자는 상기 회로 장치의 동작 동안 상기 제1 소자보다 높은 등급으로 부하를 걸 수 있는 것을 특징으로 한다.

본 발명에 따른 회로 장치의 다른 실시예는, 상기 제1 및 제2 소자는 다음의 소자: 트랜지스터, 다이오드, 저항, 퓨즈, 용량성 부하중 적어도 하나를 각각 포함하는 것을 특징으로 한다.

회로 장치에서 하나 또는 몇개의 트랜지스터, 다이오드나 수동 전자 소자의 파라미터중 하나를 선택함으로써 그것과 직렬로 접속된 이들 트랜지스터나 다이오드, 또는 다른 트랜지스터나 다이오드 또는 같은 수의 수동 소자(퓨즈)가 보다 높은 등급으로 부하가 걸리도록 급속한 축퇴(degeneration)가 이루어질 수 있다. 본 발명에 따른 회로 장치의 이러한 일실시예는, 상기 제1 및 제2 소자는 다음의 기능적 파라미터: 트랜지스터의 임계값, 트랜지스터의 채널 길이, 트랜지스터의 기판 표면적, 트랜지스터의 게이트 산화물의 두께, 퓨즈의 항복 전압값, 트랜지스터의 바이어스 전압, 상기 소자들 양단의 공급 전압, 용량성 부하의 값중 적어도 하나를 조절하는 것과 관련하여 서로 벗어나 있는(deviate) 것을 특징으로 한다.

상기 검출기는 경계 스캔 테스트 시스템의 기능 부분을 형성하도록 바람직하게 구성된다.

이하 본 발명은 첨부한 개략적인 도면을 참조로 하여 상세히 기술될 것이다.

제1도는 저항(R)과 직렬인 트랜지스터(T1)를 포함하는 제1수명 만료 검출기(a first end-of-life detector)의 일실시예를 도시한다. T1 및 R의 직렬 접속은 예를 들어, 단지 그의 비교기(COM)만이 도시된, 접적 회로의 공급 전압 V1 및 V2 사이에 배열된다. 비교기(COM)의 제1입력(-)은 트랜지스터(T1) 및 저항(R)간의 노드에 접속된다. 비교기의 제2입력(+)은 기준 전압( $V_{ref}$ )을 수신하고, 트랜지스터(T1)의 베이스는 바이어스 전압( $V_b$ )을 수신한다. 접적 회로가 클럭 펄스에 의해 제어된 논리 회로를 포함하는 경우, 트랜지스터(T1)의 베이스도 또한 상기 클럭 펄스에 의해서 제어될 것이다.

트랜지스터(T1) 및/또는 저항(R)의 파라미터는 이하 설명된 바와 같이 유사한 소자의 파라미터로부터 벗어난다. 트랜지스터(T1)는 보다 크게되도록(예를 들어, 보다 큰 애미터 표면)조절될 것이므로, 저항(R)은 접적 회로에서 유사한 저항보다 더 많은 전력을 소모해야만 한다. 그러므로, 저항(R)은 다른 저항보다 더 빠르게 항복되어 퓨즈로서 작용할 것이다. 그 때, 클럭 펄스 제어 시스템에서, 비교기의 (-)입력은 더 이상 펄스를 수신하지 않을 것이다; 이는 접적 회로의 출력 단자(TE)에 접속된, 비교기(COM)의 출력을 통해 신호되고, 광학적으로, 청각적으로 또는 다른 감지 가능한 방법으로 IC의 사용자에게 신호를 보낼 수 있다.

저항(R)은 또한 접적 회로내의 다른 저항들과 마찬가지로 “정상” 구성을 가지며, 그 경우에 저항(R)이 “정상적으로” 동작하도록 저항성 및 소모성을 가지는 반면, 트랜지스터(T1)는 바이어스 전압( $V_b$ )을 사용하여 동작점(a working point)으로 세트되고, 여기서 상기 저항(R)에 알맞은 최대 소모는 트랜지스터(T1)에서 일어난다. 최대 소모를 야기하는 트랜지스터(T1)의 조절 및 그것의 계속적인 세팅은 트랜지스터(T1)가 접적 회로내의 다른 트랜지스터보다 빠르게 항복한다는 것을 보장한다. 그후, 비교기(COM)의 (-)입력은 전압(V2)을 연속으로 수신한다. 비교기의 (+)입력은  $V_{ref}$ 로써 V2를 사용할 수 있다. 선택적으로, 트랜지스터(T1)는 그의 베이스를 컬렉터에 접속함으로써 다이오드로서 구성될 수도 있다.

제2도는 직렬로 접속된 T21 및 T22로 형성된 제1CMOS 인버터와, 직렬로 접속된 T24 및 T25로 형성된 제2CMOS 인버터를 포함하는 본 발명에 따른 내구성 검출기의 다른 실시예를 나타낸다. 이러한 종류의 인버터는 열전자 열하에 대하여 그에 제공된 (N-)MOS 트랜지스터를 보호하기 위해 트랜지스터(T23)와 같은 안전 트랜지스터(a safety transistor)를 종종 포함한다. 이는 초미세한 접적 회로에 대한 공통 해결책이다. 인버터(T24, T25)내의 트랜지스터(T26)는 도면에서 단지 점선으로 표시된다. 본 발명에 따르면, 트랜지스터(T26)는 생략될 수 있거나 트랜지스터(T23)의 임계 전압보다 더 낮은 임계 전압을 가질 수도 있다. 후자는 예를 들어 이온 주입에 의해 달성된다. 따라서, 시간이 지나면 트랜지스터(T25)는 만약 트랜지스터(T21, T22, T23 및 T24)가 접적 회로에 P-MOS 또는 N-MOS 트랜지스터 같은 다른 트랜지스터와 같이 구성된다면 먼저 항복될 것이다.

트랜지스터(T25)가 항복되자마자, 인버터(T21, T22)의 입력에 제공된 클럭 펄스(clk)는 제2인버터(T24, T25)를 경유하여 단안정 멀티바이브레이터(M)의 입력상에 더 이상 수신되지 않으므로, 멀티바이브레이터(M)의 논리 출력 레벨이 변화된다; 이는 접적 회로의 출력 단자(TE2)에서 측정될 수 있다.

제3도는 4개의 인버터(I1, I2, I3 및 I4), 3개의 캐퍼시턴스 및, 하나의 논리 게이트(EXOR)를 포함하는 본 발명에 따른 내구성 검출기의 다른 실시예를 나타낸다. 한쪽의 인버터(I1, I2)와 다른 쪽의

인버터(I3, I4)는 직렬로 서로 접속되어 있다. 인버터(I1)는 집적 회로에서 다른 용량성 부하보다 실질적으로 더 큰 캐패시턴스(C1)로 부하가 걸리나, 인버터(I1)는 그것의 “표준” 인버터에 해당한다.

보다 큰 용량성 부하 때문에, 인버터(I1)의 트랜지스터는 보다 긴 시간 동안 전류를 충전 및 방전하는 처리를 항상 해야만 하게 되어, 인버터(I1)의 트랜지스터(중 하나)의 열하 및 근본적인 결함이 발생하게 한다. 그후, 클럭 펄스(clk)는 인버터(I2)를 경유하여 배타적 OR 게이트(EXOR1)의 제1입력에 더 이상 인가되지 않을 것이다.

I3의 입력에 수신된 클럭 펄스는 인버터(I3, I4)를 경유하여, 게이트(EXOR1)의 제2입력에 인가될 것이다. 인버터(I1)가 정확하게 동작하는 한은, 게이트(EXOR1)의 제1 및 제2입력 모두가 클럭 펄스(clk)를 수신하기 때문에 출력(01)은 하이(high)상태에 머물 것이다. 캐패시턴스(C2, C3)는 인버터 회로(I1, I2)에 캐패시턴스(C1)와 같은 동일 신호 지연을 보장하기 위해 제공된다. 만약 필요하다면, 인버터 회로(I3, I4)는 2, 4개 또는 6개 등등의 추가 인버터로 확장될 수 있고, 캐패시턴스(C2 및/또는 C3)는 상기 제2의 인버터 회로의 확실한 동작을 보장하기 위해 상기 인버터 회로의 맞은편에 배치된다.

인버터(I1)가 더 이상 정확하게 동작하지 않자마자, 지연된 클럭 펄스는 게이트(EXOR1)의 출력(01)상에서 검출될 수 있다.

제4도에 도시된 바와 같은 내구성 검출기의 또 다른 실시예에서, 본 발명에 따른 집적 회로내의 내구성 검출기는 두 개의 트랜지스터(T41 및 T42), 이 트랜지스터의 게이트에 접속되는 캐패시턴스(C4)를 포함하는 CMOS 인버터를 포함한다. 또한, 그 게이트는 클럭 신호(clk)를 수신한다. 따라서, 클럭 펄스의 연속적인 상승 및 하강 엣지에 응답하여, 부가적 방전 전류 및 충전 전류가 각각 트랜지스터(T42 및 T41)를 통해 각각 캐패시턴스(C4)에서부터 발생되고 캐패시턴스에 발생된다. 더욱이, 부가 캐패시턴스(C4)로 인해, 트랜지스터(T41 및 T42)는 캐패시턴스(C4)의 부스트 기능(boost function)의 결과로서 드레인과 소스간의 정상 공급 전압(VDD-VSS)보다 더 많이 감당할 것이므로, 인버터(T41, T42)는 시간이 지나면 항복될 것이다. 즉, “정상적으로” 조절되고 또는 “정상적으로” 부하가 걸리고 “정상적으로” 동작하는 집적 회로의 다른 인버터 및 다른 회로보다 빠르게 항복될 것이다. 인버터(T41, T42)가 항복되자마자, 클럭 펄스(clk)는 인버터(T41, T42) 및 인버터(I5)를 경유하여 배타적 OR 게이트(EXOR2)에 더 이상 인가되지 않으며, 상기 배타적 OR 게이트는 제2입력상에 지연된 클럭 펄스(clk')를 수신한다. 클럭 펄스(clk')의 지연은 인버터(T41, T42) 및 인버터(I5)로 인해 클럭 펄스(clk)에 의해 초래된 지연과 동일하다. 인버터(T41, T42)가 정확하게 동작하자마자, 게이트(EXOR2)의 출력은 클럭 펄스(clk') 및 인버터(I5)의 출력상의 펄스가 때맞춰 일치하기 때문에 하이 상태로 될 것이다. 인버터(T41, T42)가 항복되자마자, 게이트(EXOR2)의 출력상의 논리 레벨은 변화하고, 플립플롭(FF)이 세트되며, 이는 출력(02)상에서 검출될 수 있다.

플립플롭(FF)은 바람직하게 예를 들어 영국 특허출원 제2,195,185호에 기재된 바와 같은 경계 스캔 테스트 시스템의 일부를 형성한다. 집적 회로에 주어진 코드를 적용한 후, 플립플롭(FF)의 상태는 집적 회로의 대체가 있게 되는 것을 신호하기 시작하도록 판독될 수 있다. 분명하게, 제1도 내지 제3도에 도시된 실시예의 출력은 또한 유사한 스캔 테스트 시스템에 의해 얻어질 수 있다.

## (57) 청구의 범위

### 청구항 1

회로의 유효 수명의 만료를 관리하는 회로 상태를 표시하기 위한 수단 및 제1소자를 갖는 회로를 포함하는 회로 장치에 있어서, 상기 수단은 제2소자를 포함하는 내구성 표시자 회로를 포함하고, 상기 회로의 정상 동작동안 상기 회로의 상기 제1소자가 결함이 있게 되기 전에 상기 내구성 표시자 회로의 상기 제2소자가 결함이 있게 되도록 상기 제2소자의 전기적 기능 파라미터가 조절되고, 상기 제1 및 제2소자는 상기 회로의 정상 동작동안 상기 전기적 기능을 수행하고, 상기 수단은 상기 회로가 그 유효 수명의 만료 근방에 있다는 것을 표시하기 위해 상기 내구성 표시자의 결함 상태를 신호하기 위한 검출기를 포함하고, 상기 회로 및 상기 내구성 표시자는 반도체 기판상에 집적되는 것을 특징으로 하는 회로 장치.

### 청구항 2

제1항에 있어서, 상기 제2소자는 상기 회로 장치의 동작 동안 상기 제1소자보다 높은 등급으로 부하를 걸 수 있는 것을 특징으로 하는 회로 장치.

### 청구항 3

제2항에 있어서, 상기 제1 및 제2소자는 트랜지스터, 다이오드, 저항, 퓨즈, 용량성 부하 중 적어도 하나를 각각 포함하는 것을 특징으로 하는 회로 장치.

### 청구항 4

제2항에 있어서, 상기 제1 및 제2소자는 트랜지스터의 임계값, 트랜지스터의 채널 길이, 트랜지스터의 기판 표면적, 트랜지스터의 게이트 산화물의 두께, 퓨즈의 항복 전압값, 트랜지스터의 바이어스 전압, 상기 소자들 양단의 공급 전압, 용량성 부하의 값중 적어도 하나를 조절하는 것과 관련하여 서로 벗어나 있는(deviate)것을 특징으로 하는 회로 장치.

### 청구항 5

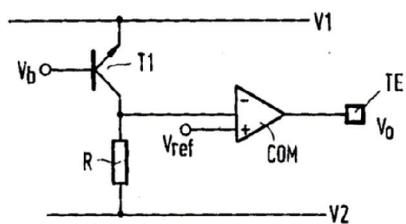
제1항에 있어서, 상기 검출기는 경계 스캔 테스트 시스템의 기능 부분을 형성하도록 구성되는 것을 특징으로 하는 회로 장치.

### 청구항 6

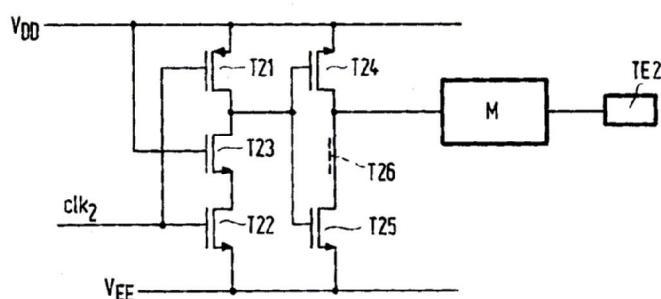
제1항에 있어서, 상기 내구성 표시자는 클럭 펄스에 의해 제어되는 서브 회로를 포함하는 것을 특징으로 하는 회로 장치.

### 도면

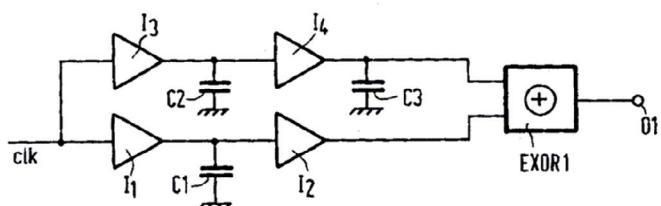
#### 도면1



#### 도면2



#### 도면3



#### 도면4

