

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2014-505909

(P2014-505909A)

(43) 公表日 平成26年3月6日(2014.3.6)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 1/26 (2006.01)	G06F 1/00 331Z	5B011
G06F 13/16 (2006.01)	G06F 13/16 510A	5B060

審査請求 未請求 予備審査請求 未請求 (全 37 頁)

(21) 出願番号 特願2013-514252 (P2013-514252) (86) (22) 出願日 平成23年6月6日 (2011.6.6) (85) 翻訳文提出日 平成25年2月5日 (2013.2.5) (86) 国際出願番号 PCT/US2011/039292 (87) 国際公開番号 W02011/156277 (87) 国際公開日 平成23年12月15日 (2011.12.15) (31) 優先権主張番号 13/153, 224 (32) 優先日 平成23年6月3日 (2011.6.3) (33) 優先権主張国 米国 (US) (31) 優先権主張番号 61/352, 378 (32) 優先日 平成22年6月7日 (2010.6.7) (33) 優先権主張国 米国 (US) (31) 優先権主張番号 61/352, 369 (32) 優先日 平成22年6月7日 (2010.6.7) (33) 優先権主張国 米国 (US)	(71) 出願人 512316943 ジェイソン・エイ・サリヴァン アメリカ合衆国ユタ州84111, ソルト ・レイク・シティ, サウス・メイン・スト リート 299, スイート 1300 (71) 出願人 512316954 チャールズ・アブドーチ アメリカ合衆国ユタ州84111, ソルト ・レイク・シティ, サウス・メイン・スト リート 299, スイート 1300 (74) 代理人 100140109 弁理士 小野 新次郎 (74) 代理人 100075270 弁理士 小林 泰
---	---

最終頁に続く

(54) 【発明の名称】 電源、メモリ、相互接続、及びLEDに関連する小型化技法、システム、及び装置

(57) 【要約】

電源、メモリ、相互接続、及びLEDに関連する小型化技法、システム、及び装置が本明細書に記載される。特に、本発明のいくつかの態様は、電源の小型化技法に関する。他の態様は、コンピュータ装置又はシステムでのメモリ性能を最適化するシステム及び方法に関する。さらに、いくつかの態様は、回路基板上のメモリレイアウトを小型化し最適化するシステム及び方法に関する。他の態様は、BGAを備えるアダプタを使用してピン配列を備える集積回路を回路基板に取り付けるシステム及び方法に関し、集積回路は回路基板に電気的且つ物理的に取り付けられるように構成される。さらに、いくつかの態様は、単一の単色LEDのみをアクティブ化することが意図される電気接地出力又は信号を使用して2色LED又は3色LED等の少なくとも1つのマルチカラーLEDのアクティブ化を達成するシステム及び方法に関する。

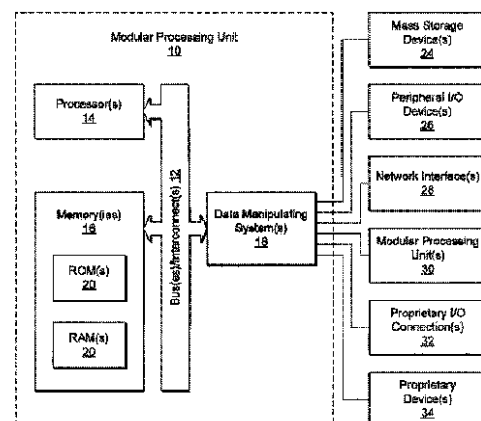


FIG. 1

【特許請求の範囲】

【請求項 1】

小型化された電源であって、
プリント回路基板と、
前記プリント回路基板の第 1 の側に配置される第 1 の能動的構成要素と、
前記プリント回路基板の第 2 の側に配置される第 2 の能動的構成要素であって、前記第 2 の側は前記第 1 の側と異なり、前記第 2 の能動的構成要素は前記第 1 の能動的構成要素に電氣的に接続される、第 2 の能動的構成要素と、
を備える、電源。

【請求項 2】

前記第 1 の能動的構成要素及び前記第 2 の能動的構成要素は、互いの (each other) 真逆 (directly opposite) に配置される、請求項 1 に記載の電源。

【請求項 3】

前記第 1 の能動的構成要素及び前記第 2 の能動的構成要素は、互いの真逆に配置されて、互いに部分的にのみ重なる、請求項 1 に記載の電源。

【請求項 4】

前記第 1 の能動的構成要素及び前記第 2 の能動的構成要素は、バイアを用いて (with a via) 互いに電氣的に接続される、請求項 1 に記載の電源。

【請求項 5】

前記第 1 の能動的構成要素と前記第 2 の能動的構成要素との間のトレース長 (trace length) は、前記プリント回路基板の厚さにほぼ等しい、請求項 1 に記載の電源。

【請求項 6】

前記第 1 の能動的構成要素及び前記第 2 の能動的構成要素は、遮蔽接続 (shielded connection) を通して互いに電氣的に接続される、請求項 1 に記載の電源。

【請求項 7】

前記遮蔽接続は、信号導体 (signal conductor) 及び複数の遮蔽構造を備える、請求項 6 に記載の電源。

【請求項 8】

前記プリント回路基板の前記第 1 及び第 2 の側のそれぞれで約 2.5 cm^2 未満を占める、請求項 1 に記載の電源。

【請求項 9】

最適化されたメモリ性能を有するシステムであって、
上側及び下側を有する回路基板と、
前記回路基板に結合されるメモリコントローラと、
前記回路基板に直接はんだ付けされる (soldered) 複数のメモリ素子であって、前記メモリ素子のそれぞれは、前記メモリコントローラの約 6.4 cm 以内に配置され、前記メモリ素子の第 1 の部分は前記回路基板の前記上側に配置され、前記メモリ素子の第 2 の部分は前記回路基板の前記下側に配置される、複数のメモリ素子と、

システムクロックと、

前記複数のメモリ素子を前記システムクロックに結合する、ほぼ等距離の 2 つ以上のクロック線と、

前記メモリ素子のそれぞれを前記メモリコントローラに結合する複数のデータ線と、
を備える、システム。

【請求項 10】

前記メモリ素子のそれぞれの部分は、前記メモリコントローラの約 6.4 cm 以内である、請求項 9 に記載のシステム。

【請求項 11】

前記メモリ素子のそれぞれは全体的に、前記メモリコントローラの約 6.4 cm 以内である、請求項 9 に記載のシステム。

【請求項 12】

10

20

30

40

50

インタポーザであって、
剛性絶縁ケースと、

前記絶縁ケース内に配置される機械加工ピンソケット(pin socket)配列(array)であって、前記機械加工ピンソケット配列内の複数のソケットのそれぞれは、前記絶縁ケースの第1の表面から開くピンレセプタクルを備え、前記複数のソケットのそれぞれは、前記ケースの第2の表面に配置されるはんだ玉を備える、機械加工ピンソケット配列と、
を備える、インタポーザ。

【請求項13】

前記複数のソケットのそれぞれは、少なくとも2つの内部フィンガ接点を備える、請求項12に記載のインタポーザ。

【請求項14】

前記複数のソケットのそれぞれは3～10個のフィンガ接点を備える、請求項12に記載のインタポーザ。

【請求項15】

前記内部フィンガ接点は弾性を有する、請求項13に記載のインタポーザ。

【請求項16】

前記絶縁ケースは、約1mm～約8mmの厚さを有するガラス繊維基板を備える、請求項12に記載のインタポーザ。

【請求項17】

前記機械加工ピンソケット配列は、適切な向きで集積回路を受けるように適合される、請求項12に記載のインタポーザ。

【請求項18】

前記インタポーザのフットプリントのサイズは、前記インタポーザに接続する集積回路のフットプリントのサイズにほぼ等しい、請求項12に記載のインタポーザ。

【請求項19】

前記インタポーザは、プリント回路基板の第1の側に電氣的に結合され、前記インタポーザに直接電氣的に接続しない電気回路が、前記プリント回路基板の第2の側の真逆に配置される、請求項12に記載のインタポーザ。

【請求項20】

2色LED電気インジケータシステムであって、

第1の電流方向に従って第1の色を発し、前記第1の電流方向とは逆の第2の電流方向に従って第2の色を発することが可能な2色LEDであって、前記2色LEDは第1のリード及び第2のリードも有する、2色LEDと、

単一の独立単色LEDに接続され、前記単一の独立単色LEDのみをアクティブ化させることが意図される第1の電気接地出力を提供する第1の電気線であって、前記第1の電気線は、前記2色LEDの前記第1のリード及び第1のプルアップ抵抗に接続され、前記第1のプルアップ抵抗は、電流を前記第1の電流方向に提供して、前記第1の色をアクティブ化させる、第1の電気線と、

単一の独立単色LEDに接続され、前記単一の独立単色LEDのみをアクティブ化させることが意図される第2の電気接地出力を提供する第2の電気線であって、前記第2の電気線は、前記2色LEDの前記第2のリード及び第2のプルアップ抵抗に接続され、前記第2のプルアップ抵抗は、電流を前記第2の電流方向に提供して、前記第2の色をアクティブ化させる、第2の電気線と、
を備える、2色LED電気インジケータシステム。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本願は、「MINIATURIZATION TECHNIQUES, SYSTEMS, AND APPARATUS RELATING TO POWER SUPPLIES

10

20

30

40

50

、MEMORY, INTERCONNECTIONS, AND LEDS」という名称で2011年6月3日に出願された米国特許出願第13/153, 224号明細書並びに以下の仮特許出願:「MINIATURIZED POWER SUPPLY」という名称で2010年6月7日に出願された米国仮出願第61/352, 359号明細書、「SYSTEMS AND METHODS FOR OPTIMIZING MEMORY PERFORMANCE」という名称で2010年6月7日に出願された米国仮出願第61/352, 349号明細書、「SYSTEMS AND METHODS FOR PROVIDING A PIN GRID ARRAY TO BALL GRID ARRAY ADAPTOR」という名称で2010年6月7日に出願された米国仮出願第61/352, 369号明細書、「SYSTEMS AND METHODS FOR ACTIVATING MULTI-COLOR LIGHT EMITTING DIODES」という名称で2010年6月7日に出願された米国仮出願第61/352, 378号明細書の利益を主張するものであり、これらの特許出願及び仮特許出願を参照により本明細書に援用する。

【0002】

本発明は、電子システム及び構成要素に関する。特に、本発明は、電源、メモリ、相互接続、及びLEDに関連する小型化技法、システム、及び装置に関する。

【背景技術】

【0003】

コンピュータ等の電子システムは、ますます普遍的になりつつある。例えば、電子システムは、コンピュータを含め、ますます増加する多岐にわたる技術分野で、ますます増加する様々な機能を実行するために、常に利用されている。電子システムの使用及び機能が増大するにつれて、システムの構成要素のいくつかを改良する必要があることが多い。特に、コンピュータ及び他の電子システムが複雑になり、高度化し、小型になるにつれて、システム構成要素のいくつかを小型化するとともに、他の様式で改良する必要がある。この点に関して、電源、メモリ、集積回路、コネクタ、及び発光ダイオード(「LED」)回路が、小型化し、又は他の様式で改良することができるコンピュータ構成要素のいくつかの例である。

【0004】

電源に関して、電子システムは多くの場合、未処理の入力電力(例えば、商用配電網から供給される交流電流)をシステム内の必要な内部供給電圧(例えば、5ボルト、3.3ボルト等の直流電流電圧)に変換する電源を含む。多くの電子システムは、複数の電圧を必要とするとともに、通増及び通減中に電圧の特別なシーケンシングを必要とする構成要素(例えば、集積回路)も含む。

【0005】

電源は通常、電子システムの必要部分であるが、多くの望ましくない側面を提供し得る。例えば、電源により生成される雑音は電子システムの影響を受けやすい構成要素に伝導又は放射され得、影響を受けやすい構成要素の不適切な動作を生じさせる。したがって、電源設計の難しい側面は、望ましくない雑音が電源から放射されないことを保証することである。他方、近代の電源は多くの場合、雑音の影響を受けやすいことがある複雑な監視回路を含む。監視回路への雑音侵入は、誤ったシャットダウン、不良な調整、及び他の望ましくない影響等の不適切な動作を生じさせるおそれがある。電源は嵩張る傾向も有し、プリント回路基板上の有価値で限られたスペースを使い尽くすおそれがある。

【0006】

無数の設計要件を満たす難しさにより、多くのシステム設計者は、確立された電源設計手法の変更を渋る。例えば、いくつかの構成要素供給業者は、構成要素の要件を満たすことを目指した基準電源設計を提供する。基準電源設計はコスト又は回路基板面積に関して最適化されていないことがあるにもかかわらず、設計者は多くの場合、単純に構成要素供給業者の基準設計を採用する。供給業者の基準設計は、コスト、面積、又は性能の観点から次善的な解決策を提供し得るが、そのような設計を使用することは、プロジェクト全体

へのリスクを低減するのに役立ち得る。

【0007】

しかし、電子システムがますます小さくなるにつれて、電源により消費されるコスト及びスペースの、電子システム全体に占める割合はますます大きくなった。これは特に、様々な異なる市場をターゲットとする非常に小さなコンピュータシステムで顕著である。例えば、約 65 cm^3 (約 2.5 立方インチ) のオーダの容積に入るように設計されるコンピュータシステムの場合、基板面積の 10 cm^2 (約 4 平方インチ) 超を必要とする電源設計は、実用的ではないことがある。したがって、本発明者等は、電源システムの小型化が有益であると認識した。

【0008】

メモリに関して、今日のコンピュータシステムの大半 (すべてとは言わないが) は通常、メモリを含み、メモリは通常、メモリモジュールに保持される。メモリモジュールは通常、いくつかの集積回路 (「IC」) 又はチップが 1 つ又は複数の表面に結合されたプリント回路基板 (「PCB」) 等の回路基板を含む。チップは、パーソナルコンピュータ (「PC」) 等の計算プラットフォームにメモリリソースを提供するメモリ素子である。1 種類のメモリモジュールは、ダイナミックランダムアクセスメモリ (「DRAM」) チップを (「DDR」) 様式で使用する。これらのモジュールは、DRAM チップをシングルインラインメモリモジュール (「SIMM」) 又はデュアルインラインメモリモジュール (「DIMM」又は「DIMMS」) として配置する。

【0009】

回路基板 (又は PCB) は、メモリモジュールを計算プラットフォームに集積するために、マザーボード上のソケットコネクタと互換性を有するコネクタを 1 つの縁部に沿って有することができる。1 種類の技術 (DDR2 DIMM として知られる) は、240本のピンを有する電気コネクタを有する。

【0010】

DIMMS は、PCB に結合された複数の DRAM チップを含む。例えば、いくつかの実施態様は、PCB に結合された 8 つの DRAM チップを含む。これらの DRAM チップは、伝送線でのデータ破損及びデータ損失を回避する 1 組の終端抵抗を含む。DIMMS と終端抵抗との組み合わせは、PCB 上に大きなフットプリントを有し、システムの小型化を制限する。

【0011】

クロストーク及び線損失は、メモリコントローラとメモリモジュールとの間の線が扇形に広がるか、又は隣接する線間に十分なスペースを有することができるように、メモリモジュールをメモリコントローラ (往々にしてプロセッサに集積される) から離れて配置する必要性により、メモリレイアウトの構成をさらに制限する。一般に、DIMM ソケット、減結合コンデンサ、及び終端抵抗と合わせて、DRAM の物理的なサイズ (通常、 12.5 mm よりも大きい) により、メモリモジュール及びメモリコントローラを互いに 6.4 cm (2.5 インチ) を超えて離れるように配置する必要がある。

【0012】

これより、集積回路コネクタを参照すると、中央演算処理装置 (「CPU」) は、様々な様式で回路基板に電氣的且つ物理的に接続することができる。実際に、いくつかの場合、CPU は回路基板に直接はんだ付けされる。しかし、他の場合、CPU は、CPU ソケットを使用して回路基板に取り付けられる。

【0013】

CPU が CPU ソケットを使用して回路基板に取り付けられる場合、CPU ソケットは様々な様式で機能することができる。実際に、いくつかの場合、CPU ソケットは、ラッチと、CPU 上のピン毎の金属接点とを有するプラスチック筐体を備える。そのような場合、ピングリッドアレイ (「PGA」) を有する CPU が CPU ソケットに挿入され、ラッチが閉じられると、金属接点が CPU の PGA のピンに強制的に接触する。CPU がランドグリッドアレイ (「LGA」) を備え、CPU ソケットが対応する PGA を備える他

10

20

30

40

50

の場合では、CPUはCPUソケットに配置され、ラッチがCPU上に閉じられて、CPUを定位置に固定し、LGAをCPUソケット内の対応するPGAに強制的に接触する。

【0014】

CPUを回路基板に取り付ける従来の方法は、有用であることが分かっているが、そのような方法は必ずしも欠点がないわけではない。例えば、CPUが回路基板に直接取り付けられる場合、CPU（多くの場合、回路基板の最も高価な構成要素）は、回路基板からの取り外しが非常に困難であり得る。したがって、そのようなCPUが故障した場合、又はユーザがそのようなCPUをアップグレードしたい場合、CPUを取り外して別のCPUと交換するよりも、回路基板全体を交換するほうが好都合であり得る。

【0015】

10

別の例では、CPUが、CPU又はCPUソケットから延び、回路基板を貫通するPGAを使用して回路基板の第1の側に取り付けられる場合、CPUは、構成要素が基板の逆側のCPUの真裏に配置することを邪魔し得る。換言すれば、基板を貫通するPGAを使用して回路基板に取り付けられるCPUは、CPUが厳密に基板の片側に取り付けられる場合に必要よりも多くのリアルエステートを必要とし得る。

【0016】

さらに別の例では、CPUが従来のCPUソケットを使用して回路基板に取り付けられるいくつかの場合、CPUソケットは、そのレバーと共に、CPUよりも大きなフットプリントを有する傾向がある。したがって、この例では、CPUソケットは、回路基板上で過度のリアルエステートを占有し得、これは、スペースが制限要因である用途では有害であり得る。

20

【0017】

さらに別の例では、CPUがCPUソケットを使用して回路基板に取り付けられるいくつかの場合では、CPUソケットの金属接点が、製造プロセス中、CPUのPGAの挿入中、又は回路基板が使用中に衝撃及び振動に曝される際に破損し得る。この破損の結果、CPUソケットは、CPUのピンのうちの1つ又は複数との電気接続を失い、それにより、CPUが故障又は不適切に機能することになり得る。

【0018】

これよりLEDを参照すると、LEDは、可視波長（又はカラー）スペクトル並びに紫外線波長及び赤外線波長にわたり高強度光を発することが可能なますます普遍的になっている半導体光源である。LEDは、低エネルギー消費、長寿命、向上した頑丈さ、小サイズ、高速切り替え、並びに耐久性及び信頼性を含め、従来の光源よりも優れた多くの利点を提示することができる。その結果、LEDは頻繁に電子装置のインジケータランプとして使用され、航空機照明、自動車照明、交通信号照明、テキスト及び／又はビデオ表示照明、センサ照明、サイン又は他の視覚的及び／又は情報表示装置照明、間接照明、直接照明、並びに動作可能なプリントヘッド照明での従来の光源の交換を含め、多くの多様な用途でますます使用されている。

30

【0019】

電子工学では、ダイオードは、最も単純な種類の半導体素子の1つであり、電流を一方向（ダイオードの「正」方向と呼ばれる）のみで伝導させる2端子電子構成要素を備える。一般に言えば、半導体は、電流を伝導させる可変能力を有する材料である。大半のLEDは、不純物がドーピングされて、各端部に電極又はリードとのp-n接合を生み出す「半導体材料のチップ」からなる。p-n接合は一般に、片側に、負電荷キャリア（電子）を含み、n型領域になる領域を有する単一の半導体からなり、その一方で、他方の側の領域は正電荷キャリア（正孔）を含み、p型領域になる。「接合」という用語は、半導体の2つの領域が出会う境界面を指す。動作に当たり、電流はp型側（陽極）からn型側（陰極）へ方向に流れる。発せられる光の波長ひいてはその色は、p-n接合を形成する材料のバンドギャップエネルギーに依存する。

40

【0020】

基本的なLED回路は、LEDの給電に使用される電力回路である。基本的なLED回

50

路は、直接接続された2つの構成要素：電流制限抵抗及びLEDに給電する電圧源からなる。LED回路は、正電圧源及び負電圧源のそれぞれが適切なLED電極又はリードに接続された場合に給電され、光を生成する。

【0021】

Ethernet（登録商標）は、開放型システム間相互接続（「OSI」）ネットワークモデルの物理層のいくつかの配線及びシグナリング規格並びにデータリンク層での共通アドレッシング形式及び媒体アクセス制御を定義する広く導入されているローカルエリアネットワーク（「LAN」）技術である。Ethernet（登録商標）インタフェースを使用して、多くのコンピュータ装置が、LANを介して互いに通信することができる。Ethernet（登録商標）は、IEEE802.3として標準化されている。

10

【0022】

上述したように、LEDは電子装置のインジケータランプとして一般に使用されている。例えば、Ethernet（登録商標）ポートは一般に、2つのインジケータLEDを備える。一方のLEDは多くの場合、Ethernet（登録商標）ポートでの活動（「ACT信号」）を示し、その一方で、他方のLEDはEthernet（登録商標）リンクの速度（速度信号）（例えば、10Mb、100Mb、又は1000Mb等）を示す。一般に、活動を示すインジケータLEDは、ポートがアクティブ（すなわち、送信中又は受信）である場合、明滅する。他方、速度を示すLEDは多くの場合、Ethernet（登録商標）リンクの速度に応じて照明するか、又はオフであるかのいずれかである（例えば、10Mbの場合にはオフであり、100Mbの場合には照明される等）。

20

【0023】

一般に、Ethernet（登録商標）ポートは、PCBに配置されるEthernet（登録商標）チップに接続され、Ethernet（登録商標）チップにより駆動される。チップはEthernet（登録商標）のインジケータLEDも動作させることができる。Broadcom Corp.製のチップのいくつか等のいくつかのEthernet（登録商標）チップは、製造プロセス中にチップに組み込まれる内部回路を有し、この内部回路は、Ethernet（登録商標）リンクの速度に基づいて速度信号を自動的に生成し、それに従って適切なEthernet（登録商標）ポートインジケータLEDをアクティブ化する。多くの場合、2色LEDが、そのようなチップに関連して使用される。2色LEDは実際には、1つのケース又はレンズ内に収容された2つの異なるLEDである。2色LEDは、同じ2本のリードに互いに逆平行に接続された2つの半導体ダイからなる。一方向での電流の流れは1色を生成し、逆方向での電流の流れは他方の色を生成する。そのような内部回路及び2色LEDを有するチップの組み合わせにより、3つの別個の速度範囲を自動的に視覚的に表示することができる。例えば、10Mbでは、2色LEDはオフであり、100Mbでは、2色LEDは緑等の1色であり、1000Mbでは、2色LEDはアンバー等の代替の色である。

30

【発明の概要】

【発明が解決しようとする課題】

【0024】

したがって、電源、メモリ、ICコネクタ、及びLED回路の使用に関連する技術が現在存在するが、難問がなお存在する。したがって、現在の技法を強化し、又はさらには他の技法で置換することが当分野での改良である。

40

【課題を解決するための手段】

【0025】

本発明は、電子システム及び構成要素に関する。特に、本発明は、電源、メモリ、相互接続、及びLEDに関連する小型化技法、システム、及び装置に関する。

【0026】

本発明のいくつかの態様は電源に関する。特に、いくつかの実施態様では、本発明は、PCB（又は他の回路基板）を含む小型化電源に関する。そのような実施態様では、第1の能動的構成要素がPCBの第1の側に配置される。第2の能動的構成要素が、PCBの

50

第 2 の側に配置され、第 1 の能動構成要素に電氣的に接続される。第 1 の側及び第 2 の側は互いに異なる。

【0027】

いくつかの実施態様では、小型化電源を製造する方法が提供される。この方法は、電源の設計概略を得ることを含み、設計概略は複数の電子構成要素を備える。電子構成要素のうちのいくつかは能動的構成要素であることができる。この方法での追加の動作は、PCBの第1の側の位置を能動的構成要素のうちの第1の構成要素に選択し、PCBの第2の側の位置を能動的構成要素のうちの第2の構成要素に選択することである。第1の側及び第2の側は互いに異なる。複数の能動的構成要素のうちの第2の構成要素の位置は、複数の能動的構成要素のうちの第1の構成要素の位置に関して選択される。この方法は、複数の電子構成要素間の相互接続を定義することを含むこともでき、相互接続はトレース及びバイアを含み、PCBレイアウトを形成する。

10

【0028】

本発明のいくつかの態様はメモリに関する。特に、本発明のいくつかの態様は、コンピュータ装置又はシステムでのメモリ性能を最適化するシステム及び方法に関する。さらに、本発明のいくつかの態様は、回路基板上のメモリレイアウトを小型化し最適化するシステム及び方法に関する。

【0029】

本システム及び方法の実施態様は、メモリ及びメモリコントローラの性能の強化及びレイアウトの小型化を可能にし得る。したがって、いくつかの態様では、上側及び下側を有する回路基板が提供される。メモリコントローラは、複数のメモリ素子と共に回路基板に結合される。機能を向上させ、フットプリントを低減するために、メモリ素子は、基板の上側及び下側の両方で回路基板に直接はんだ付けされる（又は他の様式で電氣的に接続される）。このようにして、各メモリ素子をメモリコントローラの約6.4cm（約2.5インチ）以内に配置することができる。はんだ付けは、システムに故障点を生み出すおそれがあるDIMMソケットよりも頑強な接続を提供することもできる。したがって、DIMMの除去は、PCBのリアルエステートを解放し、システム性能を増大させることができる。

20

【0030】

いくつかの実施態様では、代表的なシステムは、クロック線を介して複数のメモリ素子のそれぞれに電子的に結合されるシステムクロックをさらに含む。複数の電子結合クロック線のそれぞれはおおよそ等しい長さであり、同時クロック信号をメモリ素子に提供する。さらに、いくつかの実施態様では、複数のメモリ素子のそれぞれは、別個のデータ線を介してメモリコントローラに電子的に結合される。この直接接続により、データ線上の終端抵抗の必要性がなくなり、メモリシステムのフットプリントをさらに低減する。さらに、いくつかの実施態様では、代表的なシステムは、メモリコントローラ及び複数のメモリ素子のそれぞれと電子通信するアドレス線を含む。

30

【0031】

いくつかの実施態様では、代表的な方法は、複数のメモリ素子をPCBに直接はんだ付けすることを提供する。いくつかの場合、これは、複数のメモリ素子のそれぞれをメモリコントローラから約6.4cm（約2.5インチ）以内に配置することを含む。これは、PCBの上面にメモリ素子の少なくとも1つを配置し、その一方で、メモリ素子の少なくとも1つを下面に配置することを含む。いくつかの実施態様では、メモリ素子の半分はPCBの上面に配置され、残り半分はPCBの下面に配置される。いくつかの実施態様では、代表的な方法は、別個のデータ線を介して各メモリ素子をメモリコントローラに電子的に結合することをさらに提供する。いくつかの実施態様では、代表的な方法は、複数の等距離のクロック線を介して各メモリ素子をシステムクロックに電子的に結合することをさらに提供する。

40

【0032】

いくつかの実施態様では、本システム及び方法は、PCBレイアウトを小型化し、シス

50

テムのコストを実質的に低減しながら、より高いメモリ性能レベルの両方を可能にする。これらの結果は、部分的にはD I M Mコネクタソケットを、メモリ素子をP C Bの両側にP C Bに直接はんだ付けすることで置換することにより可能になる。D I M Mコネクタソケットがないことにより、P C Bのリアルエステートを解放し、D I M M終端抵抗の必要性を回避することができ、これにより、追加のリアルエステートを解放することができる。さらに、いくつかの場合、D I M Mソケットを使用してメモリ拡張性を提供するよりもむしろ、P C Bに固定される最大システムメモリを含むほうが、機能的に有利であり、且つ安価である。はんだ付けされたメモリ素子は、D I M Mソケットよりも強化された耐衝撃性及び耐ショック性を有することができ、それにより、より厳しい環境に組み込むことができるロックタイトシステムを提供しながら、装置が故障する可能性を低減する。さらに、拡張性の除去及び線損失の低減により、システム設計者は、メモリ素子の性能を最適化することができ、メモリ素子に最高レベルで実行させ、コストを増大させずにシステム性能を増大させる。

10

【0033】

これよりI Cコネクタを参照すると、本発明のいくつかの態様はI C相互接続に関する。特に、本発明のいくつかの態様は、I C素子を回路基板に取り付けるシステム及び方法に関する。特に、本発明のいくつかの態様は、アダプタを使用してピン配列を備えるI Cを回路基板に取り付けるシステム及び方法に関し、アダプタはボールグリッド配列を備え、回路基板に電氣的且つ物理的に取り付けられるように構成される。

【0034】

20

一般に、アダプタ又はインタポーザは、内部に配置された機械加工ピンソケット配列を有する剛性絶縁ケースを含む。ケースは任意の適した特徴を有することができるが、いくつかの場合、ケースはほぼ平坦な第1の表面と、ほぼ平坦な第2の表面とを有し、第2の表面は第1の表面の逆に配置される。いくつかの場合、機械加工ピンソケット配列内のピンソケットのうちの1つ又は複数は、ケースの第1の表面で開くピンレセプタクルと、ケースの第2の表面に配置されるはんだ玉とを有する。さらに、いくつかの場合、複数のソケットのそれぞれは、2つ以上の内部弾性フィンガ接点を含む。したがって、アダプタは、ボールグリッド配列を介してP G Aを有する集積回路を回路基板に電氣的に接続するように構成される。

【0035】

30

本発明の方法及びプロセスは、C P UをP C Bに物理的且つ電氣的に接続する分野で特に有用であることが証明されているが、これらの方法及びプロセスを様々な異なる用途で、P G Aを備える任意の他の適した集積回路を回路基板に取り付ける様々な異なる製造分野で使用可能なことを当業者は理解することができる。実際に、いくつかの非限定的な例によれば、記載のシステム及び方法は、半導体パッケージ、メモリチップ、プロセッサチップ、ノースブリッジ、サウスブリッジ、及び／又は任意の他の適したI Cを対応する回路基板に電氣的且つ物理的に接続する。

【0036】

最後に、本発明のいくつかの態様はL E D回路に関する。特に、いくつかの態様は、単一の単色L E Dのみをアクティブ化させることが意図される複数の電気接地出力又は信号を使用して、2色L E D又は3色L E D等の少なくとも1つのマルチカラーL E Dのアクティブ化を達成するシステム及び方法に関する。

40

【0037】

本発明のそのような態様の実施は、2色L E D又は3色L E D等の少なくとも1つのマルチカラーL E Dに関連して行われ、マルチカラーL E Dは、L E Dの構成要素材料及び構造により決まる別個の各色を、ユーザが望む情報又はユーザにより定義された状態の視覚的表現又は表示として発することが可能なように電氣的に接続される。少なくとも1つの実施態様では、2色L E D電気インジケータシステムは2色L E Dを含む。そのような実施態様では、L E Dは2つの色：一方向での電流の流れによる第1の色及び逆方向での電流の流れによる第2の色を発することが可能である。すべてのダイオードと同様に、2

50

色 L E D は 2 つのリード又は電気端子を含む。しかし、電流が一方向に流れる場合、適切なダイオードに対して、一方のリードは陰極として挙動し、その間、他方のリードは陽極として挙動する。電流が逆になると、他方のダイオードに対して、前は陰極であったリードは陽極として挙動し、前は陽極であったリードは陰極として挙動する。

【0038】

2 色 L E D に加えて、上記システムのいくつかの実施態様は、電気接地出力を提供する第 1 の電気線を含む。そのような実施態様では、出力は通常、単一の独立した単色 L E D のみに接続され、アクティブ化させることが意図される。しかし、第 1 の電気線は、2 色 L E D の一方のリード及びプルアップ抵抗に接続される。プルアップ抵抗は、2 色 L E D の 2 つの可能な色のうちの一方をアクティブ化させるのに適切な方向での電流の流れを提供する。

10

【0039】

L E D 回路に関する本発明のいくつかの実施態様は、上述した第 1 の出力と同様の電気接地出力を提供する第 2 の電気線も含む。同様にして、第 2 の電気線は、2 色 L E D の他方のリード及び別のプルアップ抵抗に接続される。プルアップ抵抗は、2 色 L E D の 2 つの可能な色のうちの他方をアクティブ化させるのに適切な方向での電流の流れを提供する。このようにして、2 色 L E D の 2 つの別個の色を両方とも、適切な電気出力又は信号に従って別個の時間にアクティブ化させることができる。

【0040】

本発明の方法、プロセス、システム、及び装置は、個人計算企業分野で特に有用であることが証明されているが、本発明の方法、プロセス、システム、及び装置を様々な異なる用途で、電子システムを利用する任意の産業の企業を含め、カスタマイズ可能な企業をもたらす様々な異なる製造分野で使用可能なことを当業者は理解しよう。そのような産業の例としては、自動車産業、航空機産業、油圧制御産業、オート／ビデオ制御産業、通信産業、医療産業、特殊用途産業、及び電子消費者装置産業が挙げられるが、これらに限定されない。したがって、本発明の方法、プロセス、システム、及び装置は、従来は現在のコンピュータ及び電子技法により未開発であった市場を含む市場に改良（巨大な計算力等）を提供することができる。

20

【0041】

本発明のこれら及び他の特徴及び利点が、以下の説明及び添付の特許請求の範囲に記載され、又はそれらから十分に明らかになろう。特徴及び利点は、添付の特許請求の範囲において特に指摘される手段及び組み合わせにより実現し取得し得る。さらに、本発明の特徴及び利点は、本発明の実施により学習し得、又は以下に記載の説明から明らかになろう。

30

【0042】

本発明の上記及び他の特徴及び利点が得られる様式のために添付図面に示される本発明の特定の実施形態を参照することにより、本発明のより具体的な説明を行う。図面が本発明の典型的な実施形態のみを示し、したがって、本発明の範囲の限定として考えられるべきではないことを理解して、本発明について、添付図面を使用してさらに具体的に詳細に記載し説明する。

40

【図面の簡単な説明】

【0043】

【図 1】本発明の使用に適した動作環境を提供する代表的なシステムを示す。

【図 2】本発明の実施形態に関連付けて使用し得る代表的なネットワーク化システム構成を示す。

【図 3】P C B の片側に搭載された構成要素を有する電源の代表的な実施形態の側面図を示す。

【図 4】P C B の両側に搭載された能動的構成要素を有する小型化電源の代表的な実施形態の側面図を示す。

【図 5】本発明の代表的な実施形態による小型化電源に使用することができる遮蔽トレー

50

スの側面図を示す。

【図 6】本発明の代表的な実施形態による小型化電源の P C B 設計の上面図を示す。

【図 7】本発明の代表的な実施形態による小型化電源を製造する方法のフローチャートを示す。

【図 8】本発明の代表的な実施形態によるメモリシステムレイアウトの斜視図を示す。

【図 9】本発明の代表的な実施形態によるメモリシステム及びシステムデータ線の上面図を示す。

【図 10】本発明の代表的な実施形態によるシステムクロック線のブロック線図を示す。

【図 11】本発明の代表的な実施形態によるメモリシステムレイアウト及びシステムアドレス線の上面図を示す。

10

【図 12】本発明の代表的な実施形態によるメモリ性能を最適化する方法のブロック図を示す。

【図 13】本発明の代表的な実施形態によるボールグリッド配列アダプタへのピングリッド配列の概略上面図を示す。

【図 14】本発明の代表的な実施形態によるボールグリッド配列アダプタへのピングリッド配列アダプタの概略側面図を示す。

【図 15】本発明の代表的な実施形態によるケース内に配置された機械加工ピンソケットの断面図を示す。

【図 16】アダプタが P C B 上に配置された、本発明の代表的な実施形態によるボールグリッド配列へのピングリッド配列の上面図を示す。

20

【図 17】本発明の代表的な実施形態による代表的な 2 色 L E D 電気回路を示す。

【図 18】L E D 回路のいくつかの実施形態での P C B レイアウトの代表的な実施形態の概略図を示す。

【発明を実施するための形態】

【0044】

本発明は電子システム及び構成要素に関する。特に、本発明は、電源、メモリ、相互接続、及び L E D に関連する小型化技法、システム、及び装置に関する。

【0045】

本開示及び特許請求の範囲では、配列という用語は、複数の隣接した行及び複数の隣接した列を備える任意の適した構成を指し得る。

30

【0046】

本発明の以下の開示は、5つの副見出し、すなわち、「代表的な動作環境」、「電源」、「メモリ」、「I C コネクタ」、及び「論理チップ／L E D 接続」にまとめられる。副見出しの利用は、単に読み手の便宜のためであり、決して限定として解釈されるべきではない。

【0047】

代表的な動作環境

図 1 及び対応する考察は、本発明の実施形態による適した動作環境の概説を提供することを目的とする。さらに後述するように、本発明の実施形態は、後述するように、ネットワーク化された構成又は結合構成を含め、様々なカスタマイズ可能な企業構成での 1 つ又は複数の動的モジュラー処理ユニットの使用を含む。

40

【0048】

本発明の実施形態は 1 つ又は複数のコンピュータ可読媒体を含み、各媒体は、データ若しくはデータを操作するコンピュータ実行可能命令を含むように構成し得、又はそのようなデータ若しくはコンピュータ実行可能命令を含む。コンピュータ実行可能命令は、データ構造、オブジェクト、プログラム、ルーチン、又は様々な異なる機能を実行可能な汎用モジュラー処理ユニットに関連するか、若しくは限られた数の機能を実行可能な専用モジュラー処理ユニットに関連するような、1 つ若しくは複数のプロセッサがアクセスし得る他のプログラムモジュールを含む。

【0049】

50

コンピュータ実行可能命令は、企業の1つ又は複数のプロセッサに、特定の機能又は機能群を実行させ、処理方法のステップを実施するプログラムコード手段の例である。さらに、特定の順序の実行可能命令は、そのようなステップの実施に使用し得る対応する動作の例を提供する。

【0050】

コンピュータ可読媒体の例としては、ランダムアクセスメモリ（「RAM」）、読み取り専用メモリ（「ROM」）、プログラマブル読み取り専用メモリ（「PROM」）、消去可能プログラマブル読み取り専用メモリ（「EPROM」）、電氣的に消去可能なプログラマブル読み取り専用メモリ（「EEPROM」）、コンパクトディスク読み取り専用メモリ（「CD-ROM」）、任意の固体状態記憶装置（例えば、フラッシュメモリ、スマートメディア等）、又は処理ユニットがアクセスし得るデータ若しくは実行可能命令を提供可能な任意の他の装置若しくは構成要素が挙げられる。

10

【0051】

図1を参照すると、代表的な企業は、汎用又は専用処理ユニットとして使用し得るモジュラー処理ユニット10を含む。例えば、モジュラー処理ユニット10は、単独で利用してもよく、又はパーソナルコンピュータ、ノート型コンピュータ、個人情報端末（「PDA」）若しくは他のハンドヘルド装置、ワークステーション、ミニコンピュータ、メインフレーム、スーパーコンピュータ、マルチプロセッサシステム、ネットワークコンピュータ、プロセッサに基づく消費者装置、セルラ電話、スマート家電若しくは装置、制御システム等として、1つ若しくは複数の同様の処理ユニットと共に利用してもよい。複数の処理ユニットを同じ企業内で使用することにより、処理能力の増大が提供される。例えば、企業の各処理ユニットを特定のタスク専用にしてもよく、又は各処理ユニットがまとめて分散処理に参加してもよい。

20

【0052】

図1では、モジュラー処理ユニット10は、1つ又は複数のバス及び／又は相互接続12を含み、バス及び／又は相互接続12は、様々な構成要素を接続するように構成し得、2つ以上の構成要素間でデータを交換できるようにする。バス／相互接続12は、メモリバス、周辺バス、又は任意の様々なバス構造を使用するローカルバスを含む様々なバス構造の1つを含み得る。バス／相互接続12により接続される典型的な構成要素としては、1つ又は複数のプロセッサ14及び1つ又は複数のメモリ16が挙げられる。以下、「データ操作システム18」と呼ばれる論理、1つ若しくは複数のシステム、1つ若しくは複数のサブシステム、及び／又は1つ若しくは複数のI/Oインタフェースを使用して、他の構成要素もバス／相互接続12に選択的に接続し得る。さらに、論理、1つ若しくは複数のシステム、1つ若しくは複数のサブシステム、及び／又は1つ若しくは複数のI/Oインタフェースを使用して、他の構成要素を外部からバス／相互接続12に接続してもよく、且つ／又は他の構成要素が、1つ若しくは複数のモジュラー処理ユニット30及び／又はプロプライエタリ装置34等の論理、1つ若しくは複数のシステム、1つ若しくは複数のサブシステム、及び／又は1つ若しくは複数のI/Oインタフェースとして機能してもよい。I/Oインタフェースの例としては、1つ又は複数の大容量記憶装置インタフェース、1つ又は複数の入力インタフェース、1つ又は複数の出力インタフェース等が挙げられる。したがって、本発明の実施形態は、1つ若しくは複数のI/Oインタフェースを使用する能力及び／又は利用される論理若しくは他のデータ操作システムに基づいて製品の有用性を変更する能力を含む。

30

40

【0053】

論理は、インタフェース、システムの部分、サブシステムに結びつけてもよく、且つ／又は特定のタスクの実行に使用されてもよい。したがって、論理又は他のデータ操作システムは、例えば、IEEE1394（ファイアワイヤ）を可能にし得、その場合、論理又は他のデータ操作システムはI/Oインタフェースである。代替又は追加として、モジュラー処理ユニットを別の外部システム又はサブシステムに結びつけられるようにする論理又は他のデータ操作システムを使用し得る。例えば、特別なI/O接続を含むこともあれ

50

ば、含まないこともある外部システム又はサブシステム。代替又は追加として、外部 I / O に論理が関連付けられない論理又は他のデータ操作システムを使用し得る。本発明の実施形態は、車両の ECU、油圧制御システム等の特殊論理及び特定のハードウェアの制御方法をプロセッサに通知する論理の使用も含む。さらに、本発明の実施形態が、論理、システム、サブシステム、及び／又は I / O インタフェースを利用する沢山の異なるシステム及び／又は構成を包含することを当業者は理解しよう。

【0054】

上に提供したように、本発明の実施形態は、1つ若しくは複数の I / O インタフェースを使用する能力及び／又は利用される論理若しくは他のデータ操作システムに基づいて製品の有用性を変更する能力を含む。例えば、モジュラー処理ユニットが、1つ又は複数の I / O インタフェースと、デスクトップコンピュータとして使用するように設計された論理とを含む個人計算システムの部分である場合、2つの標準 R C A を介してアナログオーディオを取得し、I P アドレスにブロードキャストしたい音楽局へのオーディオ符号化を実行するフラッシュメモリ又は論理を含むように、論理又は他のデータ操作システムを変更することができる。したがって、モジュラー処理ユニットは、モジュラー処理システムのバックプレーン上のデータ操作システム（例えば、論理、システム、サブシステム、I / O インタフェース等）に対して行われた変更により、コンピュータシステムではなく家電として使用されるシステムの部分であり得る。したがって、バックプレーン上のデータ操作システムの変更により、モジュラー処理ユニットの用途を変更することができる。したがって、本発明の実施形態は非常に適応性の高いモジュラー処理ユニットを含む。

【0055】

上に提供したように、処理ユニット 10 は、中央プロセッサ（又は C P U）等の1つ又は複数のプロセッサ 14 と、任意選択的に、特定の機能又はタスクを実行するように設計された1つ又は複数の他のプロセッサとを含む。通常、メモリ 16、磁気ハードディスク、リムーバブル磁気ディスク、磁気カセット、光ディスク等のコンピュータ可読媒体に提供されるか、又は通信接続からの命令を実行するのはプロセッサ 14 であり、通信接続はコンピュータ可読媒体として見ることもできる。

【0056】

メモリ 16 は、データ若しくはデータを操作する命令を含むように構成し得るか、又はそのようなデータ若しくは命令を含み、バス／相互接続 12 を通してプロセッサ 14 がアクセス可能な1つ又は複数のコンピュータ可読媒体を含む。メモリ 16 は、例えば、情報を永久的に記憶するために使用される R O M 20 及び／又は情報を一時的に記憶するために使用される R A M 22 を含み得る。R O M 20 は、モジュラー処理ユニット 10 のスタートアップ中等に通信を確立するために使用される1つ又は複数のルーチンを有する基本入／出力システム（「B I O S」）を含み得る。動作中、R A M 22 は、1つ又は複数のオペレーティングシステム、アプリケーションプログラム、及び／又はプログラムデータ等の1つ又は複数のプログラムモジュールを含み得る。

【0057】

示されるように、本発明の少なくともいくつかの実施形態は、ユニットを様々な異なる用途でできるようにするよりロバスタな処理ユニットを提供する非周辺ケースを含む。図 1 では、1つ又は複数の大容量記憶装置インタフェース（データ操作システム 18 として示される）を使用して、1つ又は複数の大容量記憶装置 24 をバス／相互接続 12 に接続し得る。大容量記憶装置 24 は、モジュラー処理ユニット 10 の周辺にあり、モジュラー処理ユニット 10 が大量のデータを保持できるようにする。大容量記憶装置の例としては、ハードディスクドライブ、磁気ディスクドライブ、テープドライブ、及び光ディスクドライブが挙げられる。

【0058】

大容量記憶装置 24 は、磁気ハードディスク、リムーバブル磁気ディスク、磁気カセット、光ディスク、又は別のコンピュータ可読媒体と読み出し及び／又は書き込みを行い得る。大容量記憶装置 24 及び対応するコンピュータ可読媒体は、データ並びに／或いはオ

ペレーティングシステム、1つ又は複数のアプリケーションプログラム、他のプログラムモジュール、又はプログラムデータ等の1つ又は複数のプログラムモジュールを含み得る実行可能命令の不揮発性記憶を提供する。そのような実行可能命令は、本明細書に開示される方法のステップを実施するプログラムコード手段の例である。

【0059】

データ操作システム18を利用して、1つ又は複数の対応する周辺I/O装置26を通して、データ及び／又は命令をモジュラー処理ユニット10と交換できるようにし得る。周辺I/O装置26の例としては、キーボード等の入力装置及び／又はマウス、トラックボール、ライトペン、スタイラス若しくは他のポインティングデバイス、マイクロフォン、ジョイスティック、ゲームパッド、パラボラアンテナ、スキャナ、カムコーダ、デジタルカメラ、センサ等の代替の入力装置、並びに／或いはモニタ若しくは表示画面、スピーカ、プリンタ、制御システム等の出力装置が挙げられる。同様に、周辺I/O装置26をバス／相互接続12に接続するために使用し得る専用論理に結合されたデータ操作システム18の例としては、シリアルポート、パラレルポート、ゲームポート、ユニバーサルシリアルバス（「USB」）、ファイアワイヤ（IEEE1394）、無線受信器、ビデオアダプタ、オーディオアダプタ、パラレルポート、無線送信器、任意の並列又は直列化I/O周辺装置又は別のインタフェースが挙げられる。

10

【0060】

データ操作システム18は、1つ又は複数のネットワークインタフェース28を介して情報を交換できるようにする。ネットワークインタフェース28の例としては、情報を処理ユニット間で交換できるようにする接続、ローカルエリアネットワーク（「LAN」）に接続するためのネットワークアダプタ若しくはモデム、無線リンク、又はインターネット等の広域ネットワーク（「WAN」）に接続するための別のアダプタが挙げられる。ネットワークインタフェース28は、モジュラー処理ユニット10に組み込まれてもよく、又はモジュラー処理ユニット10の周辺にあってもよく、LAN、無線ネットワーク、WAN、及び／又は処理ユニット間の任意の接続に関連付け得る。

20

【0061】

データ操作システム18は、モジュラー処理ユニット10が1つ又は複数の他のローカル又はリモートモジュラー処理ユニット30又はコンピュータ装置と情報を交換できるようにする。モジュラー処理ユニット10とモジュラー処理ユニット30との接続は、ハードワイヤードリンク及び／又は無線リンクを含み得る。したがって、本発明の実施形態は、直接バスーバス接続を含む。これにより、大規模なバスシステムの作成が可能になる。これは、企業の直接バスーバス接続により、現在知られているハッキングもなくす。さらに、データ操作システム18は、モジュラー処理ユニット10が、1つ若しくは複数のプロプライエタリI/O接続32及び／又は1つ若しくは複数のプロプライエタリ装置34と情報を交換できるようにする。

30

【0062】

処理ユニットがアクセス可能なプログラムモジュール又はその部分は、リモートメモリ記憶装置に記憶し得る。さらに、ネットワーク化されたシステム又は結合構成では、モジュラー処理ユニット10は、分散計算環境に参加し得、分散計算環境では、機能又はタスクが複数の処理ユニットにより実行される。或いは、結合構成／企業の各処理ユニットは、特定のタスク専用であってもよい。したがって、例えば、企業の1つの処理ユニットはビデオデータ専用であり、それにより、従来のビデオカードに取って代わることができ、従来の技法よりも優れたそのようなタスクを実行する増大した処理能力を提供する。

40

【0063】

本発明を多くの種類のコンピュータシステム構成を有するネットワーク化された計算環境で実施し得ることを当業者は理解するが、図2は、ネットワークを介してサーバに接続されたクライアントを含むネットワーク化環境での本発明の実施形態を表す。図2は、ネットワークに接続された2つのクライアントを含む実施形態を示すが、代替の実施形態は、ネットワークに接続された1つのクライアント又はネットワークに接続された多数のク

50

ライアントを含む。さらに、本発明による実施形態は、ネットワークに接続された世界全体にわたる多数のクライアントも含み、この場合、ネットワークはインターネット等の広域ネットワークである。

【0064】

電源

本発明のいくつかの態様は電源に関する。上述したように、多くの従来の電源設計は多くの場合、あまり空間効率的ではない。電源は、複数の電子構成要素を含むことができ、これらの電子構成要素は能動的構成要素及び受動的構成要素を含むことができる。能動的構成要素は、スイッチ（例えば、双極トランジスタ、電界効果トランジスタ等）、調整器、比較器等の部品を含む。受動的構成要素は、抵抗、インダクタ、コンデンサ等の部品を含む。電子構成要素は通常PCBに搭載され、PCB上のトレースを通して相互接続される。通常、電子構成要素はPCBの片側のみに搭載される。これは、電子産業ではコスト考慮事項から望ましいと見られている。いくつかの場合、受動的構成要素（例えば、小型コンデンサ又は小型抵抗）は往々にして、基板の逆側に配置される。例えば、図3は、全体的に50で示される電源を示し、PCB52は、PCB（又は他の回路基板）の片側58に搭載された複数の構成要素54及び56を有する。構成要素は、能動的構成要素54及び受動的構成要素56を含むことができる。構成要素の相互接続はトレース60（例えば、非導電基板に取り付けられるか、又は堆積した導電材料）により提供される。PCBは、例えば、複数層のトレース（図示せず）を提供する多層PCBであることができる。

【0065】

本発明のいくつかの実施形態による小型化電源を図4に示す。従来の電源とは対照的に、小型化電源70は、PCB72の両側に配置された能動的構成要素54を含むことができる。したがって、いくつかの能動的構成要素は、いくつかの実施形態では、互いの真逆に配置することができる。他の実施形態では、能動的構成要素は互いに対向し、部分的に重なり得る。受動的構成要素56もPCBの片側又は両側に配置することができる。トレース60及びバイア80は構成要素を相互接続することができる。

【0066】

PCB72の両側に構成要素を搭載することにより、いくつかの利点を得ることができる。例えば、構成要素の相互接続距離を低減することができる。例えば、第1の構成要素54a及び第2の構成要素54bを考えると、これらの構成要素は、PCBの同じ側にある場合、図3に示されるよりも大幅に近くに配置することはできない。例えば、構成要素のサイズ許容差及びピックアッププレース機のアクセスを可能にするために、いくらかの離間が通常、構成要素間に必要とされる。したがって、第1の構成要素の端子を第2の構成要素の端子に相互接続するトレース60aは一般に、構成要素の水平寸法以上の長さを有さなければならない。例えば、約0.64cm（約0.25インチ）の水平長さを有する2つの構成要素を相互接続するには、トレースは少なくとも約0.64cm（約0.25インチ）の長さでなければならない。

【0067】

対照的に、構成要素54a、54bがPCB72の両側に互いに逆に配置される場合、トレース長を大幅に短くすることができる。例えば、構成要素は端子が互いに真逆になり、トレース長を本質的に、構成要素を互いに相互接続するバイア80aの長さにする（例えば、パッドにより追加の長さがあり得る）ように配置することができる。したがって、PCB72が約0.13cm（約0.05インチ）の厚さを有する場合、トレース長は約0.13cm（約0.05インチ）の長さである一約1/5の低減。

【0068】

本発明のいくつかの実施形態において提供されるトレース長の低減は、複数の利点を提供することができる。例えば、理想的な電気相互接続はゼロ抵抗、ゼロ容量、及びゼロインダクタンスを有するが、実際のトレースはいくらかの寄生抵抗、寄生容量、及び寄生インダクタンス（RLC）を示す。トレースのRLCは様々なパラメータ（例えば、基板の厚さ、導電材料の厚さ、絶縁基板の誘電率、他のトレースの近さ等）の関数であるが、ト

レース長への寄生 R L C の大きな依存がある。一般に、寄生 R L C はトレース長に伴って線形に増大する。したがって、トレース長を低減することにより、寄生 R L C を低減することができ、寄生 R L C の低減により、電気接続は理想的な（例えば、ゼロ R L C）相互接続により類似して挙動することができる。いくつかの場合、寄生 R L C の低減には、構成要素値の調整が必要であり得る。例えば、回路設計は特定量のインダクタンスを必要とし得る。片面設計では、この所要インダクタンスは、部分的には構成要素及び部分的には P C B 5 2 の寄生インダクタンスにより提供し得る。両面設計では、P C B 7 2 により提供される寄生インダクタンスが低減するため、構成要素インダクタンスが低減され得る。別の例として、片面設計では、構成要素値は、寄生 R L C を補償する必要があるが得、したがって、両面設計では、寄生 R L C の低減により、構成要素値を低減するか、又は構成要素を全体的になくし得る。

10

【0069】

トレース長低減の別の利点は、雑音放射の低減及び雑音の影響の受けやすさの低減である。電気相互接続は、放射性及び非放射性電磁結合の両方を通して雑音を放射し得る。一般に、雑音結合の量は、電磁相互接続が長いほど増大する。例えば、長いトレースほど、互いの間に高い相互容量又はインダクタンスを有し、電磁場を通して高い結合を提供し得る。長いトレースほど、アンテナとして効果的に動作し、伝播する電磁波を通してエネルギーを放射するか、又は隣接するトレースからエネルギーを収集し得る。したがって、トレース長を低減することにより、雑音結合を低減することもできる。

【0070】

20

いくつかの場合、両面設計でのトレース長は、トレース長が長い場合には必要な遮蔽をなくすることができる十分に短くすることができる。他の場合、遮蔽により失われる面積を大幅に低減することができる。例えば、図 5 は、P C B 7 2 の両側に搭載された 2 つの構成要素 5 4 の間の遮蔽接続を示す。遮蔽接続は、2 つの構成要素を電氣的に接続し、複数の遮蔽構造 8 4 で囲まれた信号導体 8 2 を備える。遮蔽構造は、例えば、接地板に接続するビア及び／又はトレースを含むことができる。遮蔽構造が全体的に構成要素のフットプリント内に含まれ、したがって、構成要素によりすでに覆われた箇所を超える追加のいかなる P C B 面積も必要ないことが分かる。遮蔽接続は、ピックアップ雑音の影響を特に受けやすい電気接続及び特に雑音を放射しがちの電気接続に使用することができる。図 5 に示される遮蔽接続は垂直方向にある（信号導体のビア及び遮蔽構造を使用して）が、遮蔽接続は水平に提供することもでき（信号導体のトレース及び遮蔽構造を使用して）、又は両方の組み合わせを使用して提供することもできる。

30

【0071】

トレース長短縮のさらなる利点は、トレースが消費する基板面積量の低減である。この面積は、様々な有利な方法で 사용할 ことができる。例えば、トレース幅を増大させることができる。一般に、トレース幅が広いほど、低い抵抗及びインダクタンスを提供することができ、高い電流処理能力が提供される。

【0072】

電源は、相互接続面を効果的に利用することもできる。例えば、相互接続面は、P C B 7 2 の外層又は内層に配置された導電材料の本質的な連続面（例えば、ばか穴を除き、画定された二次元面積範囲にわたって連続する）からなり得る。例えば、接地面を使用して、2 つ以上の構成要素の接地端子を一緒に接続することができる。別の例として、電力面を使用して、2 つ以上の構成要素の電力端子を一緒に接続することができる。相互接続面は、面に結びつけられた構成要素間に低抵抗且つ低インダクタンスの相互接続を提供するため、有利であり得る。必要な場合、穴をプランに提供して、面に電氣的に接続せずに、面を貫通するビア（例えば、信号相互接続の）の隙間を提供することができる。

40

【0073】

いくつかの場合、単一点で互いに相互接続される 1 つ又は複数の分割面を提供することが有利であり得る。例えば、図 6 は、P C B 9 2 が電源部分 9 4 及び動作回路部分 9 6 を含む電子システムの P C B 設計 9 0 を示す。複数の分割面セクション 9 8、100、及び

50

102が提供される。分割面は、例えば、切り欠き部分又はエッチング部分を有して分割面を画定するPCBの外層又は内層に配置された導電層であり得る。動作回路は分割面セクション102を備え、このセクションは、動作回路の下で連続する（バイアスカ穴104を除く）。電源部分は2つの分割面セクション98及び100を備える。面部分のそれぞれは、単一接続点106を介して互いに接続する。複数の分割面の使用は、電源内で生成される雑音を電源内に閉じ込め、電源の雑音の影響を受けやすい部分（例えば、面98の上下に配置される）を電源の雑音生成部分（例えば、面100の上下に配置される部分）から分離するために有利であり得る。

【0074】

コンデンサの量及び種類を最適化することにより、電源のさらなる小型化を得ることができる。コンデンサは電源でいくつかの目的を果たすことができる。コンデンサは、電源のサイクル間に電荷貯蔵を提供することができる（例えば、線形供給では交流電流入力のサイクル又は切り替え電源での切り替えサイクル中）。コンデンサは、エネルギー貯蔵を提供して、サージ電流需要（例えば、発生が早すぎて調整器が応答できない）を満たすこともできる。コンデンサは雑音フィルタリング（例えば、接地への雑音信号の分路）を提供することもできる。通常、電源には、通常の動作条件下で電荷を貯蔵するために必要な量を超える大量の容量が設計される。この過度の容量は、部分的にはコンデンサの有効性を制限する大きなコンデンサの非理想的な応答（例えば、等価直列抵抗）により提供される。

【0075】

対照的に、種類を混ぜたコンデンサを使用することにより、提供される全静電容量を低減できることが本発明者等により発見されている。例えば、全静電容量要件は、電源により供給される動作回路の要件及び電源の特徴に基づいて決定される。次に、全静電容量要件は、異なる種類のコンデンサに分けることができる。いくつかの小さく、等価直列抵抗（ESR）が低いコンデンサを提供することができる。低ESRコンデンサは、高速負荷変化に素早く応答することができるが、限られた電荷貯蔵能力を提供する。しかし、全静電容量要件の提供にすべて低ESRコンデンサを使用することは、低ESRコンデンサのサイズ及びコストにより非実用的である。したがって、より高いESRを有する追加のコンデンサを提供することができる。ESRのより高いコンデンサは、応答が遅いが、負荷変動が低ESRコンデンサの能力を超える場合に応答することができる。したがって、全静電容量要件は、部分的には低ESRコンデンサ及び部分的には高ESRコンデンサにより満たすことができる。所望であれば、全静電容量要件を2つ以上の種類のコンデンサに分けることができる。特定の例として、1ファラッドの全静電容量要件を低ESRコンデンサ100ミリファラッド、中ESRコンデンサ400ミリファラッド、及び高ESRコンデンサ0.5ファラッドに分けることができる。

【0076】

全静電容量要件をそのようにして分けることにより、従来の設計と比較して全静電容量を低減することができ、それにより、使用される基板面積の低減が提供される。さらに、すべての中又は高ESRコンデンサを使用する従来の設計と比較して、必要な全静電容量を一般に低減できることが観測されている。

【0077】

小型化電源の製造は、図7に示されるフローチャートによるものを含め、任意の適した様式で進めることができる。方法110はボックス112で開始することができ、電源の設計概略が得られる。例えば、設計概略は技術者が作成することができる。設計概略は、例えば、構成要素の製造業者により提供される基準設計に基づいてもよく、又はカスタマイズされた設計であってもよい。

【0078】

設計概略は、電源を構成する構成要素を定義する部品リストと、構成要素間の相互接続を定義するネットリストとを含むことができる。設計概略は電子形態であることができる。設計概略は、業界標準ファイル形式等のコンピュータ支援設計（「CAD」）システム

が使用可能な形態であることができる。

【0079】

ボックス114及び116は、複数のうちの第1及び第2の構成要素の、PCBの第1及び第2の側での位置を選択することにより、方法110を続けることができることを示す。PCBのレイアウトは、CADレイアウトツールを使用して決定することができる。CADレイアウトツールを使用して、PCB上の構成要素の位置を定義することができる。例えば、電子構成要素のうちの第1の構成要素は、PCBの第1の側に位置決めし、電子構成要素のうちの第2の構成要素は、PCBの第2の側に位置決めすることができる。電子構成要素のうちの第2の構成要素の位置は、これより説明するように、電子構成要素の第1の構成要素の位置に関連し得る。

10

【0080】

電子構成要素を位置決めする場合、様々な側面を考慮することができる。構成要素は、トレース長を最小化するように、互いに対して位置決めすることができる。トレース長の相対的な重要度も同様に考慮することができ、重要なトレース（例えば、雑音の影響を受けやすいか、又は雑音を放射する可能性がかなり高い相互接続に対応するトレース）を、あまり重要ではないトレースを長くすることを犠牲にして短く保つという妥協がなされる。例えば、感知線は雑音の影響を特に受けやすい傾向を有するため、他のトレースから離すか、又は遮蔽することができる。特定の例として、電源内の回路を感知して、過電流及び過／不足電圧状況を検出することにより、感知線を使用することができる。感知線による雑音ピックアップは、スプリアス検出に繋がり、電源の望ましくない遮断に繋がるおそれがある。

20

【0081】

構成要素は、基板の両側に互いに対して位置決めして、バイアに複数の目的を果たさせることができる。例えば、従来の片面PCBは多くの場合、バイアを含み、PCBの上側のトレースと下側のトレース（及び存在する場合には中間層のトレース）の間に接続を提供する。小型化電源では、構成要素をPCBの逆側に位置決めして、バイアに複数の目的を果たさせることもできる。例えば、上側のトレースを下側のトレースに接続するために使用されるバイアは、下側の部分に接続するために使用することもできる。

【0082】

部品を第1の側に対して第2の側に位置決めする場合、部品の位置の配慮は、排他的に相互接続長に焦点を合わせる必要はない。例えば、雑音の影響を受けやすい構成要素は、雑音生成構成要素から離すことができる。

30

【0083】

小型化電源をレイアウトする場合、位置の選択は、三次元位置決めタスクとして見ることができる。換言すれば、構成要素の位置は、X、Y、及びZ寸法で定義することができる。X及びYはPCBの横寸法に対応し（PCBにより定義される平面内、例えば、「左／右」）に対応し、Z寸法はPCBでの垂直寸法（PCBにより定義される平面に垂直、例えば、「上」及び「下」）に対応する。位置は、PCBでの基準点に対して定義することができる。これは、単にX及びY寸法で位置決めする従来の片面PCB設計とは対照的である。

40

【0084】

構成要素が位置決めされると、ボックス118は、相互接続を定義できることを示す。例えば、相互接続は、パッド（構成要素の端子への電気接続のため）、トレース、及びバイアを含むことができる。パッド、トレース、及びバイアの位置は、基準点に対して定義することができる。相互接続の配線は、例えば、自動配線ツールを使用して実行することができる。パッド、トレース、及びバイアの位置を定義するPCBレイアウトは、CADシステムから電子形態で提供することができる。例えば、PCBレイアウトは、PCBの組み立てに使用可能な業界標準形式で定義することができる。PCBは、PCBレイアウトに従って組み立てることができる。ボックス120に示されるように、電源は、構成要素をPCBに搭載して電氣的に接続することにより、組み立てられたPCBから構築する

50

ことができる。

【0085】

本発明のいくつかの実施形態による小型化電源は、消費面積の低減において利点を提供する。例えば、いくつかの実施形態では、PCB面積は、従来の片面設計での約10.2 cm²（約4平方インチ）から、両面設計での約2.5 cm²（約1平方インチ）に低減した。

【0086】

驚くことに、性能向上での追加の利点も、いくつかの実施形態において観測された。例えば、トレース長の低減及びトレース間の相互作用の低減により、向上した雑音性能が観測された。特に、小型化電源の調整及び出力雑音の安定性は、従来の片面PCB設計と比較して大幅に向上することが観測された。一般に、スペース及び性能の向上した効率は、PCBの両面に能動的部品を配置することに関連する追加の製造（及び修理）コストを相殺するのに十分であり得る。

【0087】

これより理解されるように、本開示による小型化電源は、面積効率がより高い高性能電源を提供するのに役立ち得る。そのような電源は、コンパクト計算システム、埋め込みコンピュータ、ラップトップコンピュータ、及び同様の用途等の面積が制限される用途でとくに有用であり得る。

【0088】

したがって、本明細書において考察するように、本発明の少なくともいくつかの態様は電源を小型化する技法を含む。特に、本発明の少なくともいくつかの態様は、PCBの面積利用を効率的にする小型化電源に関する。

【0089】

メモリ

本発明のいくつかの態様は、コンピュータ装置又はシステムでのメモリ性能を最適化するシステム及び方法に関する。さらに、本発明のいくつかの態様は、回路基板上のメモリレイアウトを小型化し最適化するシステム及び方法に関する。

【0090】

メモリコントローラ132と、1組8つのメモリ素子134、136、138、140、142、144、146、及び148（M1～M8とも記される）とを有するメモリシステム130のPCBレイアウトを示す図8をこれより参照する。8つのメモリ素子のそれぞれは、PCB150にはんだ付けされるか、又は他の様式で電氣的に直接結合される。4つのメモリ素子M1、M3、M5、及びM7はPCB150aの上にはんだ付けされ、4つの他のメモリ素子M2、M4、M6、及びM8は下面150bにはんだ付けされる（直接示されない）（これらの素子は、PCB150の下面150bにあることを表すために点線で示される）。この直接接続は、1つ又は複数の接続スロットを有するDIMMを有する特定の従来のメモリ接続とは異なる。それらの素子では、メモリはメモリカードにはんだ付けされ、メモリカードがDIMMに挿入された。したがって、代表的な実施形態は、この間接的な接続をなくし、それにより、DIMM及び対応する回路の必要性がなくなる。

【0091】

DIMMを除去することにより、メモリ素子をメモリコントローラ132のはるかに近傍に配置することができる。したがって、少なくともいくつかの実施形態では、各メモリ素子の部分は、メモリコントローラ152から約6.4 cm（約2.5インチ）以下の距離152以内に配置される。この距離152により、メモリシステムをハンドヘルドコンピュータシステム及び小型コンピュータシステム等のよりコンパクトな装置に配置できるようにする、よりコンパクトで最適化されたPCBレイアウトが可能である。さらに、いくつかの実施形態では、メモリ素子全体は、メモリコントローラ132から約6.4 cm（約2.5インチ）以下の距離154以内に配置される。

【0092】

述べたように、メモリ素子M1～M8はPCBに直接はんだ付けされる。はんだ付けされたメモリ素子は、DIMMソケットよりも強化された耐衝撃性及び耐ショック性を有し、したがって、より厳しい環境に組み込むことができるロックタイトシステムを提供しながら、装置故障の可能性を低減する。メモリが、DIMMスロットに挿入されるメモリカードにはんだ付けされる場合、メモリカードとスロットの接続は弱く、コンピュータシステム全体の多用途性を低減する。したがって、はんだ付けされたメモリ素子を有する本システムでは、大きな衝撃に耐えるとともに、オートモバイルコンピュータシステム等の従来のデスクトップコンピュータシステムよりも厳しい環境に耐えるように設計されたコンピュータ装置又はシステムにPCB全体を組み込むことができる。

【0093】

物理的な強度及び最適化されたレイアウトに加えて、はんだ付けされたメモリ素子は、スケーラブルメモリシステムの不確実性を除去する。メモリ素子M1～M8をPCB150に固定することにより、システム設計者はメモリ素子性能を最適化することができ、メモリ素子をより高いレベルで実行させ、したがって、コストを増大せずにシステム性能が増大する。

【0094】

さらに、メモリ素子コストが下がりつつあるという最近の傾向に鑑みて、少なくともいくつかの実施形態では、DIMMコネクタソケットを使用してメモリ拡張性を提供するのではなく、PDBで使用可能な最大メモリを増大することが経済的に実現可能である。少なくともいくつかの実施形態では、今では、ホストコンピュータシステムが直接使用可能な予測可能な最大システムメモリを装置にまず設置することが実現可能である。これにより、拡張可能なDIMM、そのような部品のコスト、そのような部品のサイズ、並びに対応する設計不確実性の必要がなくなる。

【0095】

引き続き図8を参照すると、代表的な実施形態では、システム130は、メモリコントローラ132の近傍でPCB150に直接はんだ付けされた複数のメモリ素子を含む。いくつかの実施形態では、メモリ素子は、PCB150の上面150a及び下面150bの両方に配置されて、PCBスペースを最大化する。したがって、いくつかの実施形態では、PCBの上面150aのメモリ素子は、下面150bにあるメモリ素子の真上にある。他の実施形態では、上面のメモリ素子は、下面のメモリ素子と互い違いになる。示されるように、メモリ素子は直線に配置される。しかし、他の実施形態では、メモリ素子は、複数の線に配置されたメモリコントローラ132の周囲に配置された群にクラスタ化され、又はメモリコントローラ132の近傍に他の様式で配置される。

【0096】

いくつかの実施形態では、個々のメモリ素子M1～M8は、組み合わせてパーソナルコンピュータのメインメモリ（「RAM」）を形成し得るDRAMメモリである。DRAMは、データの各ビットを集積回路内の別個のコンデンサに記憶するランダムアクセスメモリの一種である。実際のコンデンサは電荷が漏れるため、コンデンサ電荷が周期的にリフレッシュされない限り、情報は最終的には消えていく。このリフレッシュ要件により、SRAM及び他の静的メモリとは対照的なのが動的メモリであり、DRAMメモリ素子は非常に小型に製造することができ、PCBレイアウトの最適化及び小さなPCBフットプリントを可能にする。他の実施形態では、メモリ素子はSRAM、TRAM、ZRAM、及び／又はTTRAMメモリを含む。なお他の実施形態では、システムは、EEPROMメモリ又はフラッシュメモリ等の不揮発性メモリ素子を含む。

【0097】

メモリシステムの必要性に基づいて、個々のメモリ素子M1～M8は様々な記憶容量を有する。いくつかの実施形態では、個々のメモリ素子は128MB、256MB、512MB、1GB等の記憶容量を有する。さらに、図8は8つのメモリ素子を示すが、より多数又は少数のメモリ素子をシステムに含むことができる。例えば、2、3、4、6、10、又は11以上のメモリ素子をシステムに含むことができる。

10

20

30

40

50

【0098】

図8のメモリシステム130は、メモリコントローラ132及び／又はコンピュータシステムの他の装置の間に電気接続を形成する線を含む。明確にするために、これらの線は図8に示されない。図9～図11は、図8に示されるシステム130に組み込み得るシステムデータ線、クロック線、及びアドレス線の代表的な実施形態を示す。これより図9を参照すると、メモリシステム130は、1組のデータ線156、158、160、及び162を有して示される。当業者に理解されるように、示される各データ線は、16、32、64等の複数のデータ線を表すことができる。各メモリ素子に別個の直接データ線を提供することにより、直列接続で必要とされる、データ線の端部での終端抵抗の必要性がなくなる。さらに、直接接続は、データ線に沿ったトレース抵抗の必要性もなくす。したがって、これらの直接接続は、最小のPCBリアルエステートのみを必要とする。続けて、この構成により、メモリ素子M1～M8は、メモリコントローラ132との間で限られたスペースを占めるため、メモリコントローラ132の近傍に位置決めすることができる。

10

【0099】

個々の直接データ線は、DIMMスロットを直列接続し、各線の端部に終端抵抗を必要とするDIMMデータ線よりも優れた利点を提供する。この構成では、DIMMは、PCB上により大きなスペースを必要とするとともに、より多数の部品を必要とする。したがって、本システムの実施形態は、これらのスペース要件をなくし、したがって、結果として生成されるシステムのコスト及びサイズの両方を低減する。

【0100】

これより図10を参照すると、1組のクロック線（まとめて168で示される）が示され、クロック線は、システムクロック164と個々のメモリ素子M1～M8との間に電気通信を提供する。図10は、代表的なクロック線路及び長さを図で示すブロック図である。しかし、本発明の少なくともいくつかの実施形態によれば、図8に示されるように、少なくともいくつかのメモリ素子をPCBの反対側に配置し得るため、図10がPCBの完全なレイアウトを正確に表していないことが理解されよう。

20

【0101】

クロック信号は、メモリ素子を同期させ、システム全体が適宜、高速で動作できるようにする。したがって、システムクロックからのクロック信号は、各メモリ素子に同時に到着すべきである。したがって、いくつかの実施形態では、システムクロック164と個々のメモリ素子（例えば、M1～M8）との間の線の長さは等距離（又はほぼ等距離）である。星形構成170及び172により、システムクロックからの線を、それぞれが等しい距離を有する複数の線に分割することができる。星形構成170及び172から先の線は、メモリ素子に接続し、メモリ素子にクロック信号を提供する。星形の中心を、各メモリ素子から等距離のポイントに配置することにより、星形は、同期クロック信号をメモリ素子M1～M8に適宜、正確に送信する。いくつかの実施形態では、星形構成170及び172のそれぞれは、メモリ素子と並列して終端抵抗174及び176を含み、適宜機能することを保証する。

30

【0102】

メモリ素子M1、M3、M5、及びM7（示されていないM2、M4、M6、及びM8にも）のそれぞれ並びにメモリコントローラ132と電気通信するアドレス線178を示す図11をこれより参照する。アドレス線は、メモリ素子を直列接続し、読み書きメモリ動作中、メモリコントローラ132とメモリ素子との間に電気信号を提供する。いくつかの実施形態では、終端抵抗180は、アドレス線の端部に接続されて、システムの機能を向上させる。

40

【0103】

メモリシステム線、特に、データ線、クロック線、及びアドレス線の配線により、コンパクトで最適化されたメモリシステムレイアウトが可能であり、それにより、いくつかの実施形態では、各メモリ素子をメモリコントローラ132の2.5インチ以下以内に配置することができる。さらに、システム線の構成及び向きにより、高度に最適化されたメモ

50

リ性能を提供しながら、追加の構成要素に対する要件が低減する。

【0104】

これより図12を参照して、代表的な一実施形態によるメモリシステムを最適化する方法190のブロック図を示す。代表的な方法は、少なくとも1つのメモリ素子を回路基板の上面に配置することを提供する（ボックス102において）。さらに、ボックス194は、方法が、少なくとも1つのメモリ素子が回路基板の下面に配置されることに続き得ることを示す。ボックス196において、図12は、次に、メモリ素子を回路基板に直接はんだ付けすることを示す。いくつかの実施形態では、メモリ素子は、メモリコントローラから6.4cm（2.5インチ）以下の箇所に配置される。いくつかの実施形態では、はんだ付けは、メモリ素子のうちの少なくとも1つを下面に配置しながら、メモリ素子のうちの少なくとも1つをPCBの上面に配置することを含む。方法190（ボックス198に示される）は、別個のデータ線を介して各メモリ素子をメモリコントローラに電子的に結合することをさらに提供する。最後に、ボックス200は、方法190が複数の等距離クロック線を介して各メモリ素子をシステムクロックに電子的に結合することを提供することを示す。

10

【0105】

したがって、本発明の実施形態は、コンピュータ回路基板レイアウトに関する。特に、本発明の少なくともいくつかの態様は、コンピュータ装置又はシステムでのメモリ性能を最適化するシステム及び方法に関する。さらに、本発明の少なくともいくつかの態様は、回路基板上のメモリレイアウトを小型化し最適化するシステム及び方法に関する。

20

【0106】

ICコネクタ

本発明のいくつかの態様はICコネクタに関する。特に、本発明のいくつかの態様は、IC（例えば、CPU）を回路基板（例えば、PCB）に取り付けることができるPGA-BGAアダプタに関する。記載されるPGA-BGAアダプタは、はんだBGAを使用して、PGAを備えたIC素子を回路基板に電氣的且つ物理的に接続できるようにする任意の適した構成要素を備えることができる。非限定的な例として、図13は、PGA-BGAアダプタ210がケース212と、機械加工ピンソケット216の配列214とを備える代表的な実施形態を示す。記載されるアダプタのよりよい理解を提供するために、上述した各構成要素について以下により詳細に説明する。

30

【0107】

ケース212に関して、ケースは、ピンソケットがピンを集積回路から回路基板に電氣的に接続できるようにピンソケットを収容しながら、機械加工ピンソケット216を絶縁できるようにする任意の適した特徴を備えることができる。非限定的な一例では、図13及び図14は、ケース212が第1の表面218及び第2の表面220（図14に示される）を備える実施形態を示す。他の非限定的な例では、図13及び図14は、ケースの第1の表面218及び第2の表面220がほぼ平坦であり、互いにほぼ平行して延びることを示す。

【0108】

ケース212は任意の適したサイズであることができるが、いくつかの非限定的な実施形態では、ケースは、対応するIC（例えば、CPU）のフットプリントとほぼ同様のサイズのフットプリントを回路基板上に有するように構成される。したがって、レバー及びロック機構を収容するために比較的大きなフットプリントを有するいくつかの従来のCPUソケットとは異なり、記載されるPGA-BGAアダプタ210のいくつかの非限定的な実施形態は、回路基板上でわずかなリアルエステートを有するか、又はアダプタなしで取り付けられるCPUよりも大きな回路基板上のリアルエステートを有さないように構成される。

40

【0109】

ケース212は、任意の適した厚さであることができる。この点に関して、いくつかの非限定的な実施形態では、ケースの第1の表面218と第2の表面220との距離D1は

50

、約 1 mm、約 2 mm、約 3 mm、及び約 4 mm から選択される距離ほどわずかである。同様に、いくつかの非限定的な実施形態では、ケースは、約 5 mm、約 6 mm、約 8 mm、及び約 10 mm という大きな距離 D1 から選択される厚さを有する。実際には、いくつかの非限定的な実施形態では、ケースは、従来のガラス繊維回路基板の約 1.2 倍～約 3 倍の厚さである。例えば、いくつかの非限定的な実施形態では、ケースは、従来のガラス繊維回路基板の厚さの約 2 ± 0.5 倍の厚さを有する。

【0110】

上述した特徴に加えて、ケース 212 は、意図されるように機能可能な任意の適した材料で製造することができる。非限定的な一例では、ケースは、アダプタが、アダプタを備えた回路基板が使用される場合に生じる振動又は機械的ショット等の機械的応力に曝された場合、アダプタ 210 内での曲がりを低減し、且つ／又は回避するように構成された剛性材料を含む。別の非限定的な例では、ケースは、個々のピンソケット 216 を互いに電氣的に絶縁可能な材料を含む。この点に関して、ケースに適した材料のいくつかの例としては、剛性且つ絶縁式のガラス繊維、プラスチック、セラミック、ポリマー、及び／又は他の同様の材料が挙げられるが、これらに限定されない。

【0111】

これより機械加工ピンソケット 216 の配列 214 を参照すると、PGA-BGA アダプタ 210 は、任意の適した数のピンソケットを備えることができる。実際には、いくつかの非限定的な実施形態では、アダプタは、配列に配置された 4 本という少数のピンソケットを備え、他の非限定的な実施形態では、アダプタは 1,000 を超えるピンソケットを備える。しかし、非限定的な一例によれば、図 13 は、アダプタ 210 が 940 のピンソケット 216 を備える実施形態を示す。

【0112】

配列 214 内の個々の機械加工ピンソケット 216 は、任意の適した特徴を有することができる。非限定的な一例では、図 13 及び図 15 は、いくつかの実施形態では、ピンソケット 216 が中空であり、樽のような外観を有することを示す。この例での機械加工ピンソケットは任意の適した形状（限定ではなく、円筒形、管形、三角形、矩形、多角形、不規則形、又は他の既知若しくは新規の形状を含む）を有することができるが、図 15 は、機械加工ピンソケット 216 が円筒形を有する非限定的な実施形態を示す。

【0113】

機械加工ピンソケット 216 の適した特徴の別の非限定的な例では、図 15 は、ピンソケット 216 が、ケースの第 1 の表面 218 又は表面 218 に隣接して配置されるピンレセプタクル開口部 222 を画定することを示す。したがって、ピンソケットは、集積回路の PGA からピン（図示せず）を受けるように構成される。

【0114】

別の非限定的な例では、配列 214 内の機械加工ピンソケット 216 のピンレセプタクル開口部 222 は、ケースの第 1 の側 218 において互いにほぼ同一の平面にある。このようにして、アダプタ 210 は、集積回路をアダプタに均一に着座できるように構成される。

【0115】

さらに別の非限定的な例では、図 15 は、機械加工ピンソケット 216 の近位端部 224 がはんだ玉 228 を備えることを示す。この例でののはんだ玉は、任意の適した目的を果たすことができるが、いくつかの場合では、はんだ玉は、ピンソケット（及びピンソケット内に配置される任意の IC ピン）を回路基板に電氣的に且つ／又は物理的に取り付けるために使用される。

【0116】

さらに別の非限定的な例では、図 15 は、いくつかの実施形態では、機械加工ピンソケット 216 が少なくとも 1 つのフィンガ接点 230 を備えることを示す。この例では、フィンガ接点は、集積回路素子の PGA からのピンの電気接触、物理的捕捉、及び／又は直線化を含むが、これららに限定されない任意の適した機能を果たすことができる。

【0117】

機械加工ピンソケット216が接点フィンガ230を備える場合、ピンソケットは任意の適した数のフィンガ接点を備えることができる。例えば、いくつかの実施形態では、機械加工ピンソケットは、2、3、4、5、6、7、8、又は9以上のフィンガ接点を備える。実際には、いくつかの実施形態では、機械加工ピンソケットは6つの接点フィンガを備える。

【0118】

機械ピンソケット216が2つ以上の接点フィンガを備える場合、複数のフィンガは任意の適した目的を果たすことができる。非限定的な一例では、1つ又は複数のフィンガ接点が破損するか、又は他の様式で集積回路ピンからのピンとの接触を失う場合、1つ又は複数の他の接点フィンガは、そのピンとの電氣的接触を維持するように構成される。別の非限定的な例では、ソケットに配置されるフィンガ接点が多いほど、ソケットとソケット内部に配置されるピンとの物理的な接続が強くなる。

【0119】

機械加工ピンソケット216が少なくとも1つの接点フィンガ230を備える場合、接点フィンガは任意の適した特徴を有することができる。非限定的な一例では、接点フィンガは弾性を有する。別の非限定的な例では、接点フィンガは、弓形、直線、円形、先細り、又は他の既知若しくは新規のフィンガ接点形状を含むが、これらに限定されない任意の適した形状を有することができる。さらに別の非限定的な例では、接点フィンガは、フィンガをピンソケット内に配置された集積回路ピンに電氣的且つ物理的に接続できるようにする機械加工ピンソケット内部の任意の適した位置に配置することができる。

【0120】

上述した特徴に加えて、各機械加工ピンソケット216は、任意の他の適した特徴を備えることができる。非限定的な例として、各ピンソケットは、銅、金、真鍮、白金、銀、及び／又はインタポーザが意図される目的を果たすことを可能にする任意の他の材料を含むが、これらに限定されない任意の適した導電材料を含むことができる。

【0121】

別の非限定的な例では、機械加工ピンソケット216は、任意の適したパターンでケース212に配置することができる。例示として、図16は、少なくとも1つの実施形態において、CPU（図示せず）が適切な向きでのみアダプタ210に取り付けることができるように、機械加工ピンソケット216の配列214が適合されることを示す。

【0122】

上述したように、PGA-BGAアダプタ210は、使用を有利にする様々な特徴を備える。そのような特徴の非限定的な一例では、記載されるアダプタのいくつかの実施形態は、回路基板上でわずかなリアルエステートを必要とするか、又はアダプタなしのCPU（アダプタを介して基板に取り付けられるように構成される）で必要とされるよりも多くのリアルエステートを回路基板上で必要としないフットプリントを有する。

【0123】

別の非限定的な例では、アダプタ210は集積回路を受けるように構成されるため、アダプタは回路基板にはんだ付けされるか、又は他の様式で接続することができる、CPU又は他の集積回路を後にアダプタに接続することができる。その結果、アダプタを備える回路基板は最初にCPUを設置しておく必要がない。したがって、PCB及びCPUを別個に販売することができる。同様に、記載されるアダプタは、CPUをアダプタに取り付けずに回路基板に取り付けられるように構成されるため、製造業者は回路基板及びCPUを購入することができ、特定の注文がなされた場合に互いを取り付けるだけでいい。

【0124】

別の例では、アダプタ210は、基板を貫通するPGAの使用とは対照的に、BGAを使用して回路基板232（図16参照）に接続することができるため、アダプタは、電気回路（例えば、インタポーザ又はICに電氣的に直接接続されない回路）を、アダプタの真逆に配置された回路基板の部分に配置できるようにする。

【0125】

さらに別の例では、記載されるアダプタのいくつかの実施形態は、接点フィンガと集積回路からのピンとの間に圧力を使用して、回路を回路基板に取り付けるように構成され（集積回路を基板に直接はんだ付けするのとは対照的に）、集積回路は回路基板から選択的に着脱可能である。

【0126】

したがって、本明細書で考察されるように、本発明の少なくともいくつかの態様は、IC素子を回路基板に取り付けるシステム及び方法を含む。特に、本発明の少なくともいくつかの態様は、BGAを備え、回路基板に電氣的且つ物理的に取り付けられるように構成されたアダプタを使用して、ピン配列を備えるICを回路基板に取り付けるシステム及び方法に関する。

【0127】

論理チップ／LED接続

上述したように、本発明の少なくともいくつかの態様はLED回路に関する。実際には、本発明のいくつかの実施形態は、LEDがLEDの構成要素材料によって決まる別個の各色を、ユーザが望む情報又はユーザにより定義される状態の視覚的表現又は表示として発することが可能なように電氣的に接続された2色LED又は3色LED等の少なくとも1つのマルチカラーLEDに関連して行われる。少なくとも1つの実施形態では、2色LED電気インジケータシステムは2色LEDを含む。そのような実施形態では、LEDは2つの色：一方向での電流の流れによる第1の色及び逆方向での電流の流れによる第2の色を発することが可能である。すべてのダイオードと同様に、2色LEDは2つのリード又は電気端子を含む。しかし、電流が一方向に流れる場合、適切なダイオードに対して、一方のリードは陰極として挙動し、その間、他方のリードは陽極として挙動する。電流が逆になると、他方のダイオードに対して、前は陰極であったリードは陽極として挙動し、前は陽極であったリードは陰極として挙動する。

【0128】

2色LEDに加えて、上記システムのいくつかの実施態様は、電気接地出力を提供する第1の電気線を含む。そのような実施態様では、出力は通常、単一の独立した単色LEDのみに接続され、アクティブ化させることが意図される。しかし、第1の電気線は、2色LEDの一方のリード及びプルアップ抵抗に接続される。プルアップ抵抗は、2色LEDの2つの可能な色のうちの一方をアクティブ化させるのに適切な方向での電流の流れを提供する。

【0129】

最後に、上記システムのいくつかの実施形態は、上述した第1の出力と同様の電気接地出力を提供する第2の電気線も含む。同様にして、第2の電気線は、2色LEDの他方のリード及び別のプルアップ抵抗に接続される。プルアップ抵抗は、2色LEDの2つの可能な色のうちの他方をアクティブ化させるのに適切な方向での電流の流れを提供する。このようにして、2色LEDの2つの別個の色を両方とも、適切な電気出力又は信号に従って別個の時間にアクティブ化させることができる。

【0130】

これより図17を参照して、マルチカラーLED電気インジケータシステム240の代表的な実施形態を示す。示される実施形態では、システム240はマルチカラーLED242が、LED242の構成要素材料及び構造によって決まる別個の各色を、ユーザが望む情報又はユーザにより定義される状態の視覚的表現又は表示として発することが可能なように構成される。一般に、システム240は新規のLED回路である。システム240のいくつかの実施形態は、以下の構成要素：論理素子244、個々の内部半導体ダイ242a、242b、・・・、242nを有するマルチカラーLED242、論理ピン244a、244b、244c、244d、・・・、244n、電気線又はワイヤ246、248、及び抵抗250、252を含み、各構成要素についてさらに詳細に以下において考察する。

【0131】

引き続き図17を参照して、論理素子244の代表的な実施形態を提供する。一般に、論理素子244は、既知のデータ又は情報に基づいて論理出力を送信するが、電流を調達することができない。基礎となる既知のデータ又は情報は、事前に論理素子244をプログラムし、物理的なシステム要素若しくは構成に基づいて必要な情報を論理素子244に送信することを介して、又はソフトウェア実装手段を通して提供することができる。いくつかの実施形態では、論理素子244は、例として、Marvell Semiconductor Inc. 製のEthernet（登録商標）論理チップ又は他のコンピュータ論理チップであることができる。他の実施形態では、論理素子244は代替の電気素子を含み得る。

10

【0132】

論理素子244は、電気信号の形態で論理ピン244a、244b、244c、244d、・・・、244nを通して対応する論理出力を送信する。論理素子244は、1つという少数の論理ピン244aを有することができるが、又は理論上、論理素子244は244nで表される無限数の論理ピンを有することができる。各論理ピン244a～nには、上述したように論理素子244にとって既知であり、論理素子244により送信される一意の情報に基づいて、一意の電気信号が関連付けられる。このようにして、論理素子244を介してエンドユーザに提供されるデータは、高度にカスタマイズ可能であり、多様性を有する。非限定的な例として、Ethernet（登録商標）チップ244は以下のピンを含み得る：AC T、リンク、デュプレックス、速度（すなわち、10MB、100MB、1000MB等）等。上述した各ピンは、各ピンの対応するタイトル又はラベルに関連する任意所与の時間に、Ethernet（登録商標）チップ244に既知のデータを送信するタスクを有する。

20

【0133】

論理ピン244a～nの状態は高インピーダンスであるため、上述したように、論理ピン244a～nは各自に電力を提供しない。むしろ、論理ピン244a～nは、論理素子244が特定の情報を受信し、それに対応してその特定の情報を送信する際、ローになる。データが既知ではないか、又は利用可能ではない場合、対応するピンは単にフロートする。言い換えれば、論理素子244は、各論理ピン244a～nに関連付けられた線をローにプルすることしかできず、ローにプルしない場合、線は浮上する。例えば、仮にコンピュータシステムが100MbのEthernet（登録商標）速度能力を有するが、1000Mbではない場合、100Mbピンがローになるか、又は他の様式で接地される間、1000Mbピンは単にフロートする。仮に100Mbピンが単色LEDに適宜接続された場合、単色LEDは点灯して、100Mb速度を示す。適切な電気信号を送信するために、すべてのピン244a～nがローになるため、2つの別個のピンは対応する2色LEDの2つのLED端子のみに単に接続することはできず、その理由は、いずれのピンも電力を提供せず、したがって2色LEDが決してアクティブ化しないためである。したがって、本発明によれば、より詳細に後述するように、そのような接続に役立つように、抵抗250及び252が必要である。

30

【0134】

引き続き図17を参照して、マルチカラーLED242の代表的な実施形態を提供する。LEDは1つという少数の内部半導体ダイ242aを有することができるが、そのようなLEDは必ずしも単色である必要はない。したがって、LED242は、最低2つの内部半導体ダイ242a及び242bを有して示され、各内部半導体ダイは、LEDが最低で2つの別個の色を送信可能なように、異なる半導体材料から製造されるか、又は異なる不純物がドーピングされる。しかし、LED242は、「242n」で表される追加の内部半導体ダイを含むこともできる。或いは、LED242は、多色の外観になるように操作することができる。例えば、2色LEDを4つの機能アクティブ化間で切り替えることができる：オフ、所与の時間長にわたって一方のダイオードが独立してアクティブ化し、それにより、1つの別個の色をその時間長にわたって生成、所与の時間長にわたって他方のダ

40

50

イオードが独立してアクティブ化し、それにより、他方の別個の色をその時間長にわたって生成、又は十分な頻度で2色を交互にして、混合された第3の色の外観にする。例えば、このようにして動作する赤／緑LEDは混色されて、黄色の外観を生み出す。本発明は、所望の物理的表示を生み出すのに適切な性質及び／又は特徴を有する任意のマルチカラーLEDの使用及び製造を意図する。

【0135】

手短に上述したように、2色LEDは実際には、1つのケース又はレンズ内に収容された2つの異なるLEDである。LEDは、互いに逆平行する同じ2本のリードに接続された2つのダイオードからなる。一方向での電流の流れは1色を生成し、逆方向での電流の流れは他方の色を生成する。3色LEDは、1ケース内の2つのLEDであるが、2つのLEDは別個のリードに接続され、それにより、2つのLEDを独立して制御し、同時に照明することができる。3リード構成は、1つの共通リード（陽極又は陰極）を有することが典型的である。そのようなLEDが第3の色を生成可能なのは、単に2色を十分な頻度で交互にすることによるものではなく、むしろ、2色が同時に生成され、それにより、常に混色された第3の色が生成される。

【0136】

いくつかの実施形態では、LED242は、意図される使用に適した任意の適切な色又は機能を有する任意の適切なLEDであることができる。例えば、LEDは小型LED、高出力LED、中型LED、又は他の特定用途向けの変形であり得る。同様に、LED104は標準LED、有機LED（「OLED」）、量子ドットLED、拡散レンズLED、又は意図される使用に適した任意の他の種類のLEDであることができる。同様に、LEDは意図される使用に適した任意の形状及びサイズに構成することもできる。

【0137】

さらに、様々な実施形態では、LED242は、所望の波長（色）を生成できるように、任意の適した内部半導体材料又は適した不純物をドーピングした材料を含むことができる。例えば、ガリウムヒ素（GaAs）又はアルミニウムガリウムヒ素（AlGaAs）半導体材料を使用して赤外線を生成することができ、アルミニウムガリウムヒ素（AlGaAs）、ガリウムヒ素リン（GaAsP）、アルミニウムガリウムインジウムリン（AlGaInP）、又はガリウム（III）リン（GaP）半導体材料を使用して赤を生成することができ、当業者には既知のように、半導体材料を変更することにより、橙、黄、緑、青、スミレ、紫、紫外線、及び白等の他の別個の色を生成することができる。異なる波長（色）は、当業者には既知のように、動作のために異なる電圧パラメータも必要とする。

【0138】

いくつかの実施形態では、LED242の色は、上述したように、LEDに使用される半導体材料のみから導出される。そのような実施形態では、レンズ254はクリアであるか、又は追加の色を有さない透明であることができる。他の実施形態では、半導体ダイは有色レンズ254に組み込まれるか、又は収容される。レンズ254は、エポキシ、樹脂、プラスチック、又は他の適したポリマーベースの材料から作ることができる。レンズ254は、LED242が最終的に、意図される用途に適する多様な範囲の色のうちの任意の色として見るように、製造プロセス中に着色することができる。このようにして、標準化された色を一般に、特定の情報に関連付けることができ、それにより、LEDの単なる色を観察することで、ユーザは、関連付けられた電気素子についての情報を象徴的に導出することができる。他の実施形態では、LED242の色を視覚的に変更し、又はさらには望ましい場合に阻止することができるように、キャップ（図示せず）をレンズ254の上に配置することができる。

【0139】

加えて、いくつかの実施形態では、LED242は、LEDに典型的な1秒期間で点滅させるマルチバイブレータ集積回路を有する専用点滅LEDであることができる。しかし、データの増大若しくは低減を反映するように、他の情報を反映するように、又は単に所望の間隔で点滅するように、点滅期間は変更可能であり得る。そのような点滅LEDは単

色光を発することができるが、本発明は、複数の色で点滅し、混色を使用して色順を通して消えることができる点滅LEDも意図する。さらに、そのような点滅LEDは、上述したように、一方又は両方のLEDが点滅可能な機能を追加した2色LEDであることもできる。

【0140】

いくつかの実施形態では、ユーザが光を観測し、それにより、所与の電子素子の状態について通知することができるような可視スペクトル内の光を生成するLEDが望ましく、いくつかの実施形態は、赤外線等の不可視光を生成するLEDを意図する。そのような実施形態では、LEDは、ユーザの目ではなく電子センサにより観測され、適切な信号をLEDからセンサに送信し、センサで受信し得る。このようにして、例えば、コンピュータを、コンピュータの個々の構成要素又は他の何らかの電子素子の活動及び状態を監視するように、独立してプログラムすることができる。さらに、ソフトウェア実装を通して、メッセージを生成し、コンピュータの構成要素部品の活動又は別の電子素子の活動／状態について知りたいユーザに送信することができる。

10

【0141】

いくつかの実施形態では、LED242は単なるインジケータランプである。しかし、他の実施形態では、本発明の方法及びシステムは、照明、動作可能なプリントヘッドの動作、テキスト又はビデオ表示、及びLEDが適する他の照明に基づく機能を含む様々な目的でLED242をアクティブ化するために使用することができる。そのような実施形態では、無限数のLED242が意図される。

20

【0142】

引き続き図17を参照して、電気線又はワイヤ246及び248の代表的な実施形態を提供する。電気線／ワイヤ246及び248は、銅、真鍮、クロム、ニッケル、金、又は他の導電性防食材料等の任意の適した材料で構成することができる。同様に、電気線／ワイヤ246及び248は、上記材料又は適切な性質若しくは特徴を有する他の適した材料の任意の合金で構成することができる。さらに、電気線／ワイヤ246及び248は、標準電気線等の別個の要素であることができ、ワイヤは当業者に一般的な任意の様式で絶縁される。或いは、電気線／ワイヤ246及び248は、当業者に既知の方法により、論理素子244と、1つ又は複数のLEDインジケータを有するEthernet（登録商標）ポート等、PCB又は他の電気基板等のLED242を収容する対応する素子との両方に共通のプラットフォームに形成し、又は組み込むことができる。

30

【0143】

引き続き図17を参照して、抵抗250及び252の代表的な実施形態を提供する。いくつかの実施形態では、抵抗250及び252はプルアップ抵抗である。他の実施形態では、抵抗250及び252はプルダウン抵抗（図示せず）であることができる。プルアップ抵抗の基本的な機能は、他の入力がない場合、線をハイに「プル」することにより、回路がデフォルト値をとることを保証することである。換言すれば、プルアップ抵抗は、線のフロートを回避する。さらに、抵抗の主要な機能は一般に、大きすぎる電流がプルアップ回路を流れないようにすることである。

【0144】

プルアップ抵抗（例えば、抵抗250及び252）は、銅、真鍮、クロム、ニッケル、金、又は他の導電性防食材料等の任意の適した材料で構成することができる。同様に、プルアップ抵抗は、上記材料又は適切な性質若しくは特徴を有する他の適した材料の任意の合金で構成することもできる。

40

【0145】

いくつかの実施形態では、プルアップ抵抗250及び252は、線上のすべての構成要素が非アクティブの場合、非電圧源ワイヤ246及び248の電圧を電圧源レベルに「プルアップ」するように、電気線（又はワイヤ）246及び248に接続される。このようにして、論理ピン244c及び244dが非アクティブの場合、電流は線流れない。換言すれば、線上の他のすべての終端接続が非アクティブの場合、それらは高インピーダンス

50

スであり、切断されているように動作する。構成要素はまるで切断されているかのように動作するため、回路はまるで切断されているかのように動作し、電流はその線上を流れず、非電圧源ワイヤ（線上のすべての構成要素で共通）の電圧は、オームの法則に従って電圧源の電圧になる。言い換えると、線 246 及び 248 が両方ともプルアップされる場合、接地への経路がない。しかし、論理ピン 244c 等の線上の 1 つの構成要素がアクティブになる（すなわち、論理素子 244 からの信号に基づいて高インピーダンスから低インピーダンスに遷移する）場合、線は接地し、電流が流れる。

【0146】

一例では、システム 240 は以下のように動作する。この非限定的な例では、論理ピン 244b は 10Mb の Ethernet（登録商標）速度を備え、論理ピン 244c は 100Mb の Ethernet（登録商標）速度を備え、論理ピン 244d は 1000Mb の Ethernet（登録商標）速度を備える。さらに、この例では、論理素子 244 は Ethernet（登録商標）論理チップを備え、LED 242 は、対応する Ethernet（登録商標）ポート（図示せず）に 2 色インジケータ LED を備え、これらはすべて PCB（これも図示せず）に搭載される。

【0147】

PCB が、論理チップ 244 及び Ethernet（登録商標）ポート 100Mb Ethernet（登録商標）接続が可能な対応するコンピュータシステムに設置される場合、ピン 244c は、システムの物理的パラメータ及び高インピーダンスから低インピーダンスへの遷移に基づいてアクティブになる。その結果、線 246 は接地し、プルアップ抵抗 250 は、LED 242a がオンになるように、電流を第 1 の方向に流す。いくつかの実施形態では、LED 242a は、緑等の 100Mb の Ethernet（登録商標）速度に一般に関連付けられた色であり得る。Ethernet（登録商標）接続の様々な状態に対応する色は、ユーザに注釈付けることができ、それにより、ユーザは各色が何を表すかを知る。同時に、論理ピン 244d はハイ且つ非アクティブのままである。さらに、プルアップ抵抗 252 及び線 248 は、回路に干渉がないように十分に高いままである。言い換えると、線 248 および LED 242b は、単に非アクティブのままである。手短に上述したように、LED 242a は、任意の所望の色、サイズ、形状、又は種類であることができる。さらなる LED 242a は点滅 LED であることができる。

【0148】

他方、同じ PCB が 1000Mb の Ethernet（登録商標）接続が可能なシステムに設置される場合、ピン 244d はローになり、ピン 244c はハイのままであり、線 248 は接地し、プルアップ抵抗 252 は、LED 242b がオンになるように、第 1 の方向とは逆の第 2 の方向に電流を流す。いくつかの実施形態では、LED 242b は、アンバー等の 1000Mb の Ethernet（登録商標）速度に一般に関連付けられた色であり得る。同時に、論理ピン 244c はハイ且つ非アクティブのままであり、プルアップ抵抗 250 及び線 246 は、回路に干渉がないように十分に高いままである。換言すれば、線 246 及び LED 242a は単に非アクティブなままである。手短に上述したように、LED 242b は、任意の所望の色、サイズ、形状、又は種類であることができる。さらなる LED 242b は点滅 LED であることができる。いくつかの実施形態では、LED 242b は、いくつかの態様では LED 242a と同じであることができ、他の態様では異なることができる。例えば、一実施形態では、LED 242a は点滅 LED であってよく、その一方で、LED 242b は点滅 LED でなくてもよい。別の実施形態では、LED 242a 及び 242b は両方とも点滅 LED であってもよく、又は両方とも点滅 LED でなくてもよい。多くの利用可能な LED の任意の変形が可能である。

【0149】

同じ PCB が 10Mb の Ethernet（登録商標）接続しか可能ではないシステムに設置される場合、ピン 244b はローになり、その間、ピン 244c 及び 244d はハイのままである。このようにして、LED 244a 及び 244b はいずれもオンにならず、むしろ、LED 242 はオフのままである。このようにして、PCB が接続されたシス

10

20

30

40

50

テムの制約に応じて3つの別個の速度を単一の単色LEDで表すことができる。さらに、単一の単色LEDの駆動を意図される論理ピンは、適切な状況下で、単一の2色LEDに電氣的に接続し、2つの別個の色のうちのいずれかをアクティブ化することができる。

【0150】

図17は1つのみの論理素子244及び対応する2色LED242を示すが、本発明は、それぞれが1つ又は複数のLEDに接続された1つ又は複数の論理素子を有する無限のそのようなシステムを意図する。したがって、図は決して限定を意図しない。例えば、論理ピン244a及び244bは、別の2色LED又は3色LEDに同時に接続することができる。或いは、論理ピン244n~244_{n+1}（但し、「n」は無限数を表す）は追加のマルチカラーLEDに同時に接続することができる。そのようなすべての接続及びシステムは一緒に動作することもでき、又は互いに独立して動作することもできる。さらに、上述したように、他の実施形態では、本発明の方法及びシステムを使用して、照明、動作可能なプリントヘッドの動作、テキスト又はビデオ表示、及びLEDが適する他の照明に基づく機能を含む様々な目的でLED242をアクティブ化することができる。そのような実施形態では、無限数のLED242が意図される。

10

【0151】

さらなる参照として、図18は、記載されるLED回路のいくつかの実施形態のPCBレイアウトの代表的な実施形態を示す。

【0152】

したがって、本明細書において考察するように、本発明の少なくともいくつかの態様は、マルチカラーLED及びLED回路を含む。特に、本発明のいくつかの態様は、単一の単色LEDのみをアクティブ化することが意図される電気接地出力又は信号を使用して2色LED又は3色LED等の少なくとも1つのマルチカラーLEDのアクティブ化を達成するシステム及び方法に関する。

20

【0153】

さらに、本明細書において考察されるように、少なくともいくつかの本発明の態様は電子システム及び構成要素に関する。特に、本発明の少なくともいくつかの態様は、電源、メモリ、相互接続、及びLEDに関連する小型化技法、システム、及び装置に関する。

【0154】

これらの例示は記載される電源、メモリ、ICコネクタ、及びLED回路を小型化するとともに、他の様式で改良するシステム、方法、装置、及び技法を説明する能力の単なる代表である。実際には、本発明の例示的な実施形態を本明細書において説明したが、本発明は本明細書に記載される様々な好ましい実施形態に限定されず、むしろ、本開示に基づいて当業者が理解するであろう変更、省略、組み合わせ（例えば、様々な実施形態にわたる態様の）、適合、及び／又は修正を有するありとあらゆる実施形態を含む。

30

【0155】

特許請求の範囲内の限定は、特許請求の範囲に利用される用語に基づいて広く解釈されるべきであり、本明細書に記載される例に限定されず、又は本願の手続き中、これらの例は非排他的であると解釈されるべきである。例えば、本開示では、「好ましくは」という用語は非排他的であり、「好ましくは、～であるが、～に限定されない」を意味する。「約」という用語は、厳密である必要がなく、おおよそであり得、且つ／又は所望に応じて、許容可能な許容差、換算率、四捨五入、測定誤差等、及び当業者に既知の他の係数を反映してより大きくても若しくはより小さくてもよい数量、寸法、サイズ、形成、パラメータ、形状、及び他の特徴を意味する。ミーンズプラスファンクション限定又はステッププラスファンクション限定は、特定の請求項限定で、以下の条件のすべてがその限定で提示される場合のみ利用される：a)「する手段」が明示的に記載され、且つb)対応する機能が明示的に記載される。

40

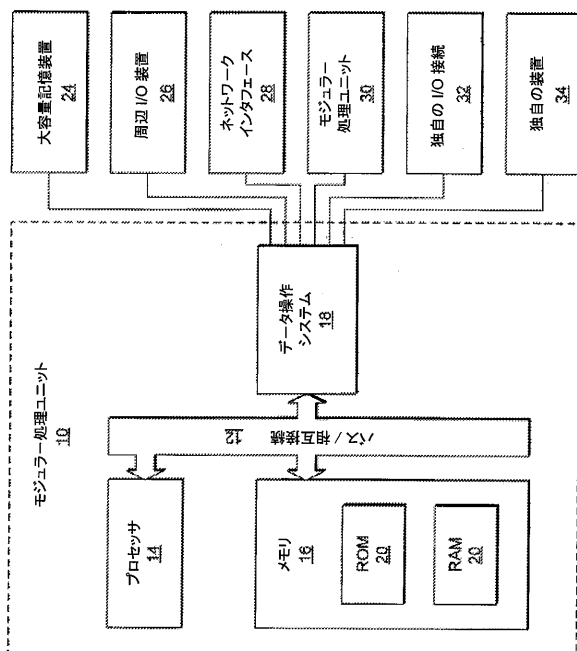
【0156】

本発明は、趣旨又は本質的な特徴から逸脱せずに他の特定の形態で実施し得る。記載される実施形態は、すべての点で限定ではなく例示として考えられるべきである。したがっ

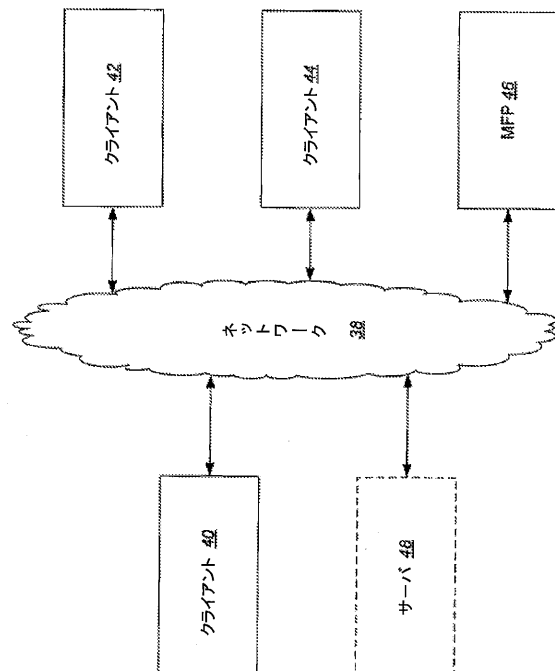
50

て、本発明の範囲は、上記説明ではなく添付の特許請求の範囲により示される。特許請求の範囲と均等の意味及び範囲内のすべての変更は、特許請求の範囲内に含まれるべきである。

【図 1】



【図 2】



【図 3】

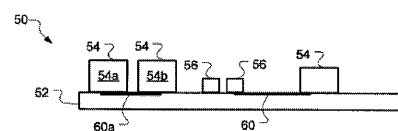


FIG. 3

【図 4】

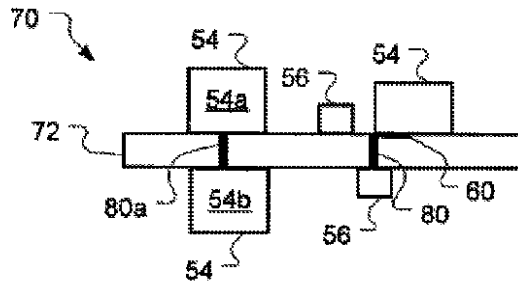


FIG. 4

【図 5】

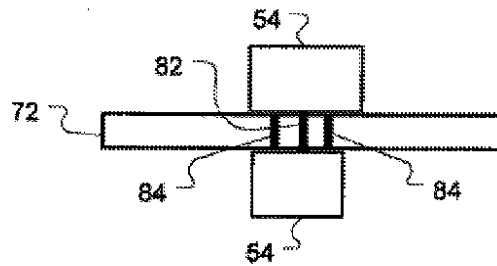


FIG. 5

【図 8】

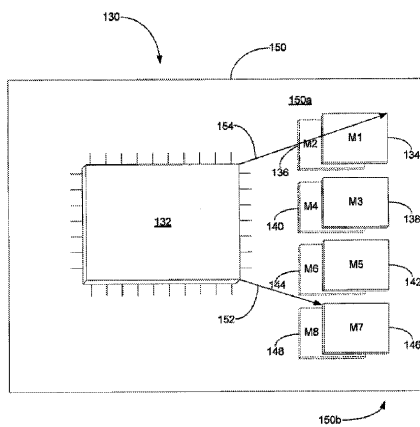


FIG. 8

【図 9】

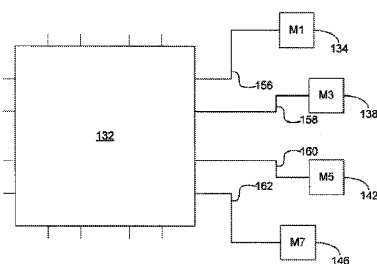


FIG. 9

【図 6】

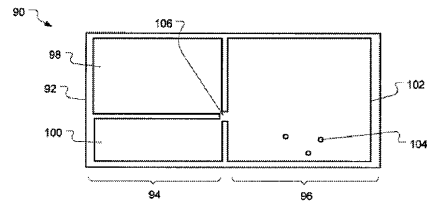
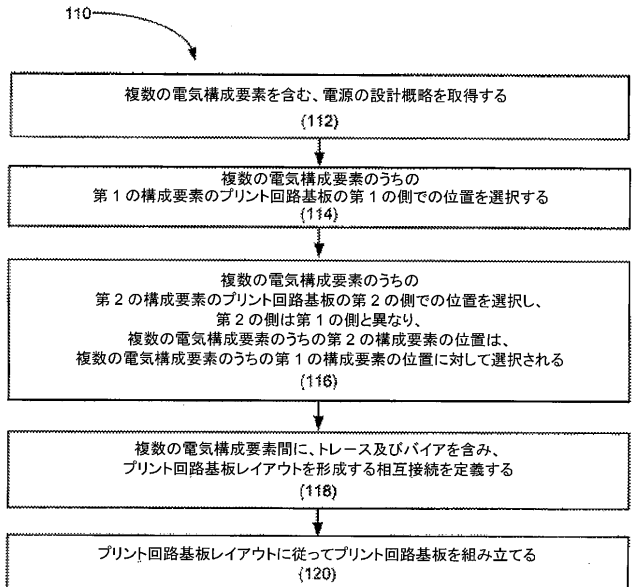


FIG. 6

【図 7】



【図 10】

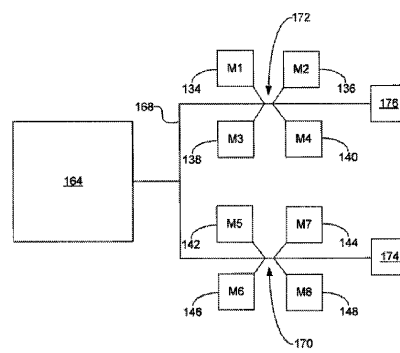


FIG. 10

【図 1 1】

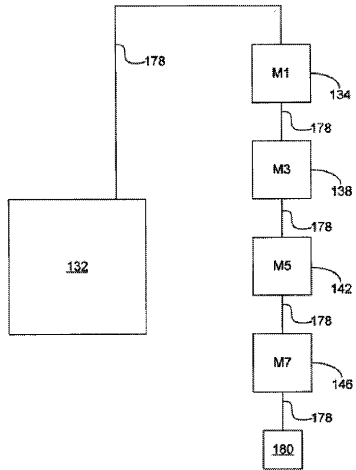
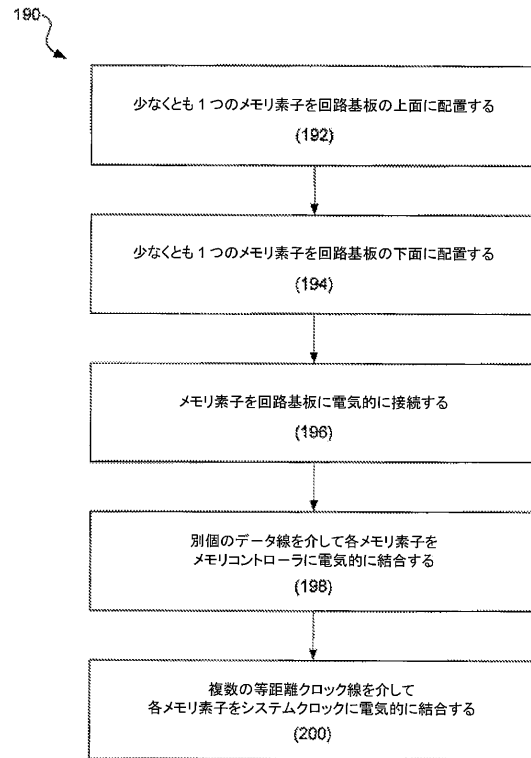


FIG. 11

【図 1 2】



【図 1 3】

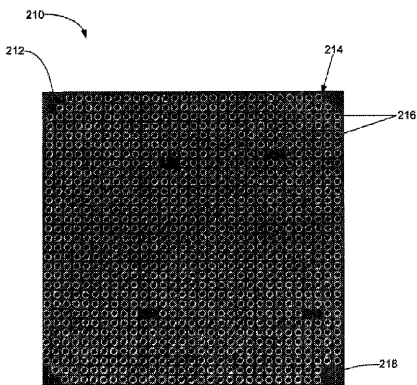


FIG. 13

【図 1 4】

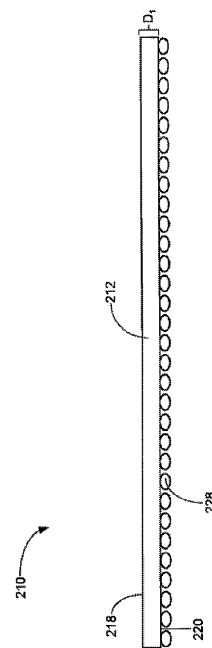
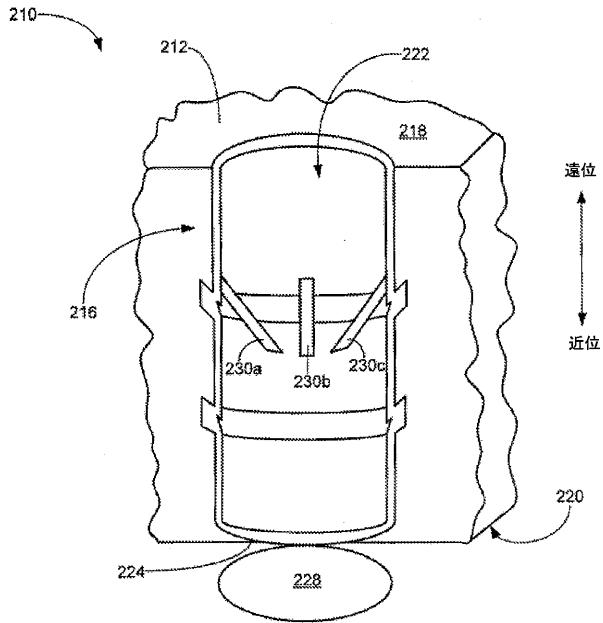
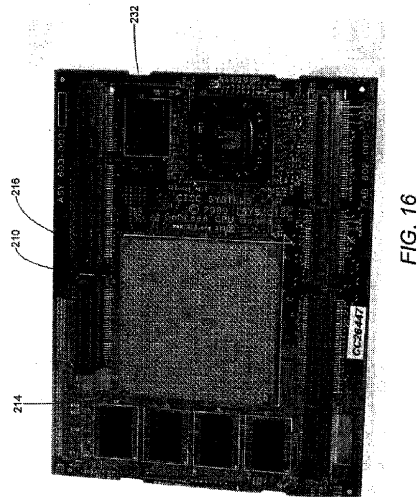


FIG. 14

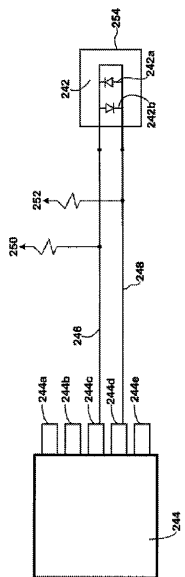
【図 15】



【図 16】



【図 17】



240

FIG. 17

【図 18】

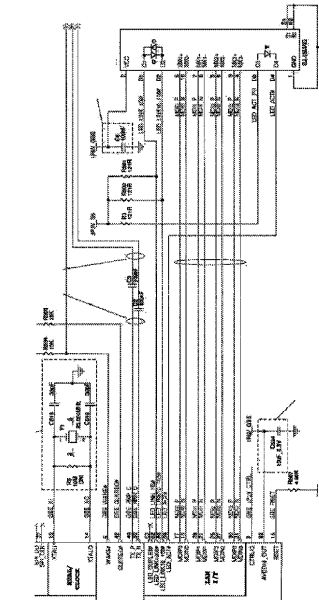


FIG. 18

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2011/039292
A. CLASSIFICATION OF SUBJECT MATTER		
G06F 1/26(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G06F 1/26; F21V 21/00; H05K 7/02; G11C 5/06; H05K 7/20; H01L 23/34; H05B 3/16; H05K 7/06		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) cKOMPASS(KIPO internal) & Keywords: PCB, double sided, minimize		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 7414312 B2 (NGUYEN HENRY H. D. et al.) 19 August 2008 See the abstract, col.3 lines 13-28, and figs.2A-2C.	9
A	US 6373715 B1 (ZENG; MING et al.) 16 April 2002 See the abstract, col.3 lines 10-36, fig.3, and claim 1.	1-20
A	US 2009-0073693 A1 (NALL JEFFREY M. et al.) 19 March 2009 See the abstract, paras.[0044], and fig.4A.	1-20
A	US 2006-0065431 A1 (HORACIO TRUCCO) 30 March 2006 See the abstract, paras.[0086]-[0087], and fig.6.	1-20
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 14 FEBRUARY 2012 (14.02.2012)		Date of mailing of the international search report 17 FEBRUARY 2012 (17.02.2012)
Name and mailing address of the ISA/KR  Korean Intellectual Property Office Government Complex-Daejeon, 189 Cheongsu-ro, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140		Authorized officer Park Ji Eun Telephone No. 82-42-481-5696 

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2011/039292

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 7414312 B2	19.08.2008	US 2006-267172 A1	30.11.2006
US 6373715 B1	16.04.2002	None	
US 2009-0073693 A1	19.03.2009	CN 101868815 A	20.10.2010
		EP 2195803 A1	16.06.2010
		US 7926977 B2	19.04.2011
		WO 2009-039092 A1	26.03.2009
US 2006-0065431 A1	30.03.2006	None	

フロントページの続き

(31)優先権主張番号 61/352,349

(32)優先日 平成22年6月7日(2010.6.7)

(33)優先権主張国 米国(US)

(31)優先権主張番号 61/352,359

(32)優先日 平成22年6月7日(2010.6.7)

(33)優先権主張国 米国(US)

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, IL, IN, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74)代理人 100096013

弁理士 富田 博行

(74)代理人 100092967

弁理士 星野 修

(74)代理人 100119781

弁理士 中村 彰吾

(72)発明者 ジェイソン・エイ・サリヴァン

アメリカ合衆国ユタ州84111, ソルト・レイク・シティ, サウス・メイン・ストリート 299, スイート 1300

(72)発明者 チャールズ・アブドーチ

アメリカ合衆国ユタ州84111, ソルト・レイク・シティ, サウス・メイン・ストリート 299, スイート 1300

Fターム(参考) 5B011 DB21 EB01

5B060 MM10