(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
H03K 3/037

(45) 공고일자 2003년03월15일
(11) 등록번호 10-0375907
(24) 등록일자 2003년02월28일

(21) 출원번호 10-2001-0017989
(22) 출원일자 2001년04월04일

(65) 공개번호 특2001-0095330
(43) 공개일자 2001년11월03일

(30) 우선권주장 0008080.4 2000년04월04일 영국(GB)

(73) 특허권자
샤프 가부시키가이샤
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고

(72) 발명자
케른스그레햄앤드루
영국오엑스28엔에이치옥스퍼드커테슬로우본클로우즈22
브라운로우마이클제임스
영국오엑스44와이비옥스퍼드샌드포드온템즈처치로드124

(74) 대리인
장수길
구영창

심사관 : 박재일

(54) 스태틱 클럭 펄스 발진기 및 디스플레이

요약

스태틱 클럭 펄스 발진기는 각각이 D형 플립플롭(3) 및 게이팅 회로(4)를 포함하는 복수의 단(1,2)을 포함한다. 플립플롭(3)은 다음 단의 게이팅 회로(4)의 게이팅 신호로서 또한 사용되는 단의 출력 신호 Q를 공급한다. 게이팅 회로(4)는 게이팅 입력 G가 활성이고 클럭 펄스가 클럭 입력 CK 또는 !CK에 대해 나타날 때 플립플롭(3)의 데이터 입력 D에 신호를 공급한다. 비동기 리셋 신호 R은 다음 단으로부터 플립플롭(3)에 제공된다.

대표도

도 3

색인어

스태틱 클럭 펄스 발진기, D형 플립플롭, 게이팅 신호, 액정 공간 광 변조기, 리셋 신호

명세서

도면의 간단한 설명

도 1은 공지된 유형의 2단 시프트 레지스터의 회로도.

도 2는 공지된 유형의 클럭 펄스 발진기의 블럭 회로도.

도 3은 본 발명의 실시예를 구성하는 2단 스태틱 클럭 펄스 발진기의 회로도.

도 4는 도 3에 도시된 단을 구비한 클럭 펄스 발진기의 블럭도.

도 5는 도 3 및 도 4에 도시된 클럭 펄스 발진기에서 발생하는 파형을 도시하는 타이밍도.

도 6은 본 발명의 실시예를 구성하는 2단 스태틱 클럭 펄스 발진기의 회로도.

도 7은 도 6에 도시된 단을 구비한 클럭 펄스 발진기의 블럭도.

도 8은 도 6 및 도 7에 도시된 클럭 펄스 발진기에서 발생하는 파형을 도시한 타이밍도.

도 9는 본 발명의 실시예를 구성하는 2단 스태틱 클럭 펄스 발진기의 회로도.

도 10은 도 9에 도시된 단을 구비한 클럭 펄스 발진기의 블럭도.

도 11은 도 8 및 도 9에 도시된 클럭 펄스 발진기에서 발생하는 파형을 도시한 타이밍도.

도 12는 본 발명의 실시예를 구성하는 2단 스태틱 클럭 펄스 발진기의 회로도.

도 13은 도 12에 도시된 단을 구비한 클럭 펄스 발진기의 블럭도.

도 14는 도 12 및 도 13에 도시된 클럭 펄스 발진기에서 발생하는 파형을 도시한 타이밍도.

도 15는 본 발명의 실시예를 구성하는 2단 스태틱 클럭 펄스 발진기의 회로도.

도 16은 도 15에 도시된 클럭 펄스 발진기에서 발생하는 파형을 도시하는 타이밍도.

도 17은 본 발명의 실시예를 구성하고 양방향에서의 동작을 도시하는 1단 양방향 스태틱 클럭 펄스 발진기의 회로도.

도 18은 본 발명의 실시예를 구성하는 1단 스태틱 클럭 펄스 발진기의 회로도.

도 19는 도 18에 도시된 클럭 펄스 발진기의 시뮬레이션에서 발생하는 파형을 도시하는 파형도.

도 20은 본 발명의 실시예를 구성하는 1단 스태틱 클럭 펄스 발진기의 회로도.

도 21은 본 발명의 실시예를 구성하는 1단 스태틱 클럭 펄스 발진기의 회로도.

도 22는 본 발명의 실시예를 구성하는 1단 양방향 스태틱 클럭 펄스 발진기의 회로도.

도 23은 본 발명의 실시예를 구성하는 액정 공간 광 변조기를 포함하는 디스플레이의 개략적인 블럭도.

< 도면의 주요부분에 대한 부호의 설명

3: 래치

4: 게이팅 회로

5: 지연 회로

6, 7: 스위치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 스태틱 클럭 펄스 발진기에 관한 것이다. 그러한 발진기는 예를 들어 디지털 신호 처리(DSP)를 포함하는 복합 초대규모 집적 회로(VLSI) 설계에서, 고속 저전력 제어기 회로에 이용될 수 있다. 클럭 펄스 발진기는 공간 광 변조기 및 디스플레이의, 예를 들어 잘 정의된 펄스의 시퀀스가 고속 비디오 데이터를 샘플링하는 회로로 제공되어야 하는 픽셀레이트된 매트릭스형의, 구동 회로에 대해 어드레싱하는데 이용하는데 이점이 있을 수 있다.

클럭 발생 발진기의 알려진 유형은 시프트 레지스터에 기초한다. 시프트 레지스터는 예를 들어 Horowitz and Hill, "The Art of Electronics", Cambridge University Press, 2nd Edition, 1989에 개시된 바와 같이, 클럭 펄스에 응답하여 체인에서 한 플립플롭으로부터 다음 플립플롭으로 단일의 저장된 로직 상태를 전달하는 D형 플립플롭의 캐스케이드 체인을 포함한다. 통상적인 클럭 펄스 발진기 응용에 대해, 하나 이외의 모든 플립플롭 상태는 로직 로우(0) 레벨로 초기화되는 반면, 나머지 플립플롭은 로직 하이(1)로 초기화된다. 시프트 레지스터는 알려진 주파수에서 클럭되고 시프트 레지스터내의 순환 상태는 플립플롭의 출력에서 연속적인 펄스를 발생하는데 이용된다. 이 잘 알려진 기술의 응용과 실시예는 예를 들어 US 4 542 301과 US 4 612 659에 개시되어 있다. 이 기술에 대한 개선은 US 4 785 297에 개시되어 있다. 이 경우에서, 에지 트리거 플립 플롭의 "마스터" 및 "슬레이브" 출력은 AND 또는 NAND 게이트와 같은 조합 논리 게이트와 결합되어 이용되어, 출력 펄스의 주어진 수에 대한 시프트 레지스터의 클럭 속도를 감소시킨다.

도 1은 D형 래치(1 및 2)를 포함하는 통상적인 CMOS 회로의 일부를 도시한다. 그러한 장치의 구조 및 동작은 잘 알려져 있으므로 상세하게 설명하지 않을 것이다. 1 및 2와 같은 연속적인 래치는 CK 및 !CK로 나타내지는 2 위상 클럭의 반대 클럭 위상으로 통과한다. 각 래치의 입력 및 출력은 클럭 펄스 Nn 및 Np를 발생시키기 위해서 함께 "NAND"된다.

동작 최대 주파수를 증가시키고 클럭 전력 소비를 감소시키도록 클럭 라인 등의 용량 부하를 감소하기 위한 다양한 기술이 개시되어 있다. 예를 들어, 상태 제어 클럭 기술은 클럭 펄스 발생 회로에 이용하기 위해 제안되었다. 이 예는 US 4 746 915에 개시되고, 여기서 시프트 레지스터는 플립플롭 또는 래치의 여러 서브 레지스터로 분할되고 저주파수에서 동작하는 다른 시프트 레지스터는 각 서브 레지스터로 클럭 신호를 인가하도록 선택적으로 이용된다.

요건이 단일 순환 1 상태를 위한 응용에 대해, 입력에서 1 상태를 포함하거나 1 상태를 가진 단지 플립플롭 또는 래치는 클럭을 필요로 한다. 도 2에 도시된 바와 같이, 그러한 응용에 대해, "ORing"에 의해 발생된 신호인 각 플립플롭의 입력 및 출력은 플립플롭의 클럭 입력에 공급되는 클럭 신호를 게이팅하는데 이용될 수 있다. 그러한 장치는 US 5 128 974에 개시된다. 그러나, 그러한 장치는 단(stage) 당 여러 트랜지스터를 더 필요로 한다. 또한, 플립플롭 출력은 상대적으로 큰 부하를 구동해야 하며 이는 동작 최대 속도를 제한한다.

발명이 이루고자 하는 기술적 과제

여기에 이용되는 "D형 래치"라는 용어는 클럭 입력, 데이터 입력 및 직접 또는 반전 출력을 갖는 회로를 말하는 것으로, 이 회로는 클럭 입력에 공급되는 클럭 신호가 활성일 때, 출력은 입력에서의 신호의 직접 또는 반전된 버전을 공급하고(래치는 "투과"됨), 반면에 클럭 신호가 비활성일 때, 출력이 입력 신호의 상태와 무관하게 현재값에서 유지되거나 "래

치"되도록 동작한다. 여기에 이용되는 "D형 플립플롭"이란 용어는 일반적으로 두 개의 캐스케이드 D 형 래치로 형성되며 부가적인 회로를 포함할 수 있는 에지 트리거 장치를 말한다. D형 래치 및 D형 플립플롭은 집합적으로 여기에서 "D형 회로"로 부를 것이어서 D형 회로는 D형 래치 또는 D형 플립플롭이 될 수 있다.

본 발명의 제1 양상에 따르면, 주 클럭 입력부 및 N개의 단을 포함하고, 각각 i번째 단은 (i+a)번째 단으로부터 리셋 신호를 수신하기 위한 리셋 입력부, 및 데이터 입력부를 갖는 D형 회로 - 여기서 a는 1 이상임 -; 및 (i-1)번째 단의 D형 회로 출력 신호 및 상기 주 클럭 입력부에서의 클럭 펄스에 응답하여 상기 데이터 입력부에 펄스를 공급하기 위한 출력부를 갖는 게이팅 회로(gating circuit) - 여기서 $1 < i \leq (N-a)$임 - 를 포함하는 스태틱 클럭 펄스 발진기를 포함한다.

각각의 D형 회로는 D형 래치일 수 있다.

적어도 하나의 단 각각은 상기 D형 회로 출력 신호를 공급하고 상기 발진기의 출력부를 구성하기 위한 출력부를 가질 수 있다.

각각 i번째 단의 상기 D형 회로의 상기 리셋 입력부는 상기 (i+a)번째 단의 상기 게이팅 회로의 상기 출력부로부터 상기 리셋 신호를 수신하도록 배치될 수 있다.

각각 i번째 단의 상기 D형 회로의 상기 리셋 입력부는 상기(i+a)번째 단의 상기 D형 회로 출력 신호를 상기 리셋 신호로서 수신하도록 배치될 수 있다.

각각의 단은 각 단의 상기 게이팅 회로 출력부 및 D형 회로 데이터 입력부 사이에 배치된 지연 회로를 포함할 수 있다. 각각의 지연 회로는 복수의 캐스케이드(cascade) 접속된 인버터를 포함할 수 있다.

각각의 단은 상기 (i-a)번째 단으로부터 상기 리셋 신호를 수신하기 위해 상기 D형 회로 리셋 입력부와 선택적으로 접속시키고, 상기 게이팅 회로가 상기 (i+1)번째 단의 상기 D형 회로 출력 신호 및 상기 주 클럭 입력부에서의 상기 클럭 펄스에 응답하여 상기 데이터 입력부에 상기 펄스를 공급하게 하기 위한 스위칭 장치(switching arrangement)를 포함 - 여기서 $(1+a) < i \leq N$임 - 할 수 있다. 각각의 스위칭 장치는 복수의 전송 게이트를 포함할 수 있다.

각각 i번째 단의 상기 D형 회로는 상기 (i-1)번째 단의 상기 D형 회로 출력 신호를 수신하기 위한 클럭 입력부를 포함할 수 있다.

스위칭 장치는 각각 i번째 단의 상기 D형 회로 클럭 입력부와 선택적으로 접속하도록 배치되어, 상기 (i+1)번째 단의 상기 D형 회로 출력 신호를 수신할 수 있다.

제1 단은 (1+a)번째 단으로부터 리셋 신호를 수신하기 위한 리셋 입력부, 및 데이터 입력부를 갖는 D형 회로; 및 시동 펄스 및 상기 주 클럭 입력부에서의 클럭 펄스에 응답하여 상기 D형 회로 데이터 입력부에 펄스를 공급하기 위한 게이팅 회로를 포함할 수 있다.

스위칭 장치는 상기 제1 단으로부터의 상기 리셋 신호를 상기 제1 단의 상기 D형 회로 리셋 입력부에 선택적으로 접속시키도록 배치될 수 있다.

N번째 단은 데이터 입력부, 출력부 및 상기 D형 회로 출력부로부터 리셋 신호를 수신하기 위한 리셋 입력부를 갖는 D형 회로; 및 상기 (N-1)번째 단의 상기 D형 회로 출력 신호 및 상기 주 클럭 입력부에서의 클럭 펄스에 응답하여 상기 데이터 입력부에 펄스를 공급하기 위한 출력부를 포함할 수 있다.

주 클럭 입력부는 상보형 클럭 입력부를 포함하고, 연속 단 쌍의 상기 게이팅 회로는 상보형 입력부에서의 상보형 클럭 펄스에 응답하도록 배치될 수 있다. 각각의 게이팅 회로는 공통 전극이 상기 주 클럭 입력부에 접속되고, 출력 전극이 상기 D형 회로의 인에이블 데이터 입력부를 형성하며, 제어 전극이 이전 단의 상기 D형 회로 출력 신호에 응답하는 제1 트랜지스터를 포함할 수 있다. 각 게이팅 회로는, 공통 전극이 제1 전원선에 접속되고, 출력 전극이 상기 제1 트랜지스터의 출력 전극에 접속되는 제2 트랜지스터를 포함할 수 있다. 제2 트랜지스터의 제어 전극은, 이전 단의 D형 회로 출력 신호를 수신하도록 배치될 수 있다.

제1 트랜지스터의 제어 전극은, 이전 단의 D형 회로 출력 신호에 의해 제어되도록 배치되어 있는 바이어스 전압원에 접속될 수 있다. 바이어스 전압원은, 공통 전극이 주 클럭 반전 입력에 접속되고, 제어 전극과 출력 전극이 상기 제1 트랜지스터의 제어 전극에 접속되어 있는 제3 트랜지스터를 포함할 수 있다. 제1 트랜지스터의 제어 전극은, 공통 전극이 상기 제1 전원선에 접속되는 제4 트랜지스터의 출력 전극에 접속될 수 있다. 제4 트랜지스터의 제어 전극은, 이전 단의 D형 회로 출력 신호를 수신하도록 배치될 수 있다.

제1 트랜지스터의 제어 전극은, 공통 전극이 제2 전원선에 접속되어 있고, 제어 전극이 이전 단의 D형 회로 출력 신호를 수신하도록 배치되어 있는 제5 트랜지스터의 출력 전극에 접속될 수 있다.

각 D형 래치는 제1 인버터 및 제2 피드백 인버터를 포함할 수 있다. 제2 인버터는, 이전 단의 D형 래치 출력 신호에 의해 제어되도록 배치되는 게이트 입력을 갖는 게이티드 인버터(gated inverter)일 수 있다.

제1 인버터는, 제어 단자가 리셋 입력을 포함하는 풀-업 또는 풀-다운 트랜지스터에 접속될 수 있다.

발진기는 CMOS 집적 회로로 형성될 수 있다.

발진기는 폴리실리콘 박막 트랜지스터로 형성될 수 있다.

본 발명의 제2 양상에 따르면, 본 발명의 제1 양상에 따른 발진기를 포함하는 공간 광 변조기를 포함할 수 있다.

변조기는 액정 장치를 포함할 수 있다.

액정 장치는 수동 매트릭스 타입일 수 있다.

액정 장치는 능동 매트릭스 타입일 수 있다. 발진기 및 상기 능동 매트릭스는 동일 타입의 박막 트랜지스터로 형성될 수 있다.

본 발명의 제3 양상에 따르면, 본 발명의 제2 실시예에 따른 변조기를 포함하는 디스플레이가 제공된다.

본 발명의 제4 양상에 따르면, 본 발명의 제1 양상에 따른 발진기를 포함하는 발광 디스플레이가 제공된다.

디스플레이는 수동 또는 능동 매트릭스 타입일 수 있다.

따라서, 고속 동작과 저전력 소모가 가능한 클럭 펄스 발진기를 제공하는 것이 가능해진다. 그러한 발진기는 잠시도 부유하지 않는 회로 노드로 스태틱 동작을 제공하여 입력 클럭 신호에 저 부하를 부과한다. 발진기는 양방향 모드에서 동작하도록 쉽게 배치될 수 있고 상대적으로 적은 수의 트랜지스터로 구성될 수 있다. 발진기는 또한 저 전압 입력 클럭 신호로 동작할 수 있으며 예를 들어 두 개의 전압 크기를 갖는 클럭 신호로부터 통상적으로 10 내지 20개의 전압의 공급 전압을 전달하는 전원선 사이에서 스위칭하는 출력 신호로 레벨 시프팅을 제공할 수 있다. 폴리 실리콘 박막 트랜지스터 기술을 이용하여 그러한 성능이 달성될 수 있다.

발명의 구성 및 작용

본 발명은 첨부되는 도면을 참조하여 예시적으로 더 설명될 것이다. 유사한 참조 번호는 도면 전체에서 유사한 부분을 나타낸다.

도 3은 2단(1 및 2) 스태틱 클럭 펄스 발진기를 도시한다. 단(1)은 D형 래치(3) 및 게이팅 회로(4)를 포함한다. 래치(3)는 다음 단에 접속된 직접 및 반전 출력 Q, !Q을 포함하는데, 출력 Q는 단의 출력 및 클럭 펄스 발진기의 출력으로 구성된다. 래치는 다음 단으로부터 리셋 신호를 수신하는 리셋 입력 R을 포함한다.

게이팅 회로(4)는 모든 단에 공통인 클럭 라인을 통해 주 클럭 입력에 접속된 상보 클럭 입력 CK, !CK을 포함한다. 단(1)의 게이팅 회로(4)의 클럭 입력 CK은 클럭 라인 CK에 접속된다. 반전 클럭 입력 !CK은 도 3에서 점선에 의해 대응 클럭 라인에 접속된 것으로 표시되어 있는데, 이러한 접속은 몇몇 실시예에서 필요하지 않을 수도 있기 때문이다.

게이팅 회로(4)는 이전 단에서 게이팅 신호를 수신하는 상보 게이팅 입력 G, !G을 포함한다. 몇몇 실시예에서, 직접 또는 반전 게이팅 신호만이 단 사이에서 전달될 수 있다. 게이팅 입력(G)은 래치(3)의 클럭 입력 CK에도 접속된다. 게이팅 회로(4)는 이전 단에 리셋 신호를 공급하고 래치(3)의 데이터 입력(D)에도 접속된 출력 O을 포함한다.

단(1)은 직접 클럭 펄스 CK에 의해 작동되며, 단(2)은 반전 클럭 펄스 !CK에 의해 작동된다(편의를 위해, 각종 회로 라인 및 노드에 나타나는 신호는 회로 라인 및 노드와 동일한 참조 번호로 참조됨). 따라서, 게이팅 회로(4)의 입력 !CK은 반전 클럭 라인에 접속되며, 직접 클럭 입력 CK은 특정 실시예의 요건에 따라 대응하는 직접 클럭 라인에 접속될 수도 접속되지 않을 수도 있다.

도 4는 캐스케이드 방식으로 접속된 N 단(1, 2)을 포함하는 스태틱 클럭 펄스 발진기의 일부를 나타낸다. 단(1)은 단(2)과 교대한다. 제1 단(1)의 상보 게이팅 입력 G, !G은 상보 시동 펄스 SP, !SP를 수신하도록 배치되며, 클럭 입력은 2 위상 클럭 입력으로부터 상보 클럭 신호 CK, !CK를 수신한다. 각 단(1, 2)의 리셋 입력 R은 동일 단의 출력 O에 리셋 입력 R이 접속된 최종 또는 N 번째 단을 제외한 다음 단의 게이팅 회로 출력 Q에 접속된다.

스태틱 클럭 펄스 발진기의 동작이 도 4의 발진기의 처음 4단에서 발생하는 각종 파형을 나타내는 도 5의 타이밍도에 의해 설명된다. 먼저, 단(1, 2) 모두의 래치(3)는 리셋 상태에 있으며, 따라서 모든 출력 O은 로우 상태이다. 모든 단(1, 2)의 게이팅 회로(4)는 디스에이블되고 게이팅 회로 출력 O은 모두 로우이다.

시간 t_n 이전에, 제1 단의 게이팅 회로 입력에 시동 펄스 SP가 공급된다. 따라서, 게이팅 회로(4)는 인에이블되고, 게이팅 회로(4)의 출력 O은 실제 논리 레벨의 레벨 시프팅과 함께 클럭 신호 CK의 논리 상태를 따를 수 있게 된다.

시간 t_n 에서, 게이팅 회로(4)의 출력 O은 클럭 신호 CK의 상승 에지를 따라 하이가 된다. 따라서, 래치(3)의 직접 출력 Q은 하이가 되고, 다음 단(2)의 게이팅 회로(4)를 인에이블시킨다.

시간 t_n 직후, 시동 펄스 SP는 로우가 되며, 따라서 제1 단의 게이팅 회로(1)는 디스에이블된다. 또한, 래치의 클럭 입력 CK은 로우가 되며, 따라서 래치는 리셋 신호를 수신할 때까지 출력 Q가 하이인 상태를 유지한다.

시간 t_n+1 에서, 제2 단(2)의 게이팅 회로(4)의 출력 O은 반전 클럭 신호 !CK의 상승 에지를 따라 하이로 된다. 또한, 제2 단의 래치(3)의 출력 Q도 하이로 되어 제3 단의 게이팅 회로(4)를 인에이블시킨다. 동시에, 제2 단의 게이팅 회로(4)의 출력 O는 제1 단의 래치의 리셋 입력 R에 리셋 신호를 공급하므로 그 출력 Q는 로우가 된다. 연속 단의 출력 Q의 하강 및 상승 에지는 도 5에 도시된 것과 일치하거나 혹은 동기화된다.

시간 t_n+2 에서 제3 단의 게이팅 회로(4)의 출력 O는 클럭 신호 CK의 상승 에지를 따라 하이로 된다. 제3 단의 출력 Q는 하이가 되어 제4 단의 게이팅 회로(4)를 인에이블 시킨다. 동시에 제2 단의 래치(3)는 리셋된다. 이어서 후술하는 바와 같은 동작이 계속되며 각각의 래치(3)는 게이티드 클럭 펄스 입력에 의해 1회 세트되며 발진기의 다음 혹은 이어지는 단으로부터의 피드백 신호에 의해 1회 리셋된다.

도 6에 도시된 단(1)과 단(2)은 각각의 이전 단의 리셋 신호가 게이팅 회로(4)의 출력 Q 대신에 래치(3)의 출력 Q에 의해 공급된다는 점에서 도 3에 도시된 것과는 다르다. 도 7에 도시되어 있으며 단 (1 및 2)를 포함하는 그 발진기는 도 4에 도시된 발진기와는 리셋 신호에 대한 단 출력들을 라벨화하고 있다는 점에서만 상이하다.

도 8은 그 결과적인 파형을 도시하고 있다. 각각의 래치(3)는 다음 단의 래치(3)가 세트될 때까지는 리셋되지 않기 때문에, 모든 단 출력 Q는 도 8에 도시된 바와 같이 오버랩되는 것이 보장된다. 따라서, 이러한 장치는 연속적인 오버랩핑 신호를 제공하는데 필요한 클럭 펄스 발진기에 적합하다.

도 9에 도시된 단(1, 2)는 각 단의 래치 리셋 신호가 다음에 그러나 하나의 이어지는 단(next-but-one following stage)로부터 유도된다고 하는 즉, 각각의 n번째 단에 대해, 리셋 신호가 (n+2)번째 단으로부터 피드백되고 있다는 점에서 도 3에 도시된 것과는 다르다. 더욱이, 각각의 단(1, 2)는 다음 단으로부터 이전 단으로 리셋 신호를 전달하기 위해 피드 쓰루 라인(feed-through line)에 의해 출력 F에 접속되는 입력 F를 갖고 있다. 단의 상호 접속은 도 10에 예시되고 있다. N번째 단의 출력 Q는 동일 단의 리셋 입력 R과 피드백 입력 F에 접속된다.

도 11에 예시된 바와 같이, 연속 출력 Q는 클럭 신호 CK, !CK의 전체 클럭 주기 동안 활성이거나 혹은 하이이므로 그 밖의 모든 출력 Q의 하강 및 상승 에지는 일치하다. 연속적인 출력 신호쌍 Q는 실질적으로 출력 주기의 절반까지 오버랩한다.

도 12에 도시된 단(1) 및 단(2)은 도 6의 장치의 경우에서처럼, 각 단의 래치의 출력 Q로부터 리셋 신호가 유도된다고 하는 점에서 도 9에 도시된 것과는 상이하다. 발진기의 단 사이의 상호 접속은 도 13에 예시되어 있으며, 각 단의 리셋 펄스 피드백 출력을 라벨링화하고 있다는 점에서만 도 10에 예시된 것과 상이하다. 도 14에 예시되어 있는 바와 같이, 다음에 그러나 하나의 단(next-but-one stage)의 래치(3)가 세트될 때까지는 각각의 래치(3)는 리셋되지 않기 때문에, 그밖의 모든 단의 출력 Q가 오버랩되는 것이 보장된다.

도 15의 단(1, 2)은 각각이 게이팅 회로(4)의 출력 0과 래치(3)의 데이터 입력 D 사이에 접속되는 지연 소자 혹은 회로(5)를 포함하며 이전 단의 리셋 신호가 게이팅 회로(4)의 출력 0으로부터 직접 유도되고 있다는 점에서 도 3의 단과는 상이하다. 단들의 상호 접속은 도 4에 예시된 바와 같다. 예를 들어 각각의 지연 회로(5)는 복수의 캐스케이드 접속된 인버터를 포함하고 있다. 래치(3)에 의한 반전 신호가 요구되지 않는한, 캐스케이드 접속된 인버터의 수는 짝수여야 한다.

도 16에 예시된 바와 같이, 각 단의 지연 회로(5)에 의해 공급되는 지연은 현재 단의 래치(3)가 세트되기 전에 이전 단의 래치(3)가 확실하게 리셋되도록 해야한다. 이것은 연속 단의 출력들 Q가 비 오버래핑(non-overlappling)되도록 하는 것을 보장하는 것이며, 클럭 펄스 발진기의 몇몇 응용에 대해 요구될 수도 있다.

도 17은 양 방향 동작 즉, 좌측에서 우측으로 혹은 우측에서 좌측으로 순서대로 펄스를 발생하기 위해 배치된 도 6에 도시한 타입의 단(1)을 예시하고 있다. 도 17의 상단은 좌측에서 우측으로의 동작을 예시하고 있는 것이고, 하단은 우측에서 좌측으로의 동작을 예시하고 있는 것이다. 반전된 클럭 !CK에 대해 작동하는 단(2)는 동일한 방식으로 배치될 수도 있다.

단(1)은 제1 및 제2 전자 체인지 오버 스위치(6,7)를 포함하고 있다. 스위치(6,7)는 적절한 단상 혹은 상보 제어 신호(명료화를 위해 도 17에서는 도시 생략함)에 의해 제어된다.

도 17의 상단에 도시된 바와 같이, 발진기가 좌측에서 우측 동작으로 구성된 경우, 스위치(6)는 게이팅 회로의 게이팅 입력 G와 래치(3)의 클럭 입력 CK를 이전 단의 출력 신호 Q를 수신하는 단자 GR에 접속한다. 스위치(7)는 다음 단의 래치의 출력 Q를 리셋 신호로서 수신하기 위한 단자 RG에 래치(3)의 리셋 입력 R을 접속한다. 따라서, 단은 이하 설명하는 바와 같이 동작한다.

발진기가 우측에서 좌측 동작을 하도록 구성된 경우, 스위치(6, 7)는 도 17의 하단에 도시된 바와 같이 접속된다. 게이팅 회로의 입력 G와 래치(3)의 클럭 입력 CK는 단자 RG에 접속되어 다음 단의 래치의 출력 Q를 수신한다. 래치(3)의 리셋 입력 R은 단자 GR에 접속되어 이전 단의 래치(3)의 출력 Q를 리셋 신호로서 수신한다. 따라서, 단의 출력 Q에서의 펄스는 연속적으로 우측에서 좌측으로 나타난다. 이러한 동작 모드의 경우, 제1 및 N번째단의 마지막 접속은 교환되므로 N번째 단은 시작 펄스를 수신하게 되고, 제1 단은 자체적으로 리셋된다.

스위치(6,7)는 2 트랜지스터 혹은 1 트랜지스터 타입의 전송 게이트로 구현될 수도 있다. 상보 제어 입력을 갖는 2 트랜지스터 구조를 다음에 설명한다.

도 18은 CMOS 전계 효과 트랜지스터로 구현된 단 1의 예, 예를 들어, 폴리실리콘 박막 트랜지스터 형태의 예를 상세히 예시하고 있는 것이다. 교호단(2)은 상보 클럭 라인 CK 및 !CK에 대한 접속이 교환되는 것을 제외하면 동일한 방식으로 구현될 수도 있다. 이러한 장치는 공급 전압 보다 실질적으로 낮은 입력 클럭 전압으로 동작할 수 있도록 해주는데 그 이유는 게이팅 회로(4)가 보다 높은 입력 클럭 신호 레벨에 대해서는 레벨 시프팅 기능을 제공하기 때문이다. 이러한 장치에서, 게이팅 회로 출력(!0)과 래치 리셋 입력 !R은 "활성 로우(active low)"이다.

게이팅 회로(4)는 N형 트랜지스터 M1, M3 및 M7과 P형 트랜지스터 M2 및 M4를 포함한다. 트랜지스터 M1 및 M3의 소스는 반전 클럭 입력 및 직접 클럭 입력 !CK 및 CK에 각각 접속된다. 트랜지스터 M1의 드레인은 게이팅 회로(4)의 출력 !O를 제공하며, 그 소스가 제1 공급선 vdd에 접속되고 그 게이트가 반전 게이트 입력 !G에 접속되고 있는 트랜지스터 M2의 드레인에 접속된다. 트랜지스터 M3의 게이트 및 드레인은 함께 접속되며 트랜지스터 M4 및 M7의 드레인에 접속된다. 트랜지스터 M4의 소스 및 게이트는 제1 공급선 vdd 및 반전된 게이트 입력 !G에 각각 접속된다. 트랜지스터 M7의 소스 및 게이트는 제2 공급선 vss 및 반전 입력 !G에 각각 접속된다.

D형 래치(3)는 N형 트랜지스터 M5, P형 트랜지스터 M6 및 M13, 직렬 접속된 단일 게이트 트랜지스터 M8, M10, 및 M12로 동작하는 트리플 게이트 N형 트랜지스터, 그리고 2개의 직렬 접속된 단일 게이트 트랜지스터 M9, M11로 동작하는 듀얼 게이트 P형 트랜지스터를 포함한다. 트랜지스터 M5 및 M6은 그 입력이 게이팅 회로(4)의 출력(10)에 접속되고 그 출력이 단(1)의 직접 출력 Q를 구성하는 인버터를 형성한다. 트랜지스터 M8-M12는 그 입력과 출력이 인버터 M5 및 M6의 출력과 입력에 각각 접속되는 게이티드 피드백 인버터를 형성한다.

트랜지스터 M11의 게이트는 직접 게이트 입력 G에 접속되지만 트랜지스터 M10의 게이트는 반전된 입력 !G에 접속된다. 따라서, 게이팅 신호가 활성인 경우, 게이티드 인버터는 디스에이블 되지만, 게이팅 입력이 비활성인 경우, 게이티드 인버터는 인에이블되어 래치의 출력을 래치하게 된다.

트랜지스터 M13은 그 소스 및 드레인이 제1 공급선 vdd와 게이팅 회로(4)의 출력 !O에 각각 접속되는 풀업 트랜지스터를 포함한다. 트랜지스터 M13 및 M12의 게이트는 래치(3)의 활성 로우 리셋 입력 !R에 접속된다.

도 18에 도시된 단의 동작은 다음과 같다. 게이팅 입력이 비활성이어서, 상보 게이팅 신호 G 및 !G가 각각 로우와 하이가 되는 경우, 트랜지스터 M2 및 M4는 오프되며 풀업 트랜지스터 M7은 트랜지스터 M1 및 M3가 오프가 되도록 한다. 따라서, 게이팅 회로(4)의 출력 !O는 고임피던스 상태가 되어 클럭 신호 CK 및 !CK에 의해서는 영향받지 않는다. 따라서, 출력 !O는 게이티드 인버터의 출력에 의해 논리 하이 레벨을 유지하게 되어 래치(3)의 상태를 래치하게 된다.

게이팅 신호가 활성이어서 신호 G와 !G가 각각 하이레벨과 로우 레벨로 되는 경우, 다이오드 접속된 트랜지스터 M3는 바이어스 전압원으로서 동작하게 되며 트랜지스터 M4에 의해 제공되는 그 부하를 갖는다. 바이어스 전압은 트랜지스터 M1의 게이트에 공급되고, 이 트랜지스터는 트랜지스터 M2에 의해 제공되는 로드를 갖는 공통 게이트 증폭기로 동작하여 게이팅 회로 출력 !O에서 레벨 시프트된 버전의 클럭 신호 !CK를 공급한다.

클럭 신호 CK가 로우이고 반전 클럭 신호 !CK가 하이일 때, 트랜지스터 M1의 게이트 소스 전압은 작아지고 트랜지스터 M2는 공급 라인 vdd 상에 양의 공급 전압에 근접한 출력 !O를 유지한다. 반대로, 클럭 신호 CK 및 !CK가 각각 하이 및 로우일 때, 트랜지스터 M3 및 M4에 의해 발생되고 트랜지스터 M1의 게이트에 공급되는 바이어스가 커진다. 트랜지스터 M1의 게이트 소스 전압은 트랜지스터 M1이 공급 라인 vss 상에 접지 전위에 근접한 출력 !O를 풀(pull)할 수 있도록 충분히 증가된다. 이러한 목적을 위해, 트랜지스터 M1의 구동력은 트랜지스터 M2의 구동력보다 실질적으로 크다.

비동기 리셋을 갖는 D 타입 래치(3)는 게이팅 회로의 출력 !O가 래치(3)의 상보 출력 !Q과 동일 노드이도록 게이팅 회로(4)의 일부를 구성하는 제1 단 클럭형 인버터를 갖는 것을 제외하고는, 도 1에 도시된 바와 같이 종래 클럭형 D 타입 래치와 유사하다. 트랜지스터 M13은 노드 !Q를 하이로 풀시킴으로써 비동기 리셋을 제공하여, 출력 Q가 로우가 되고 트랜지스터 M12는 리셋이 발생할 때 임의의 트랜지스터 충돌이 발생하는 것을 방지한다.

전술한 바와 같이, 게이팅 입력 G가 로우일 때, 래치(3)의 래치 메카니즘은 출력 Q 및 !Q가 그들의 현재 로직값에서 여전히 래치되도록 작동된다. 그래서 래치는 게이팅 회로(4)가 비활성화되기 때문에 게이팅 회로 출력 !O에서의 전압을 결정한다. 그러나, 풀-업 트랜지스터 M13은 여전히 래치를 리셋할 수 있다.

반대로, 게이팅 입력 G가 하이일 때, 래치(3)의 래치 메카니즘은 비활성화되고 게이팅 회로(4)는 활성화된다. 그래서 게이팅 회로(4)는 출력 !O의 논리 상태를 결정하며, 그래서 래치(3)의 출력 Q의 논리단을 결정한다.

도 19에 도시된 전압 파형은 15 볼트의 전압을 갖는 도 18에 도시된 타입의 단을 포함하는 클럭 펄스 발진기의 과도전류 분석 시뮬레이션을 통한 것이다. 트랜지스터는 전형적인 저온 폴리실리콘 박막 트랜지스터의 성능, 즉 두 전압의 임계 전압 및 스퀘어 장치에 대한 $1.25\mu A/V^2$의 상호 컨덕턴스로 시뮬레이션된다. 클럭 입력은 두 전압 진폭 및 5MHz 주파수의 상보 신호이다.

도 19의 하부 파형도는 클럭 및 시동 펄스를 도시하는 반면 상부 파형도는 클럭 펄스 발진기의 연속 단의 출력 신호를 도시한다. 그래서, 시동 펄스에 이어서, 클럭 펄스 발진기는 그 진폭이 공급 전압과 실질적으로 동일한 바람직한 출력 펄스를 발생시킨다. 이는 두 전압 클럭 펄스에서 15볼트 출력 펄스로의 레벨 시프팅을 통해 달성된다.

도 20은 클럭 펄스 발진기 단(1)을 도시하는데, 피드백 인버터는 비-게이티드 타입(non-gated type), 즉 "트랜지스터" M10, M11 및 M12가 생략되어 있다는 점에서 도 18에 도시된 것과 상이하다. 이러한 장치가 정확한 기능을 하기 위해, 트랜지스터 M8 및 M9가 트랜지스터 M1 및 M13에 비해 낮은 구동력을 가져야 한다. 그러나, 이는 보다 간단한 회로 장치를 제공하여 직접 게이팅 입력 G가 생략될 수 있다. 유사하게, 단 출력을 제공할 필요가 없다면, 직접 출력 Q 또한 생략될 수 있다.

도 21은 도 20의 단의 트랜지스터 M2가 생략된 보다 간단한 회로 장치를 도시한다. 정상 동작 동안, 게이팅 회로(4)의 출력 !O은 트랜지스터 M9에 의해 하이로 유지된다. 그러나, 게이팅 회로(4)가 활성화될 때, 트랜지스터 M9는 트랜지스터 M1의 부하로서 작용하고 직접 클럭 펄스 CK의 에지가 상승할 때까지 출력 !O를 하이로 유지한다. 다음 트랜지스터 M1은 출력 !O를 로우로 풀하고 트랜지스터 M13은 출력 !O를 이후 클럭 주기의 대략 1/2동안 하이로 풀한다.

도 22는 트랜지스터 M14-M21을 포함하는 전송 게이트에 의해 제공되는 스위칭 장치를 갖는 도 18에 도시된 단의 양방향 실시예를 도시하는 도면이다. 좌-우 동작이 요구될 때, 제어 신호 LR 및 !LR이 각각 하이 및 로우인 반면, 우-좌 동작이 요구될 때, 제어 신호 LR 및 !LR이 각각 하이 및 로우가 되도록, 전송 게이트의 제어 입력은 상보 좌/우 제어 라인 LR 및 !LR에 접속된다. 양방향 동작에 있어서 직접 게이팅 신호를 별도 스위칭할 필요를 피하기 위해, 인버터(I1)는 반전된 게이팅 신호 !G로부터 직접 게이팅 신호 G를 발생시킨다.

도 23은 N행 및 M열의 픽셀의 디스플레이 매트릭스(40)를 포함하는 디스플레이 장치, 예를 들어 액정 장치를 포함하는 공간 광 변조기의 형태로 도시하는 도면이다. 디스플레이 장치는 0클럭 펄스 발생 회로(42) 및 한 세트의 데이터 라인 드라이버(43)를 포함하는 어드레스 신호 발진기(41)를 더 포함한다. 클럭 펄스 발생 회로(42)는 도 3 내지 22에서 도시되고 전술한 임의의 타입의 발진기를 포함한다. 주사 신호 발진기(44)는 픽셀의 행에 주사 신호를 공급하고, 클럭 펄스 발생 회로(45) 및 한세트의 라인 드라이버(46)를 포함한다. 클럭 펄스 발생 회로(45)는 도 3 내지 22에서 도시되고 전술한 임의의 타입의 발진기를 포함한다. 클럭 펄스 발생 회로는 회로(42)에 있어서 픽셀 데이터 속도 및 회로(45)에 있어서 라인 데이터 속도로 클럭 펄스를 발생시킨다.

발명의 효과

본 발명에 따르면, 고속 동작과 저전력 소모가 가능한 스태틱 클럭 펄스 발진기를 제공하는 것이 가능해진다.

(57) 청구의 범위

청구항 1.

주 클럭 입력부 및 N개의 단(stages)을 포함하고,

각각 i번째 단은

(i+a)번째 단으로부터 리셋 신호를 수신하기 위한 리셋 입력부, 및 데이터 입력부를 갖는 D형 회로 - 여기서 a는 1 이상임 -; 및

(i-1)번째 단의 D형 회로 출력 신호 및 상기 주 클럭 입력부에서의 클럭 펄스에 응답하여 상기 데이터 입력부에 펄스를 공급하기 위한 출력부를 갖는 게이팅 회로(gating circuit) - 여기서 $1 < i \leq (N-a)$임 -

를 포함하는 스태틱 클럭 펄스 발진기.

청구항 2.

제1항에 있어서, 각각의 D형 회로는 D형 래치인 발진기.

청구항 3.

제1항에 있어서, 적어도 하나의 단 각각은 상기 D형 회로 출력 신호를 공급하고 상기 발진기의 출력부를 구성하기 위한 출력부를 갖는 발진기.

청구항 4.

제1항에 있어서, 각각 i번째 단의 상기 D형 회로의 상기 리셋 입력부는 상기 (i+a)번째 단의 상기 게이팅 회로의 상기 출력부로부터 상기 리셋 신호를 수신하도록 배치된 발진기.

청구항 5.

제1항에 있어서, 각각 i번째 단의 상기 D형 회로의 상기 리셋 입력부는 상기 (i+a)번째 단의 상기 D형 회로 출력 신호를 상기 리셋 신호로서 수신하도록 배치된 발진기.

청구항 6.

제1항에 있어서, 각각의 단은 각 단의 상기 게이팅 회로 출력부 및 D형 회로 데이터 입력부 사이에 배치된 지연 회로를 포함하는 발진기.

청구항 7.

제6항에 있어서, 각각의 지연 회로는 복수의 캐스케이드(cascade) 접속된 인버터를 포함하는 발진기.

청구항 8.

제1항에 있어서, 각각의 단은

상기 (i-a)번째 단으로부터 상기 리셋 신호를 수신하기 위해 상기 D형 회로 리셋 입력부와 선택적으로 접속시키고, 상기 게이팅 회로가 상기 (i+1)번째 단의 상기 D형 회로 출력 신호 및 상기 주 클럭 입력부에서의 상기 클럭 펄스에 응답하여 상기 데이터 입력부에 상기 펄스를 공급하게 하기 위한 스위칭 장치(switching arrangement)를 포함 - 여기서 $(1+a) < i \leq N$임 - 하는 발진기.

청구항 9.

제8항에 있어서, 각각의 스위칭 장치는 복수의 전송 게이트를 포함하는 발진기.

청구항 10.

제1항에 있어서, 각각 i번째 단의 상기 D형 회로는 상기 (i-1)번째 단의 상기 D형 회로 출력 신호를 수신하기 위한 클럭 입력부를 포함하는 발진기.

청구항 11.

제8항에 있어서, 상기 스위칭 장치는 각각 i번째 단의 상기 D형 회로 클럭 입력부와 선택적으로 접속하도록 배치되어, 상기 (i+1)번째 단의 상기 D형 회로 출력 신호를 수신하는 발진기.

청구항 12.

제1항에 있어서, 제1 단은

(1+a)번째 단으로부터 리셋 신호를 수신하기 위한 리셋 입력부, 및 데이터 입력부를 갖는 D형 회로; 및

시동 펄스 및 상기 주 클럭 입력부에서의 클럭 펄스에 응답하여 상기 D형 회로 데이터 입력부에 펄스를 공급하기 위한 게이팅 회로

를 포함하는 발진기.

청구항 13.

제8항에 있어서, 상기 스위칭 장치는 상기 제1 단으로부터의 상기 리셋 신호를 상기 제1 단의 상기 D형 회로 리셋 입력부에 선택적으로 접속시키도록 배치되는 발진기.

청구항 14.

제1항에 있어서, N번째 단은

데이터 입력부, 출력부 및 상기 D형 회로 출력부로부터 리셋 신호를 수신하기 위한 리셋 입력부를 갖는 D형 회로; 및

상기 (N-1)번째 단의 상기 D형 회로 출력 신호 및 상기 주 클럭 입력부에서의 클럭 펄스에 응답하여 상기 데이터 입력부에 펄스를 공급하기 위한 출력부를 갖는 게이팅 회로

를 포함하는 발진기.

청구항 15.

제1항에 있어서, 상기 주 클럭 입력부는 상보형 클럭 입력부를 포함하고, 연속 단 쌍(consecutive pairs of stages)의 상기 게이팅 회로는 상보형 입력부에서의 상보형 클럭 펄스에 응답하도록 배치되는 발진기.

청구항 16.

제1항에 있어서, 각각의 게이팅 회로는 공통 전극이 상기 주 클럭 입력부에 접속되고, 출력 전극이 상기 D형 회로의 인에이블 데이터 입력부를 형성하며, 제어 전극이 이전 단의 상기 D형 회로 출력 신호에 응답하는 제1 트랜지스터를 포함하는 발진기.

청구항 17.

제16항에 있어서, 상기 각 게이팅 회로는, 공통 전극이 제1 전원선에 접속되고, 출력 전극이 상기 제1 트랜지스터의 출력 전극에 접속되는 제2 트랜지스터를 포함하는 발진기.

청구항 18.

제17항에 있어서, 상기 제2 트랜지스터의 제어 전극은, 이전 단의 D형 회로 출력 신호를 수신하도록 배치되는 발진기.

청구항 19.

제16항에 있어서, 상기 제1 트랜지스터의 제어 전극은, 이전 단의 D형 회로 출력 신호에 의해 제어되도록 배치되는 바이어스 전압원에 접속되는 발진기.

청구항 20.

제19항에 있어서, 상기 바이어스 전압원은, 공통 전극이 주 클럭 반전 입력에 접속되고, 제어 전극과 출력 전극이 상기 제1 트랜지스터의 제어 전극에 접속되는 제3 트랜지스터를 포함하는 발진기.

청구항 21.

제20항에 있어서, 상기 제1 트랜지스터의 제어 전극은, 공통 전극이 제1 전원선 또는 상기 제1 전원선에 접속되는 제4 트랜지스터의 출력 전극에 접속되는 발진기.

청구항 22.

제21항에 있어서, 상기 제4 트랜지스터의 제어 전극은, 이전 단의 D형 회로 출력 신호를 수신하도록 배치되어 있는 발진기.

청구항 23.

제16항에 있어서, 상기 제1 트랜지스터의 제어 전극은, 공통 전극이 제2 전원선에 접속되고, 제어 전극이 이전 단의 D형 회로 출력 신호를 수신하도록 배치되는 제5 트랜지스터의 출력 전극에 접속되는 발진기.

청구항 24.

제2항에 있어서, 상기 각 D형 래치는 제1 인버터 및 제2 피드백 인버터를 포함하는 발진기.

청구항 25.

제24항에 있어서, 상기 제2 인버터는, 이전 단의 D형 래치 출력 신호에 의해 제어되도록 배치되어 있는 게이트 입력을 갖는 게이티드 인버터(gated inverter)인 발진기.

청구항 26.

제24항에 있어서, 상기 제1 인버터는, 제어 단자가 리셋 입력을 포함하는 풀-업 또는 풀-다운 트랜지스터에 접속되어 있는 발진기.

청구항 27.

제1항에 있어서, CMOS 집적 회로로 형성되는 발진기.

청구항 28.

제1항에 있어서, 폴리실리콘 박막 트랜지스터로 형성되는 발진기.

청구항 29.

제1항의 발진기를 포함하는 공간 광 변조기.

청구항 30.

제29항에 있어서, 액정 장치를 포함하는 공간 광 변조기.

청구항 31.

제30항에 있어서, 상기 액정 장치는 수동 매트릭스 타입인 변조기.

청구항 32.

제30항에 있어서, 상기 액정 장치는 능동 매트릭스 타입인 변조기.

청구항 33.

제32항에 있어서, 상기 발진기 및 상기 능동 매트릭스는 동일 타입의 박막 트랜지스터로 형성되는 변조기.

청구항 34.

제29항의 변조기를 포함하는 디스플레이.

청구항 35.

제1항의 발진기를 포함하는 발광 디스플레이.

청구항 36.

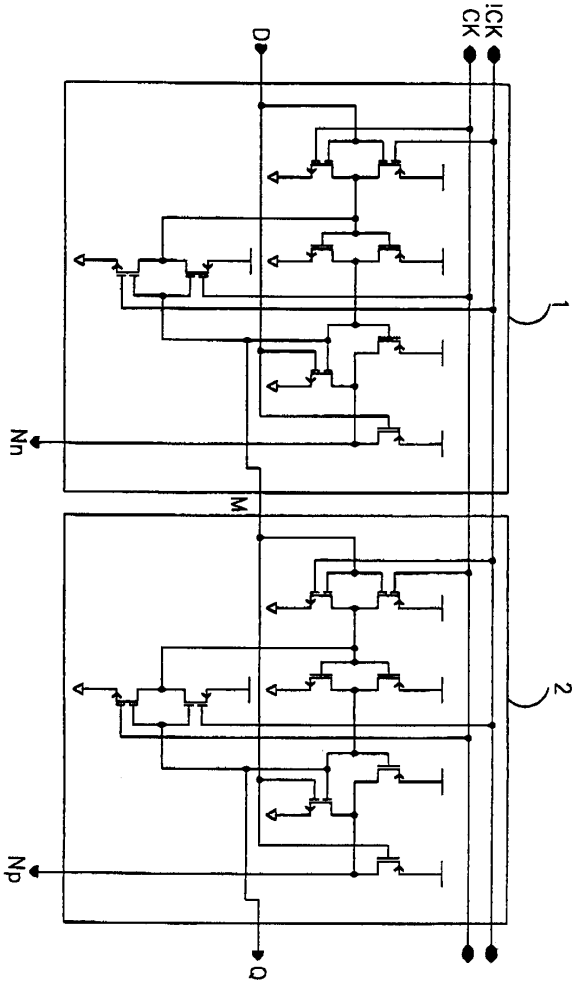
제35항에 있어서, 수동 매트릭스 타입인 디스플레이.

청구항 37.

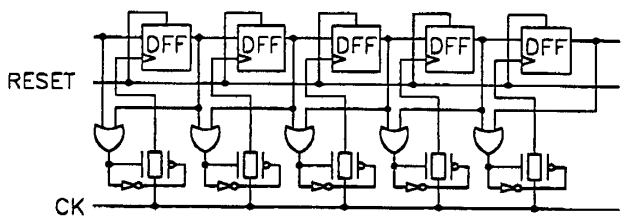
제35항에 있어서, 능동 매트릭스 타입인 디스플레이.

도면

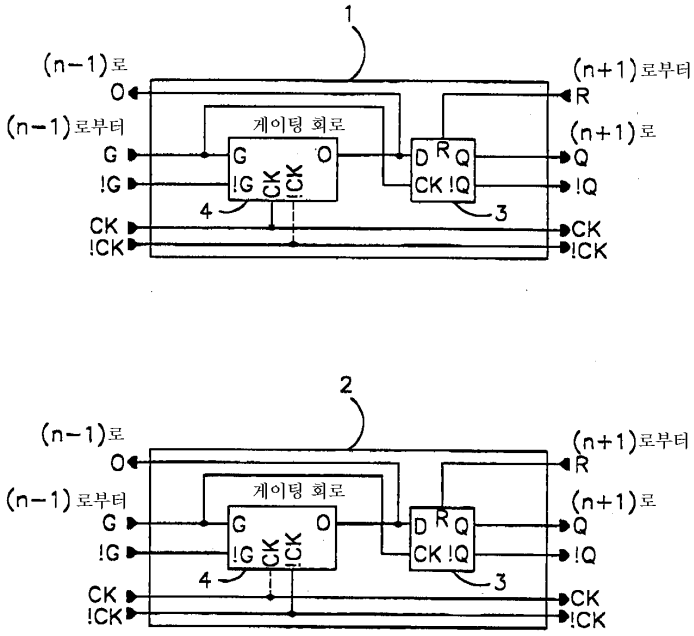
도면 1



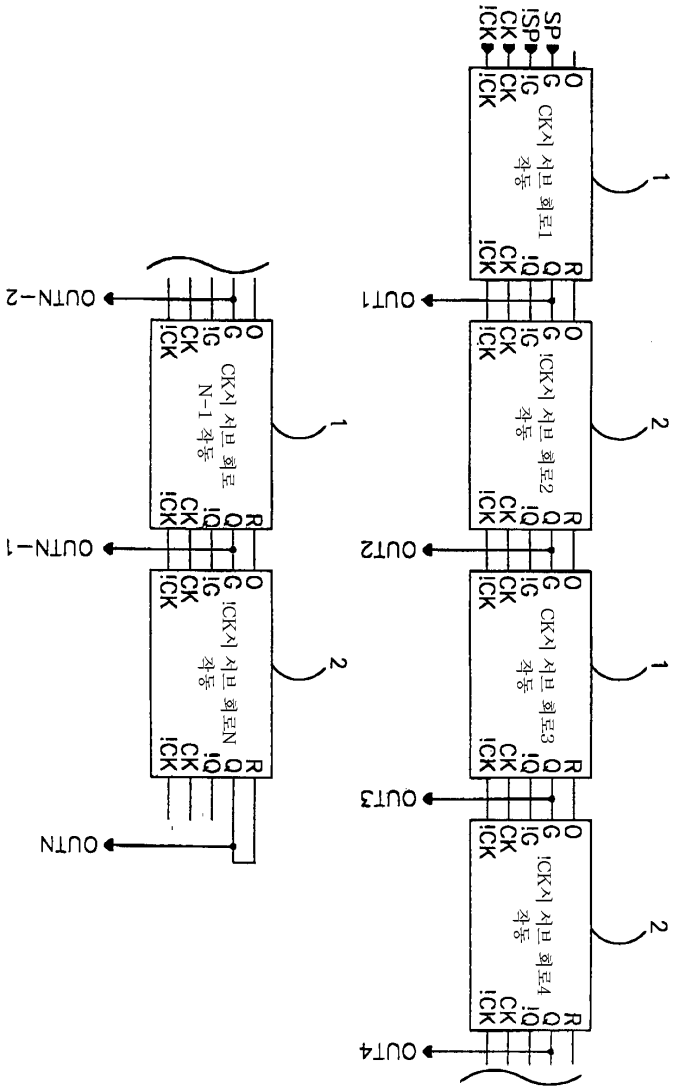
도면 2



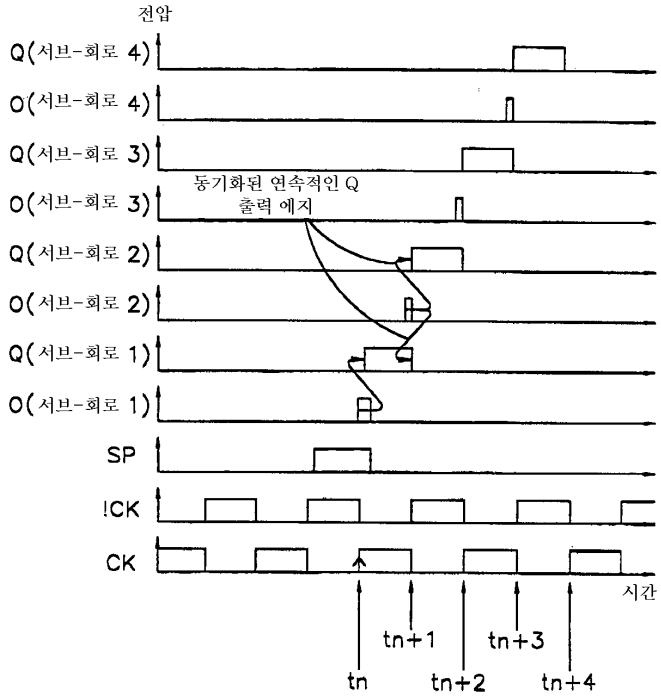
도면 3


1
(n-1)로
O
(n-1)로부터
G
!G
CK
!CK
게이팅 회로
G
!G
CK
!CK
O
4
D
R
Q
CK
!Q
3
(n+1)로부터
R
(n+1)로
Q
!Q
CK
!CK
2
(n-1)로
O
(n-1)로부터
G
!G
CK
!CK
게이팅 회로
G
!G
CK
!CK
O
4
D
R
Q
CK
!Q
3
(n+1)로부터
R
(n+1)로
Q
!Q
CK
!CK

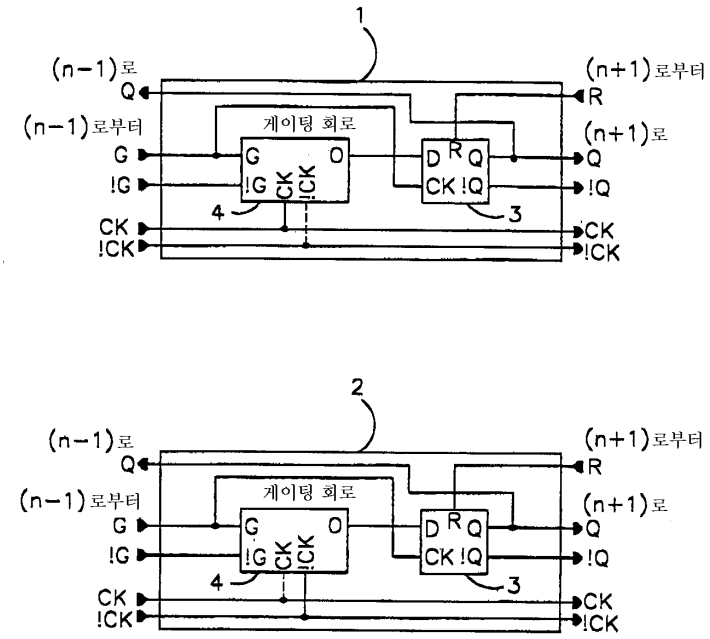
도면 4


SP
iSP
CK
iCK
CK시 서브 회로1 작동
!CK시 서브 회로2 작동
CK시 서브 회로3 작동
!CK시 서브 회로4 작동
CK시 서브 회로 N-1 작동
!CK시 서브 회로N 작동
OUT1
OUT2
OUT3
OUT4
OUTN-2
OUTN-1
OUTN
1
2

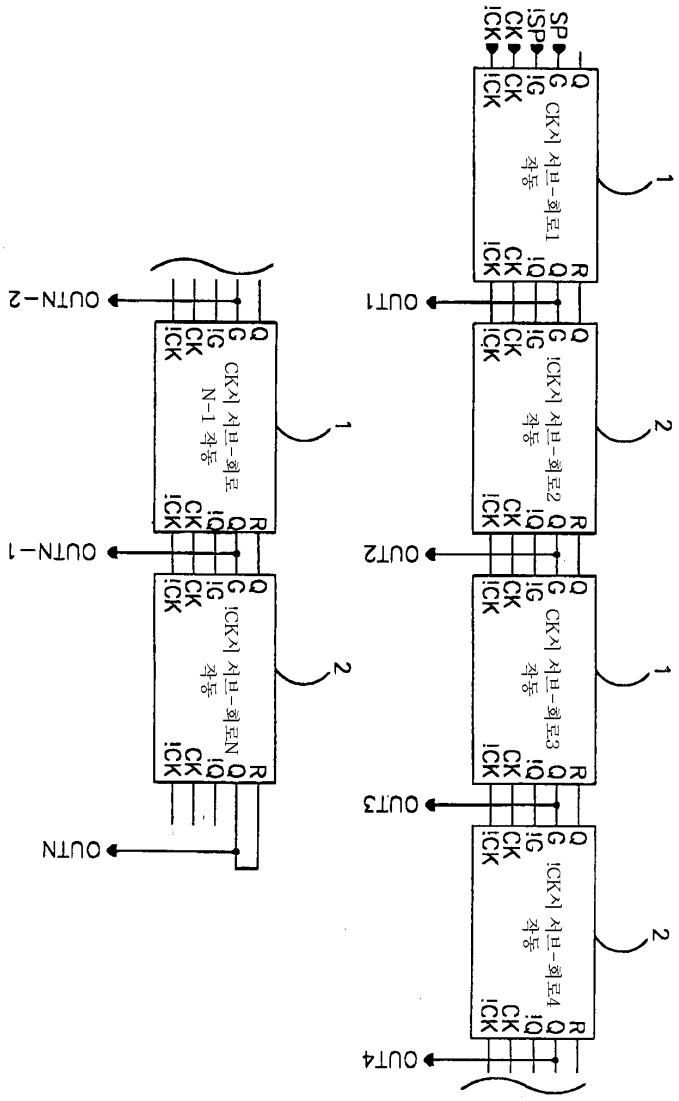
도면 5


전압
Q(서브-회로 4)
O(서브-회로 4)
Q(서브-회로 3)
O(서브-회로 3)
동기화된 연속적인 Q
출력 에지
Q(서브-회로 2)
O(서브-회로 2)
Q(서브-회로 1)
O(서브-회로 1)
SP
!CK
CK
시간
tn
tn+1
tn+2
tn+3
tn+4

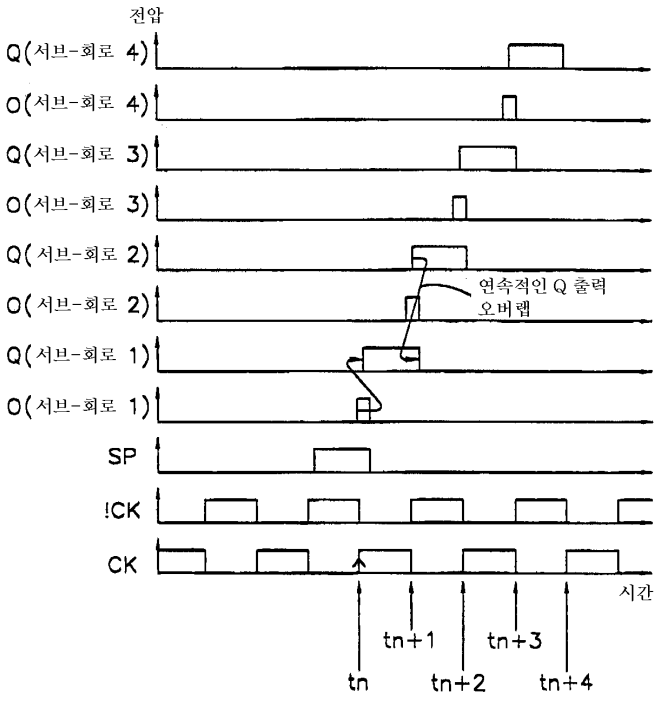
도면 6


1
(n-1)로
Q
(n-1)로부터
G
!G
CK
!CK
게이팅 회로
D
R
Q
CK
!Q
(n+1)로부터
R
(n+1)로
Q
!Q
CK
!CK
4
3
2

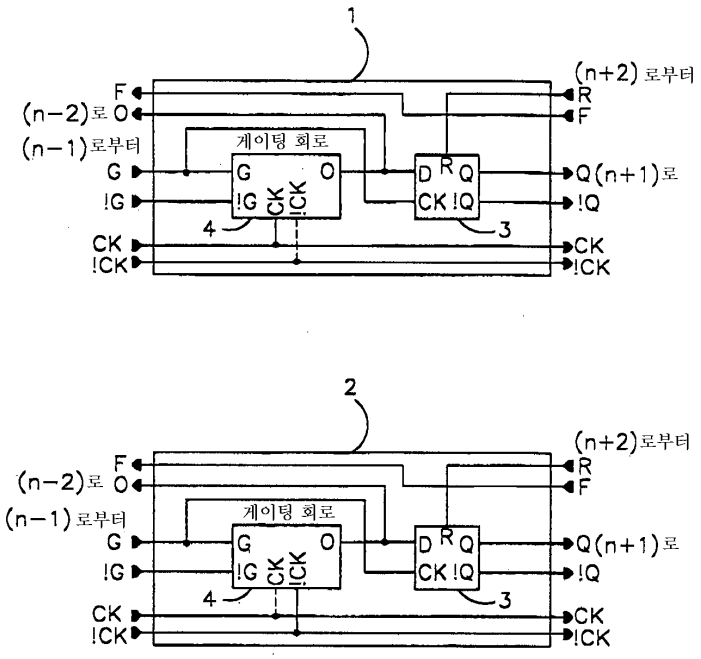
도면 7


SP
iSP
CK
iCK
CK시 시프트 회로1 작동
!CK시 시프트 회로2 작동
CK시 시프트 회로3 작동
!CK시 시프트 회로4 작동
CK시 시프트 회로 N-1 작동
!CK시 시프트 회로N 작동
OUT1
OUT2
OUT3
OUT4
OUTN-2
OUTN-1
OUTN

도면 8

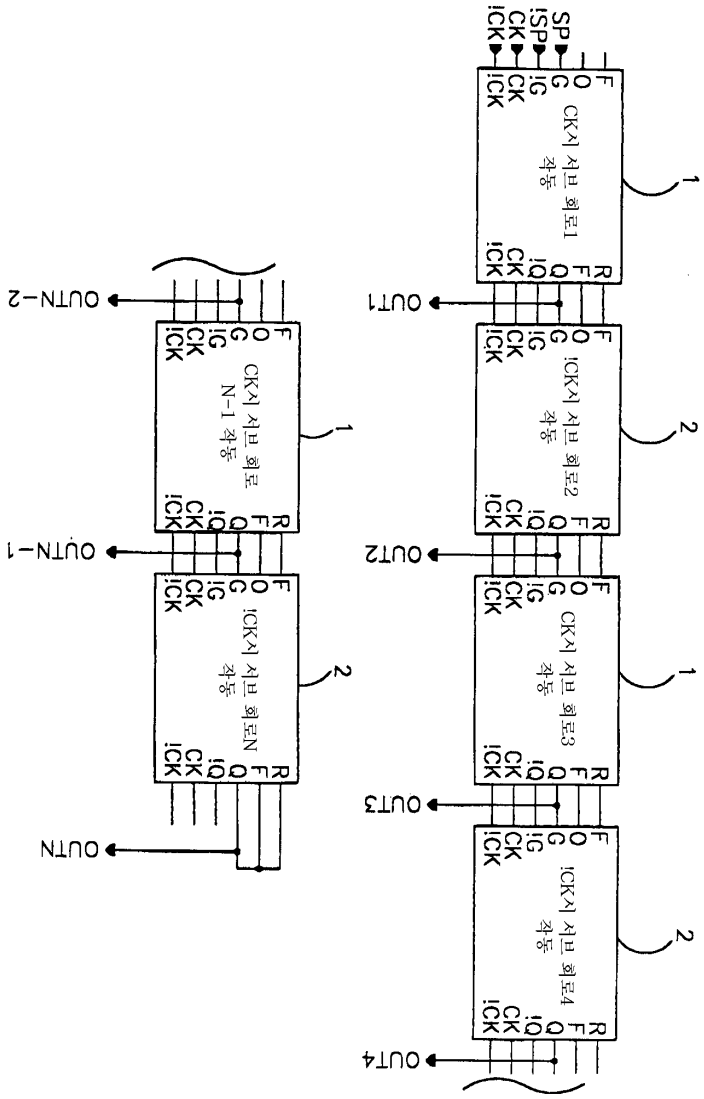

전압
Q(서브-회로 4)
O(서브-회로 4)
Q(서브-회로 3)
O(서브-회로 3)
Q(서브-회로 2)
O(서브-회로 2)
연속적인 Q 출력
오버랩
Q(서브-회로 1)
O(서브-회로 1)
SP
!CK
CK
시간
tn
tn+1
tn+2
tn+3
tn+4

도면 9

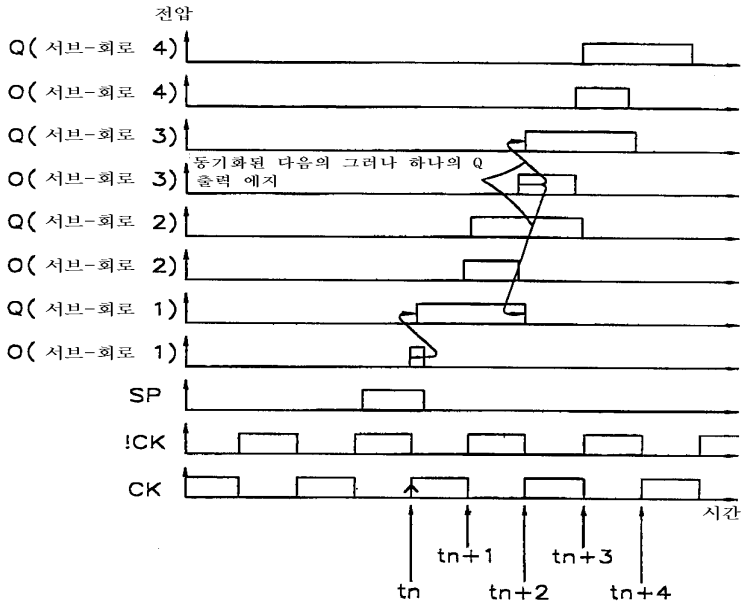

1
(n+2) 로부터
F
(n-2)로 O
R
F
(n-1)로부터
게이팅 회로
G
G O
D R Q
Q(n+1)로
!G
!G CK !CK
CK !Q
!Q
4
3
CK
CK
!CK
!CK

2
(n+2)로부터
F
(n-2)로 O
R
F
(n-1) 로부터
게이팅 회로
G
G O
D R Q
Q(n+1)로
!G
!G CK !CK
CK !Q
!Q
4
3
CK
CK
!CK
!CK

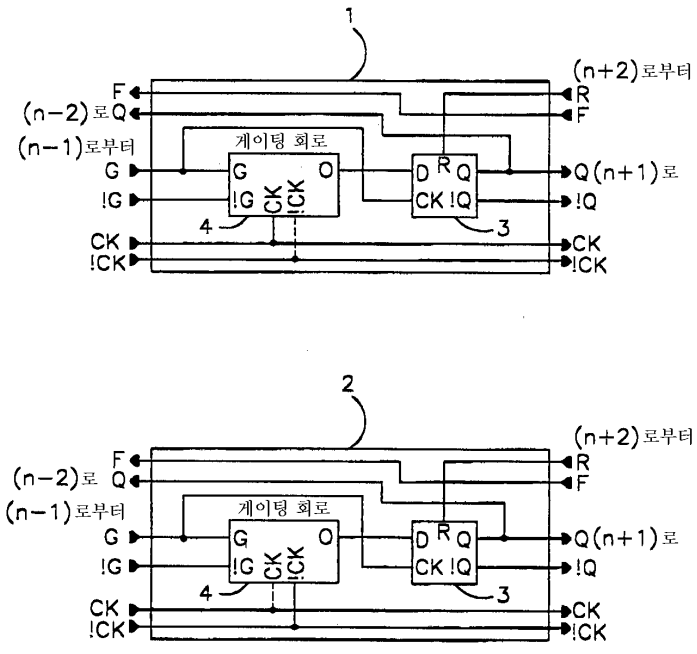
도면 10


SP
!SP
CK
!CK
CK시 서브 회로1 작동
!CK시 서브 회로2 작동
CK시 서브 회로3 작동
!CK시 서브 회로4 작동
OUT1
OUT2
OUT3
OUT4
CK시 서브 회로 N-1 작동
!CK시 서브 회로N 작동
OUTN-2
OUTN-1
OUTN
1
2

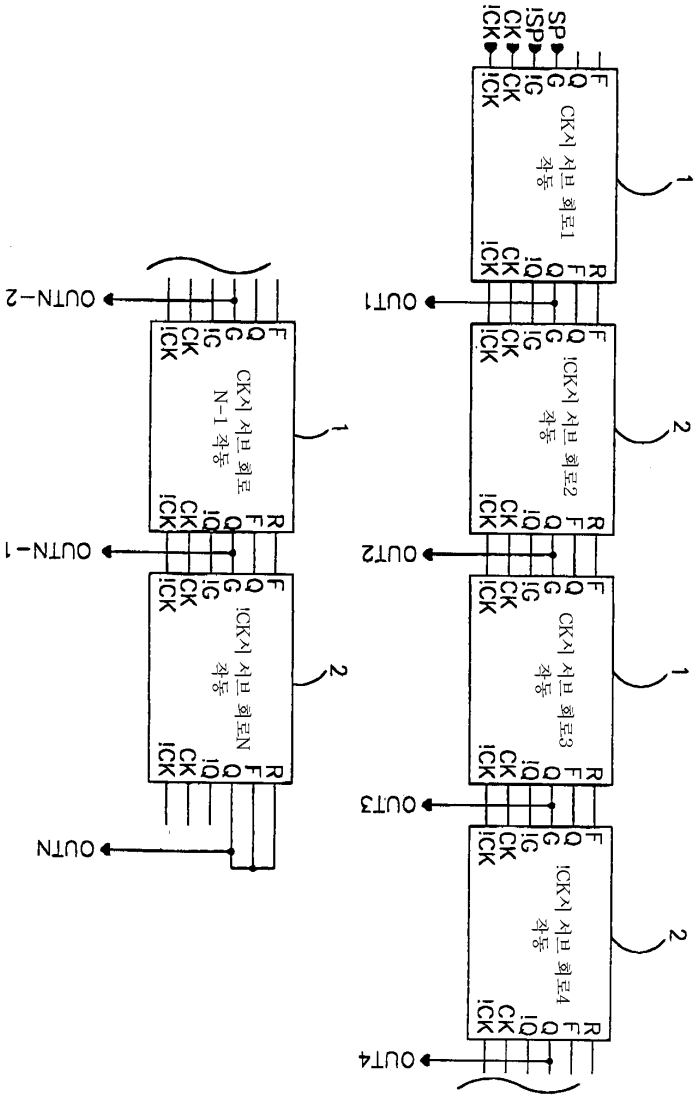
도면 11


전압
Q(서브-회로 4)
O(서브-회로 4)
Q(서브-회로 3)
O(서브-회로 3)
동기화된 다음의 그러나 하나의 Q 출력 에지
Q(서브-회로 2)
O(서브-회로 2)
Q(서브-회로 1)
O(서브-회로 1)
SP
!CK
CK
시간
tn
tn+1
tn+2
tn+3
tn+4

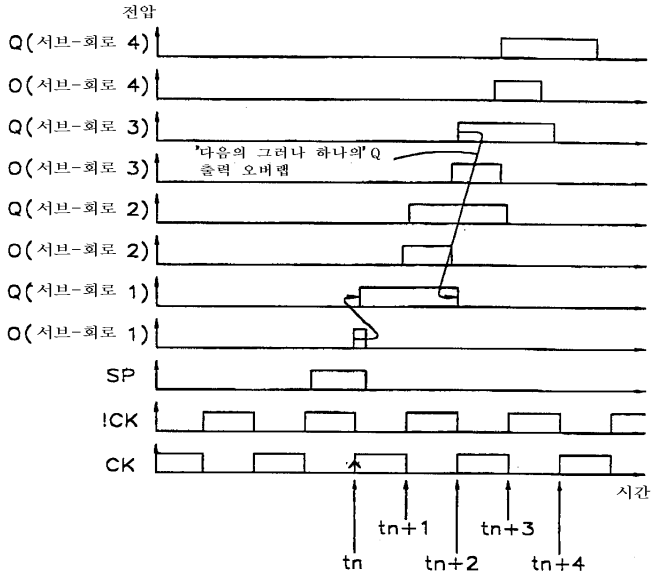
도면 12


1
(n+2)로부터
F
(n-2)로Q
R
F
게이팅 회로
(n-1)로부터
G
!G
G
!G
CK
!CK
O
D
R
Q
CK
!Q
Q(n+1)로
!Q
4
3
CK
!CK
CK
!CK
2
(n+2)로부터
F
(n-2)로 Q
R
F
게이팅 회로
(n-1)로부터
G
!G
G
!G
CK
!CK
O
D
R
Q
CK
!Q
Q(n+1)로
!Q
4
3
CK
!CK
CK
!CK

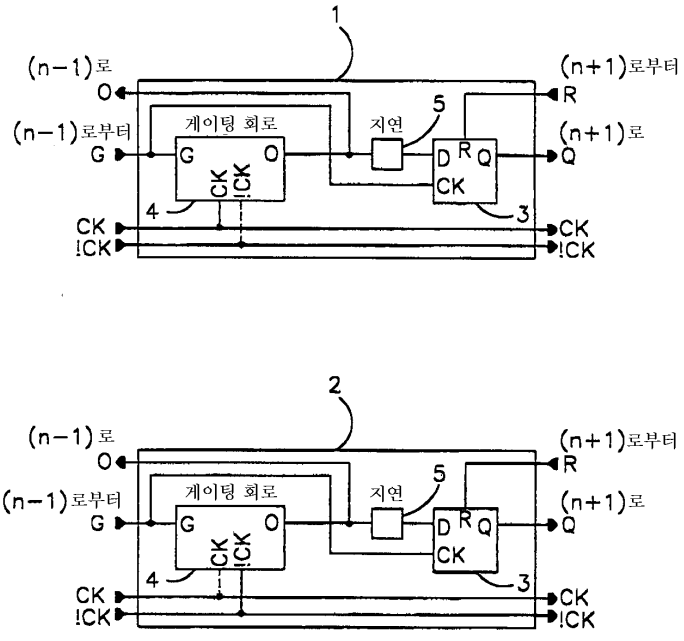
도면 13


SP
iSP
CK
iCK
F
Q
G
IG
R
IQ
CK시 시브 회로1 작동
iCK시 시브 회로2 작동
CK시 시브 회로3 작동
iCK시 시브 회로4 작동
CK시 시브 회로 N-1 작동
iCK시 시브 회로N 작동
1
2
OUT1
OUT2
OUT3
OUT4
OUTN-2
OUTN-1
OUTN

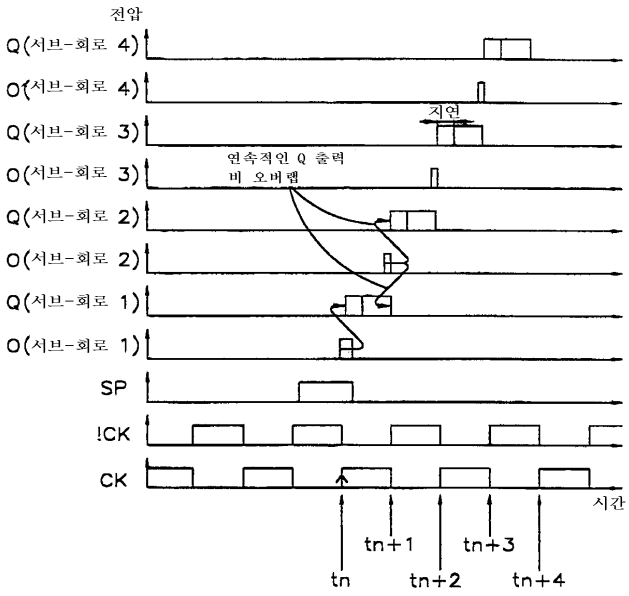
도면 14


전압
Q(서브-회로 4)
O(서브-회로 4)
Q(서브-회로 3)
'다음의 그러나 하나의' Q 출력 오버랩
O(서브-회로 3)
Q(서브-회로 2)
O(서브-회로 2)
Q(서브-회로 1)
O(서브-회로 1)
SP
!CK
CK
시간
tn
tn+1
tn+2
tn+3
tn+4

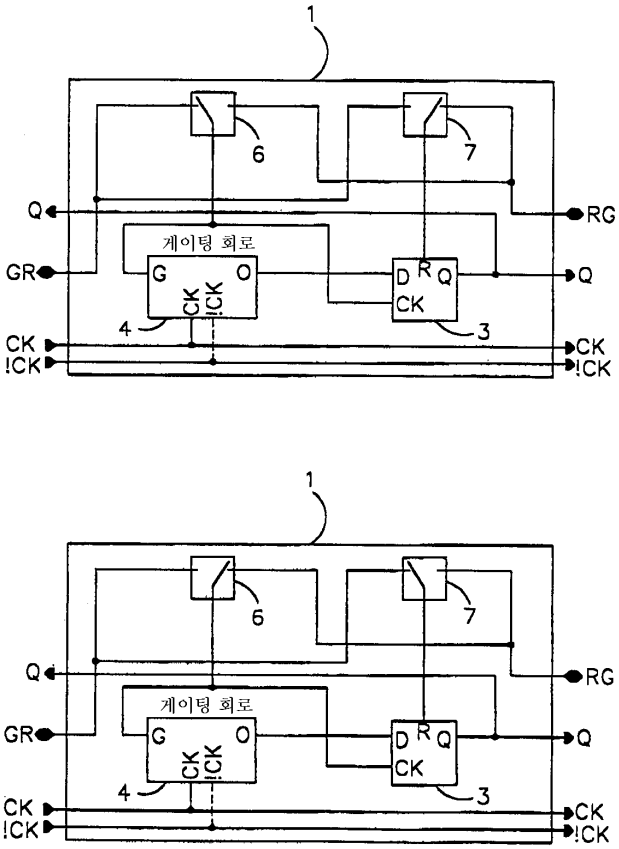
도면 15


1
(n-1)로
O
(n-1)로부터
G
게이팅 회로
G
O
CK
!CK
4
지연
5
D
R
Q
CK
3
(n+1)로부터
R
(n+1)로
Q
CK
!CK
2
(n-1)로
O
(n-1)로부터
G
게이팅 회로
G
O
CK
!CK
4
지연
5
D
R
Q
CK
3
(n+1)로부터
R
(n+1)로
Q
CK
!CK

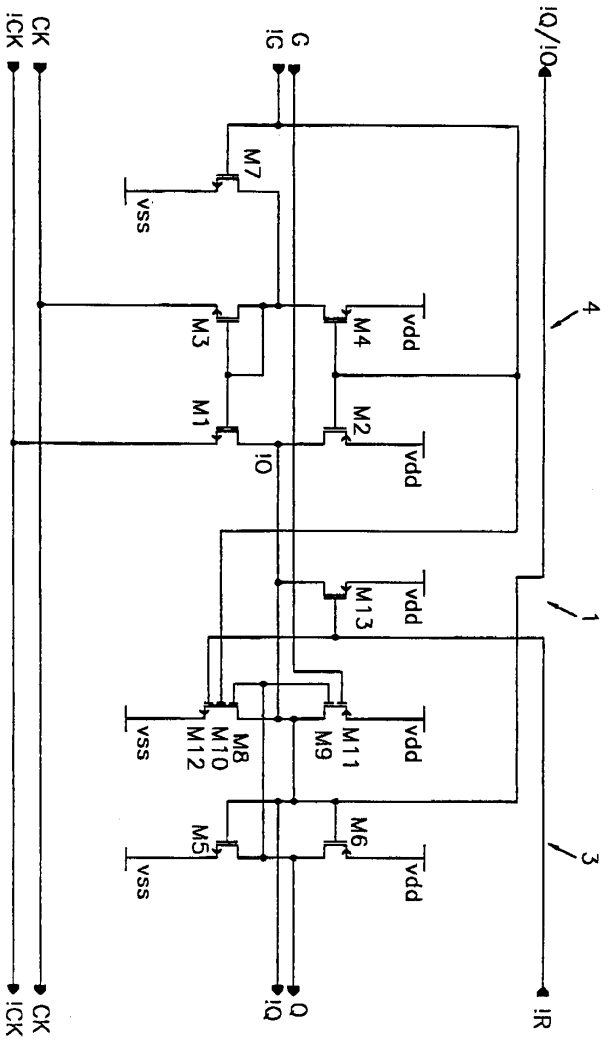
도면 16


전압
Q(서브-회로 4)
O(서브-회로 4)
Q(서브-회로 3)
O(서브-회로 3)
지연
연속적인 Q 출력
비 오버랩
Q(서브-회로 2)
O(서브-회로 2)
Q(서브-회로 1)
O(서브-회로 1)
SP
!CK
CK
시간
tn
tn+1
tn+2
tn+3
tn+4

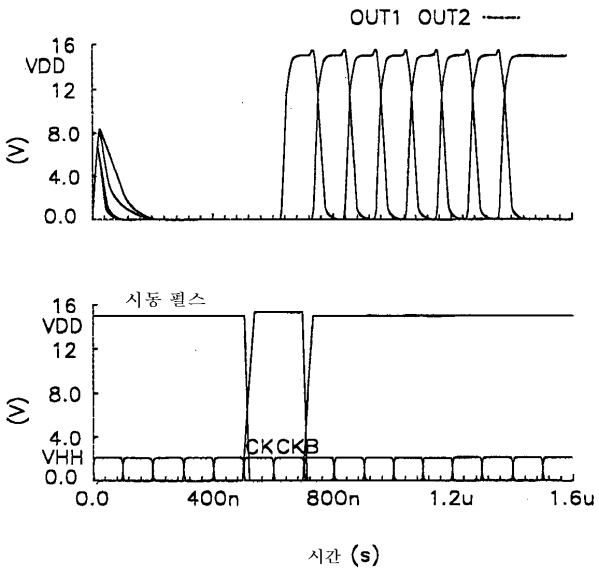
도면 17



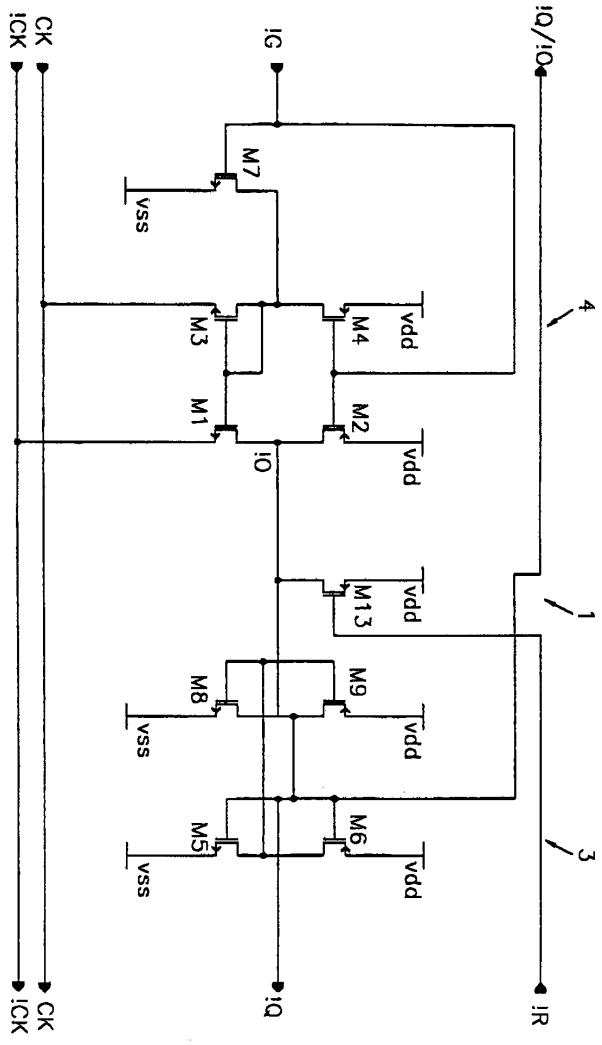
도면 18


!Q/!O
G
!G
CK
!CK
M7
vss
M3
M4
vdd
M1
M2
!O
vdd
M13
vdd
M8
M10
M12
vss
M11
M9
vdd
M5
M6
vss
vdd
4
1
3
!R
Q
!Q
CK
!CK

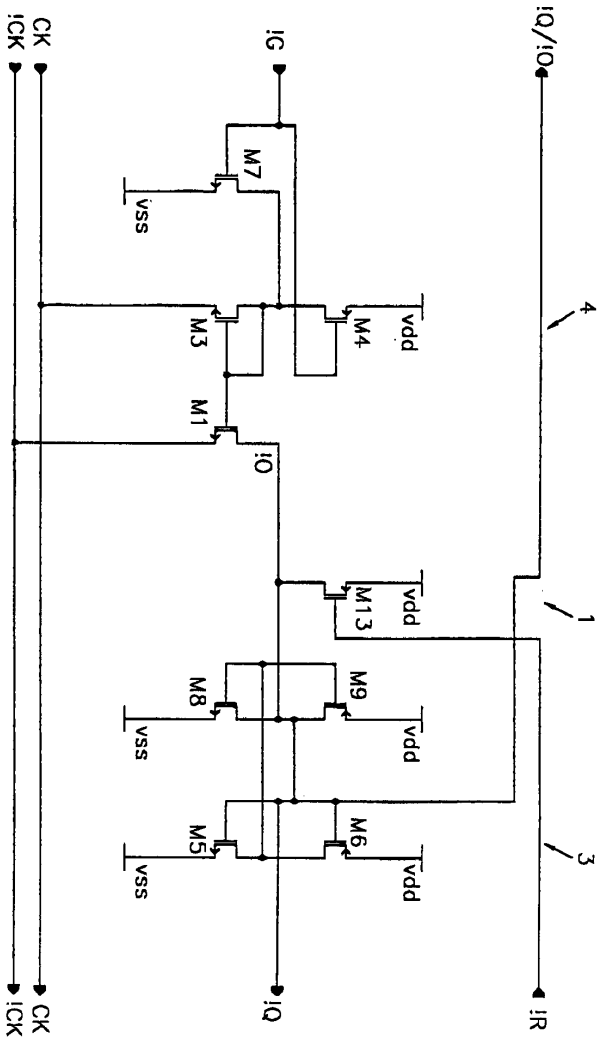
도면 19


OUT1 OUT2
16
VDD
12
8.0
4.0
0.0
(V)
시동 펄스
16
VDD
12
8.0
4.0
VHH
0.0
(V)
CKCKB
0.0
400n
800n
1.2u
1.6u
시간 (s)

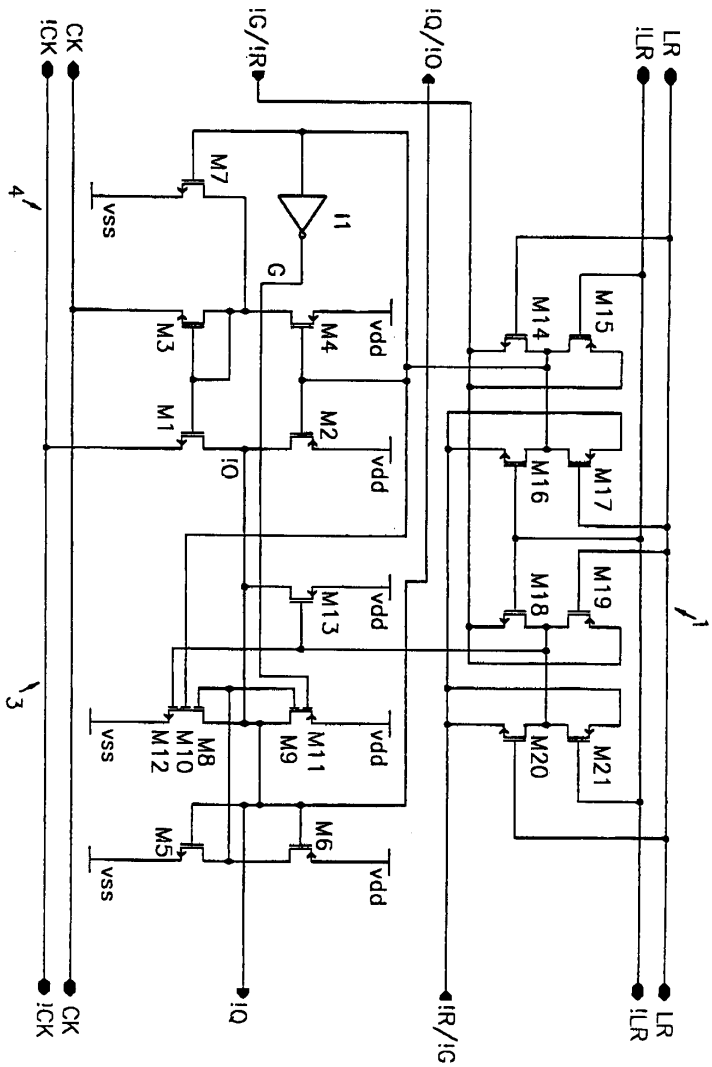
도면 20


CK
iCK
iG
iQ/iQ
M7
vss
M3
M4
vdd
4
M1
M2
vdd
iQ
vdd
M13
1
M8
M9
vss
vdd
M5
M6
3
vss
vdd
iQ
iR
iCK
CK

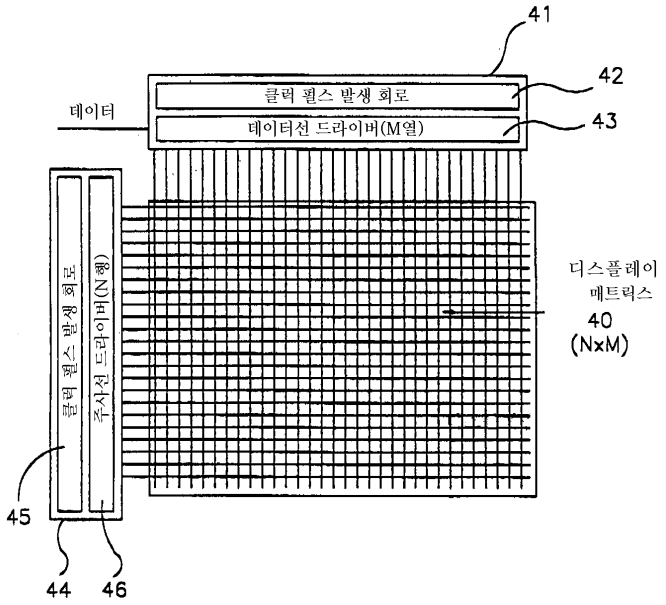
도면 21


CK
iCK
Gi
Oi/Qi
M7
vss
M3
M4
vdd
M1
Oi
M13
vdd
M8
M9
vss
vdd
M5
M6
vss
vdd
4
1
3
CK
iCK
Qi
iR

도면 22


CK
/CK
iG/iR
iQ/iO
LR
/LR
M7
vss
I1
G
M3
M4
vdd
M14
M15
M1
M2
iO
M16
M17
M13
M18
M19
1
3
M8
M10
M12
M9
M11
M20
M21
M5
M6
iQ
iR/iG

도면 23


41
42
43
데이터
클럭 펄스 발생 회로
데이터선 드라이버(M열)
디스플레이
매트릭스
40
(NxM)
클럭 펄스 발생 회로
주사선 드라이버(N행)
45
44
46