



(12)发明专利

(10)授权公告号 CN 103797708 B

(45)授权公告日 2017.07.04

(21)申请号 201280044365.3

(22)申请日 2012.09.13

(65)同一申请的已公布的文献号

申请公布号 CN 103797708 A

(43)申请公布日 2014.05.14

(30)优先权数据

13/231,824 2011.09.13 US

(85)PCT国际申请进入国家阶段日

2014.03.12

(86)PCT国际申请的申请数据

PCT/US2012/055251 2012.09.13

(87)PCT国际申请的公布数据

W02013/040272 EN 2013.03.21

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 P·H·西 X·张

(74)专利代理机构 上海专利商标事务所有限公司 31100

代理人 李小芳

(51)Int.Cl.

H03F 1/56(2006.01)

(56)对比文件

US 7671693 B2,2010.03.02,

US 7750757 B2,2010.07.06,

EP 1887705 A2,2008.02.13,

CN 101170298 A,2008.04.30,

审查员 王青

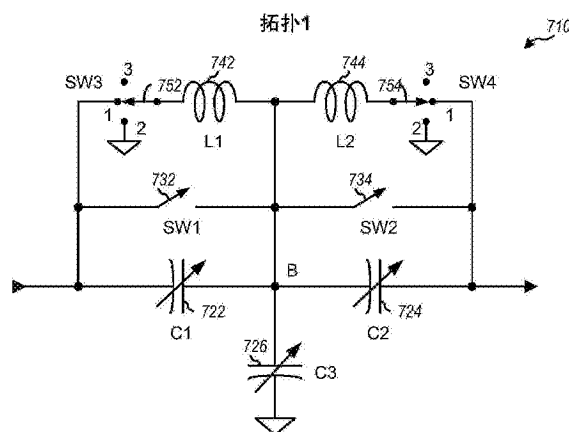
权利要求书3页 说明书14页 附图19页

(54)发明名称

具有多种配置的阻抗匹配电路

(57)摘要

公开了具有多种配置的可重配置阻抗匹配电路。可重配置阻抗匹配电路可以用一组无功元件(例如,电感器和/或电容器)和一组开关来实现。不同配置可以用开关的不同设置来获得,并且可以与不同的阻抗调谐曲线相关联。这可使得可重配置阻抗匹配电路能够为负载电路(例如,天线)提供更好的阻抗匹配。在一示例性设计中,可重配置阻抗匹配电路包括至少一个可变无功元件,其被配置成调谐该可重配置阻抗匹配电路的阻抗以提供更好的阻抗匹配。在一示例性设计中,可重配置阻抗匹配电路可包括至少一个可重配置无功元件,每一可重配置无功元件可被连接成串联元件或分流元件。



1. 一种用于执行阻抗匹配的装置,包括:

阻抗匹配电路,包括

多个无功元件,所述多个无功元件被配置成与负载电路进行阻抗匹配并且包括被配置成调谐所述阻抗匹配电路的阻抗的至少一个可变无功元件,以及

至少一个开关,所述至少一个开关被配置成以多种配置之一来设置所述阻抗匹配电路,

其中所述多个无功元件包括在至少一种配置中耦合作为串联元件、且在至少一种其它配置中耦合作为分流元件的无功元件。

2. 如权利要求1所述的装置,其特征在于,所述多种配置包括串联配置、分流配置、“L”型配置、“R”型配置、“ Π ”型配置或“T”型配置中的至少一者。

3. 如权利要求1所述的装置,其特征在于,所述多种配置包括串联配置,所述串联配置具有耦合在所述阻抗匹配电路的输入与输出之间的至少一个无功元件。

4. 如权利要求1所述的装置,其特征在于,所述多种配置包括分流配置,所述分流配置具有耦合在所述阻抗匹配电路的输出与电路接地之间的至少一个无功元件。

5. 如权利要求1所述的装置,其特征在于,所述多种配置包括“L”型配置,所述“L”型配置具有耦合在所述阻抗匹配电路的输入与输出之间的至少一个无功元件以及耦合在所述阻抗匹配电路的输出与电路接地之间的至少一个其它无功元件。

6. 如权利要求1所述的装置,其特征在于,所述多种配置包括“R”型配置,所述“R”型配置具有耦合在所述阻抗匹配电路的输入与输出之间的至少一个无功元件以及耦合在所述阻抗匹配电路的输入与电路接地之间的至少一个其它无功元件。

7. 如权利要求1所述的装置,其特征在于,所述多种配置包括“ Π ”型配置,所述“ Π ”型配置具有耦合在所述阻抗匹配电路的输入与输出之间的第一无功元件、耦合在所述阻抗匹配电路的输入与电路接地之间的第二无功元件、以及耦合在所述阻抗匹配电路的输出与电路接地之间的第三无功元件。

8. 如权利要求1所述的装置,其特征在于,所述多种配置包括“T”型配置,所述“T”型配置具有耦合在所述阻抗匹配电路的输入与中间节点之间的第一无功元件、耦合在所述中间节点与所述阻抗匹配电路的输出之间的第二无功元件、以及耦合在所述中间节点与电路接地之间的第三无功元件。

9. 如权利要求1所述的装置,其特征在于,进一步包括至少一个附加开关,所述至少一个附加开关在所述至少一种配置中被安排成将信号路径的输入耦合至所述信号路径的输出、且在所述至少一种其它配置中被安排成将所述信号路径耦合至接地。

10. 如权利要求1所述的装置,其特征在于,所述多个无功元件包括电感器,其在至少一种配置中耦合作为串联电感器,且在至少一种其它配置中耦合作为分流电感器。

11. 如权利要求1所述的装置,其特征在于,所述多个无功元件包括可变电容器,其在至少一种配置中耦合作为串联电容器,且在至少一种其它配置中耦合作为分流电容器。

12. 如权利要求1所述的装置,其特征在于,所述多个无功元件包括在至少一种配置中耦合在所述阻抗匹配电路中的第一对节点之间、且在至少一种其它配置中耦合在不同于所述第一对节点的第二对节点之间的无功元件。

13. 如权利要求1所述的装置,其特征在于,所述至少一个开关包括具有耦合到所述多

个无功元件之一的单个输入、以及耦合到所述阻抗匹配电路中的至少两个节点的至少两个输出的开关。

14. 如权利要求1所述的装置,其特征在于,所述负载电路包括天线,并且其中所述阻抗匹配电路为所述天线执行阻抗匹配。

15. 如权利要求1所述的装置,其特征在于,所述负载电路包括功率放大器,并且其中所述阻抗匹配电路为所述功率放大器执行输出阻抗匹配。

16. 如权利要求1所述的装置,其特征在于,所述负载电路包括低噪声放大器(LNA),并且其中所述阻抗匹配电路为所述LNA执行输入阻抗匹配。

17. 如权利要求1所述的装置,其特征在于,进一步包括:

控制器,所述控制器被配置成选择所述阻抗匹配电路的所述多种配置之一。

18. 如权利要求1所述的装置,其特征在于,进一步包括:

存储器,所述存储器被配置成存储所述阻抗匹配电路的多种电路设置,每一电路设置与所述多种配置之一、所述至少一个开关的至少一个开关设置、所述至少一个可变无功元件的至少一个控制设置、或其组合相关联。

19. 如权利要求18所述的装置,其特征在于,所述多种电路设置与不同频率相关联,并且其中基于所述装置的工作频率来选择所述多种电路设置之一。

20. 如权利要求1所述的装置,其特征在于,所述装置包括集成电路。

21. 如权利要求9所述的装置,其特征在于,所述至少一个附加开关在进一步配置中被安排成将所述信号路径耦合至浮置输出。

22. 一种执行阻抗匹配的方法,包括:

经由阻抗匹配电路中的至少一个开关以多种配置之一来设置所述阻抗匹配电路;以及
用所述阻抗匹配电路中的多个无功元件为负载电路执行阻抗匹配,所述多个无功元件包括被配置成调谐所述阻抗匹配电路的阻抗的至少一个可变无功元件,

其中所述多个无功元件包括在至少一种配置中耦合作为串联元件、且在至少一种其它配置中耦合作为分流元件的无功元件。

23. 如权利要求22所述的方法,其特征在于,进一步包括:

存储所述阻抗匹配电路的多种电路设置,每一电路设置与所述多种配置之一、所述至少一个开关的至少一个开关设置、所述至少一个可变无功元件的至少一个控制设置、或其组合相关联;以及

为所述阻抗匹配电路选择所述多种电路设置之一。

24. 如权利要求23所述的方法,其特征在于,选择所述多种电路设置之一包括基于无线设备的工作频率来选择所述多种电路设置之一。

25. 一种用于无线通信的设备,包括:

用于为负载电路执行阻抗匹配的装置,所述用于执行阻抗匹配的装置包括被配置成调谐所述用于执行阻抗匹配的装置的阻抗的至少一个可变无功元件;以及

用于以多种配置之一来设置所述用于执行阻抗匹配的装置的装置,

其中所述至少一个可变无功元件包括在至少一种配置中耦合作为串联元件、且在至少一种其它配置中耦合作为分流元件的无功元件。

26. 如权利要求25所述的设备,其特征在于,进一步包括:

用于存储所述用于执行阻抗匹配的装置的多种设置的装置;以及
用于为所述用于执行阻抗匹配的装置选择所述多种设置之一的装置。

具有多种配置的阻抗匹配电路

[0001] 背景

I. 技术领域

[0002] 本公开一般涉及电子器件,尤其涉及适于用在无线设备中的阻抗匹配电路。

II. 背景技术

[0003] 无线通信系统中的无线设备(例如,蜂窝电话或智能电话)可发射和接收数据以进行双向通信。无线设备可包括用于数据传送的发射机以及用于数据接收的接收机。对于数据传送,发射机可用数据来调制射频(RF)载波信号以获得经调制信号,放大经调制信号以获得具有恰当输出功率电平的输出RF信号,并经由天线将该输出RF信号发射到基站。对于数据接收,接收机可经由天线获得收到RF信号并且可调理和处理该收到RF信号以恢复由基站发送的数据。

[0004] 发射机可以包括各种电路,诸如功率放大器(PA)、滤波器,等等。接收机也可以包括各种电路,诸如低噪声放大器(LNA)、滤波器,等等。阻抗匹配电路可以耦合在天线与发射机和/或接收机之间,并且可以为天线、功率放大器或LNA执行阻抗匹配。阻抗匹配电路可对无线设备的性能有很大影响。

发明内容

[0005] 本发明提供了一种用于执行阻抗匹配的装置,包括:阻抗匹配电路,包括多个无功元件,所述多个无功元件被配置成与负载电路进行阻抗匹配并且包括被配置成调谐所述阻抗匹配电路的阻抗的至少一个可变无功元件,以及至少一个开关,所述至少一个开关被配置成以多种配置之一来设置所述阻抗匹配电路,其中所述多个无功元件包括在至少一种配置中耦合作为串联元件、且在至少一种其它配置中耦合作为分流元件的无功元件。

[0006] 本发明提供了一种执行阻抗匹配的方法,包括:经由阻抗匹配电路中的至少一个开关以多种配置之一来设置所述阻抗匹配电路;以及用所述阻抗匹配电路中的多个无功元件为负载电路执行阻抗匹配,所述多个无功元件包括被配置成调谐所述阻抗匹配电路的阻抗的至少一个可变无功元件,其中所述多个无功元件包括在至少一种配置中耦合作为串联元件、且在至少一种其它配置中耦合作为分流元件的无功元件。

[0007] 本发明提供了一种用于无线通信的设备,包括:用于为负载电路执行阻抗匹配的装置,所述用于执行阻抗匹配的装置包括被配置成调谐所述用于执行阻抗匹配的装置的阻抗的至少一个可变无功元件;以及用于以多种配置之一来设置所述用于执行阻抗匹配的装置的装置,其中所述多个至少一个可变无功元件包括在至少一种配置中耦合作为串联元件、且在至少一种其它配置中耦合作为分流元件的无功元件。

附图说明

[0008] 图1、2和3示出无线设备的三种示例性设计。

- [0009] 图4示出可调节阻抗匹配电路的示意图。
- [0010] 图5A到5F示出不同配置的阻抗匹配电路。
- [0011] 图6A到6D示出图5A到5F中的阻抗匹配电路的阻抗调谐曲线的史密斯圆图。
- [0012] 图7示出可重配置阻抗匹配电路的示意图。
- [0013] 图8A到8T示出图7中的可重配置阻抗匹配电路的20种配置。
- [0014] 图9A到9C示出三种可重配置阻抗匹配电路的示意图。
- [0015] 图10示出天线阻抗相对于频率的史密斯圆图。
- [0016] 图11示出可重配置阻抗匹配电路的查找表。
- [0017] 图12示出可重配置阻抗匹配电路的八种不同设置的天线效率的标绘。
- [0018] 图13示出了用于执行阻抗匹配的过程。

具体实施方式

[0019] 以下阐述的详细描述旨在作为本公开的示例性设计的描述,而无意表示可在其中实践本公开的仅有设计。术语“示例性”在本文中用于表示“用作示例、实例或解说”。本文中描述为“示例性”的任何设计不必被解释为优于或胜过其他设计。本详细描述包括具体细节以提供对本公开的示例性设计的透彻理解。对于本领域技术人员将明显的是,没有这些具体细节也可实践本文描述的示例性设计。在一些实例中,公知的结构和器件以框图形式示出以免湮没本文中给出的示例性设计的新颖性。

[0020] 本文中描述了具有多种配置的阻抗匹配电路,且其也可称作可重配置阻抗匹配电路。可重配置阻抗匹配电路包括一组无功元件/组件以及一组开关。无功元件可以是电感器或电容器。如下所述,通过控制开关以不同布置来连接无功元件,可以获得不同的配置。例如,给定无功元件的一端可以经由开关被连接至可重配置阻抗匹配电路中的多个节点之一。可重配置阻抗匹配电路的每一配置对应于无功元件的不同布置。可重配置阻抗匹配电路的多种配置可以支持更宽的阻抗值范围并且可以实现更好的阻抗匹配,这可以改善性能。

[0021] 本文中所述的可重配置阻抗匹配电路可用于各种类型的无线设备,诸如蜂窝电话、智能电话、平板设备、个人数字助理(PDA)、手持式设备、无线调制解调器、膝上型计算机、智能本、上网本、无绳电话、无线本地环路(WLL)站、蓝牙设备、消费者电子设备,等等。

[0022] 图1示出了无线设备100的示例性设计的框图。在此示例性设计中,无线设备100包括数据处理/控制器110、收发机120和天线152。收发机120包括支持双向无线通信的发射机130和接收机160。无线设备100可以支持长期演进(LTE)、码分多址(CDMA) 1X或cdma2000、宽带CDMA(WCDMA)、全球移动通信系统(GSM)、802.11,等等。

[0023] 在发射路径中,数据处理110处理(例如,编码和调制)待发射的数据并且向发射机130提供模拟输出信号。在发射机130内,发射(TX)电路132对该模拟输出信号进行放大、滤波并将其从基带上变频到RF,并且提供经调制信号。TX电路132可包括放大器、滤波器、混频器、振荡器、本地振荡器(LO)生成器、锁相环(PLL)等等。功率放大器(PA) 134接收并且放大经调制信号,并且提供具有恰当输出功率电平的经放大RF信号。TX滤波器136对经放大RF信号进行滤波以传递发射频带中的信号分量,并且衰减接收频带中的信号分量。TX滤波器136提供输出RF信号,该输出RF信号被路由通过开关140和阻抗匹配电路150,并且经由天线

152被发射。阻抗匹配电路150为天线152执行阻抗匹配,并且也被称作天线调谐电路、可调谐匹配电路,等等。

[0024] 在接收路径中,天线152接收来自基站和/或其他发射机站的信号并且提供收到RF信号,该收到RF信号被路由通过阻抗匹配电路150和开关140并且被提供给接收机160。在接收机160内,接收(RX)滤波器160对收到RF信号进行滤波以传递接收频带中的信号分量,并且衰减发射频带中的信号分量。LNA 164放大来自RX滤波器162的经滤波RF信号并且提供输入RF信号。RX电路166对该输入RF信号进行放大、滤波并将其从RF下变频到基带,并且将模拟输入信号提供给数据处理器110。RX电路166可包括放大器、滤波器、混频器、振荡器、LO生成器、PLL,等等。

[0025] 图1示出了收发机120的示例性设计。收发机120的全部或部分可实现在一个或多个模拟集成电路(IC)、射频IC(RFIC)、混合信号IC等上。例如, TX电路132、功率放大器134、LNA 164和RX电路166可以实现在RFIC上。功率放大器134以及可能其它电路也可实现在分离的IC或模块上。阻抗匹配电路150以及可能其它电路也可实现在分离的IC或模块上。

[0026] 数据处理器/控制器110可为无线设备100执行各种功能。例如,数据处理器110可对经由发射机130发射的以及经由接收机160收到的数据执行处理。控制器110可以控制TX电路132、RX电路166、开关140和/或阻抗匹配电路150的操作。存储器112可存储供数据处理器/控制器110使用的程序代码和数据。存储器112可以在数据处理器/控制器110的内部(如图1中所示)或在数据处理器/控制器110的外部(图1中未示出)。数据处理器/控制器110可实现在一个或多个专用集成电路(ASIC)和/或其他IC上。

[0027] 图2示出了无线设备200的示例性设计的框图。在此示例性设计中,无线设备200包括数据处理器/控制器210、用于主天线252a的收发机220以及用于副天线252b的接收机222。收发机220包括:(i)支持第一模式/频带(例如,GSM)的双向无线通信的发射机230a和接收机260a;以及(ii)支持第二模式/频带(LTE、cdma2000或WCDMA)的双向无线通信的发射机230b和接收机260b。模式可以对应于LTE、cdma2000、WCDMA、GSM,等等。接收机222包括支持数据接收的接收机260c和260d。

[0028] 在收发机220内,发射机230a包括TX电路232a、功率放大器234a和TX滤波器236a。接收机260a包括RX滤波器262a、LNA 264a和RX电路266a。发射机230b包括TX电路232b、功率放大器234b和双工器238。接收机260b包括双工器238、LNA 264b和RX电路266b。开关240a耦合到TX滤波器236a、RX滤波器262a和双工器238。双工器238将来自功率放大器234b的经放大RF信号路由到开关240a,并且还将来自开关240a的收到RF信号路由到LNA 264b。阻抗匹配电路250a耦合在开关240a与天线252a之间。

[0029] 在接收机222内,接收机260c包括RX滤波器262c、LNA 264c和RX电路266c。接收机260d包括RX滤波器262d、LNA 264d和RX电路266d。开关240b耦合到RX滤波器262c和262d。阻抗匹配电路250b耦合在开关240b与天线252b之间。

[0030] 图3示出了无线设备300的示例性设计的框图。在此示例性设计中,无线设备300包括数据处理器/控制器310、收发机320和天线352。收发机320包括支持双向无线通信的发射机330和接收机360。发射机330包括串联耦合的TX电路332、功率放大器334和阻抗匹配电路336。接收机360包括串联耦合的阻抗匹配电路362、LNA 364和RX电路366。开关/双工器350耦合到阻抗匹配电路336和362,并且还耦合到天线352。

[0031] 图1、2和3分别示出无线设备100、200和300的三种示例性设计。一般而言,无线设备可包括任何数目的天线、任何数目的发射机、以及任何数目的接收机。无线设备还可支持任何数目的频带上的操作。无线设备针对每个天线可包括一个或多个发射机和/或一个或多个接收机。每一发射机和每一接收机可以为给定天线支持一个或多个频带上的操作。

[0032] 无线设备可以支持与时分双工(TDD)系统和/或频分双工(FDD)系统通信。为了与TDD系统通信,无线设备可以包括可在任意给定时刻或者把天线耦合到发射机或者把天线耦合到接收机的开关(例如,图1中的开关140)。为了与FDD系统通信,无线设备可以包括双工器(例如,图2中的双工器238),该双工器同时:(i)将来自功率放大器的输出RF信号路由到天线、以及(ii)将来自天线的收到RF信号路由到LNA。

[0033] 如图1、2和3中所示,阻抗匹配电路可以被包括在无线设备中的各个位置,并被用来与耦合到该阻抗匹配电路的输入和输出的电路的阻抗匹配。例如,阻抗匹配电路(例如,图1中的阻抗匹配电路150)可以执行滤波器的输出阻抗与天线的阻抗之间的阻抗匹配。阻抗匹配电路(例如,图3中的阻抗匹配电路336)还可以执行放大器的输出阻抗与滤波器或天线的输入阻抗之间的阻抗匹配。

[0034] 天线(例如,图1中的天线152)的阻抗从一种天线设计到另一种天线设计可以变化很大。此外,如下所示,天线阻抗可以随频率而变化很大。天线阻抗还可由于人体(例如,手、脸,等等)接近无线设备而改变。阻抗匹配电路(例如,图1中的阻抗匹配电路150)可以被用来使天线的阻抗匹配于滤波器(例如,图1中的TX滤波器136)的输出阻抗,从而可达成良好的性能。

[0035] 图4示出可调节但不可重配置的阻抗匹配电路410的示意图。阻抗匹配电路410接收输入信号(V_{IN})并且提供输出信号(V_{OUT})。在阻抗匹配电路410内,电感器412和可变电容器(可变电抗器)414串联耦合,并且该串联组合耦合在阻抗匹配电路410的输入与输出之间。可变电抗器416和电感器418并联耦合,并且该并联组合耦合在阻抗匹配电路410的输出与电路接地之间。可变电抗器414具有在第一值范围内的可变电容,该第一值范围取决于可变电抗器414的设计和实现。可变电抗器416具有在第二值范围内的可变电容,该第二值范围取决于可变电抗器416的设计和实现。

[0036] 检测器420具有耦合到电感器412两端的两个输入、以及耦合到控制器430的输出。检测器420检测跨电感器412的电压,并且将检测到的电压提供给控制器430。控制器430基于检测到的电压和电感器412的已知阻抗来估计在阻抗匹配电路410的输出处递送的功率。控制器430生成用于可变电抗器414的第一控制信号(S1)以及用于可变电抗器416的第二控制信号(S2)以在阻抗匹配电路410的输出处获得期望的递送功率。具体而言,控制器430可以基于来自检测器420的检测到的电压来生成第一控制信号以改变可变电抗器414的电容和/或生成第二控制信号以改变可变电抗器416的电容。

[0037] 阻抗匹配电路(例如,图4中的阻抗匹配电路410)通常具有单一固定配置。该配置指示阻抗匹配电路中的每一无功元件(即,每一电感器和每一可变电抗器)如何连接。具体而言,对于固定配置,每一无功元件耦合在阻抗匹配电路中的两个特定节点之间。一些无功元件(例如,电感器412和418)可以具有固定阻抗,而其它无功元件(例如,可变电抗器414和416)可以具有可变阻抗。可以调节可变无功元件(例如,可变电抗器)的阻抗来改变阻抗匹配电路的阻抗。固定配置约束了可如何调谐阻抗匹配电路的阻抗,这限制了阻抗匹配电路

的阻抗匹配能力。

[0038] 阻抗匹配电路的阻抗可在一值范围内调节,该值范围可以被称作阻抗调谐曲线。阻抗调谐曲线可取决于阻抗匹配电路以及该阻抗匹配电路中的(诸)可变无功元件的配置。不同的配置可与不同的阻抗调谐曲线相关联。

[0039] 图5A示出1元件阻抗匹配电路510,其具有按串联配置来耦合的单个无功元件512。无功元件512可以是电容器或电感器,并且耦合在阻抗匹配电路510的输入与输出之间。开关514与无功元件512并联耦合。当开关514断开时,阻抗匹配电路510具有串联耦合的无功元件512。当开关514闭合时,阻抗匹配电路510具有直通配置且简单地传递输入信号。

[0040] 图5B示出1元件阻抗匹配电路520,其具有按分流配置来耦合的单个无功元件522。无功元件522可以是电容器或电感器,并且耦合在阻抗匹配电路520的输入/输出与电路接地之间。

[0041] 图5C示出2元件阻抗匹配电路530,其具有按“L”型配置来耦合的两个无功元件532和534。每一无功元件可以是电容器或电感器。无功元件532耦合在阻抗匹配电路530的输入与输出之间。无功元件534耦合在阻抗匹配电路530的输出与电路接地之间。

[0042] 图5D示出2元件阻抗匹配电路540,其具有按“R”型配置来耦合的两个无功元件542和544。每一无功元件可以是电容器或电感器。无功元件542耦合在阻抗匹配电路540的输入与电路接地之间。无功元件544耦合在阻抗匹配电路540的输入与输出之间。图5C中的“L”型配置具有耦合在阻抗匹配电路的输出与电路接地之间的无功元件,而图5D中的“R”型配置具有耦合在阻抗匹配电路的输入与电路接地之间的无功元件。

[0043] 图5E示出3元件阻抗匹配电路550,其具有按“ Π (Pi)”型配置来耦合的三个无功元件552、554和556。每一无功元件可以是电容器或电感器。无功元件552耦合在阻抗匹配电路550的输入与电路接地之间。无功元件554耦合在阻抗匹配电路550的输入与输出之间。无功元件556耦合在阻抗匹配电路550的输出与电路接地之间。

[0044] 图5F示出3元件阻抗匹配电路560,其具有按“T”型配置来耦合的三个无功元件562、564和566。每一无功元件可以是电容器或电感器。无功元件562耦合在阻抗匹配电路560的输入与节点A之间。无功元件564耦合在节点A与电路接地之间。无功元件566耦合在节点A与阻抗匹配电路560的输出之间。

[0045] 图5A到5F示出了六种示例性阻抗匹配电路配置。还可以用1、2、3或更多个无功元件形成其它阻抗匹配电路配置。每一种阻抗匹配电路配置可以与指示用该阻抗匹配电路配置能达成的阻抗值的特定阻抗调谐曲线相关联。不同的阻抗匹配电路配置可与不同的阻抗调谐曲线相关联。

[0046] 图6A示出解说具有图5A中的串联配置的1元件阻抗匹配电路510的阻抗调谐曲线的史密斯圆图。史密斯圆图是用来描述归一化成特性阻抗(Z_0)的复值阻抗的常用方式,特性阻抗可以是50或75欧姆。史密斯圆图的圆心对应于 Z_0 。水平轴上面的半圆标示正阻抗,而水平轴下面的半圆标示负阻抗。

[0047] 标绘610示出其中无功元件512是串联电感器的阻抗匹配电路510的阻抗调谐曲线。如标绘610末端的箭头所指示的,逐渐变大的电感对应于逐渐变大的正阻抗。由标绘610给出的阻抗调谐曲线取决于串联电感器的电感值范围。

[0048] 标绘612示出其中无功元件512是串联电容器的阻抗匹配电路510的阻抗调谐曲

线。如标绘612末端的箭头所指示的,逐渐变小的电容对应于逐渐变大的负阻抗。由标绘612给出的阻抗调谐曲线取决于串联电容器的电容值范围。

[0049] 图6A还示出具有图5B中的分流配置的1元件阻抗匹配电路520的阻抗调谐曲线。标绘614示出其中无功元件522是分流电感器的阻抗匹配电路520的阻抗调谐曲线。如标绘614末端的箭头所指示的,逐渐变小的电感对应于逐渐变小的正阻抗。由标绘614给出的阻抗调谐曲线取决于分流电感器的电感值范围。

[0050] 标绘616示出其中无功元件522是分流电容器的阻抗匹配电路520的阻抗值范围。如标绘616末端的箭头所指示的,逐渐变大的电容对应于逐渐变小的负阻抗。由标绘616给出的阻抗调谐曲线取决于分流电容器的电容值范围。

[0051] 图6B示出解说直通配置下图5A中的阻抗匹配电路510的阻抗调谐曲线的史密斯圆图。在示例性设计中,如果天线的阻抗落在由标绘618示出的虚线圆内,则可以使用直通配置。

[0052] 图6C示出解说具有图5C中的“L”型配置的2元件阻抗匹配电路530的阻抗调谐特性的史密斯圆图。标绘620和624示出其中无功元件532是串联电容器且无功元件534是分流电容器的阻抗匹配电路530的阻抗调谐曲线。标绘622和624示出其中无功元件532是串联电感器且无功元件534是分流电容器的阻抗匹配电路530的阻抗调谐曲线。标绘630和634示出其中无功元件532是串联电容器且无功元件534是分流电感器的阻抗匹配电路530的阻抗调谐曲线。标绘632和634示出其中无功元件532是串联电感器且无功元件534是分流电感器的阻抗匹配电路530的阻抗调谐曲线。

[0053] 图6C还示出具有图5D中的“R”型配置的2元件阻抗匹配电路540的阻抗调谐曲线。标绘640和644示出其中无功元件542是分流电容器且无功元件544是串联电容器的阻抗匹配电路540的阻抗调谐曲线。标绘642和644示出其中无功元件542是分流电感器且无功元件544是串联电容器的阻抗匹配电路540的阻抗调谐曲线。标绘650和654示出其中无功元件542是分流电容器且无功元件544是串联电感器的阻抗匹配电路540的阻抗调谐曲线。标绘652和654示出其中无功元件542是分流电感器且无功元件544是串联电感器的阻抗匹配电路540的阻抗调谐曲线。

[0054] 图6D示出解说具有图5E中的“Π”型配置的3元件阻抗匹配电路550的阻抗调谐曲线的史密斯圆图。标绘660、662和664示出其中无功元件552是分流电容器、无功元件554是串联电感器且无功元件556是分流电容器的阻抗匹配电路550的阻抗调谐曲线。标绘670、672和674示出其中无功元件552是分流电感器、无功元件554是串联电容器且无功元件556是分流电感器的阻抗匹配电路550的阻抗调谐曲线。

[0055] 图6D还示出具有图5F中的“T”型配置的3元件阻抗匹配电路560的阻抗调谐曲线。标绘680、682和684示出其中无功元件562是串联电容器、无功元件564是分流电感器且无功元件566是串联电容器的阻抗匹配电路560的阻抗调谐曲线。标绘690、692和694示出其中无功元件562是串联电感器、无功元件564是分流电容器且无功元件566是串联电感器的阻抗匹配电路560的阻抗调谐曲线。

[0056] 一般而言,阻抗匹配电路的给定配置可以与指示该配置能达成的阻抗值的特定阻抗调谐曲线相关联。如图6A至6D中所示,不同的阻抗匹配电路配置可与不同的阻抗调谐曲线相关联。仅具有一种配置的阻抗匹配电路可以能够匹配有限的阻抗值。例如,具有图4中

的“L”型配置的阻抗匹配电路410可以能够匹配针对“L”型配置的阻抗调谐曲线内的阻抗值。由于阻抗匹配电路410所能匹配的有限的阻抗值,可能会引起性能降级。

[0057] 一方面,可以用一组无功元件和一组开关来实现具有多种配置的可重配置阻抗匹配电路。无功元件和开关可以按照可指示每一无功元件和每一开关如何连接的特定拓扑来连接。开关的不同设置可以支持数种配置。不同的配置可与不同的阻抗调谐曲线相关联。这可使得可重配置阻抗匹配电路能够在更宽的阻抗值范围上为负载电路(例如,天线)提供更好的阻抗匹配。

[0058] 在一示例性设计中,可重配置阻抗匹配电路包括至少一个可变无功元件,每一可变无功元件具有能够变化的阻抗。(诸)可变无功元件使可重配置阻抗匹配电路的阻抗能够被调谐以提供更好的阻抗匹配,这可以改善性能。

[0059] 在一示例性设计中,可重配置阻抗匹配电路包括至少一个可重配置无功元件,每一可重配置无功元件可经由开关被连接成串联元件或分流元件。例如,可重配置电感器可以在一种配置中连接成串联电感器而在另一种配置中连接成分流电感器。(诸)可重配置无功元件使可重配置阻抗匹配电路的阻抗能够在更宽的阻抗值范围上被调谐,这可以提供更好的阻抗匹配。

[0060] 图7示出可重配置阻抗匹配电路710的示例性设计的示意图。在阻抗匹配电路710内,可变电抗器722(C1)耦合在阻抗匹配电路710的输入与节点B之间。可变电抗器724(C2)耦合在节点B与阻抗匹配电路710的输出之间。可变电抗器726(C3)耦合在节点B与电路接地之间。开关732(SW1)耦合在阻抗匹配电路710的输入与节点B之间。开关734(SW2)耦合在节点B与阻抗匹配电路710的输出之间。电感器742(L1)耦合在节点B与开关752(SW3)的输入之间。开关752具有耦合到阻抗匹配电路710的输入的第一输出(‘1’)、耦合到电路接地的第二输出(‘2’)、以及浮置且不耦合到任何电路元件的第三输出(‘3’)。电感器744(L2)耦合在节点B与开关754(SW4)的输入之间。开关754具有耦合到阻抗匹配电路710的输出的第一输出(‘1’)、耦合到电路接地的第二输出(‘2’)、以及浮置的第三输出(‘3’)。

[0061] 开关752可以用(i)耦合在电感器L1与阻抗匹配电路710的输入之间的第一开关以及(ii)耦合在电感器L1与电路接地之间的第二开关来实现。通过闭合第一开关并断开第二开关,电感器L1可以被连接到第一输出(对应于阻抗匹配电路710的输入)。通过断开第一开关并闭合第二开关,电感器L1可以被连接到第二输出(对应于电路接地)。通过断开第一和第二开关两者,电感器L1可以被连接到第三输出。开关754也可以用一对开关按照与开关752相似的方式来实现。

[0062] 开关SW1和SW2可以各自断开或闭合(即,处于两种可能状态中的一种)。开关SW3和SW4可各自被控制成将输入连接到第一、第二或第三输出(即,处于三种可能状态中的一种)。可变电抗器C1、C2和C3可各自被设置成最小电容值以获得高阻抗并基本上提供开路。可变电抗器C1、C2和C3可以具有相同或不同的最小电容值。如下所述,电感器742和744可各自耦合成串联元件或分流元件。

[0063] 一般而言,可重配置阻抗匹配电路可以支持最多达 $\prod_{m=1}^M N_m$ 种配置,其中 N_m 是该可

重配置阻抗匹配电路中第 m 个开关的状态数, M 是开关总数,而“ $\prod$ ”标示乘积运算。例如,通过开关SW1和SW2各自的两种状态以及开关SW3和SW4各自的三种状态,阻抗匹配电路710可

以支持最多达 $36=2*2*3*3$ 种配置。

[0064] 阻抗匹配电路710支持包括串联、分流、“L”、“R”以及“T”型配置之内的数种配置。以下描述了阻抗匹配电路710的一些配置。每一配置与开关SW1、SW2、SW3和SW4的一组状态/设置相关联。每一配置还可与可变电抗器C1、C2和/或C3的特定值相关联。

[0065] 图8A到8T示出图7中的阻抗匹配电路710的20种配置。每一配置可以用描述该配置的附图中所示的开关设置和可变电抗器设置来获得。对于每一配置,用粗虚线示出了主要电路路径。

[0066] 图8A示出以直通配置的阻抗匹配电路710。在此配置中,输入信号通过开关SW1和SW2传递到阻抗匹配电路710的输出。

[0067] 图8B示出以具有串联L1的串联配置的阻抗匹配电路710。在此配置中,输入信号通过开关SW3、电感器L1和开关SW2传递到阻抗匹配电路710的输出。

[0068] 图8C示出以具有串联C1的串联配置的阻抗匹配电路710。在此配置中,输入信号通过可变电抗器C1和开关SW2传递到阻抗匹配电路710的输出。

[0069] 图8D示出以具有串联C1和C2的串联配置的阻抗匹配电路710。在此配置中,输入信号通过可变电抗器C1和C2传递到阻抗匹配电路710的输出。

[0070] 图8E示出以具有串联L2的串联配置的阻抗匹配电路710。在此配置中,输入信号通过开关SW1、电感器L2和开关SW4传递到阻抗匹配电路710的输出。

[0071] 图8F示出以具有串联L1和L2的串联配置的阻抗匹配电路710。在此配置中,输入信号通过开关SW3、电感器L1和L2、以及开关SW4传递到阻抗匹配电路710的输出。

[0072] 图8G示出以具有串联C1和L2的串联配置的阻抗匹配电路710。在此配置中,输入信号通过可变电抗器C1、电感器L2和开关SW4传递到阻抗匹配电路710的输出。

[0073] 图8H示出以具有串联L1和C2的串联配置的阻抗匹配电路710。在此配置中,输入信号通过开关SW3、电感器L1和可变电抗器C2传递到阻抗匹配电路710的输出。

[0074] 图8I示出以具有分流L1的分流配置的阻抗匹配电路710。在此配置中,输入信号传递通过开关SW1,施加到电感器L1(电感器L1经由开关SW3耦合到电路接地),并且通过开关SW2传递到阻抗匹配电路710的输出。

[0075] 图8J示出以具有分流L2的分流配置的阻抗匹配电路710。在此配置中,输入信号传递通过开关SW1,施加到电感器L2(电感器L2经由开关SW4耦合到电路接地),并且通过开关SW2传递到阻抗匹配电路710的输出。

[0076] 图8K示出以具有分流L1和L2的分流配置的阻抗匹配电路710。在此配置中,输入信号传递通过开关SW1,施加到电感器L1和L2(电感器L1和L2经由开关SW3和SW4耦合到电路接地),并且通过开关SW2传递到阻抗匹配电路710的输出。

[0077] 图8L示出以具有分流C3的分流配置的阻抗匹配电路710。在此配置中,输入信号传递通过开关SW1,施加到可变电抗器C3,并且通过开关SW2传递到阻抗匹配电路710的输出。

[0078] 图8M示出以具有串联L1和分流C3的“L”型配置的阻抗匹配电路710。在此配置中,输入信号传递通过开关SW3和电感器L1,施加到可变电抗器C3,并且通过开关SW2传递到阻抗匹配电路710的输出。

[0079] 图8N示出以具有串联C1和分流L1的“L”型配置的阻抗匹配电路710。在此配置中,输入信号传递通过可变电抗器C1,施加到电感器L1(电感器L1经由开关SW3耦合到电路接

地),并且通过开关SW2传递到阻抗匹配电路710的输出。

[0080] 图8O示出以具有分流L2和串联C2的“R”型配置的阻抗匹配电路710。在此配置中,输入信号传递通过开关SW1,施加到电感器L2(电感器L2经由开关SW4耦合到电路接地),并且通过可变电抗器C2传递到阻抗匹配电路710的输出。

[0081] 图8P示出以具有分流C3和串联L2的“R”型配置的阻抗匹配电路710。在此配置中,输入信号传递通过开关SW1,施加到可变电抗器C3,并且通过电感器L2和开关SW4传递到阻抗匹配电路710的输出。

[0082] 图8Q示出以具有串联L1、分流C3和串联L2的“T”型配置的阻抗匹配电路710。在此配置中,输入信号传递通过开关SW3和电感器L1,施加到可变电抗器C3,并且通过电感器L2和开关SW4传递到阻抗匹配电路710的输出。

[0083] 图8R示出以具有串联C1、分流L1和串联C2的“T”型配置的阻抗匹配电路710。在此配置中,输入信号传递通过可变电抗器C1,施加到电感器L1(电感器L1经由开关SW3耦合到电路接地),并且通过可变电抗器C2传递到阻抗匹配电路710的输出。

[0084] 图8S示出以具有串联C1、分流L2和串联C2的“T”型配置的阻抗匹配电路710。在此配置中,输入信号传递通过可变电抗器C1,施加到电感器L2(电感器L2经由开关SW4耦合到电路接地),并且通过可变电抗器C2传递到阻抗匹配电路710的输出。

[0085] 图8T示出以具有串联C1、分流L1和L2、以及串联C2的“T”型配置的阻抗匹配电路710。在此配置中,输入信号传递通过可变电抗器C1,施加到电感器L1和L2(电感器L1和L2经由开关SW3和SW4耦合到电路接地),并且通过可变电抗器C2传递到阻抗匹配电路710的输出。

[0086] 图7示出具有图8A到8T中所示的数种配置的可重配置阻抗匹配电路的一个拓扑。可重配置阻抗匹配电路还可以用其它拓扑来实现。

[0087] 图9A示出可重配置阻抗匹配电路910的示例性设计的示意图。在阻抗匹配电路910中,可变电抗器922(C1)耦合在阻抗匹配电路910的输入与开关962(SW5)的输入之间。开关962具有耦合到节点D的第一输出、耦合到电路接地的第二输出、以及浮置的第三输出。可变电抗器924(C2)耦合在阻抗匹配电路910的输出与开关964(SW6)的输入之间。开关964具有耦合到节点D的第一输出、耦合到电路接地的第二输出、以及浮置的第三输出。开关932(SW1)耦合在阻抗匹配电路910的输入与节点D之间。开关934(SW2)耦合在节点D与阻抗匹配电路910的输出之间。电感器942(L1)耦合在阻抗匹配电路910的输入与开关972(SW3)的输入之间。开关972具有耦合到节点D的第一输出、耦合到电路接地的第二输出、以及浮置的第三输出。电感器944(L2)耦合在阻抗匹配电路910的输出与开关974(SW4)的输入之间。开关974具有耦合到节点D的第一输出、耦合到电路接地的第二输出、以及浮置的第三输出。

[0088] 开关SW1和SW2可各自断开或闭合。开关SW3、SW4、SW5和SW6可各自被设置成将输入连接到三个输出中的一个。可变电抗器C1和C2以及电感器L1和L2可各自分别经由其相关联的开关SW5、SW6、SW3和SW4耦合成串联元件或分流元件。

[0089] 图9B示出可重配置阻抗匹配电路912的示例性设计的示意图。阻抗匹配电路912包括如上关于图9A所述那样耦合的可变电抗器922和924以及开关932、934、962和964。电感器942(L1)耦合在节点D与开关952(SW3)的输入之间。开关952具有耦合到阻抗匹配电路912的输入的第一输出、耦合到电路接地的第二输出、以及浮置的第三输出。电感器944(L2)耦合

在节点D与开关954 (SW4) 的输入之间。开关954具有耦合到阻抗匹配电路912的输出的第一输出、耦合到电路接地的第二输出、以及浮置的第三输出。

[0090] 开关SW1和SW2可各自断开或闭合。开关SW3、SW4、SW5和SW6可各自将输入连接到三个输出中的一个。可变电抗器C1和C2以及电感器L1和L2可各自分别经由其相关联的开关SW5、SW6、SW3和SW4耦合成串联元件或分流元件。

[0091] 图9C示出可重配置阻抗匹配电路914的示例性设计的示意图。阻抗匹配电路914包括如上关于图9A和9B所述那样耦合的电感器942和944以及开关932、934、952和954。可变电抗器922 (C1) 耦合在节点D与开关982 (SW5) 的输入之间。开关982具有耦合到阻抗匹配电路914的输入的第一输出、耦合到电路接地的第二输出、以及浮置的第三输出。可变电抗器924 (C2) 耦合在节点D与开关984 (SW6) 的输入之间。开关984具有耦合到阻抗匹配电路914的输出的第一输出、耦合到电路接地的第二输出、以及浮置的第三输出。

[0092] 开关SW1和SW2可各自断开或闭合。开关SW3、SW4、SW5和SW6可各自将输入连接到三个输出中的一个。可变电抗器C1和C2以及电感器L1和L2可各自分别经由其相关联的开关SW5、SW6、SW3和SW4耦合成串联元件或分流元件。

[0093] 图7、9A、9B和9C示出了可重配置阻抗匹配电路的四种示例性拓扑。图7中的拓扑允许电感器L1和L2被连接成为串联元件或分流元件。图9A中的拓扑允许电感器L1和L2以及可变电抗器C1和C2被连接成“ Π ”型配置中的串联元件或分流元件。图9B中的拓扑允许可变电抗器C1和C2被连接成“ Π ”型配置中的串联元件或分流元件，并且允许电感器L1和L2被连接成“T”型配置中的串联元件或分流元件。图9C中的拓扑允许可变电抗器C1和C2以及电感器L1和L2被连接成“T”型配置中的串联元件或分流元件。可重配置阻抗匹配电路还可以基于其它拓扑而实现。

[0094] 一般而言，可重配置阻抗匹配电路的拓扑可以包括按任何方式耦合的任何数目的无功元件及任何数目的开关。拓扑可以支持任何数目的配置。例如，拓扑可以支持以下配置中的一个或多个：

[0095] • 没有任何L或C的直通配置，

[0096] • 图5A中具有串联L和/或串联C的串联配置；

[0097] • 图5B中具有分流L和/或分流C的分流配置；

[0098] • 图5C中具有 (i) 串联C和分流L，(ii) 串联L和分流C，(iii) 串联C和分流C，或 (iv) 串联L和分流L的“L”型配置；

[0099] • 图5D中具有 (i) 分流C和串联L，(ii) 分流L和串联C，(iii) 分流C和串联C，或 (iv) 分流L和串联L的“R”型配置；

[0100] • 图5E中具有 (i) 分流C、串联L和分流C，或 (ii) 分流L、串联C和分流L的“ Π ”型配置；

[0101] • 图5F中具有 (i) 串联C、分流L和串联C，或 (ii) 串联L、分流C和串联L的“T”型配置；以及

[0102] • 其他配置。

[0103] 在一示例性设计中，可重配置阻抗匹配电路中的可变电抗器和开关可以实现在集成电路 (IC) 上，而电感器可以实现在该IC的外部。在另一示例性设计中，可重配置阻抗匹配电路中的电容器、开关和电感器可以实现在IC上。在又一示例性设计中，可重配置阻抗匹配

电路中的电容器、开关和电感器可以实现在电路板上。可重配置阻抗匹配电路中的电容器、开关和电感器还可以按照其它方式实现。

[0104] 可重配置阻抗匹配电路可以为天线提供更好的阻抗匹配。天线的阻抗从一种天线设计到另一种天线设计可以变化很大。此外,天线阻抗可以随频率而变化很大。天线阻抗还可由于人体(例如,手、脸,等等)接近无线设备而改变。可重配置阻抗匹配电路可以使天线的阻抗匹配于目标阻抗,从而可达成良好的性能。

[0105] 图10示出解说天线阻抗相对于频率的史密斯圆图。标绘1010示出从点1012处低于700MHz到点1014处高于2.8GHz的天线阻抗。天线在给定工作频率处具有特定阻抗(Z_{ANT})。阻抗匹配电路应当使该 Z_{ANT} 阻抗匹配于耦合到天线的电路的阻抗(例如,滤波器的阻抗)。如果阻抗匹配电路具有单一配置(例如,图4中的阻抗匹配电路410),则该阻抗匹配电路可能不能匹配于 Z_{ANT} 阻抗,由此导致性能降级。但是,如果阻抗匹配电路具有多种配置,则可以选择具有尽可能接近 Z_{ANT} 阻抗的阻抗调谐曲线的配置,并且可以调节一个或多个可变无功元件以匹配于 Z_{ANT} 阻抗。

[0106] 可重配置阻抗匹配电路可按照各种方式用于负载电路(例如,天线)的阻抗匹配。例如,如图10中所示,负载电路在不同频率处可以具有不同的阻抗值。可重配置阻抗匹配电路应当在所选工作频率处匹配负载电路的阻抗。

[0107] 在一种示例性设计中,可以在不同频率处为负载电路确定可重配置阻抗匹配电路的数种设置(或电路设置)。每一电路设置可以与在特定频率处最接近地匹配负载电路的阻抗($Z_{负载}$)的可重配置阻抗匹配电路的阻抗(Z_{MC})相关联。 $Z_{负载}$ 阻抗可以基于在特定频率处对负载电路的测量(例如,在实验室或工厂中)和/或计算机仿真来确定。 Z_{MC} 阻抗可以基于在特定频率处对可重配置阻抗匹配电路的测量和/或计算机仿真来确定。

[0108] 图11示出可重配置阻抗匹配电路的查找表(LUT)1100的示例性设计。在此示例性设计中,可以在K个不同频率处为负载电路确定可重配置阻抗匹配电路的K种电路设置,其中K可以是任意整数值。每一电路设置可以与以下各项相关联:(i)可选择该电路设置时所处的频率或频率范围,(ii)可重配置阻抗匹配电路的具体配置,(iii)可重配置阻抗匹配电路中的开关的具体设置,(iv)可重配置阻抗匹配电路中的可变无功元件的具体控制设置,以及(v)可选择该电路设置时所处的频带和/或模式(例如,cdma2000、WCDMA、LTE、GSM,等等)。查找表1100中的全部或某些信息可以存储在非易失性存储器(例如,图1中的存储器112)中。例如,查找表1100可以仅存储每一电路设置的频率或频率范围、开关设置、以及可变无功元件的控制设置。

[0109] 利用查找表1100,可以通过基于无线设备的工作频率选择合适的电路设置来执行阻抗匹配。可以从查找表1100检索所选电路设置的开关设置和控制设置。检索出的开关设置可以被应用于可重配置阻抗匹配电路内的开关,且检索出的控制设置可以被应用于可重配置阻抗匹配电路内的可变无功元件。

[0110] 图12示出根据一种示例性设计的针对低频带的八种不同电路设置的天线效率的标绘。在图12中,横轴表示以MHz为单位的频率,而纵轴表示以分贝(dB)为单位的天线效率。被标示为LUT1到LUT8的八种不同电路设置的天线效率相对于频率分别由标绘1212到1226示出。如图12中所示,每一电路设置具有在特定频率处的峰值天线效率,并且可以为覆盖峰值天线效率的频率范围提供良好性能。可以选取这八种电路设置以使得这八种电路设置的

峰值天线效率发生在尽可能均匀地间隔开的不同频率处。可以基于工作频率来选择一种电路设置供使用。例如,当工作在800MHz时可以选择LUT3设置,当工作在900MHz时可以选择LUT5设置,等等。通过调节可重配置阻抗匹配电路中的一个或多个可变无功元件,所选LUT设置的频率响应可以改变。

[0111] 在另一示例性设计中,可以用可重配置阻抗匹配电路来自适应地执行阻抗匹配。例如,可以应用包括对可重配置阻抗匹配电路中的可变无功元件的初始配置和初始控制设置的初始电路设置。可以为该初始电路设置确定性能度量。性能度量可以基于一个或多个参数来定义,诸如递送到负载电路的功率、从负载电路反射的功率、功率放大器电流,等等。可以(例如,随机地或基于搜索算法)改变配置和/或控制设置以获得新电路设置。可以为新电路设置确定性能度量。如果新电路设置的性能度量优于初始电路设置的性能度量,则可保留新电路设置。可以迭代地改变并以相似方式评估配置和/或控制设置,直到获得最佳性能度量。

[0112] 本文中描述的具有多种配置的可重配置阻抗匹配电路可以提供各种优点。可重配置阻抗匹配电路可以支持宽阻抗调谐范围并且可以能够提供更好的阻抗匹配。可重配置阻抗匹配电路还可以支持与负载(诸如天线)的自适应阻抗匹配。可重配置阻抗匹配电路可以支持单个频带或多个频带上的操作,并且可以能够扩展无线设备的工作频率。可重配置阻抗匹配电路可包括单个输入和单个输出,这可使得易于进行产品测试和操作。可重配置阻抗匹配电路可以用少数(例如,一个或两个)电感器来实现,这可以降低成本和尺寸。可重配置阻抗匹配电路可以支持同时在多个载波上传输的载波聚集。每一载波可以具有特定带宽(例如,20MHz或更少)。可重配置阻抗匹配电路还可以支持多输入多输出(MIMO)操作、发射分集、接收分集,等等。

[0113] 在一示例性设计中,一种装置(例如,无线设备、IC、电路模块等)可包括耦合到负载电路的阻抗匹配电路。阻抗匹配电路(例如,图1中的阻抗匹配电路150)可以包括多个无功元件和至少一个开关,并且可以支持多种配置。每一配置可以对应于阻抗匹配电路中的多个无功元件的特定布局 and 互连。该多个无功元件可以被配置成与负载电路进行阻抗匹配,并且可以包括被配置成调谐阻抗匹配电路的阻抗的至少一个可变无功元件(例如,至少一个可变电抗器)。该至少一个开关可以被配置成以多种配置之一来设置阻抗匹配电路。该装置可进一步包括被配置成为阻抗匹配电路选择多种配置之一的控制器(例如,控制器110)。控制器可以用数字电路和/或模拟电路来实现。

[0114] 在一示例性设计中,多种配置可以包括串联配置、分流配置、“L”型配置、“R”型配置、“Π”型配置、“T”型配置、或其组合。串联配置可具有耦合在阻抗匹配电路的输入与输出之间的至少一个无功元件,例如,如图5A中所示。分流配置可具有耦合在阻抗匹配电路的输入/输出与电路接地之间的至少一个无功元件,例如,如图5B中所示。“L”型配置可具有(i)耦合在阻抗匹配电路的输入与输出之间的至少一个无功元件以及(ii)耦合在阻抗匹配电路的输出与电路接地之间的至少一个其它无功元件,例如,如图5C中所示。“R”型配置可具有(i)耦合在阻抗匹配电路的输入与输出之间的至少一个无功元件以及(ii)耦合在阻抗匹配电路的输入与电路接地之间的至少一个其它无功元件,例如,如图5D中所示。“Π”型配置可具有(i)耦合在阻抗匹配电路的输入与输出之间的第一无功元件,(ii)耦合在阻抗匹配电路的输入与电路接地之间的第二无功元件,以及(iii)耦合在阻抗匹配电路的输出与电

路接地之间的第三无功元件,例如,如图5E中所示。“T”型配置可具有(i)耦合在阻抗匹配电路的输入与中间节点之间的第一无功元件,(ii)耦合在中间节点与阻抗匹配电路的输出之间的第二无功元件,以及(iii)耦合在中间节点与电路接地之间的第三无功元件,例如,如图5F中所示。多种配置可与不同的阻抗调谐曲线相关联,例如,如图6A至6D中所示。

[0115] 在一示例性设计中,多个无功元件可以包括在至少一种配置中耦合作为串联元件、且在至少一种其它配置中耦合作为分流元件的无功元件。无功元件可以是电感器(例如,图7中的电感器742或744),其在至少一种配置中耦合作为串联电感器(例如,如图8B、8E、8F、8G、8H等中所示),并在至少一种其它配置中耦合作为分流电感器(例如,如图8I、8J、8K、8N、8O等中所示)。替代地,无功元件可以是可变电容器(例如,图9B中的电容器922或924),其在至少一种配置中耦合作为串联电容器,并在至少一种其它配置中耦合作为分流电容器。

[0116] 该多个无功元件可以包括(i)在至少一种配置中耦合在阻抗匹配电路中的第一对节点之间,以及(ii)在至少一种其它配置中耦合在不同于第一对节点的第二对节点之间的无功元件。例如,图7中的电感器742可以耦合在节点B与阻抗匹配电路710的输入之间,或者耦合在节点B与电路接地之间。该至少一个开关可以包括具有(i)耦合到多个无功元件之一的单个输入、以及(ii)耦合到阻抗匹配电路中的至少两个节点的至少两个输出的开关(例如,图7中的开关752或754)。

[0117] 在一示例性设计中,负载电路可以包括天线,并且阻抗匹配电路可以为天线执行阻抗匹配,例如,如图1和2中所示。在另一示例性设计中,负载电路可以包括功率放大器,并且阻抗匹配电路可以为功率放大器执行输出阻抗匹配,例如,如图3中所示。在又一示例性设计中,负载电路可以包括LNA,并且阻抗匹配电路可以为LNA执行输入阻抗匹配,例如,如图3中所示。

[0118] 在一示例性设计中,该装置可进一步包括存储阻抗匹配电路的多种电路设置的存储器,例如,如图11中所示。每一电路设置可以与多种配置之一、该至少一个开关的至少一个开关设置、该至少一个可变无功元件的至少一个控制设置等相关联。在一示例性设计中,该多种电路设置可以针对不同频率,例如,如图12中所示。可以基于该装置的工作频率选择该多种电路设置之一。

[0119] 图13示出用于执行阻抗匹配的过程1300的示例性设计。阻抗匹配电路可经由该阻抗匹配电路中的至少一个开关被设置成多种配置之一(框1312)。可用该阻抗匹配电路中的多个无功元件为负载电路执行阻抗匹配(框1314)。该多个无功元件可包括被配置成调谐阻抗匹配电路的阻抗的至少一个可变无功元件。

[0120] 在一示例性设计中,阻抗匹配电路的多种电路设置可以存储在存储器中。每一电路设置可以与多种配置之一、用于至少一个开关的至少一个开关设置、用于至少一个可变无功元件的至少一个控制设置等相关联。例如,可以基于无线设备的工作频率来选择阻抗匹配电路的多种电路设置之一。

[0121] 本文中所描述的可重配置阻抗匹配电路可实现在IC、模拟IC、RFIC、混合信号IC、ASIC、印刷电路板(PCB)、电子设备等上。该可重配置阻抗匹配电路可用各种IC工艺技术来制造,诸如互补金属氧化物半导体(CMOS)、N沟道MOS(N-MOS)、P沟道MOS(P-MOS)、双极结型晶体管(BJT)、双极CMOS(BiCMOS)、硅锗(SiGe)、砷化镓(GaAs)、异质结双极型晶体管(HBT)、

高电子迁移率晶体管 (HEMT)、绝缘体上硅 (SOI) 等。

[0122] 如本文中所描述的具有可重配置阻抗匹配电路的装置可以是独立设备或可以是较大设备的一部分。设备可以是 (i) 独立的 IC, (ii) 可包括用于存储数据和/或指令的存储器 IC 的一个或多个 IC 的集合, (iii) RFIC, 诸如 RF 接收机 (RFR) 或 RF 发射机/接收机 (RTR), (iv) ASIC, 诸如移动站调制解调器 (MSM), (v) 可嵌入在其他设备内的模块, (vi) 接收机、蜂窝电话、无线设备、手持机或者移动单元, (vii) 其他等等。

[0123] 在一个或多个示例性设计中, 所描述的功能可以在硬件、软件、固件或其任何组合中实现。如果以软件实现, 则各功能可以作为一条或多条指令或代码存储在计算机可读介质上或通过该计算机可读介质进行传输。计算机可读介质包括计算机存储介质和通信介质两者, 包括促成计算机程序从一地向另一地转移的任何介质。存储介质可以是能被计算机访问的任何可用介质。作为示例而非限定, 这样的计算机可读介质可包括 RAM、ROM、EEPROM、CD-ROM 或其他光盘存储、磁盘存储或其他磁存储设备、或能被用来携带或存储指令或数据结构形式的期望程序代码且能被计算机访问的任何其他介质。任何连接也被正当地称为计算机可读介质。例如, 如果软件是使用同轴电缆、光纤电缆、双绞线、数字订户线 (DSL)、或诸如红外、无线电、以及微波之类的无线技术从 web 网站、服务器、或其它远程源传送而来, 则该同轴电缆、光纤电缆、双绞线、DSL、或诸如红外、无线电, 以及微波之类的无线技术就被包括在介质的定义之中。如本文中所使用的盘 (disk) 和碟 (disc) 包括压缩碟 (CD)、激光碟、光碟、数字多用碟 (DVD)、软盘和蓝光碟, 其中盘 (disk) 往往以磁的方式再现数据, 而碟 (disc) 用激光以光学方式再现数据。上述组合应被包括在计算机可读介质的范围内。

[0124] 提供对本公开的先前描述是为了使得本领域任何技术人员皆能够制作或使用本公开。对本公开的各种修改对于本领域技术人员将是显而易见的, 并且本文中定义的普适原理可被应用于其他变形而不会脱离本公开的范围。由此, 本公开并非旨在被限定于本文中所描述的示例和设计, 而是应被授予与本文中所公开的原理和新颖性特征相一致的最广范围。

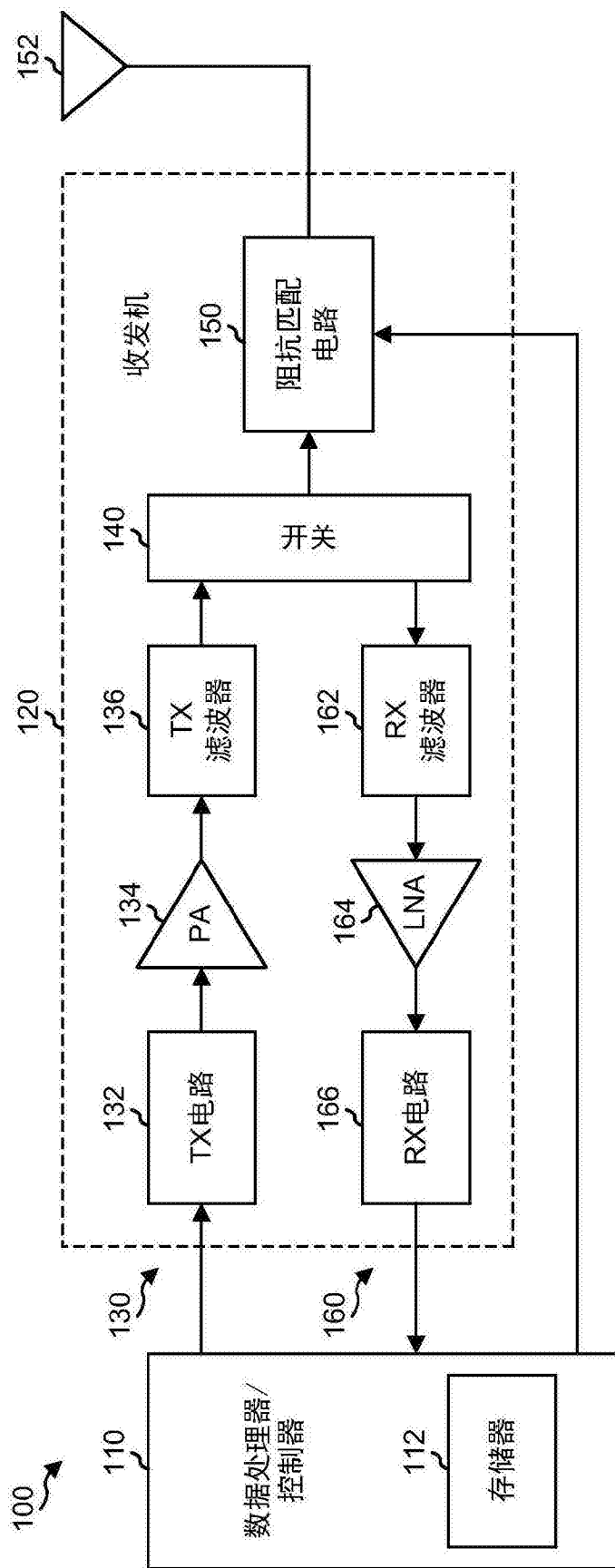


图1

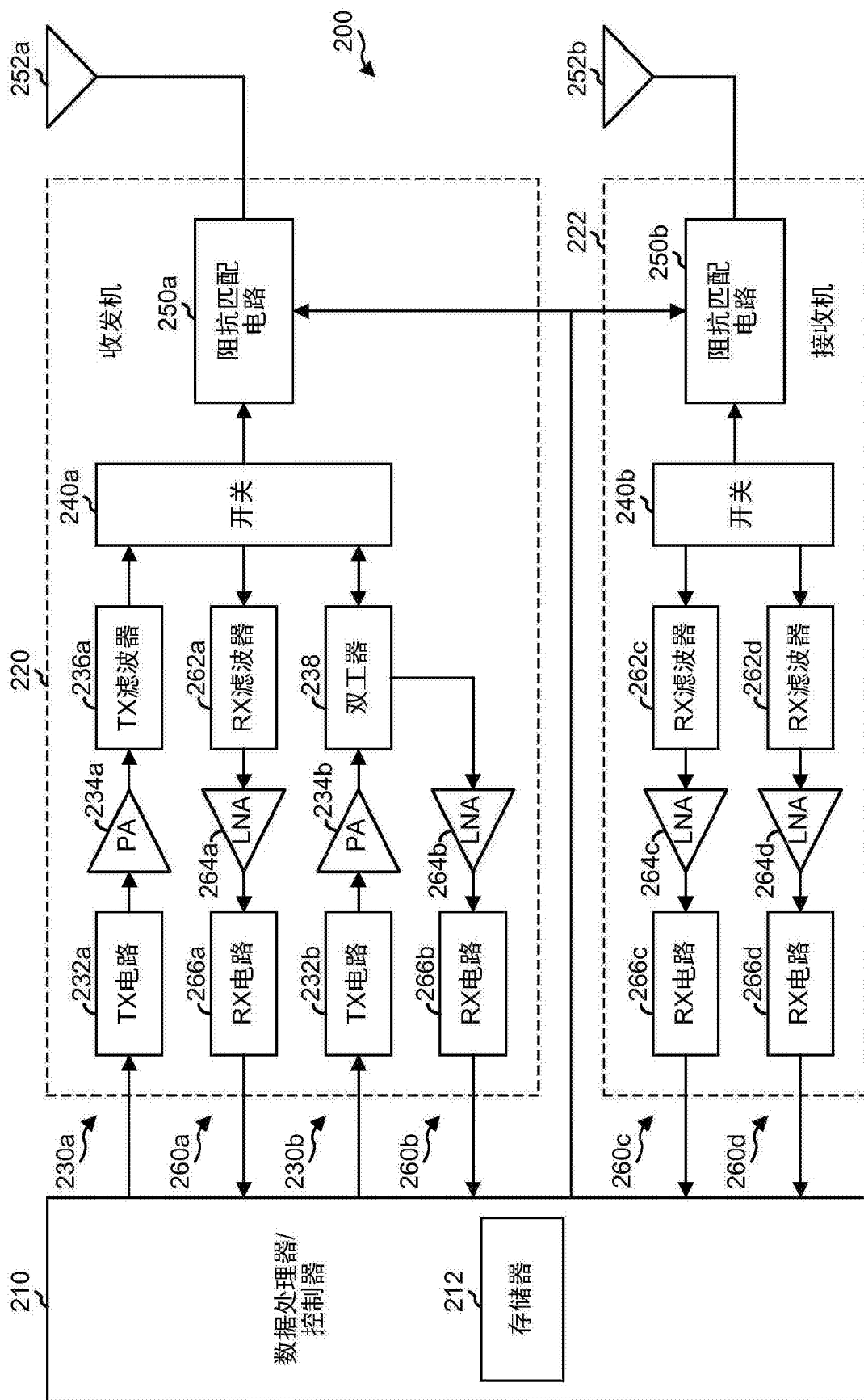


图2

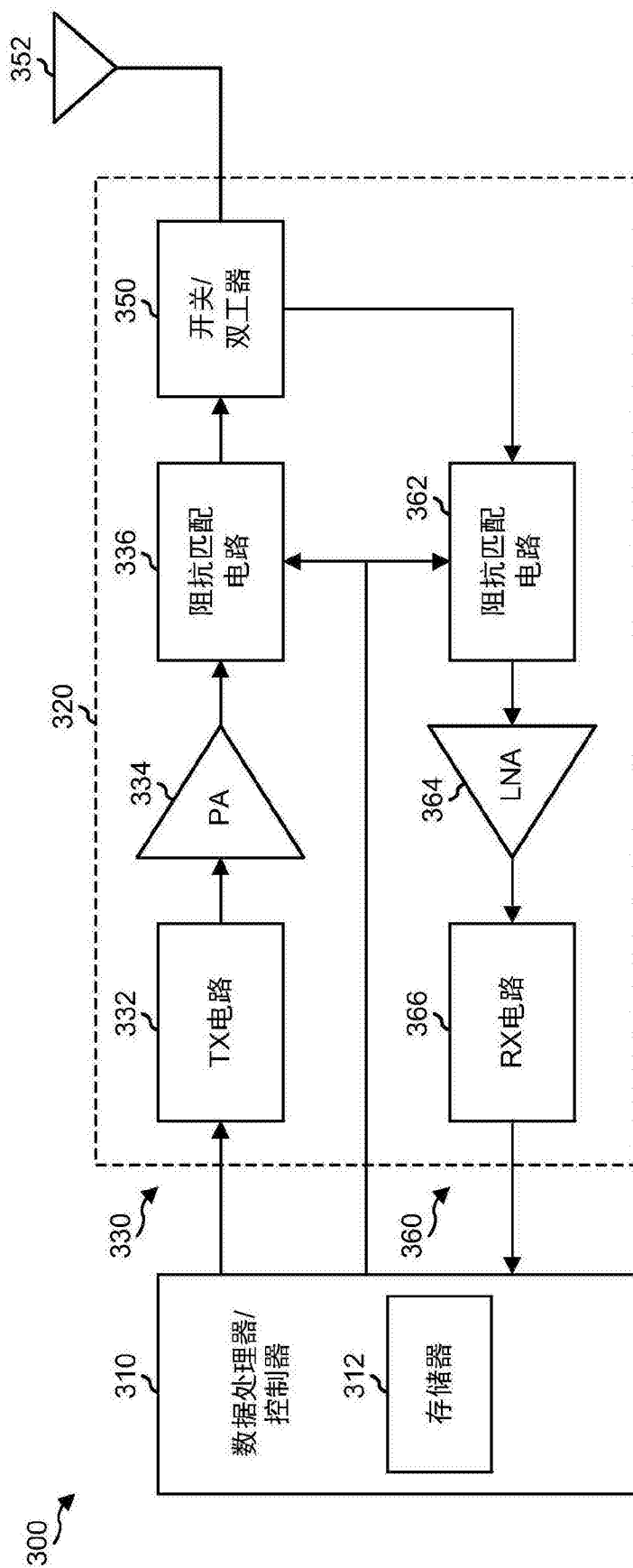


图3

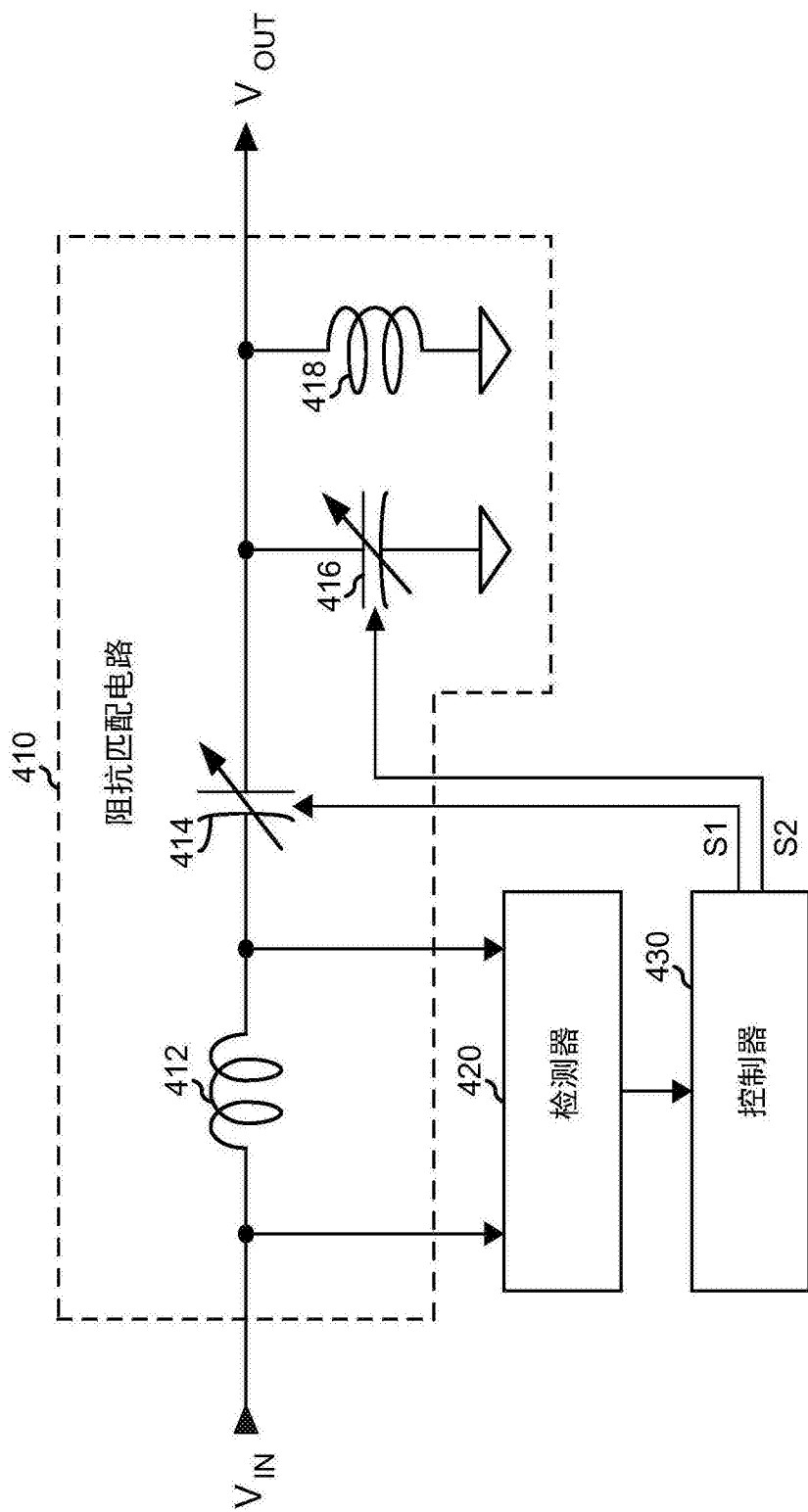


图4

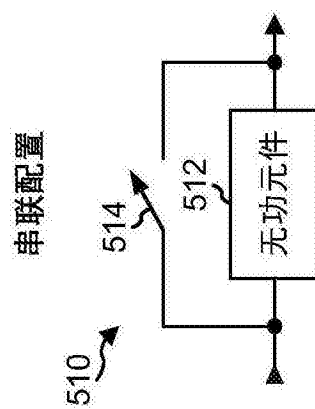


图5A

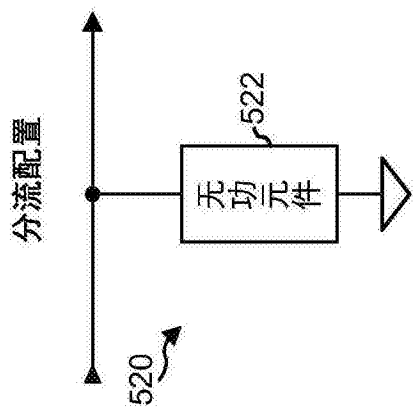


图5B

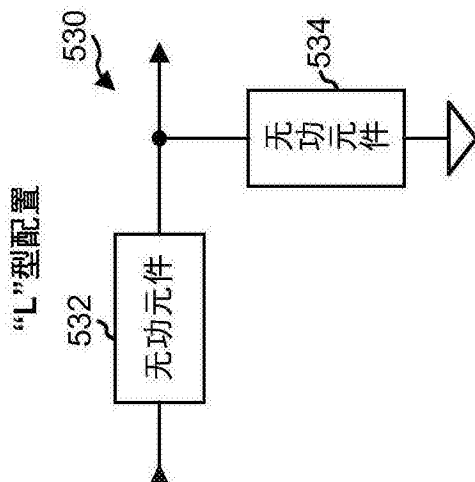


图5C

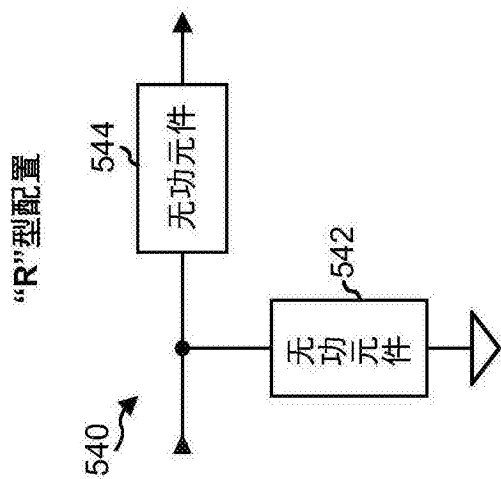


图5D

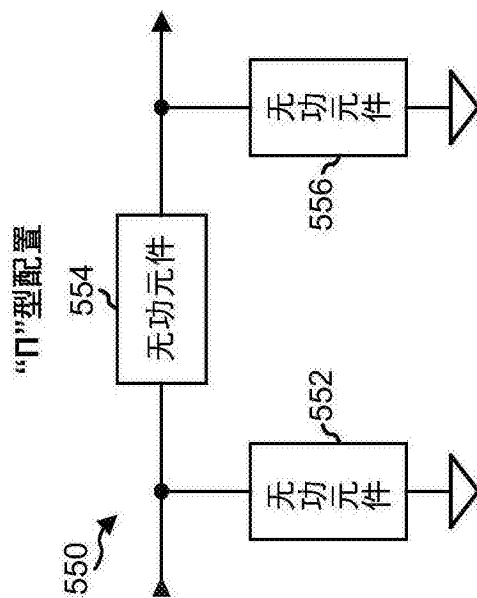


图5E

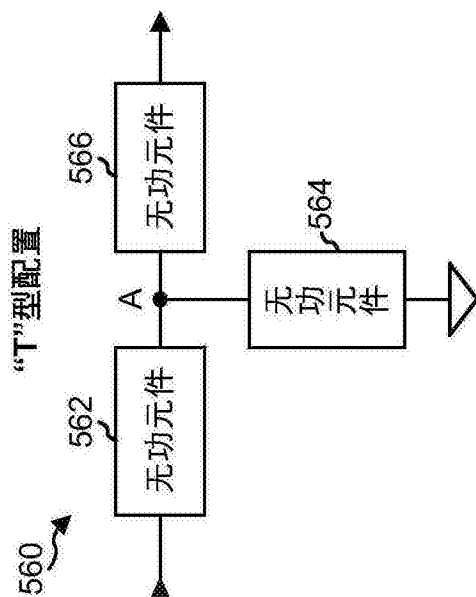


图5F

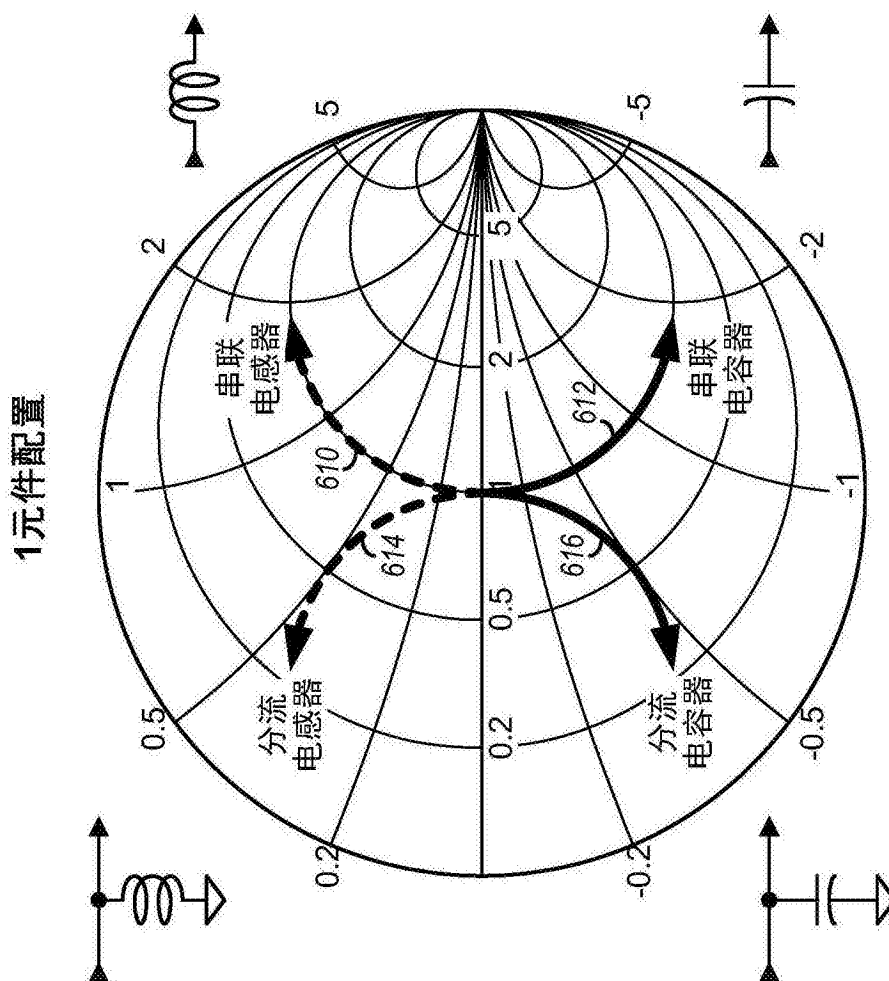


图6A

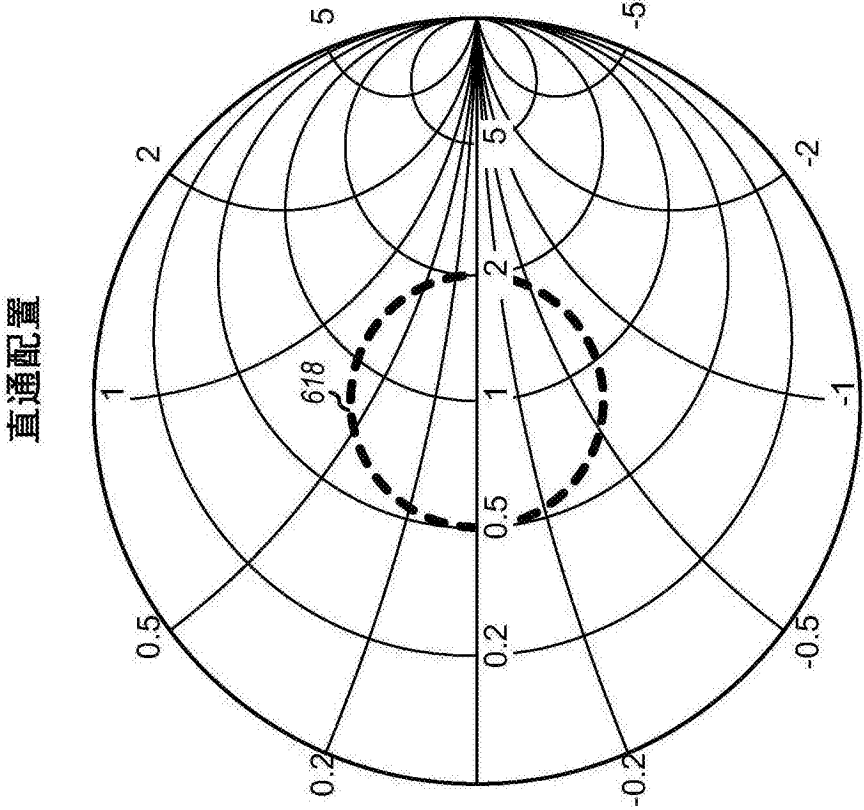


图6B

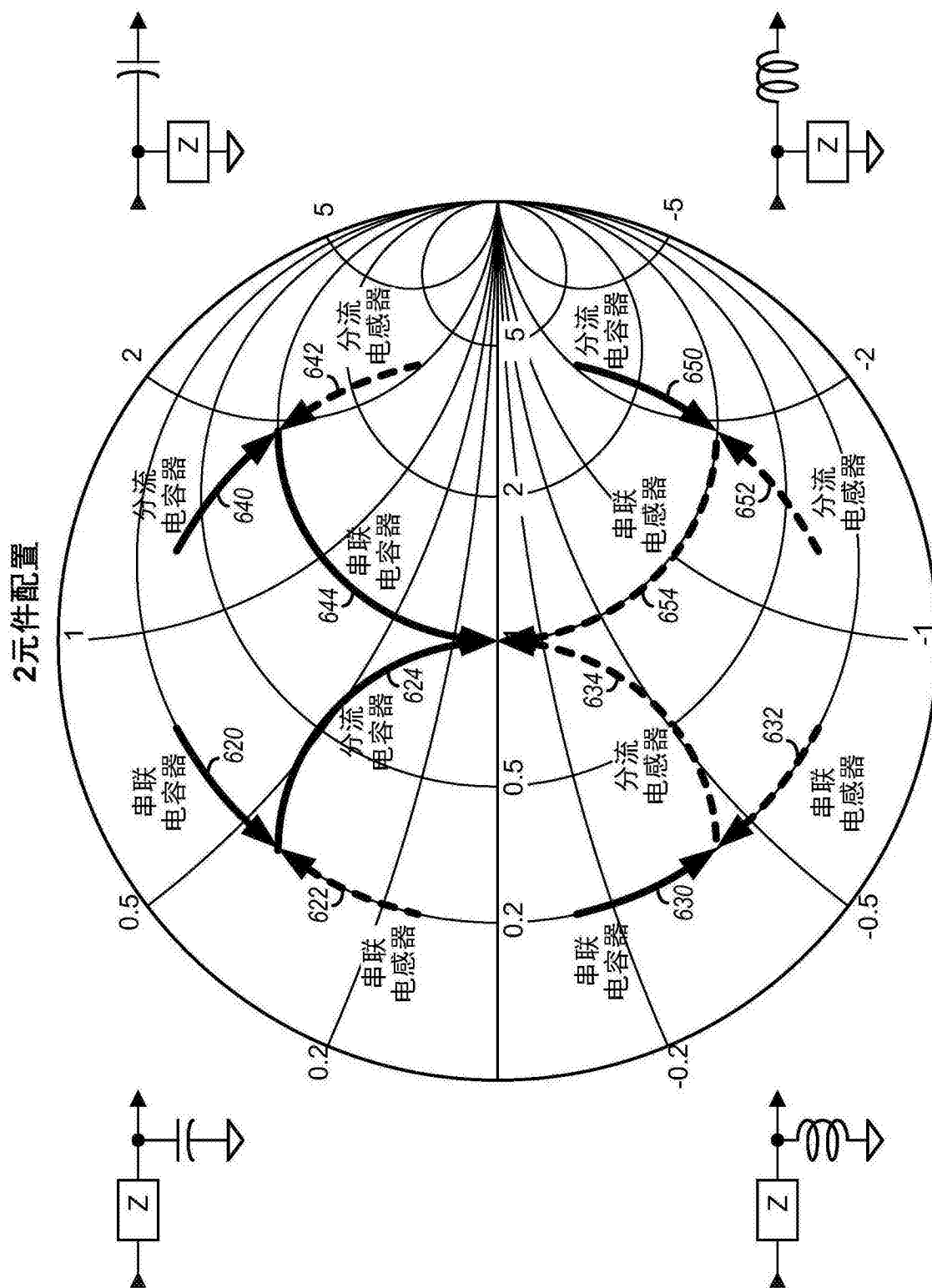


图6C

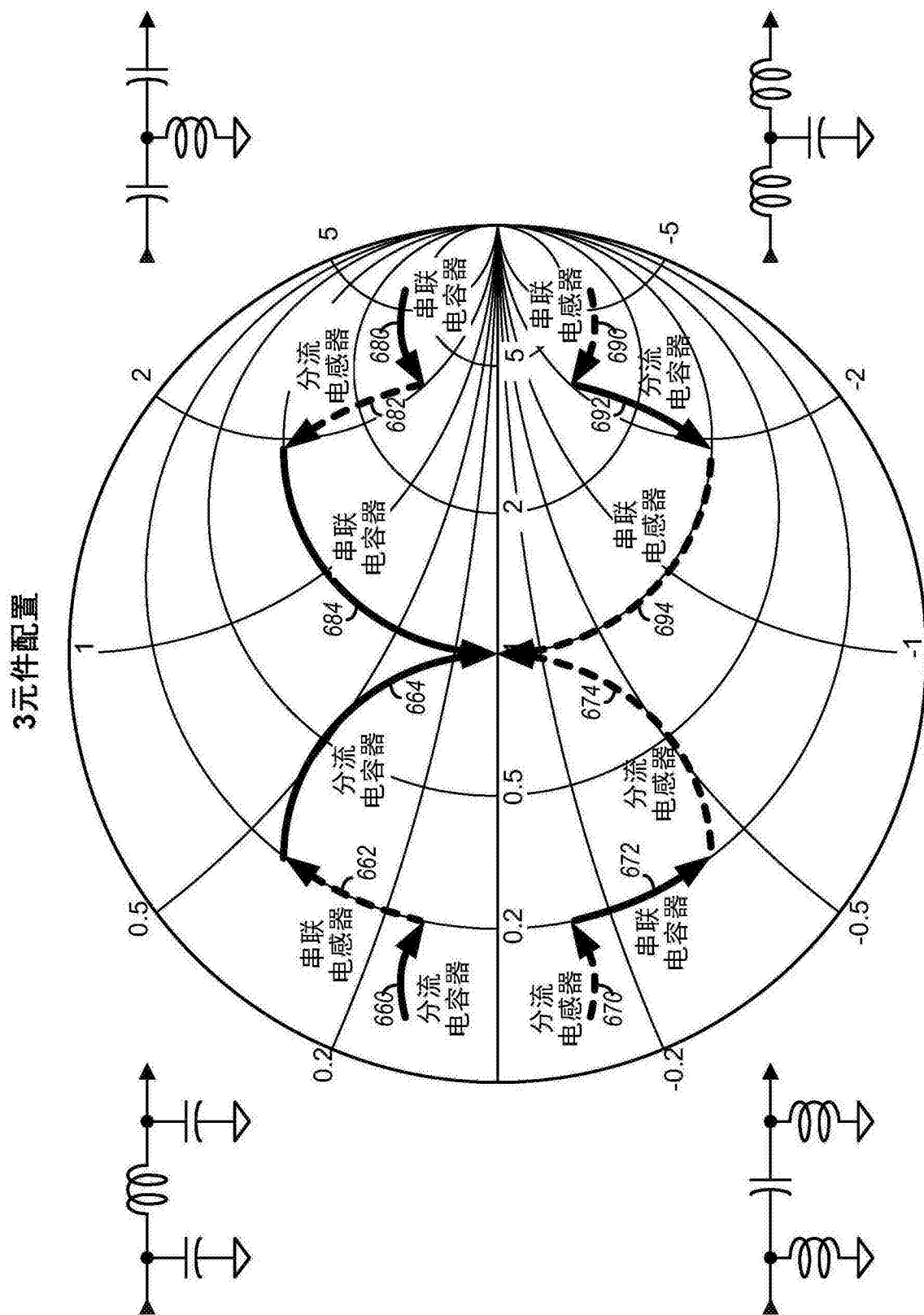


图6D

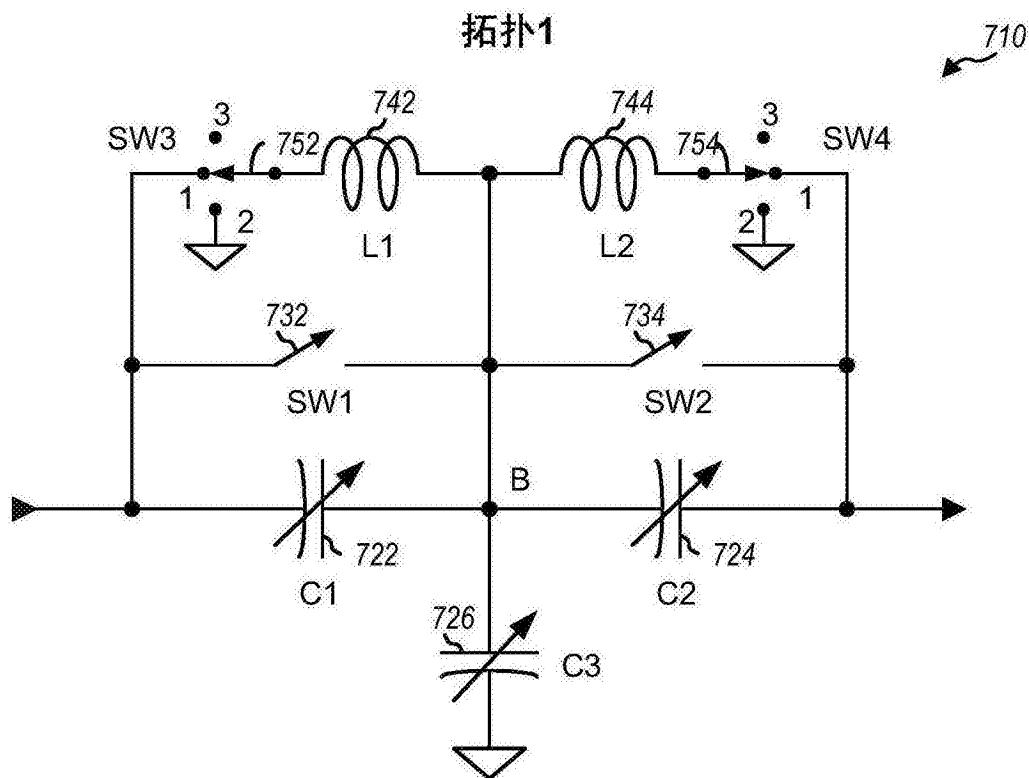


图7

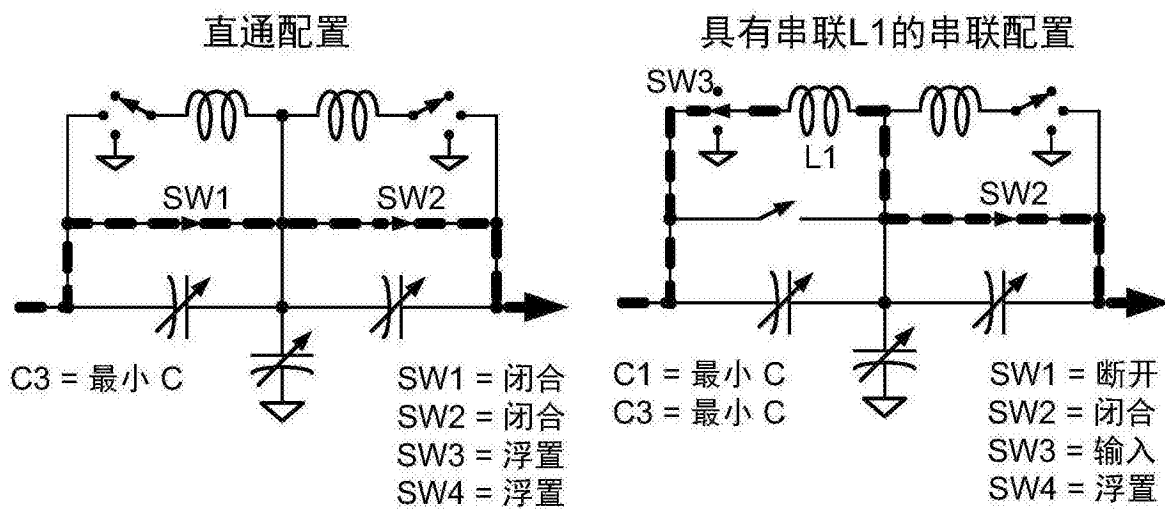


图8A

图8B

具有串联C1的串联配置

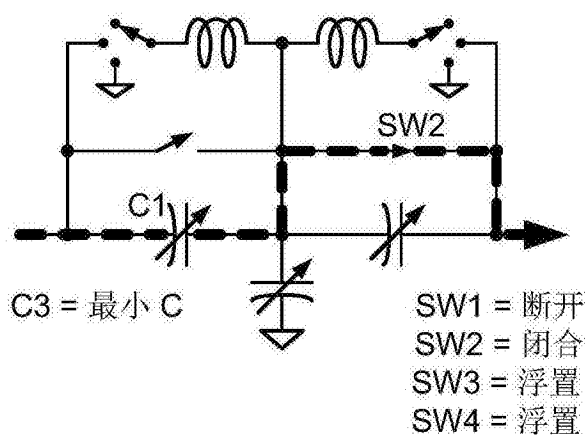


图8C

具有串联C1和C2的串联配置

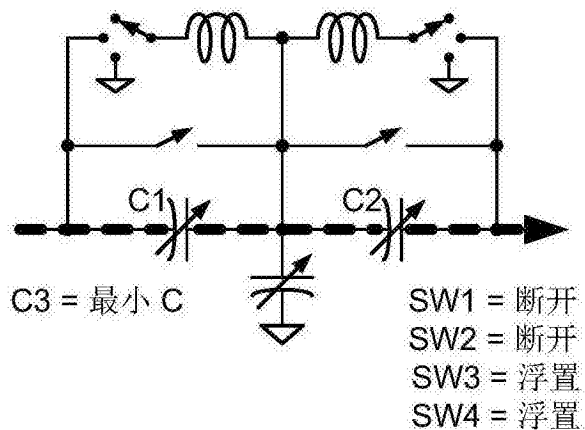


图8D

具有串联L2的串联配置

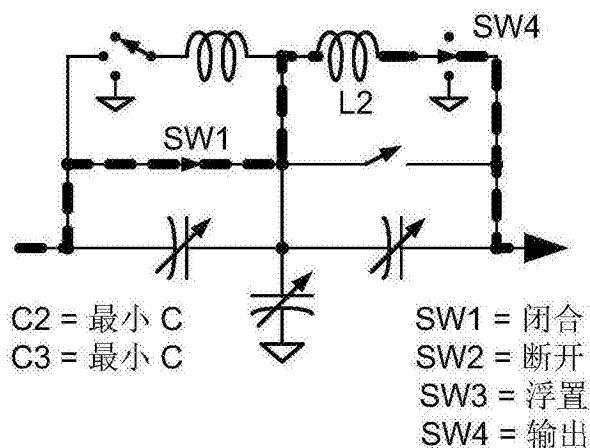


图8E

具有串联L1和L2的串联配置

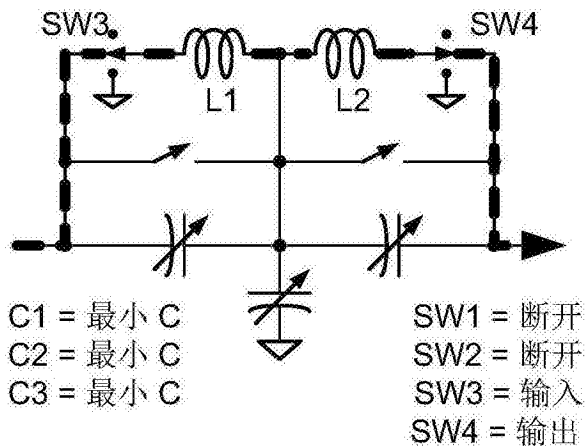


图8F

具有串联C1和L2的串联配置

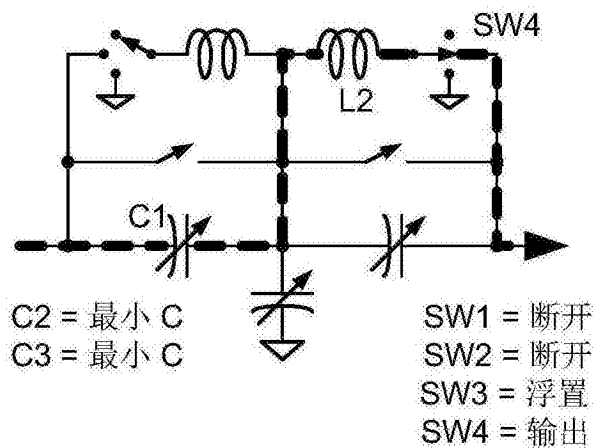


图8G

具有串联L1和C2的串联配置

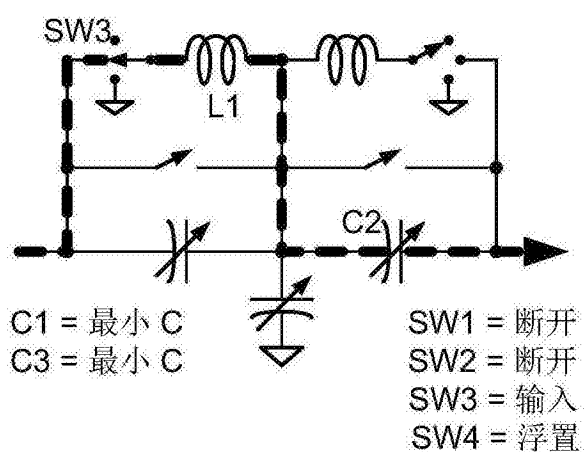


图8H

具有分流L1的分流配置

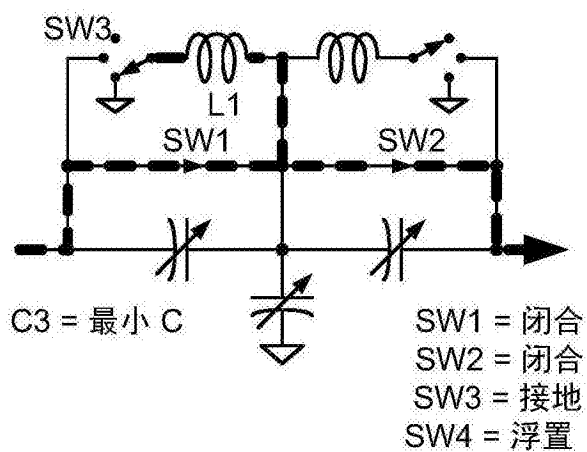


图8I

具有分流L2的分流配置

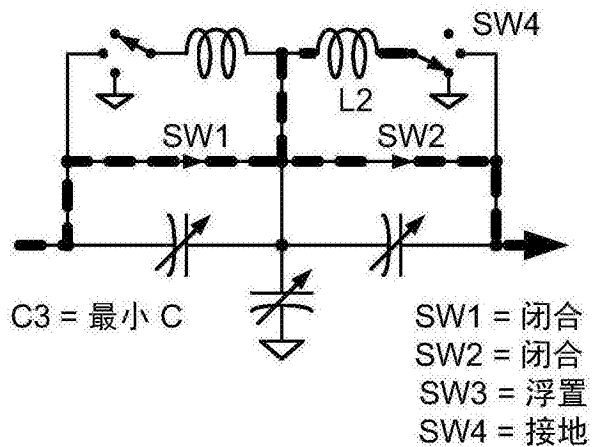


图8J

具有分流L1+L2的分流配置

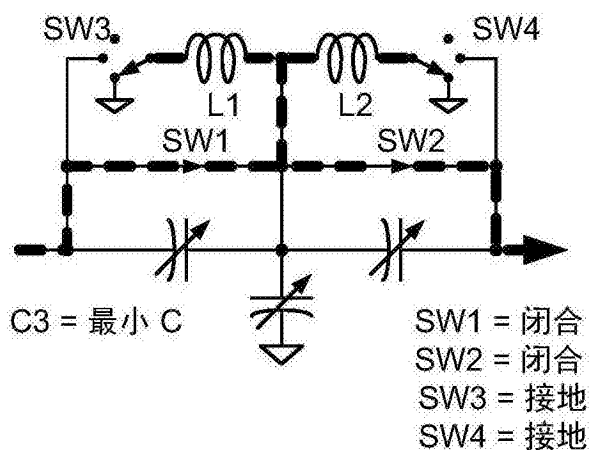


图8K

具有分流C3的分流配置

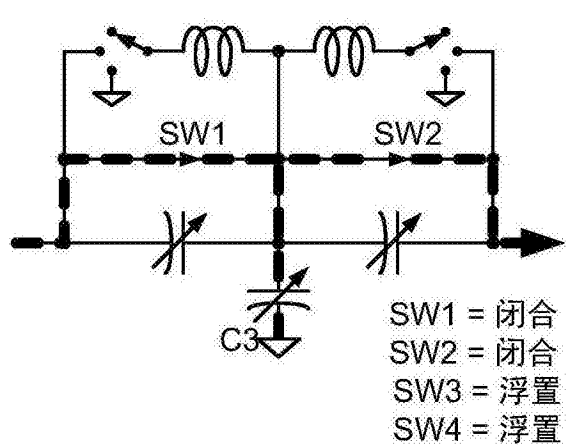


图8L

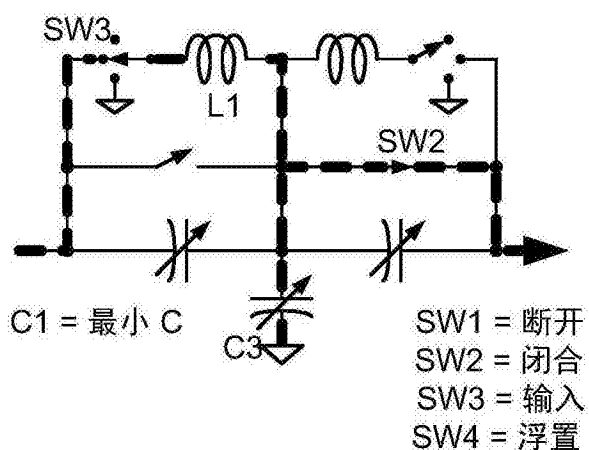
具有串联L1和分流C3的
“L”型配置

图8M

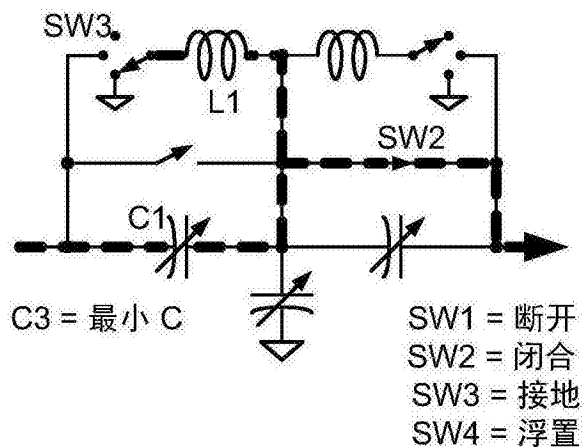
具有串联C1和分流L1的
“L”型配置

图8N

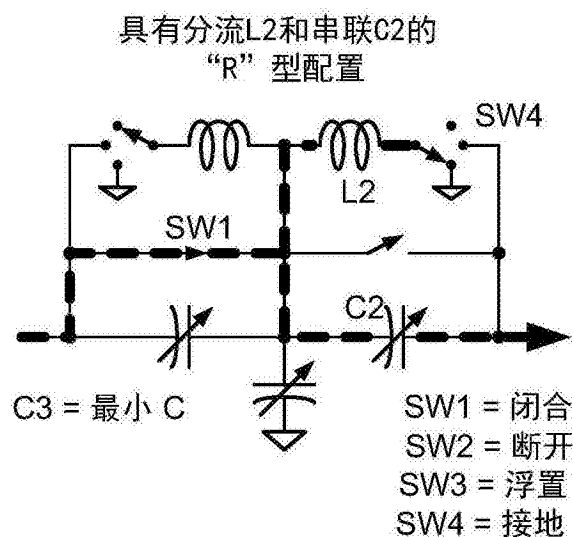


图80

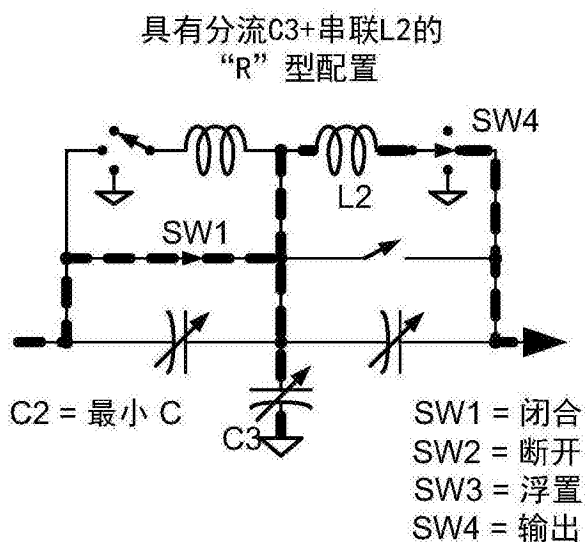


图8P

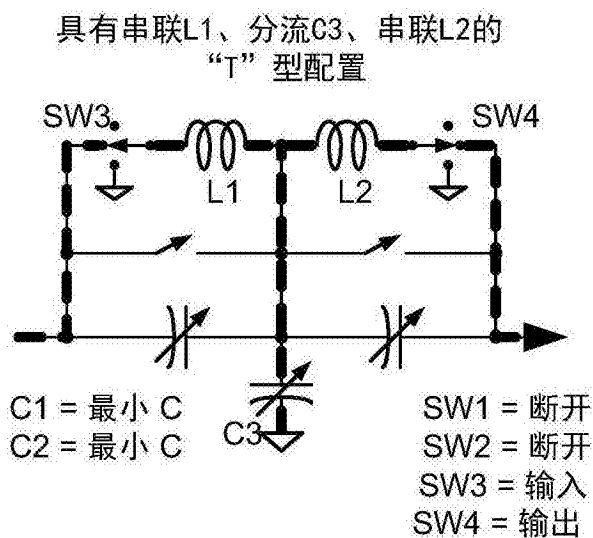


图8Q

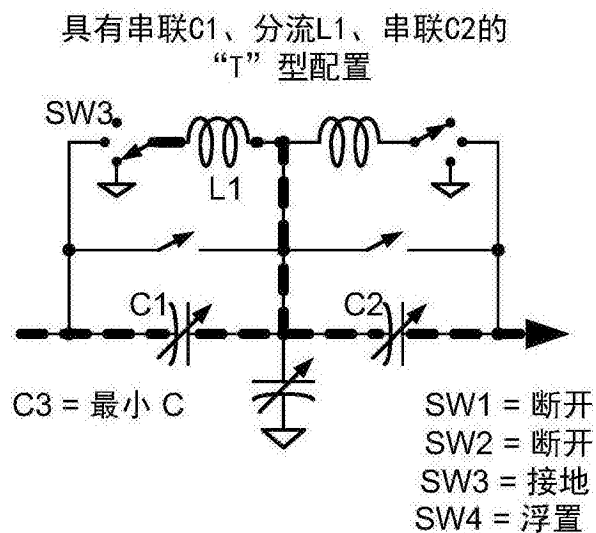


图8R

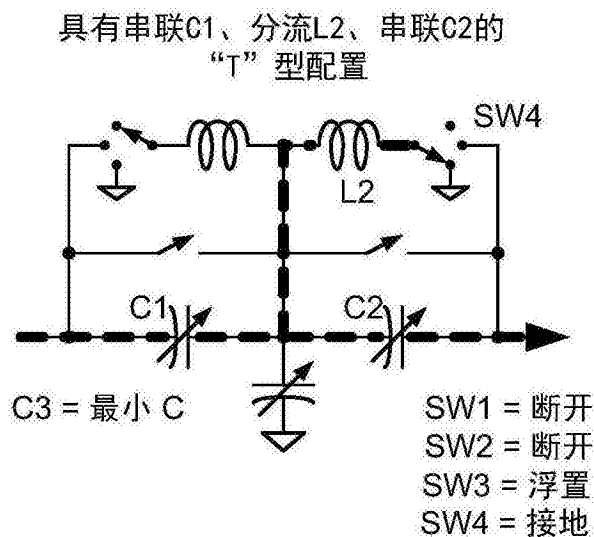


图8S

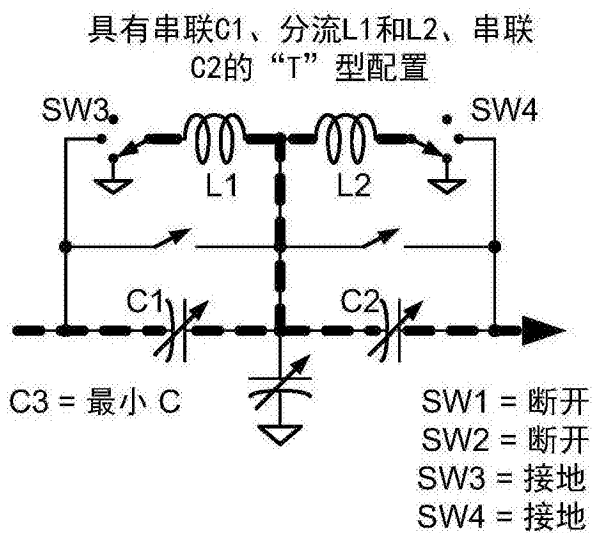


图8T

拓扑 2

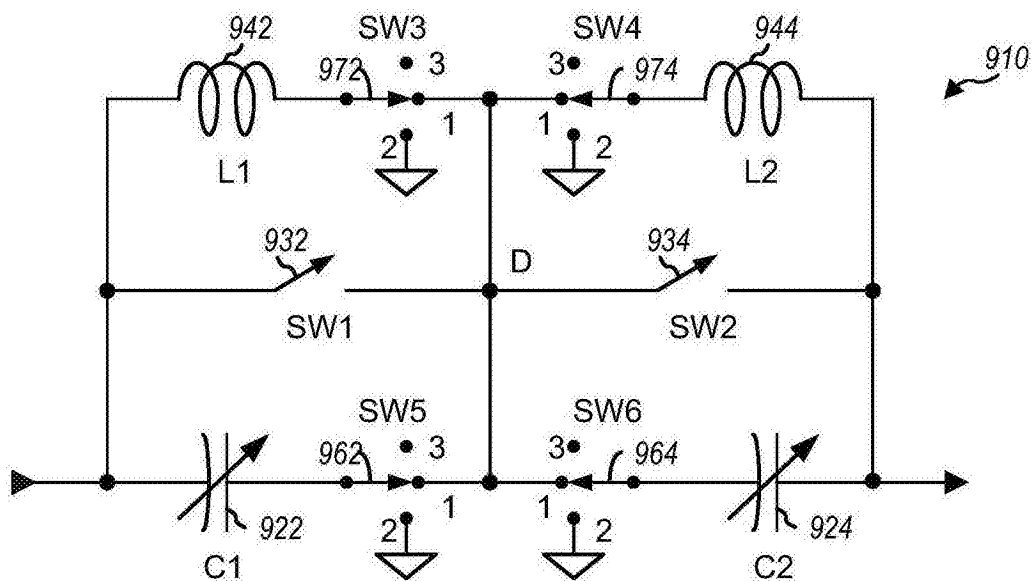


图9A

拓扑 3

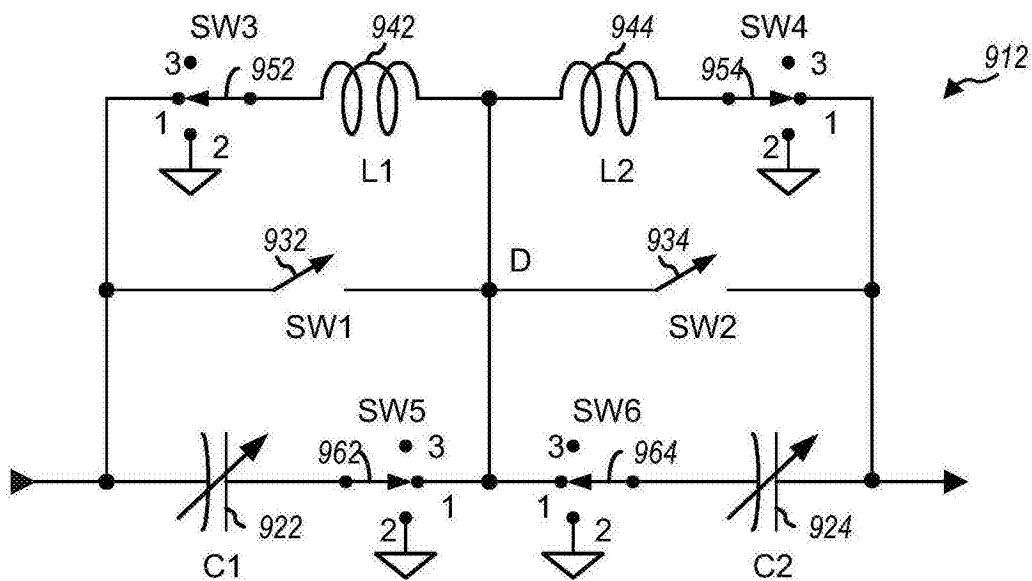


图9B

拓扑 4

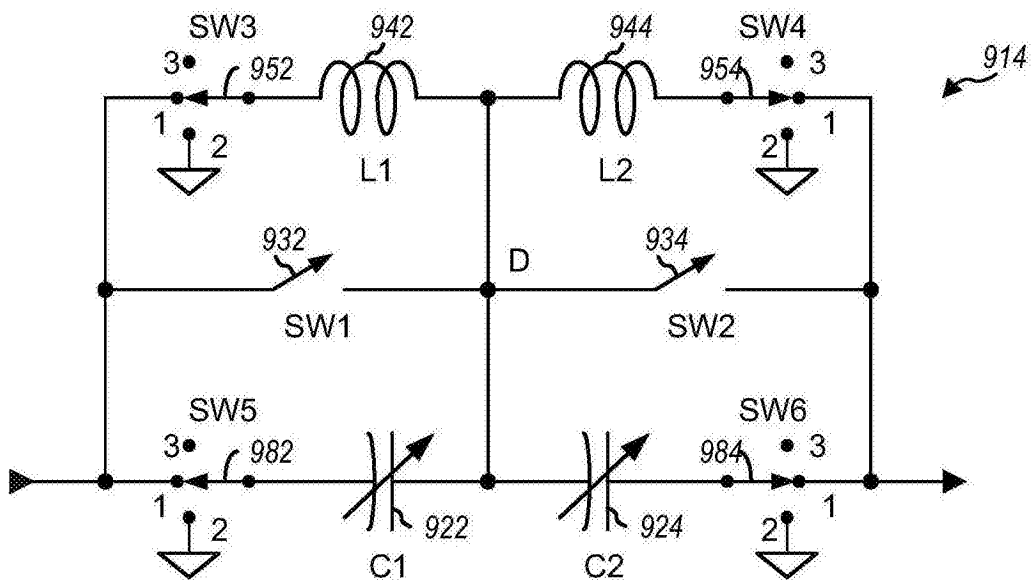


图9C

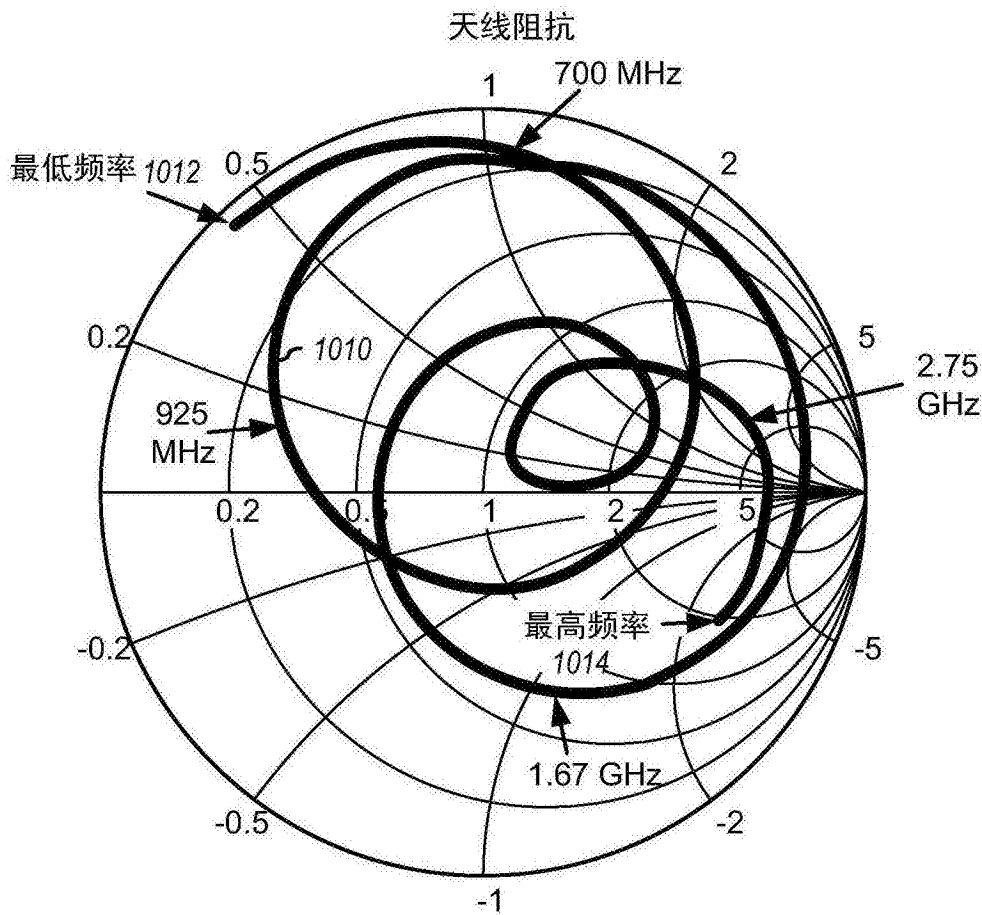


图10

1100

电路设置	频率	配置	开关设置	控制设置	频带/模式
1	F1	配置 a	SW1 ...	C1 ...	B1
2	F2	配置 b	SW1 ...	C1 ...	B2
⋮	⋮	⋮	⋮	⋮	⋮
K	FK	配置 b	SW1 ...	C1 ...	BK

图11

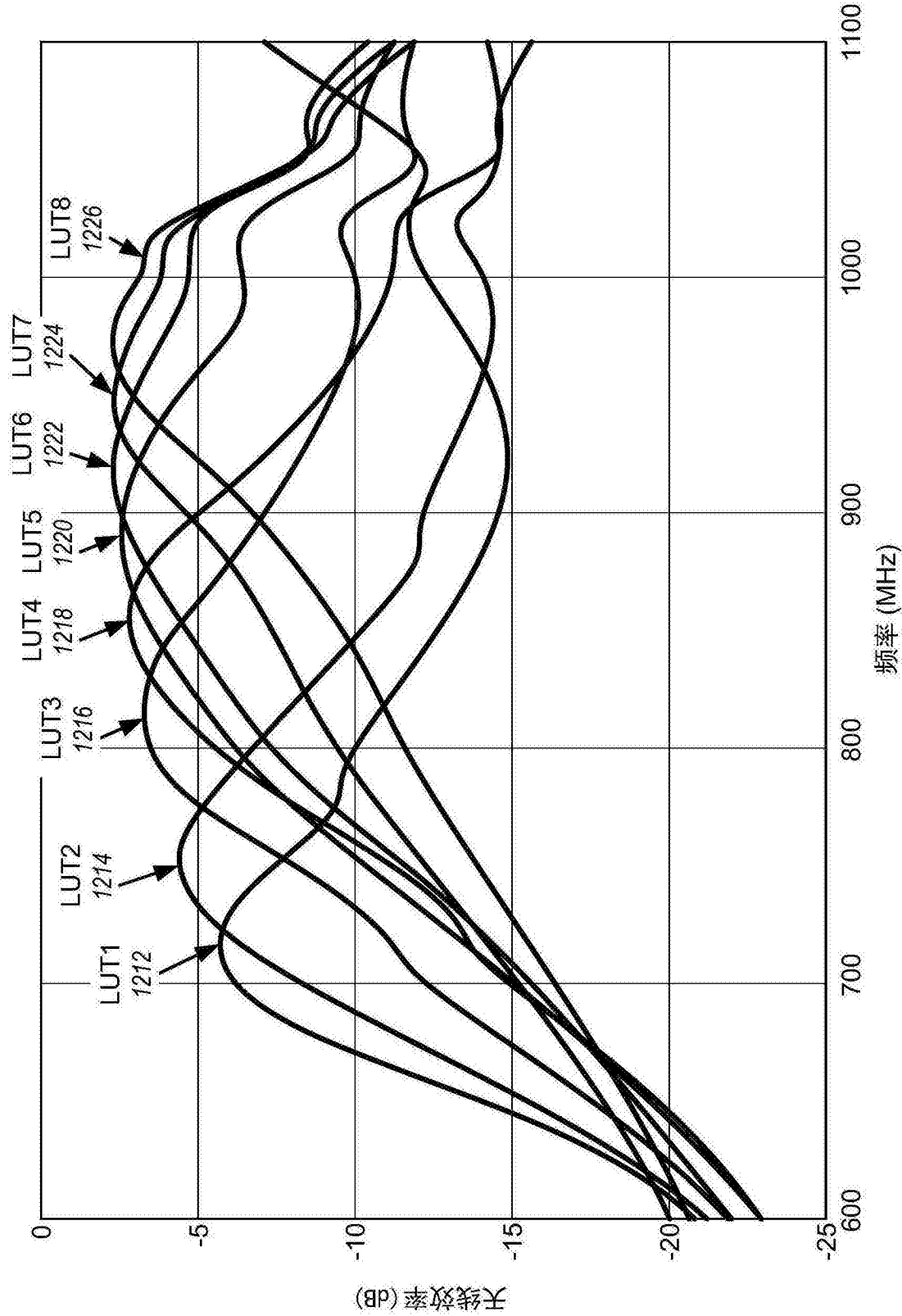


图12

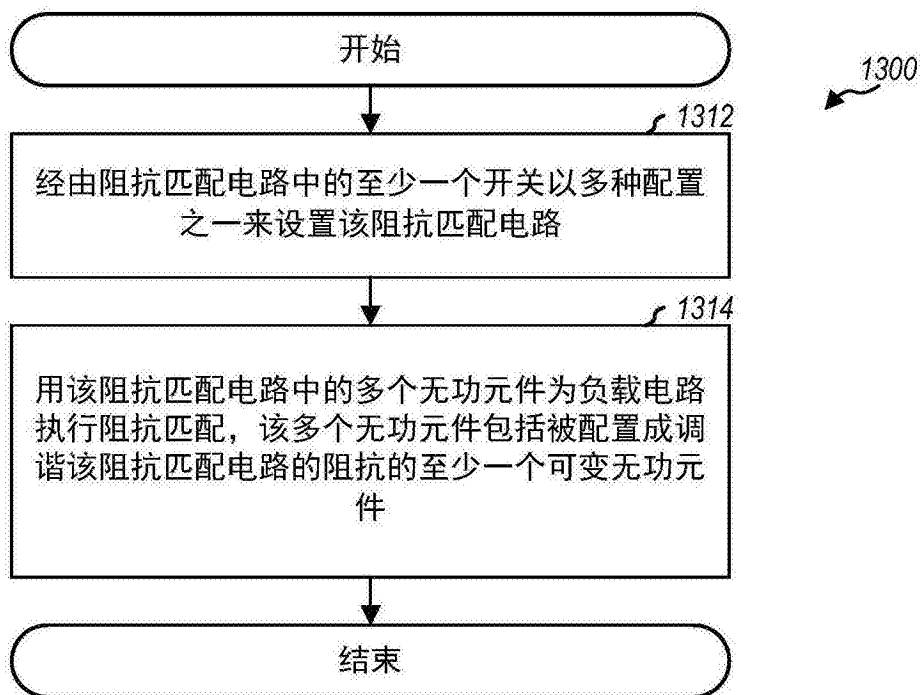


图13