



(19)中華民國智慧財產局

(12)新型說明書公告本

(11)證書號數：TW M363079U1

(43)公告日：中華民國 98 (2009) 年 08 月 11 日

(21)申請案號：098204616

(22)申請日：中華民國 98 (2009) 年 03 月 24 日

(51)Int. Cl. : **H01L23/12 (2006.01)**

(71)申請人：精材科技股份有限公司(中華民國) XINTEC INC. (TW)

桃園縣中壢市吉林路 25 號 4 樓

(72)創作人：黃田昊 HUANG, TIEN HAO (TW)；鄭家明 CHENG, CHIA MING (TW)

(74)代理人：洪澄文；顏錦順

申請專利範圍項數：20 項 圖式數：5 共 20 頁

(54)名稱

半導體裝置及用於陣列封裝的佈線結構

SEMICONDUCTOR DEVICE AND LAYOUT STRUCTURE FOR ARRAY PACKAGE

(57)摘要

一種用於陣列封裝的佈線結構。佈線結構包括：一承載基板、一絕緣層、第一及第二環形接墊陣列、複數走線以及複數下通道(underpass)導電層。第一及第二環形接墊陣列及走線，分別設置於承載基板上方的絕緣層上，且走線依序環繞排列於絕緣層邊緣。下通道導電層設置於承載基板與絕緣層之間。這些走線中至少一走線延伸至第一環形接墊陣列中一對應的接墊，而至少一走線經由其中一下通道導電層而電性連接至第二環形接墊陣列中一對應的接墊。本創作亦揭示一種具有該佈線結構的半導體裝置。

A layout structure for an array package is provided. The layout structure includes a carrier substrate, an insulating layer, first and second ringed arrays of pads, a plurality of traces, and a plurality of conductive underpass layers. First and second ringed arrays of pads and the traces are disposed on the insulating layer on a carrier substrate, respectively, and the traces are sequentially arranged around the edges of the insulating layer. The conductive underpass layers are disposed between the carrier substrate and the insulating layer. At least one of the traces extends to a corresponding pad of the first ringed array of pads and at least one of the traces is electrically connected to a corresponding pad of the second ringed array of pads by one of the conductive underpass layers. The invention also discloses a semiconductor device with the layout structure.

五、新型說明：

【新型所屬之技術領域】

本創作有關於一種半導體封裝技術，特別是有關於一種半導體裝置中用於陣列封裝佈線結構。

【先前技術】

隨著電子或光電產品諸如數位相機、具有影像拍攝功能的手機、條碼掃描器（bar code reader）、射頻功率計（RF power meter）以及監視器逐漸普及化，電子或光電裝置的需求也與日俱增。電子或光電裝置通常包括：雷射二極體、發光二極體（LEDs）、電荷耦合裝置（charge-coupled device, CCD）、互補式金氧半導體（complementary metal oxide semiconductor, CMOS）裝置、功率感測器（power sensor）且使用於印刷、資料儲存、或光資料的傳送與接收。

大多數的半導體裝置如電子或光電裝置通常為了效能上的需求而置放於一密封的封裝體，其有助於操作上的穩定性。上述半導體裝置可藉由一種稱作晶圓級晶片尺寸封裝（wafer level chip scale package, WLCSP）技術來進行封裝。在傳統的封裝技術中，係先將具有如電子裝置、微機電裝置、或是光電裝置等微裝置的晶圓切割成多個晶片之後，再將其封裝。而不同於傳統的封裝方式，WLCSP 技術中，微裝置的封裝係在晶圓切割成多個晶片之前進行。另外，上述裝置進一步藉由陣列封裝技

術，例如球柵陣列（ball grid array, BGA）封裝，使裝置電性連接至一印刷電路板（printed circuit board, PCB）以進行特定操作。

然而，隨著產品尺寸的縮小及功能的複雜化，半導體裝置的封裝尺寸必須儘可能的縮小，同時也可能必須提供更多電子接觸點以因應電裝置中增加的積體電路。因此，對於封裝的佈線設計者而言，將面臨嚴苛的挑戰的。

【新型內容】

有鑑於此，本創作的目的在於提供一種用於陣列封裝之佈線結構及具有該佈線結構的半導體裝置，其藉由使用多層走線（trace）連接用於陣列封裝的接墊，以縮短接墊間距進而縮小整體裝置尺寸或是在相同裝置尺寸中設置更多接墊以供晶片使用。

根據上述之目的，本創作提供一種用於陣列封裝的佈線結構，包括：一承載基板、一絕緣層、第一及第二環形接墊陣列、複數走線以及複數下通道導電層。第一及第二環形接墊陣列及走線，分別設置於承載基板上方的絕緣層上，其中第二環形接墊陣列位於第一環形接墊陣列相對內側，而走線依序環繞排列於絕緣層邊緣。下通道導電層設置於承載基板與絕緣層之間。這些走線中至少一走線延伸至第一環形接墊陣列中一對應的接墊，而至少一走線經由其中一下通道導電層而電性連接至第

二環形接墊陣列中一對應的接墊。

又根據上述之目的，本創作提供一種半導體裝置，包括：具有一非主動表面的一裝置基板，一承載基板、一絕緣層、第一及第二環形接墊陣列、複數走線以及複數下通道導電層。承載基板設置於非主動表面上。第一及第二環形接墊陣列及走線，分別設置於承載基板上方的絕緣層上，其中第二環形接墊陣列位於第一環形接墊陣列相對內側，而走線依序環繞排列於絕緣層邊緣且延伸至承載基板及裝置基板的側壁上。下通道導電層設置於承載基板與絕緣層之間。這些走線中至少一走線延伸至第一環形接墊陣列中一對應的接墊，而至少一走線經由其中一下通道導電層而電性連接至第二環形接墊陣列中一對應的接墊。

【實施方式】

以下說明本創作之實施例。此說明之目的在於提供本創作的總體概念而並非用以侷限本創作的範圍。本創作之保護範圍當視後附之申請專利範圍所界定者為準。

請參照第 1 及 2 圖，其中第 1 圖係繪示出一範例之半導體裝置中用於陣列封裝的佈線結構平面示意圖，而第 2 圖係繪示出第 1 圖中沿 2-2' 線之剖面示意圖。本例係以光電裝置為例，例如影像感測裝置，包括：一裝置基板 100 及一用於陣列封裝的佈線結構。裝置基板 100，例如一矽晶片或其他半導體晶片，其具有一非主動面

100a。此處的非主動面所指的是，不具有積體電路或電子部件形成於其上的表面。在本實施例中，裝置基板 100 內包含影像感測元件，例如畫素二極體，及控制影像感測元件的積體電路。此處，為了簡化圖式，僅繪示出一平整的基板。用於陣列封裝的佈線結構係設置於裝置基板 100 的非主動面 100a 上，包括：一承載基板 102，例如一玻璃基板或其他透明基板，以及設置於承載基板 102 上的絕緣層 104 及 108、複數接墊 106a 及 106c、以及走線 106b。

絕緣層 104 及 108 的材質可為綠漆 (solder mask)、樹脂、習知的介電材料，或其組合。由複數接墊 106a 所構成的第一環形接墊陣列及由複數接墊 106c 所構成的第二環形接墊陣列分別設置於絕緣層 104 上，其中第二環形接墊陣列位於第一環形接墊陣列的對內側。再者，複數走線 106b 設置於絕緣層 104 上，且依序環繞排列於絕緣層 104 的邊緣。走線 106b 可由金屬所構成。每一走線 106b 的一端係延伸至接墊 106a 或 106c，而另一端則延伸至承載基板 102 及裝置基板 100 的側壁上，其中裝置基板 100 的側壁設置有一絕緣層 101，例如一環氧樹脂層，使裝置基板 100 與走線 106b 絕緣，如第 2 圖所示。另一方面，走線 106b 會藉由露出於裝置基板 100 側壁的電極（未繪示），而與裝置基板 100 內的積體電路電性連接。

在本實施例中，一些走線 106b 延伸至第一環形接墊陣列中對應的接墊 106a，而其他的走線 106b 則延伸至第

二環形接墊陣列中對應的接墊 106c，如第 1 圖所示。再者，設置於絕緣層 104 上的絕緣層 108 覆蓋走線 106b 且具有複數開口 108a 而局部露出第一及第二環形接墊陣列中的接墊 106a 及 106c。複數焊球 110 依序設置於對應的接墊 106a 及 106c，並經由開口 108a 而與下方的接墊 106a 及 106c 電性連接。然而，在上述的佈線結構中，由於絕緣層 104 上的每一走線 106b 需延伸至對應的接墊 106a 或 106c，故焊球 110 的球距 P1（或接墊間距）受限於走線 106b 的線寬。若為了縮小球距 P1 來縮小整體裝置尺寸，則走線 106b 的線寬必須縮小。如此將導致製程容許度（process window）降低而降低裝置的可靠度。另外，若為了增加製程容許度而增加走線 106b 的線寬，則球距 P1 必須增加。如此一來，走線 106b 及接墊 106a 或 106c 在佈線結構中所佔用的面積將無法進一步的縮小而使整體裝置尺寸難以縮小。

因此，本創作人提出另一種半導體裝置中用於陣列封裝的佈線結構，如第 3、4、及 5 圖所示，其中第 3 圖係繪示出根據本創作實施例之半導體裝置中用於陣列封裝的佈線結構平面示意圖，第 4 圖係繪示出第 3 圖中沿 4-4' 線之剖面示意圖而第 5 圖係繪示出第 3 圖中沿 5-5' 線之剖面示意圖。在本實施例中，以光電裝置為例，例如影像感測裝置，包括：具有一非主動表面 200a 的一裝置基板 200 以及位於非主動表面 200a 上用於陣列封裝的佈線結構。裝置基板 200 可相同於第 1 及 2 圖中的裝置基板 100。

佈線結構係設置於裝置基板 200 的非主動面 200a 上，包括：一承載基板 202、絕緣層 203、204、及 208、第一及第二環形接墊陣列、複數走線 206b、複數下通道導電層 205 以及複數焊球 210。承載基板 202 的材質可相同或類似於第 1 及 2 圖中的承載基板 202。絕緣層 203、204、及 208 依序設置於承載基板 202 上。同樣地，絕緣層 203、204、及 208 的材質可相同或類似於第 1 及 2 圖中的絕緣層 104 及 108。

● 由複數接墊 206a 所構成的第一環形接墊陣列及由複數接墊 206c 所構成的第二環形接墊陣列分別設置於絕緣層 204 上，其中第二環形接墊陣列位於第一環形接墊陣列的對內側。再者，複數走線 206b 亦設置於絕緣層 204 上，且依序環繞排列於絕緣層 204 的邊緣。每一走線 206b 的一端延伸至承載基板 202 及裝置基板 200 的側壁上，且藉由裝置基板 200 側壁上的一絕緣層 201 與裝置基板 200 絕緣，如第 4 或 5 圖所示。再者，走線 206b 的另一端則與第一環形接墊陣列中對應的接墊 206a 電性連接或與第二環形接墊陣列中對應的接墊 206c 電性連接。

在本實施例中，一些走線 206b 延伸至第一環形接墊陣列中對應的接墊 206a。特別的是其他未延伸至接墊 206a 的走線 206b 則經由設置於絕緣層 204 下方的下通道導電層 205 而電性連接至第二環形接墊陣列中對應的接墊 206c。請參照第 4 及 5 圖，下通道導電層 205，例如一金屬層，夾設於絕緣層 203 與絕緣層 204 之間。在其他實施例中，承載基板 202 上可不設置絕緣層 203，使下

通道導電層 205 夾設於承載基板 202 與絕緣層 204 之間。由於下通道導電層 205 位於絕緣層 204 下方而不影響接墊 206a 及 206c 的配置，故下通道導電層 205 可通過第一環形接墊陣列中接墊 206a 的下方(如第 3 及 5 圖所示)或是設置於兩相鄰接墊 206a 之間的絕緣層 204 下方(如第 3 及 4 圖所示)。另外，絕緣層 204 具有複數對通孔 204a 及 204b 對應於下通道導電層 205 的兩端並局部露出下通道導電層 205。通孔 204b 提供走線 206b 與對應的下通道導電層 205 之間的電性連接。舉例而言，走線 206b 經由通孔 204b 而與露出的下通道導電層 205 接觸。通孔 204a 提供第二環形接墊陣列中的接墊 206c 與對應的下通道導電層 205 之間的電性連接。舉例而言，接墊 206c 經由通孔 204a 而與露出的下通道導電層 205 接觸。在本實施例中，通孔 204a 及 204b 的上視輪廓為矩形。然而，在其他實施例中，通孔 204a 及 204b 的上視輪廓可為圓形、三角形、或其他多邊形。

設置於絕緣層 204 上的絕緣層 208 覆蓋走線 206b 且具有複數開口 208a 而局部露出第一及第二環形接墊陣列中的接墊 206a 及 206c。複數焊球 210 依序設置於對應的接墊 206a 及 206c，並經由開口 208a 而與下方的接墊 206a 及 206c 電性連接。

在上述的實施例中，由於一些走線 206b 係藉由下通道導電層 205 電性連接至接墊 206c，而不是直接延伸至接墊 206c。因此，在不縮小走線 206b 線寬的情形下，焊球 210 的球距 P2 (或接墊間距) 得以縮小，進而縮小整

- 體裝置尺寸。亦即，可維持原有的製程容許度。再者，也可增加走線 206b 線寬，以增加製程容許度及提升裝置可靠度。另外，也可在不縮小整體裝置尺寸情形下，佈線結構可提供更多面積來設置更多的電子接觸點（即，接墊或焊球），以因應具有複雜積體電路的晶片所需。

- 雖然本創作已以較佳實施例揭露如上，然其並非用以限定本創作，任何所屬技術領域中具有通常知識者，在不脫離本創作之精神和範圍內，當可作更動與潤飾，
 - 因此本創作之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖係繪示出一範例之半導體裝置中用於陣列封裝的佈線結構平面示意圖；

第 2 圖係繪示出第 1 圖中沿 2-2'線之剖面示意圖；

第 3 圖係繪示出根據本創作實施例之半導體裝置中用於陣列封裝的佈線結構平面示意圖；

第 4 圖係繪示出第 3 圖中沿 4-4'線之剖面示意圖；

及

第 5 圖係繪示出第 3 圖中沿 5-5'線之剖面示意圖。

【主要元件符號說明】

100、200~裝置基板；

100a、200a~非主動面；

102、202~承載基板；

101、104、108、201、203、204、208~絕緣層；

108a、208a~開口；

106a、106c、206a、206c~接墊；

106b、206b~走線；

110、210~焊球；

204a、204b~通孔；

205~下通道導電層；

P1、P2~球距。

新型專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98204616

※申請日：98.03.24

※IPC 分類：H01L 23/12 (2006.01)

一、新型名稱：(中文/英文)

半導體裝置及用於陣列封裝的佈線結構

SEMICONDUCTOR DEVICE AND LAYOUT
STRUCTURE FOR ARRAY PACKAGE

二、中文新型摘要：

一種用於陣列封裝的佈線結構。佈線結構包括：一承載基板、一絕緣層、第一及第二環形接墊陣列、複數走線以及複數下通道 (underpass) 導電層。第一及第二環形接墊陣列及走線，分別設置於承載基板上方的絕緣層上，且走線依序環繞排列於絕緣層邊緣。下通道導電層設置於承載基板與絕緣層之間。這些走線中至少一走線延伸至第一環形接墊陣列中一對應的接墊，而至少一走線經由其中一下通道導電層而電性連接至第二環形接墊陣列中一對應的接墊。本創作亦揭示一種具有該佈線結構的半導體裝置。

三、英文新型摘要：

A layout structure for an array package is provided. The layout structure includes a carrier substrate, an

insulating layer, first and second ringed arrays of pads, a plurality of traces, and a plurality of conductive underpass layers. First and second ringed arrays of pads and the traces are disposed on the insulating layer on a carrier substrate, respectively, and the traces are sequentially arranged around the edges of the insulating layer. The conductive underpass layers are disposed between the carrier substrate and the insulating layer. At least one of the traces extends to a corresponding pad of the first ringed array of pads and at least one of the traces is electrically connected to a corresponding pad of the second ringed array of pads by one of the conductive underpass layers. The invention also discloses a semiconductor device with the layout structure.

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

202~承載基板；	203、204、208~絕緣層；
206a、206c~接墊；	206b~走線；
210~焊球；	204a、204b~通孔；
205~下通道導電層；	P2~球距。

六、申請專利範圍：

1.一種用於陣列封裝的佈線結構，包括：

一承載基板；

一第一絕緣層，設置於該承載基板上；

第一及第二環形接墊陣列，分別設置於該第一絕緣層上，且該第二環形接墊陣列位於該第一環形接墊陣列相對內側；

複數走線設置於第一絕緣層上，且依序環繞排列於該第一絕緣層邊緣；以及

複數下通道導電層，設置於該承載基板與該第一絕緣層之間；

其中該等走線中至少一走線延伸至該第一環形接墊陣列中一對應的接墊，而至少一走線經由其中一下通道導電層而電性連接至該第二環形接墊陣列中一對應的接墊。

2.如申請專利範圍第 1 項所述之用於陣列封裝的佈線結構，更包括：

一第二絕緣層，設置於該第一絕緣層上且覆蓋該等走線，具有複數開口以局部露出該等第一及第二環形接墊陣列；以及

複數焊球，對應設置於該等第一及第二環形接墊陣列上並經由該等開口而與該等接墊電性連接。

3.如申請專利範圍第 2 項所述之用於陣列封裝的佈線結構，其中該第二絕緣層係由綠漆所構成。

4.如申請專利範圍第 1 項所述之用於陣列封裝的佈

線結構，該第一絕緣層係由綠漆所構成。

5.如申請專利範圍第 1 項所述之用於陣列封裝的佈線結構，其中電性連接該走線與該接墊的該下通道導電層位於該第一環形接墊陣列中至少一接墊下方。

6.如申請專利範圍第 1 項所述之用於陣列封裝的佈線結構，其中電性連接該走線與該接墊的該下通道導電層位於該第一環形接墊陣列中兩相鄰的接墊之間。

7.如申請專利範圍第 1 項所述之用於陣列封裝的佈線結構，其中該第一絕緣層具有至少二通孔，以供該走線與該下層通道導電層之間以及該接墊與該下層通道導電層之間的電性連接之用。

8.如申請專利範圍第 7 項所述之用於陣列封裝的佈線結構，其中該等通孔的上視輪廓為圓形、三角形、矩形、或多邊形。

9.如申請專利範圍第 1 項所述之用於陣列封裝的佈線結構，其中該承載基板係由玻璃所構成。

10.如申請專利範圍第 1 項所述之用於陣列封裝的佈線結構，更包括一第三絕緣層設置於該第一絕緣層與該承載基板之間，使該等下層通道導電層夾設於該第一及該第三絕緣層之間。

11.一種半導體裝置，包括：

一裝置基板，具有一非主動表面；

一承載基板，設置於該非主動表面上；

一第一絕緣層，設置於該承載基板上；

第一及第二環形接墊陣列，分別設置於該第一絕緣

層上，且該第二環形接墊陣列位於該第一環形接墊陣列相對內側；

複數走線設置於第一絕緣層上，依序環繞排列於該第一絕緣層邊緣且延伸至該承載基板及該裝置基板的側壁上；以及

複數下通道導電層，設置於該承載基板與該第一絕緣層之間；

其中該等走線中至少一走線延伸至該第一環形接墊陣列中一對應的接墊，而至少一走線經由其中一下通道導電層而電性連接至該第二環形接墊陣列中一對應的接墊。

12.如申請專利範圍第 11 項所述之半導體裝置，更包括：

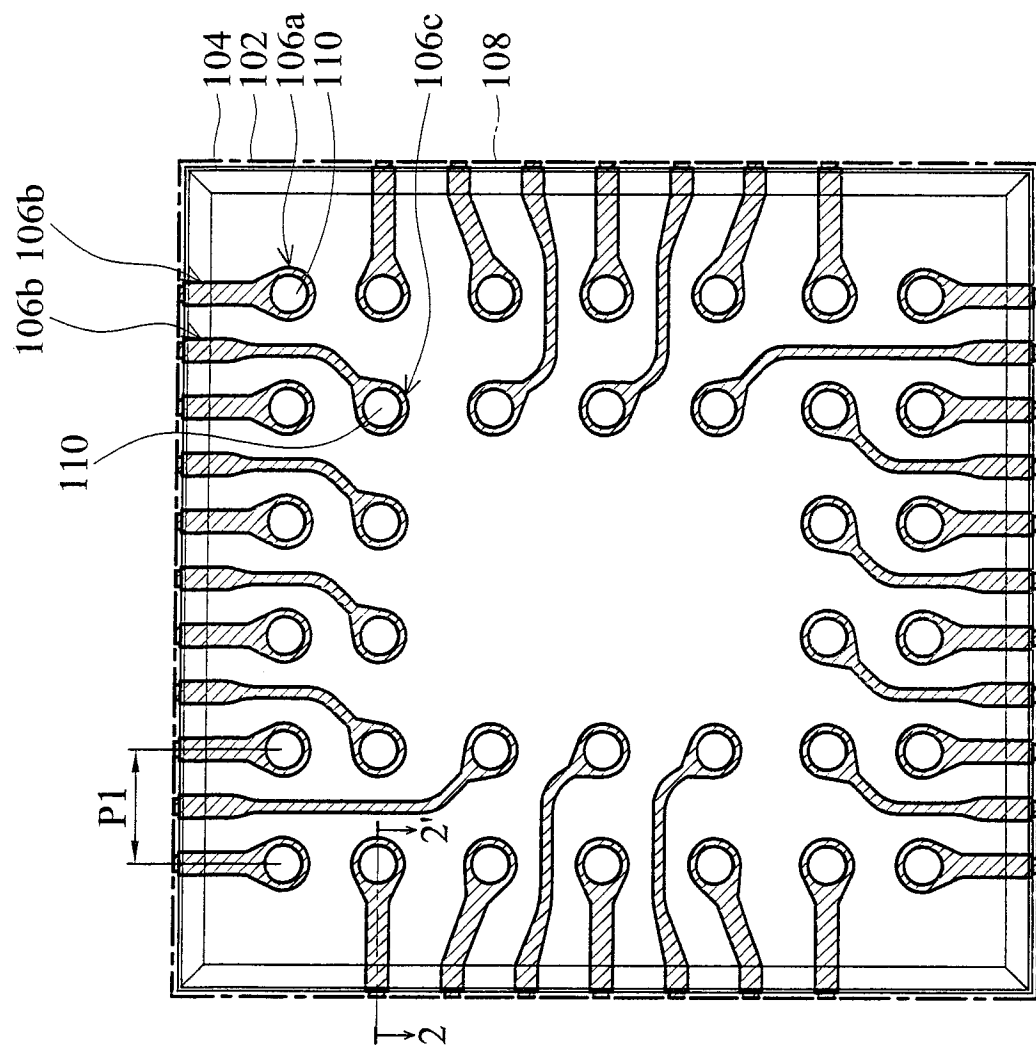
一第二絕緣層，設置於該第一絕緣層上且覆蓋該等走線，具有複數開口以局部露出該等第一及第二環形接墊陣列；以及

複數焊球，對應設置於該等第一及第二環形接墊陣列上並經由該等開口而與該等接墊電性連接。

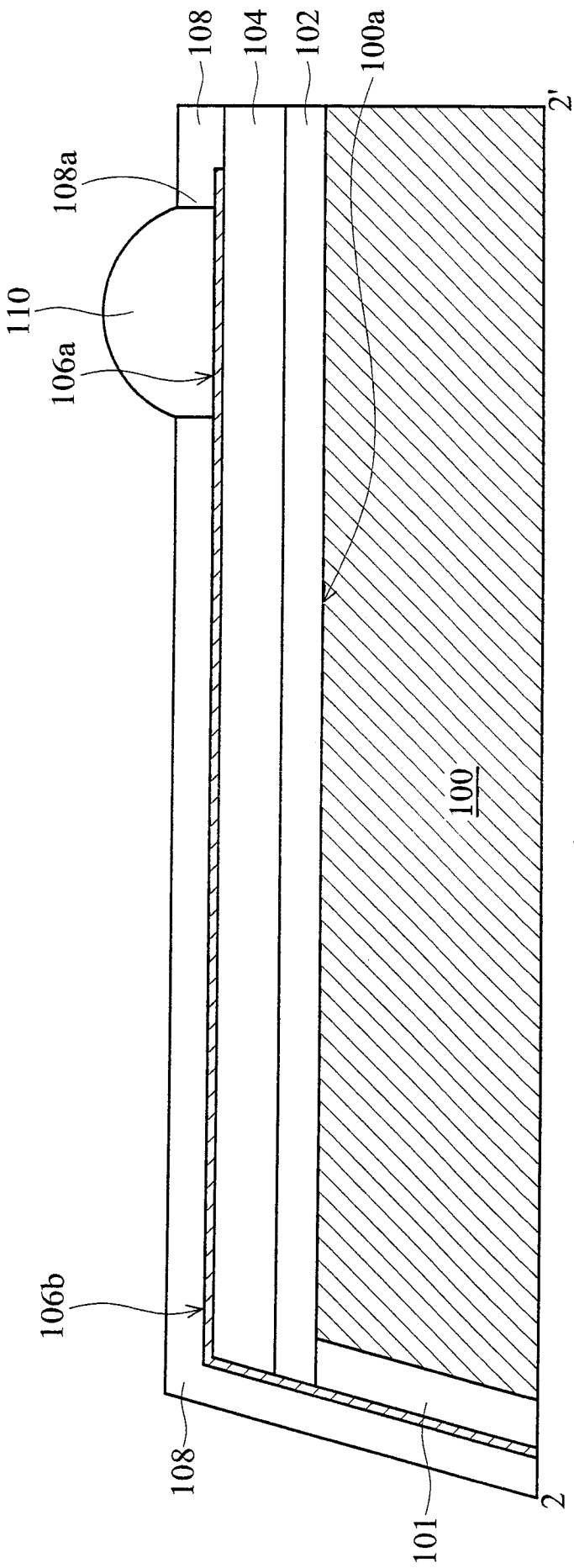
13.如申請專利範圍第 12 項所述之半導體裝置，其中該第二絕緣層係由綠漆所構成。

14.如申請專利範圍第 11 項所述之半導體裝置，該第一絕緣層係由綠漆所構成。

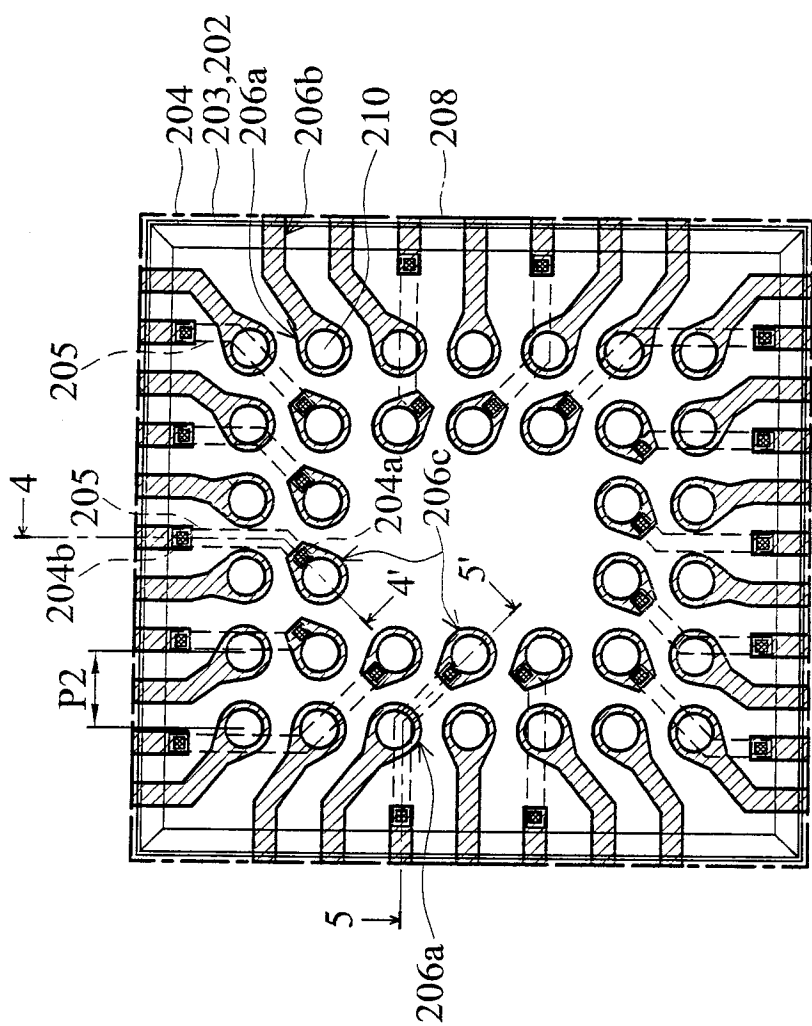
15.如申請專利範圍第 11 項所述之半導體裝置，其中電性連接該走線與該接墊的該下通道導電層位於該第一環形接墊陣列中至少一接墊下方。



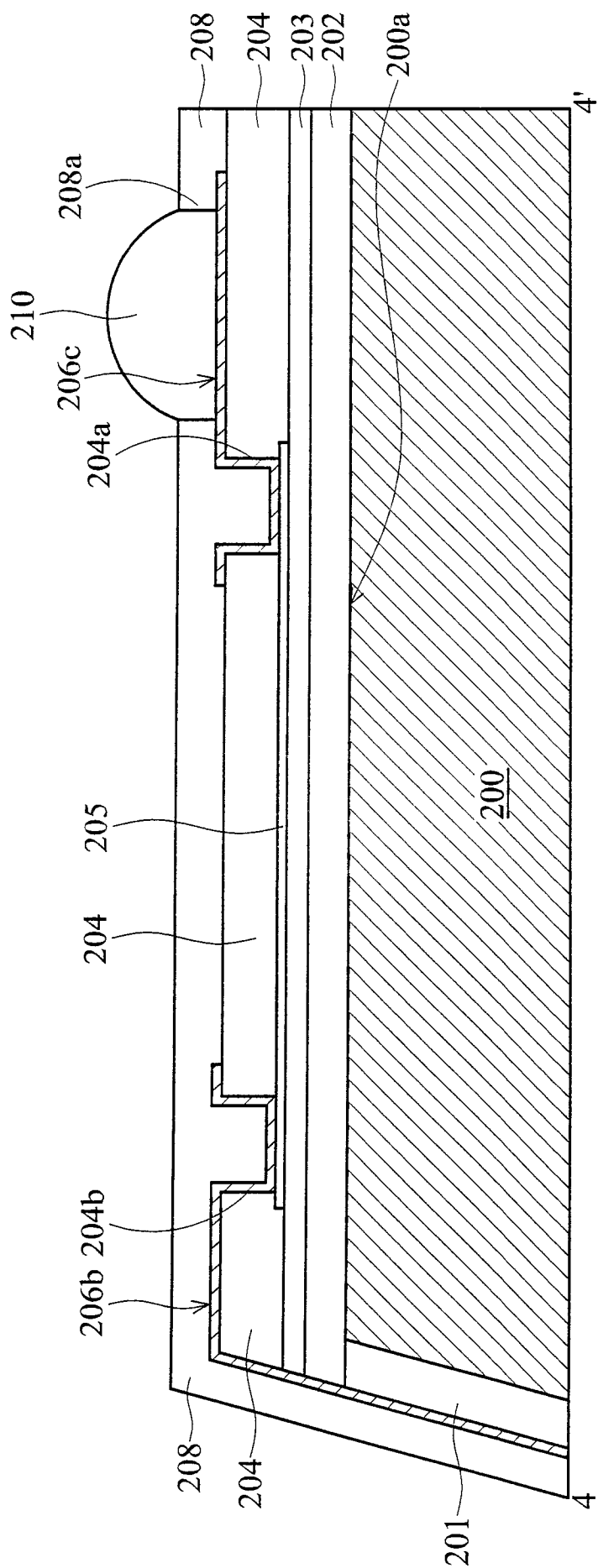
第 1 圖



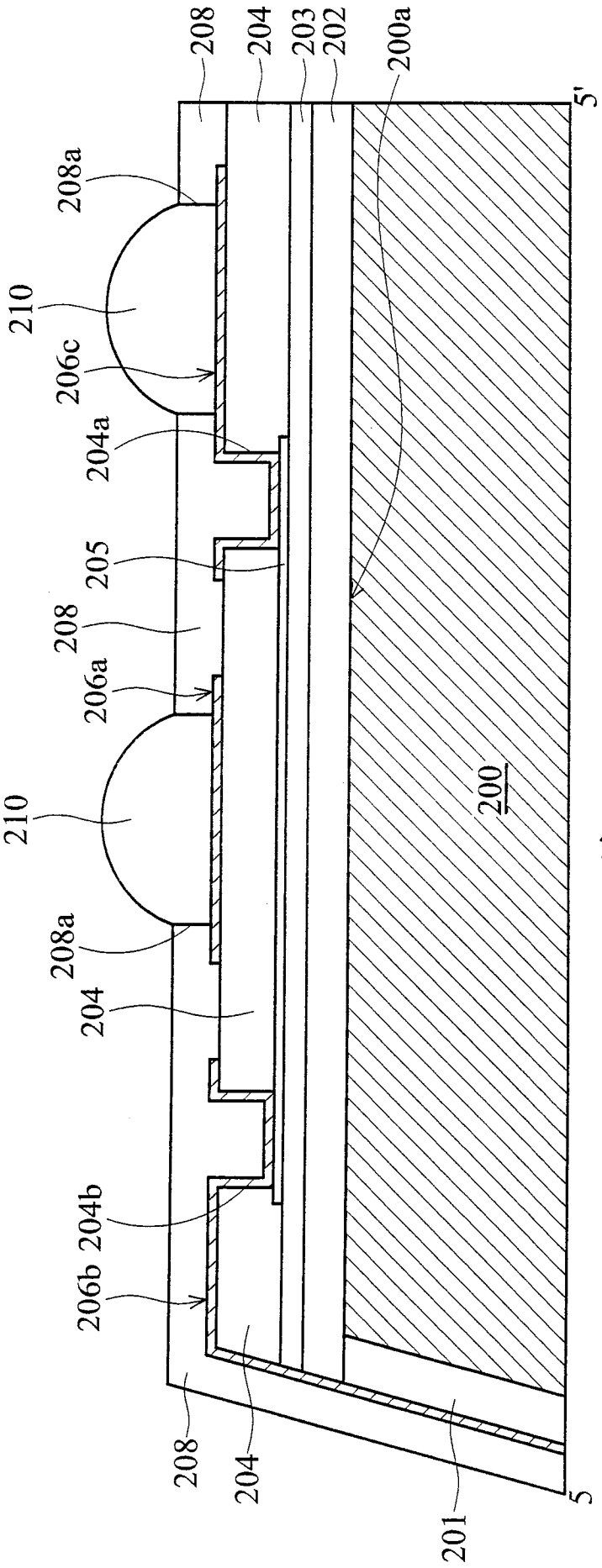
第 2 圖



第 3 圖



第 4 圖



第 5 圖

insulating layer, first and second ringed arrays of pads, a plurality of traces, and a plurality of conductive underpass layers. First and second ringed arrays of pads and the traces are disposed on the insulating layer on a carrier substrate, respectively, and the traces are sequentially arranged around the edges of the insulating layer. The conductive underpass layers are disposed between the carrier substrate and the insulating layer. At least one of the traces extends to a corresponding pad of the first ringed array of pads and at least one of the traces is electrically connected to a corresponding pad of the second ringed array of pads by one of the conductive underpass layers. The invention also discloses a semiconductor device with the layout structure.

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

202~承載基板；	203、204、208~絕緣層；
206a、206c~接墊；	206b~走線；
210~焊球；	204a、204b~通孔；
205~下通道導電層；	P2~球距。

16.如申請專利範圍第 11 項所述之半導體裝置，其中電性連接該走線與該接墊的該下通道導電層位於該第一環形接墊陣列中兩相鄰的接墊之間。

17.如申請專利範圍第 11 項所述之半導體裝置，其中該第一絕緣層具有至少二通孔，以供該走線與該下層通道導電層之間以及該接墊與該下層通道導電層之間的電性連接之用。

18.如申請專利範圍第 17 項所述之半導體裝置，其中該等通孔的上視輪廓為圓形、三角形、矩形、或多邊形。

19.如申請專利範圍第 11 項所述之半導體裝置，更包括一第三絕緣層設置於該第一絕緣層與該承載基板之間，使該等下層通道導電層夾設於該第一及該第三絕緣層之間。

20.如申請專利範圍第 11 項所述之半導體裝置，更包括一第三絕緣層設置於該裝置基板側壁與該等走線之間。