

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-104695
(P2012-104695A)

(43) 公開日 平成24年5月31日(2012.5.31)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/318 (2006.01)	HO 1 L 21/318 B	4 K 0 3 0
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 6 2 1 C	5 F 0 4 5
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 6 7 1 B	5 F 0 5 8
C 2 3 C 16/24 (2006.01)	C 2 3 C 16/24	5 F 0 8 3
C 2 3 C 16/56 (2006.01)	C 2 3 C 16/56	

審査請求 未請求 請求項の数 10 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2010-252751 (P2010-252751)
(22) 出願日 平成22年11月11日 (2010.11.11)

(71) 出願人 500174247
エルピーダメモリ株式会社
東京都中央区八重洲2-2-1
(74) 代理人 100123788
弁理士 官崎 昭夫
(74) 代理人 100106138
弁理士 石橋 政幸
(74) 代理人 100127454
弁理士 緒方 雅昭
(72) 発明者 河野 基之
東京都中央区八重洲2-2-1 エルピー
ダメモリ株式会社内
Fターム(参考) 4K030 AA06 BA29 CA04 DA02 DA08
FA10 HA01 KA04 LA15

最終頁に続く

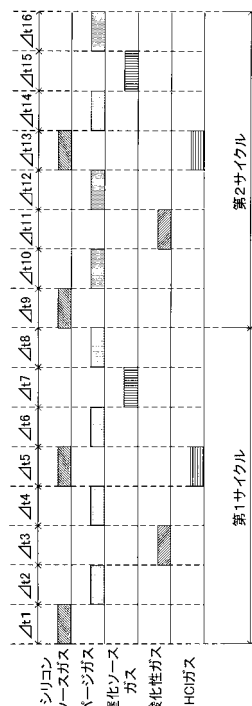
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】高アスペクト比のホール内に、良好なステップカバレッジを有する均一な膜厚の窒化シリコン層を形成する。

【解決手段】ホールを形成後、1回の第1サイクルと、1回以上の第2サイクルを行う。第1サイクルでは、ホールの上部内壁上に2原子層の第1のシリコン層、ホールの下部内壁上に1原子層の第1のシリコン層を形成後、ホール上部のシリコン層の表面を1分子層の第1の酸化シリコン層とする。ホールの下部内壁上の第1のシリコン層に更に、1原子層の第2のシリコン層を形成後、窒化処理によりホールの内壁全面に第1の窒化シリコン層を形成する。第2サイクルでは、ホール上部の窒化シリコン層上に1分子層の第2の酸化シリコン層を形成後、ホール下部の第1の窒化シリコン層上に1原子層の第4のシリコン層を形成する。この後、窒化処理により、ホールの内壁全面に第2の窒化シリコン層を形成する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

絶縁膜内にホールを形成する工程と、

A L D 法による、下記工程 (a - 1) ~ (h - 1) からなる第 1 サイクルを 1 回、行う工程と、

(a - 1) シリコンソースガスを供給して、前記ホール内の全面に第 1 のシリコン層を形成すると共に前記ホールの上部に形成される前記第 1 のシリコン層の膜厚が前記ホールの下部に形成される前記第 1 のシリコン層の膜厚よりも厚くなるように、前記第 1 のシリコン層を形成する工程、

(b - 1) 前記シリコンソースガスをパージする工程、

(c - 1) 酸化性ガスを供給して、前記ホールの上部に形成された前記第 1 のシリコン層の表面を第 1 の酸化シリコン層に変換する工程、

(d - 1) 前記酸化性ガスをパージする工程、

(e - 1) シリコンソースガス及び H C l ガスを供給することにより、前記ホールの下部に露出した前記第 1 のシリコン層上に更に第 2 のシリコン層を形成する工程、

(f - 1) 前記シリコンソースガス及び H C l ガスをパージする工程、

(g - 1) 窒化ソースガスを供給して、前記ホールの上部に形成された前記第 1 のシリコン層及び前記第 1 の酸化シリコン層と、前記ホールの下部に形成された前記第 1 のシリコン層及び前記第 2 のシリコン層と、を窒化シリコン層に変換することにより、前記ホール内の全面に第 1 の窒化シリコン層を形成する工程、

(h - 1) 前記窒化ソースガスをパージする工程。

A L D 法による、下記工程 (a - 2) ~ (h - 2) からなる第 2 サイクルを 1 回以上、行うことにより、前記ホールの内壁上の前記第 1 の窒化シリコン層上に、更に第 2 の窒化シリコン層を形成する工程と、

(a - 2) シリコンソースガスを供給して、前記ホールの上部に形成された前記第 1 の窒化シリコン層上に第 3 のシリコン層を形成する工程、

(b - 2) 前記シリコンソースガスをパージする工程、

(c - 2) 酸化性ガスを供給して、前記第 3 のシリコン層を第 2 の酸化シリコン層に変換する工程、

(d - 2) 前記酸化性ガスをパージする工程、

(e - 2) シリコンソースガス及び H C l ガスを供給することにより、前記ホールの下部に露出した前記第 1 の窒化シリコン層上に第 4 のシリコン層を形成する工程、

(f - 2) 前記シリコンソースガス及び H C l ガスをパージする工程、

(g - 2) 窒化ソースガスを供給して、前記ホールの上部に形成された前記第 2 の酸化シリコン層と、前記ホールの下部に形成された前記第 4 のシリコン層と、を窒化シリコン層に変換することにより、前記第 1 の窒化シリコン層上に前記第 2 の窒化シリコン層を形成する工程、

(h - 2) 前記窒化ソースガスをパージする工程。

を有する半導体装置の製造方法。

【請求項 2】

前記ホールを形成する工程において、

アスペクト比が 1 0 ~ 2 0 のホールを形成する、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記工程 (e - 1) において、

前記シリコンソースガスの供給量 F_{Si} と前記 H C l ガスの供給量 F_{HCl} の比である $F_{Si} : F_{HCl}$ は、 $F_{Si} : F_{HCl} = 1 : 1 \sim 3 : 1$ である、請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】

前記工程 (e - 2) において、

10

20

30

40

50

前記シリコンソースガスの供給量 F_{Si} と前記 HCl ガスの供給量 F_{HCl} の比である $F_{Si} : F_{HCl}$ は、 $F_{Si} : F_{HCl} = 1 : 1 \sim 3 : 1$ である、請求項 1 ~ 3 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 5】

前記第 2 サイクルの後に更に、

前記ホール内の窒化シリコン層上に順に、下部電極、容量絶縁膜及び上部電極を形成してキャパシタを得る工程を有する請求項 1 ~ 4 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 6】

前記ホールを形成する工程の前に更に、

MOS 型トランジスタを形成する工程と、

前記 MOS 型トランジスタの第 1 不純物拡散層に接続されるように、ビット線を形成する工程と、

前記 MOS 型トランジスタの第 2 不純物拡散層に接続されるように、パッドを形成する工程と、

を有し、

前記ホールを形成する工程において、

前記パッドを露出させるように、前記ホールを形成し、

前記半導体装置は、DRAM (Dynamic Random Access Memory) を構成する、請求項 1 ~ 5 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 7】

前記工程 (a - 1)、(b - 1)、(e - 1)、(f - 1)、(a - 2)、(b - 2)、(e - 2) 及び (f - 2) のシリコンソースガスは、ジクロロシラン (DCS)、ヘキサクロロジシラン (HCD)、モノシラン (SiH_4)、ジシラン (Si_2H_6)、ヘキサメチルジシラザン (HMDS)、テトラクロロシラン (TCS)、ジシリルアミン (DSA)、トリシリルアミン (TSA)、及びビスターシャルブチルアミノシラン (BTBAS) からなる群より選択された少なくとも一種のガスである、請求項 1 ~ 6 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 8】

前記工程 (c - 1)、(d - 1)、(c - 2) 及び (d - 2) の酸化性ガスは、酸素プラズマ (O_2 plasma)、オゾン (O_3)、水蒸気 (H_2O)、及び水蒸気プラズマ (H_2O plasma) からなる群より選択された少なくとも一種のガスである、請求項 1 ~ 7 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 9】

前記工程 (g - 1)、(h - 1)、(g - 2) 及び (h - 2) の窒化ソースガスは、プラズマ化したアンモニア (NH_3)、一酸化二窒素 (N_2O)、及び一酸化窒素 (NO) からなる群より選択された少なくとも一種のガスである、請求項 1 ~ 8 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 10】

前記工程 (a - 1) において、前記ホールの上部に形成された前記第 1 のシリコン層が 2 原子層、

前記工程 (a - 1) において、前記ホールの下部に形成された前記第 1 のシリコン層が 1 原子層、

前記第 1 の酸化シリコン層が 1 分子層、

前記第 2 のシリコン層が 1 原子層、

前記第 1 の窒化シリコン層が 2 分子層、

前記第 3 のシリコン層が 1 原子層、

前記第 2 の酸化シリコン層が 1 分子層、

前記第 4 のシリコン層が 1 原子層、

前記第 2 の窒化シリコン層が 1 分子層、

10

20

30

40

50

である、請求項 1 ~ 9 の何れか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関する。

【背景技術】

【0002】

半導体デバイスにおいては、集積回路の高集積化が益々、進んでおり、半導体装置内に設けるホール（孔）も高アスペクト化が進んでいる。例えば、DRAM（Dynamic Random Access Memory）では、メモリセルの面積を小さくし、かつ記憶容量を大きくすることが要求されている。このため、近時、DRAMのキャパシタを形成するために設けられるホール（孔）のアスペクト比を高いものとすることが要求されている。

10

【0003】

しかし、ホールの径は、リソグラフィ技術により形成する際のプロセス限界（現在のプロセス限界は、約100~160nm）に制限されてしまう。そこで、ホールの内壁面に窒化シリコン層のサイドウォールを形成することによりホール径を小さくして高アスペクト比のホールとする方法が考えられる。

【0004】

また、キャパシタ用のホールに限らず、層間絶縁膜に形成される種々のコンタクトホールについても、層間絶縁膜中に生じるボイドがコンタクトホールの側壁に露出するとコンタクトプラグを形成した際にボイドを介して隣接コンタクトホールが短絡してしまう問題を解決するために、コンタクトプラグを形成する前にコンタクトホールの側壁を窒化シリコン層のサイドウォールで被覆する方策が用いられている。

20

【0005】

特許文献1（特開2008-294260号公報）の請求項11、特許文献2（特開2007-165733号公報）の請求項2、特許文献3（特開2006-156626公報）の請求項4及び8には、ALD（原子層堆積；Atomic Layer Deposition）法による窒化シリコン層の形成方法が開示されている。そこで、特許文献1~3等が開示の従来ALD法を用いて、ホール内に窒化シリコン層のサイドウォールを形成することが考えられる。

30

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2008-294260号公報（請求項11）

【特許文献2】特開2007-165733号公報（請求項2）

【特許文献3】特開2006-156626公報（請求項4及び8）

【発明の概要】

【発明が解決しようとする課題】

【0007】

40

しかしながら、従来ALD法による、ホール内壁上への窒化シリコン層のサイドウォール形成では、窒化シリコン層を形成する反応がホールの上方で優先的に生じていた。この結果、高アスペクト比のホールに対して、ホールの底部にまで、窒化シリコン層の良好なカバレッジ（被覆性）を得ることが困難なことが判明した。この現象は、ホールのアスペクト比（深さ/直径）が10以上になると顕著に発生する傾向がある。

【0008】

以下、図1~3を参照して、高アスペクト比のホールに対して、従来技術のALD法を適用した場合を説明する。

図1は、ALD法による1サイクルのプロセスフローを示す図である。図1に示すように、従来ALD法では、

50

- (1) シリコンソースガス供給による下地層表面への吸着ステップ (t a 1 時間)、
- (2) 気相中に残留しているシリコンソースガスのパージステップ (t a 2 時間)、
- (3) 窒化ソースガス供給による吸着シリコンソースの窒化ステップ (t a 3 時間)、
- (4) 気相中に残留する窒化ソースガスのパージステップ (t a 4 時間)、

からなる4ステップを基本サイクルとして、該サイクルを複数回、繰り返し所望の厚さの窒化シリコン層を形成していた。従来の低アスペクト比 (10 より小さい) のホールや平坦面上の構造物を対象とする窒化シリコン層の形成では上記の方法で膜厚均一性が確保でき、問題がなかった。

【 0 0 0 9 】

しかし、本願で対象としている高アスペクト比 (10 以上) のホールにおいて、ホール内に形成される窒化シリコン層の膜厚均一性を確保するためには、シリコンソースガスをホールの底部にまで充分、到達させる必要がある。そのため、シリコンソースガス供給ステップの時間 (t a 1) を、従来より長くすることが必要となる。その結果、底部を含むホール内の全域に渡って窒化シリコン層の膜厚均一性を得ることが困難となる問題が発生する。

10

【 0 0 1 0 】

すなわち、シリコンソースガス供給ステップの時間を長くすることにより、形成される窒化シリコン層のステップカバレッジ (段差被覆性) が悪化し、ホールの上部では厚く、底部では薄く形成されてしまう問題が生じる。

【 0 0 1 1 】

20

図2は、その問題の原因を探るために行なった実験結果の一例である。図1のALDフローにおいて、ジクロロシラン (D C S) からなるシリコンソースの供給時間 (t a 1) だけを変化させた基本サイクルを用いて窒化シリコン層を形成した場合と、アンモニア (N H ₃) からなる窒化ソースの供給時間 (t a 3) だけを変化させた基本サイクルを用いて窒化シリコン層を形成した場合の窒化シリコン層の膜厚が変化する状態を調べたものである。

【 0 0 1 2 】

図2から明らかのように、アンモニアの供給時間に対しては、約70秒以上、時間を長くしても窒化シリコン層の膜厚は一定値に飽和しており、単原子層に相当する窒化反応が終了すると、それ以上の反応は生じないことを示唆している。一方、D C S の供給時間に対しては、時間を長くするのに伴って、ほぼ単調に窒化シリコン層厚が増加しており、単原子層に相当するシリコンソースの吸着反応が終了しても、その上に新たなシリコンソースが連続して吸着されていく様子が示されている。

30

【 0 0 1 3 】

すなわち、D C S の振る舞いは、A L D 法特有の単原子層吸着ではなく、従来のC V D 法と同様に気相反応による堆積現象が支配的であることが分かった。周知のように、堆積による成膜では凹部の上方ほど膜厚が厚くなってしまふことは明らかである。結果的にステップカバレッジが悪化してしまう。

【 0 0 1 4 】

なお、図2において、縦軸の膜厚が1.9nmから増加しているのは、試験している基板表面に予め自然酸化膜が形成されていることに起因している。したがって、縦軸の膜厚から1.9を差し引いた値が実際に形成された膜厚となる。また、横軸のガス供給時間が約35秒で成膜が開始されているのは、装置のガス配管系を当該ガスで充填するために必要な時間が含まれるためである。したがって、実際の成膜は約35秒の時点から始まっているものと考えられる。

40

【 0 0 1 5 】

図3は、従来のA L D 法において、シリコンソースガスの供給時間を長くして、窒化シリコン層を成膜した場合のステップカバレッジの変化を模式的に示したものである。

(a) 図は、A L D サイクル数が少ない場合であり、ステップカバレッジの不良は顕著には観察されない。しかし、ホール下部にはほとんど窒化シリコン層が成膜されていない。

50

(b) 図は、ホール下部の窒化シリコン層の成膜が確認できる程度にALDサイクル数を増加させた場合であり、ホールの上部が下部に比べて窒化シリコン層の膜厚が厚くなっていることが明確に判別でき、ステップカバレッジが不良となっている。

(c) 図は、ホール下部に所望の厚さの窒化シリコン層が成膜された時点であり、ホールの上部に窒化シリコン層が厚く形成されるために、ホール開口部が閉塞状態となっている。

【0016】

以上より、ALD法において、高アスペクト比のホール下部にまでシリコンソースガスを到達させるために暴露時間を長くすると、ホールの上部内壁で膜の堆積が優先的に生じ、良好なステップカバレッジが得られないことが分かる。

【課題を解決するための手段】

【0017】

一実施形態は、

絶縁膜内にホールを形成する工程と、

ALD法による、下記工程(a-1)~(h-1)からなる第1サイクルを1回、行う工程と、

(a-1)シリコンソースガスを供給して、前記ホール内の全面に第1のシリコン層を形成すると共に前記ホールの上部に形成される前記第1のシリコン層の膜厚が前記ホールの下部に形成される前記第1のシリコン層の膜厚よりも厚くなるように、前記第1のシリコン層を形成する工程、

(b-1)前記シリコンソースガスをパージする工程、

(c-1)酸化性ガスを供給して、前記ホールの上部に形成された前記第1のシリコン層の表面を第1の酸化シリコン層に変換する工程、

(d-1)前記酸化性ガスをパージする工程、

(e-1)シリコンソースガス及びHClガスを供給することにより、前記ホールの下部に露出した前記第1のシリコン層上に更に第2のシリコン層を形成する工程、

(f-1)前記シリコンソースガス及びHClガスをパージする工程、

(g-1)窒化ソースガスを供給して、前記ホールの上部に形成された前記第1のシリコン層及び前記第1の酸化シリコン層と、前記ホールの下部に形成された前記第1のシリコン層及び前記第2のシリコン層と、を窒化シリコン層に変換することにより、前記ホール内の全面に第1の窒化シリコン層を形成する工程、

(h-1)前記窒化ソースガスをパージする工程。

ALD法による、下記工程(a-2)~(h-2)からなる第2サイクルを1回以上、行うことにより、前記ホールの内壁上の前記第1の窒化シリコン層上に、更に第2の窒化シリコン層を形成する工程と、

(a-2)シリコンソースガスを供給して、前記ホールの上部に形成された前記第1の窒化シリコン層上に第3のシリコン層を形成する工程、

(b-2)前記シリコンソースガスをパージする工程、

(c-2)酸化性ガスを供給して、前記第3のシリコン層を第2の酸化シリコン層に変換する工程、

(d-2)前記酸化性ガスをパージする工程、

(e-2)シリコンソースガス及びHClガスを供給することにより、前記ホールの下部に露出した前記第1の窒化シリコン層上に第4のシリコン層を形成する工程、

(f-2)前記シリコンソースガス及びHClガスをパージする工程、

(g-2)窒化ソースガスを供給して、前記ホールの上部に形成された前記第2の酸化シリコン層と、前記ホールの下部に形成された前記第4のシリコン層と、を窒化シリコン層に変換することにより、前記第1の窒化シリコン層上に前記第2の窒化シリコン層を形成する工程、

(h-2)前記窒化ソースガスをパージする工程。

を有する半導体装置の製造方法に関する。

【発明の効果】

【0018】

高アスペクト比のホール内に、良好なステップカバレッジを有する均一な膜厚の窒化シリコン層を形成することができる。

【図面の簡単な説明】

【0019】

【図1】従来のALD法のプロセスフローを表す図である。

【図2】従来の成膜方法による、DCS及びNH₃の暴露時間と窒化シリコン層の膜厚の関係を表す図である。

【図3】従来の成膜方法において、シリコンソースガスの供給時間を長くした場合の、窒化シリコン層の成膜状態を表す図である。 10

【図4】第1実施例のALD法のプロセスフローを表す図である。

【図5】本発明及び第1実施例の半導体装置の製造方法を説明する図である。

【図6】本発明及び第1実施例の半導体装置の製造方法を説明する図である。

【図7】本発明及び第1実施例の半導体装置の製造方法を説明する図である。

【図8】本発明及び第1実施例の半導体装置の製造方法を説明する図である。

【図9】第2実施例で使用するALD装置を表す図である。

【図10】第2実施例においてカバレッジの計算方法を説明する図である。

【図11】第2実施例においてカバレッジの結果を表すグラフである。

【図12】第4実施例の半導体装置を表す図である。 20

【図13】第4実施例の半導体装置を表す図である。

【図14】第3実施例の半導体装置の製造方法を表す図である。

【発明を実施するための形態】

【0020】

以下の説明では、ホールの開口を含む上側半分の内壁領域を上部、ホールの底面を含む下側半分の内壁領域を下部とし、ホールの内面を便宜的に二つの領域に分割して、本発明におけるALD法を用いた場合の成膜状態を説明することとする。また、図5～8を参照して説明する。

【0021】

本発明ではまず、絶縁膜20内にホール2を形成する。次に、本発明のALD法では、最初の第1サイクルとして以下のように実施する。 30

(a-1) 相対的に長い時間、シリコンソースガスを供給してホールの内面全域に第1のシリコン層を形成する。前述のように、シリコンソースガスの吸着はステップカバレッジが悪いので、ホールの下部に1原子層からなる第1のシリコン層1aが吸着するまで長時間供給すると、ホールの上部には2原子層からなる第1のシリコン層1bが吸着する(図5A)。

【0022】

(b-1) 次に、気相中に残留しているシリコンソースガスを窒素によりパージする(図5B)。

【0023】

(c-1) 続いて、相対的に短い時間、酸化性ガスを供給する。酸化性ガスとしてはオゾンを用いることができる。また、酸素(O₂)をプラズマ化して供給しても良い。この工程の時間は短いので、酸化性ガスはホールの下部に到達することができない。したがって、供給された酸化性ガスは、ホールの上部に吸着した2原子層の第1のシリコン層1bの内、表面に位置するシリコン原子層を酸化して、表面に1分子層の第1の酸化シリコン層3aを形成する。この結果、ホールの上部は1原子層の第1のシリコン層1cと、その上に形成された1分子層の第1の酸化シリコン層3aで覆われ、ホールの下部は1原子層の第1のシリコン層1aで覆われた状態となる(図5C)。

【0024】

(d-1) 次に、気相中に残留している酸化性ガスを窒素ガスによりパージする(図5 50

D)。

【0025】

(e-1) 続いて、相対的に長い時間、シリコンソースガスとHClガスを同時に供給する。HClガス供給量はシリコンソースガス供給量の $1/3 \sim 1/1$ の範囲とする。好ましくは $1/2$ とする。HClガスはシリコンをエッチングする役割を有するが、その供給量をシリコンソースガス供給量の $1/2$ とすることにより、第1の酸化シリコン層3a上にはシリコンが吸着せず、第1のシリコン層1a上にはシリコンが吸着する状態を作り出すことができる。酸化シリコンは元々、シリコン原子が吸着しにくい材料であり、もし、吸着するシリコン原子が存在したとしても周囲の雰囲気中存在するHClとの反応が優先して生じるためSiCl化合物となって揮発してしまう。

10

【0026】

これに対して、例えば、下層材料がシリコンであれば、同じ材料であるため吸着確率は1となって、シリコンソースガスは下層材料であるシリコンに100%、吸着する。シリコンソースガス中にはHClと反応して揮発する成分も存在するが、シリコンソースガス供給量をHClガス供給量よりも多くしているため、揮発する以上にシリコンの吸着確率が高くなり、第1のシリコン層1a上では、シリコンのエッチングよりも成膜が優先して起こる。

【0027】

結果的に、第1の酸化シリコン層3aで覆われたホールの上部にはシリコンが吸着しない。一方、1原子層の第1のシリコン層1aで覆われているホールの下部にはさらに1原子層の第2のシリコン層が吸着することとなる。したがって、この段階では、ホールの上部は1原子層の第1のシリコン層1cと、その上に形成された1分子層の第1の酸化シリコン層3aで覆われた状態が保持され、ホールの下部は第1と第2のシリコン層からなる2原子層のシリコン層1dで覆われた状態となる(図6A)。

20

【0028】

(f-1) 次に、気相中に残留しているシリコンソースガスとHClガスを窒素ガスによりパージする(図6B)。

【0029】

(g-1) 続いて、相対的に長い時間、窒化ソースガスを供給し、ホール下部に十分に到達させる。窒化ソースガスとしては、例えばアンモニアを用いることができるが、アンモニアを直接供給するのではなく、プラズマ化した状態で供給する。アンモニア(NH₃)をプラズマ化すると極めて反応性の高い窒素ラジカルが生成される。この窒素ラジカルを窒化ソースガスとして用いる。ホール内に窒素ラジカルが供給されることにより、ホール上部に形成された第1の酸化シリコン層3aは酸素が窒素に置き換わって窒化シリコン層4を形成し、ホール上部に形成されている第1のシリコン層1cは、窒素ラジカルと直接、反応して窒化シリコン層4を形成する。同様に、ホール下部に形成されている第1と第2のシリコン層1dは窒素ラジカルと直接、反応して窒化シリコン層4を形成する。結果的にホールの内面全域およびホール以外の絶縁膜上面にも第1の窒化シリコン層4が形成される(図6C)。

30

【0030】

(h-1) 次に、気相中に残留している窒化ソースガスを窒素ガスによりパージする(図6D)。

40

【0031】

以上の工程により、ALD法による最初の第1サイクルにより、ホール内全面に第1の窒化シリコン層4を形成することができる。続いて、ALD法による第2サイクルの成膜を以下のように実施する。

【0032】

(a-2) 相対的に短い時間、シリコンソースガスを供給してホール上部の第1の窒化シリコン層上にもみ1原子層の第3のシリコン層1eを形成する。ここでは時間を短くしているため、ホールの下部にはシリコン層は形成されない(図7A)。

50

【 0 0 3 3 】

(b - 2) 次に、気相中に残留しているシリコンソースガスを窒素によりパージする (図 7 B)。

【 0 0 3 4 】

(c - 2) 続いて、相対的に短い時間、酸化性ガスを供給する。ここでは時間が短いので、酸化性ガスはホール下部に到達することができない。したがって、供給された酸化性ガスは、ホール上部に吸着している 1 原子層の第 3 のシリコン層 1 e を酸化して、表面に第 2 の酸化シリコン層 3 b を形成する。この結果、ホール上部は 2 分子層の第 1 の窒化シリコン層 4 上に 1 分子層の第 2 の酸化シリコン層 3 b が形成された状態となり、ホール下部は 2 分子層の第 1 の窒化シリコン層 4 が露出している状態となる (図 7 C)。

【 0 0 3 5 】

(d - 2) 次に、気相中に残留している酸化性ガスを窒素ガスによりパージする (図 7 D)。

【 0 0 3 6 】

(e - 2) 続いて、相対的に長い時間、シリコンソースガスと H C l ガスを同時に供給する。(e - 1) の工程と同様の条件に設定することにより、この工程では第 2 の酸化シリコン層 3 b 上にはシリコンが吸着せず、第 1 の窒化シリコン層 4 が露出しているホール下部には 1 原子層の第 4 のシリコン層 1 f が吸着することとなる。窒化シリコンも酸化シリコンと同じ絶縁膜であるが、窒化シリコンは酸化シリコンに比べてシリコンを吸着しやすい性質がある。そのため、第 1 の窒化シリコン層 4 上ではシリコンの吸着が進行する。したがって、この段階では、ホール上部は第 1 の窒化シリコン層 4 が 1 分子層の第 2 の酸化シリコン層 3 b で覆われた状態が保持され、ホール下部は第 1 の窒化シリコン層 4 が 1 原子層の第 4 のシリコン層 1 f で覆われた状態となる (図 8 A)。

【 0 0 3 7 】

(f - 2) 次に、気相中に残留しているシリコンソースガスと H C l ガスを窒素ガスによりパージする (図 8 B)。

【 0 0 3 8 】

(g - 2) 続いて、相対的に長い時間、窒化ソースガスを供給し、ホール下部に十分、到達させる。工程 (g - 1) で前述のように、アンモニアをプラズマ化し、反応性の高い窒素ラジカルの状態で供給する。これにより、ホール上部に形成されている第 2 の酸化シリコン層 3 b は酸素が窒素に置き換わって窒化シリコン層を形成し、ホール下部に形成されている第 4 のシリコン層 1 f は窒素ラジカルと直接、反応して窒化シリコン層を形成する。結果的にホール内面全域およびホール以外の絶縁膜上面にも第 1 と第 2 の窒化シリコン層 5 が積層形成される (図 8 C)。

【 0 0 3 9 】

(h - 2) 次に、気相中に残留している窒化ソースガスを窒素ガスによりパージする (図 8 D)。

【 0 0 4 0 】

以下、上記の第 2 サイクルを所望の膜厚となるまで繰り返すことにより、ホール内全域に亘って膜厚均一性の良い窒化シリコン層を形成することができる。第 2 サイクルを実施するサイクル数は、ホール内に形成したい窒化シリコン層の膜厚に応じて、所望のサイクル数に設定することができる。

【 0 0 4 1 】

上記のように、第 1 サイクルにおいて、図 5 A の工程では、ホール上部に 2 原子層の第 1 のシリコン層 1 b、ホール下部に 1 原子層の第 1 のシリコン層 1 a が形成され、ホール上部と下部ではシリコン層の膜厚が異なるものとなる。しかし、図 5 C の工程においてホール内のシリコンを酸化することにより、ホール上部に 1 原子層の第 1 のシリコン層 1 c と 1 分子層の第 1 の酸化シリコン層 3 a を形成する。この結果、図 6 A の工程では、ホール下部に形成された 1 原子層の第 1 のシリコン層 1 a 上のみシリコンが堆積し、ホール下部には 2 原子層の第 1 と第 2 のシリコン層 1 d が形成される。この状態で、図 6 C の窒

10

20

30

40

50

化処理を行うことにより、ホール内壁の全面に2分子層からなる均一な膜厚の第1の窒化シリコン層4を形成することができる。

【0042】

第2サイクルにおいて、図7Aの工程では、ホール上部にのみ1原子層の第3のシリコン層1eが形成される。図7Cの工程においてホール内の第3のシリコン層1eを酸化することにより、ホール上部にのみ1分子層の第2の酸化シリコン層3bが形成される。しかし、図8Aの工程では、前のサイクルにおいてホール下部に形成された第1の窒化シリコン層4上にのみシリコンが堆積し、1原子層の第4のシリコン層1fが形成される。この状態で、図8Cの窒化処理を行うことにより、ホール内に新たに1分子層からなる均一な膜厚の第2の窒化シリコン層を形成し、第1と第2の窒化シリコン層からなる層5を形成することができる。

10

【0043】

このように第1サイクルを1回と、第2サイクルを1回以上、繰り返すことにより、高アスペクト比を有するホール内に、良好なステップカバレッジを有する、均一な膜厚の窒化シリコン層を形成することができる。

【0044】

なお、最初の第1サイクルの(a-1)工程において、相対的に長い時間に亘り、シリコンソースを供給している。この理由は、酸化シリコンからなる絶縁膜中にホールが形成されることに起因している。すなわち、酸化シリコンからなるホールの下部に、最初の工程(a-1)でシリコン層を形成しておかないと、酸化シリコンが露出したままの状態となり、エッチングが優先する(c-1)工程でシリコン原子層を形成することが困難となるからである。また、第1サイクルでホールの下部にシリコン層が形成されないまま、第2サイクルを実施してもシリコンが吸着する材料が存在しないため、やはりシリコン層は形成されず、結果的にホールの下部に窒化シリコン層を形成することができなくなる。

20

【0045】

以下では、図面を参照して、本発明の具体的な態様を説明する。なお、下記実施例は、本発明のより一層の深い理解のために示される具体例であって、本発明は、これらの実施例に何ら限定されるものではない。

【0046】

(第1実施例)

図4は、本実施例のALD法による、成膜フローを表す図である。また、図5~8は、図4の各工程を説明する図である。以下、図4~8を用いて、本実施例の各工程を説明する。

30

【0047】

まず、絶縁膜20内にホール2を形成する。このホールは高アスペクト比を有していても良い。ホールのアスペクト比は10~20であることが好ましい。

【0048】

次に、ホールを有する絶縁膜に対して、ALD法により、下記(a-1)~(h-1)からなる第1サイクルを1サイクル、行う。

【0049】

(a-1)まず、 t_1 の間、ホール2内に、シリコンソースガスを供給する。この工程では、ホール2の上部内壁上に2原子層の第1のシリコン層1b、下部内壁上に1原子層の第1のシリコン層1aが形成されるように条件を設定する(図4、5A)。 t_1 は80~100秒、温度は500~600、シリコンソースガスとしては、ジクロロシラン(DCS)、ヘキサクロロジシラン(HCD)、モノシラン(SiH_4)、ジシラン(Si_2H_6)、ヘキサメチルジシラザン(HMDS)、テトラクロロシラン(TCS)、ジシラミン(DSA)、トリシラミン(TSA)、及びビスターシャルブチルアミノシラン(BTBAS)からなる群より選択された少なくとも一種のガスを用いることができる。この工程では、これらのガスによる吸着反応により、ホール2の下部内壁上に1原子層の第1のシリコン層1aが形成されると共にホール2の上部内壁上には2原子層の

40

50

第1のシリコン層1b形成される(図4、5A)。

【0050】

(b-1) t2の間、窒素ガス等のパージガスを供給してシリコンソースガスをパージする(図4、5B)。

【0051】

(c-1) t3の間、酸化性ガスを供給する。この工程では、ホール2の上部にのみ酸化性ガスが到達し、ホール2の下部には、酸化性ガスが到達しないような条件に設定する。この結果、ホール2の上部内壁上に吸着した2原子層の第1のシリコン層1bのうち、1原子層分のシリコン層を酸化して、1分子層の第1の酸化シリコン層3aを形成する(図4、5C)。この際、約0.8nmの酸化シリコン層が形成される。t3は30~40秒が好ましい。酸化性ガスとしてはオゾン、プラズマ化した酸素(O₂)などを使用することができる。

10

【0052】

(d-1) t4の間、窒素ガスなどのパージガスを供給して酸化性ガスをパージする(図4、5D)。

【0053】

(e-1) t5の間、シリコンソースガス及びHClガスを供給する。この工程では、HClガスとシリコンソースガスの供給量を調節することにより、ホール上部の第1の酸化シリコン層3a上に吸着したシリコンを除去し、ホール下部の第1のシリコン層1a上にのみシリコンを吸着させる。結果として、ホールの上部は1原子層の第1のシリコン層1cと、その上に形成された1分子層の第1の酸化シリコン層3aが形成される。また、ホールの下部は2原子層の第1と第2のシリコン層1dが形成される(図4、6A)。

20

t5は120~140秒、温度は500~600が好ましい。シリコンソースガスは、上記工程(a-1)で使用したものと同一ものを使用できる。

【0054】

(f-1) t6の間、窒素ガスなどのパージガスを供給してシリコンソースガス及びHClガスをパージする(図4、6B)。

【0055】

(g-1) t7の間、高周波電力を印加することによりプラズマ化した窒化ソースガスを供給する。この工程では、ホール下部に窒化ソースガスが十分、到達する条件に設定する。ホール内に窒素ラジカルが供給されることにより、ホール上部の第1の酸化シリコン層3aは酸素が窒素に置き換わって第1の窒化シリコン層4となり、ホール上部の第1のシリコン層1cは窒素ラジカルと直接、反応して第1の窒化シリコン層4となる。ホールの下部の第1と第2のシリコン層1dは窒素ラジカルと直接、反応して第1の窒化シリコン層4となる。結果的にホールの内面全域およびホール以外の絶縁膜上面にも第1の窒化シリコン層4が形成される(図4、6C)。t7は80~100秒が好ましい。窒化ソースガスとしては、アンモニア(NH₃)、一酸化二窒素(N₂O)、及び一酸化窒素(NO)からなる群より選択された少なくとも一種のガスを用いることができる。窒化ソースガスは、上記のガスをプラズマ化することにより、窒素ラジカルとして使用することができる。

30

40

【0056】

(h-1) t8の間、窒素ガスなどのパージガスを供給して窒化ソースガスをパージする(図4、6D)。

【0057】

次に、ホールを有する絶縁膜に対して、ALD法により、下記(a-2)~(h-2)からなる第2サイクルを1サイクル、行う。

【0058】

(a-2) t9の間、ホール内にシリコンソースガスを供給する。この工程では、ホール上部にのみシリコンソースガスが到達するような条件に設定する。結果的に、ホール上部の第1の窒化シリコン層4上にのみ1原子層の第3のシリコン層1eが形成される。

50

(図4、7A)。 t 9は30～40秒、温度は500～600 が好ましい。シリコンソースガスは、上記工程(a-1)で使用したものと同一ものを使用できる。

【0059】

(b-2) t 10の間、窒素ガス等のパージガスを供給してシリコンソースガスをパージする(図4、7B)。

【0060】

(c-2) t 11の間、酸化性ガスを供給する。この工程では、ホール2の上部にのみ酸化性ガスが到達し、ホール2の下部には、酸化性ガスが到達しないような条件に設定する。この結果、供給された酸化性ガスは、ホールの上部に吸着している1原子層の第3のシリコン層1eを酸化して、表面に第2の酸化シリコン層3bを形成する。また、ホールの下部は第1の窒化シリコン層4が露出している状態となる(図4、7C)。 t 11は30～40秒が好ましい。酸化性ガスとしてはオゾン、プラズマ化した酸素(O₂)などを使用することができる。

10

【0061】

(d-2) t 12の間、窒素ガスなどのパージガスを供給して酸化性ガスをパージする(図4、7D)。

【0062】

(e-2) t 13の間、シリコンソースガスとHClガスを同時に供給する。この工程では、HClガスとシリコンソースガスの供給量を調節することにより、ホール上部の第2の酸化シリコン層3b上にシリコンが吸着しないようにしつつ、ホール下部の第1の窒化シリコン層4上のみシリコンを吸着させる。結果として、この段階では、ホールの上部は第1の窒化シリコン層4が1分子層の第2の酸化シリコン層3bで覆われ、ホールの下部は第1の窒化シリコン層4が1原子層の第4のシリコン層1fで覆われる(図4、8A)。 t 13は120～140秒が好ましい。シリコンソースガスは、上記工程(a-1)で使用したものと同一ものを使用できる。

20

【0063】

(f-2) t 14の間、窒素ガスなどのパージガスを供給してシリコンソースガスとHClガスをパージする(図4、8B)。

【0064】

(g-2) t 15の間、高周波電力を印加することによりプラズマ化した窒化ソースガスを供給する。この工程では、ホール下部に窒化ソースガスが十分に到達するような条件に設定する。この結果、ホール上部の第2の酸化シリコン層3bは酸素が窒素に置き換わって窒化シリコン層となり、ホール下部の第4のシリコン層1fは窒素ラジカルと直接、反応して窒化シリコン層となる。結果的にホールの内面全域およびホール以外の絶縁膜上面にも第1と第2の窒化シリコン層5が形成される(図4、8C)。 t 15は80～100秒が好ましい。窒化ソースガスとしては、上記工程(g-1)と同じものを使用することができる。

30

【0065】

(h-2) t 16の間、窒素ガスなどのパージガスを供給して窒化ソースガスをパージする(図4、8D)。

40

【0066】

(第2実施例)

図9は、本実施例のALD法で使用するALD装置(バッチ式の縦形ホットウォール型リモートプラズマ装置)を表す図である。図9のALD装置は、石英ガラス製で一端が開口され、他端が閉塞されている円筒形状のプロセスチューブ11を有する。プロセスチューブ11の周囲には、プロセスチューブ11内を加熱するためのヒータ12が、同心円状に設けられている。

【0067】

プロセスチューブ11の側壁の一部には排気口13が設けられており、排気装置(図示せず)へ接続されている。排気口13と排気装置の間には、圧力調整機構としてスロット

50

ルバルブ（図示せず）が設けられており、プロセスチューブ内の圧力を制御し得るようになっている。

【0068】

プロセスチューブ11内には、処理ガスを供給するためのガス供給管10、14、16及び19が垂直に立脚されており、各ガス供給管には垂直方向に配列された複数個の吹出口15が設けられている。

【0069】

ガス供給管10、14及び19からはそれぞれ、HClガス、シリコンソースガス及び酸化性ガスが供給されるようになっている。また、ガス供給管10、14及び19内には適宜、HClガス、シリコンソースガス及び酸化性ガスの代わりにパージガスを供給して管内及びプロセスチューブ11内をパージできるようになっている。

10

【0070】

また、ガス供給管16はプラズマ化した窒化ソースガスを供給するようになっており、垂直方向の両端に一对の保護管17（図9中では一つの保護管17しか示していない）、内部に一对の電極18（図9中では一つの電極18しか示していない）が設けられている。整合器（図示せず）を介して、電極18には高周波電力を印加する高周波電源（図示せず）が電氣的に接続されている。ガス供給管16内には、窒化ソースガスの代わりにパージガスを供給して管内及びプロセスチューブ11内をパージできるようになっている。

【0071】

窒化シリコン層を成膜するホールを設けたウェハは、プロセスチューブ11の外部に垂直に設備されたエレベータ（図示せず）によって垂直方向に昇降するポート（図示せず）によって保持されている。

20

【0072】

本実施例では、図9のALD装置を用い、図4のプロセスフローに従って、ホール内に窒化シリコン層を成膜する。以下、具体的に各工程を説明する。

【0073】

まず、絶縁膜内にホールを設けたウェハを準備し、このウェハをALD装置内にセットする。ホールのアスペクト比は例えば、10～20とすることができる。

【0074】

次に、ALD法により、下記工程（a-1）～（h-1）からなる第1サイクルを1サイクル、行う。

30

【0075】

（a-1）プロセスチューブ11内の温度を550 に設定する。以下、下記工程（b-1）～（h-1）でもプロセスチューブ11内の温度を550 に維持する。ガス供給管14からジクロロシラン（DCS）ガスを0.65slmの流量で90sec（t1）、供給する。この時の圧力を9Paとする。

【0076】

（b-1）ガス供給管14からパージガスN₂を20sec（t2）、供給する。

【0077】

（c-1）ガス供給管19からオゾンガスを6slmの流量で35sec（t3）、供給する。この時、圧力を9Paとする。

40

【0078】

（d-1）ガス供給管19からパージガスN₂を20sec（t4）、供給する。

【0079】

（e-1）0.65slmの流量でガス供給管14からDCSガス、0.33slmの流量でガス供給管10からHClガス、を130sec（t5）、供給する。この時の圧力を9Paとする。

【0080】

（f-1）ガス供給管10及び14からパージガスN₂を20sec（t6）、供給する。

50

【0081】

(g-1) ガス供給管16からNH₃ガスを6slmの流量で90sec(t7)、供給する。この時、高周波電源の電力を50~400Wとして、NH₃ガスをプラズマ化させる。

【0082】

(h-1) ガス供給管16からパージガスN₂を20sec(t8)、供給する。

【0083】

次に、ALD法により、下記工程(a-2)~(h-2)からなる第2サイクルを16サイクル、繰り返して行う。

【0084】

(a-2) プロセスチューブ11内の温度を550 に設定する。以下、下記工程(b-2)~(h-2)でもプロセスチューブ11内の温度を550 に維持する。ガス供給管14からジクロロシラン(DCS)ガスを0.65slmの流量で30~40sec(t9)、供給する。

【0085】

(b-2) ガス供給管14からパージガスN₂を20sec(t10)、供給する。

【0086】

(c-2) ガス供給管19からオゾンガスを30~40sec(t11)、供給する。

【0087】

(d-2) ガス供給管19からパージガスN₂を20sec(t12)、供給する。

【0088】

(e-2) 0.65slmの流量でガス供給管14からDCSガス、0.33slmの流量でガス供給管10からHClガスを、120~140sec(t13)供給する。

【0089】

(f-2) ガス供給管10及び14からパージガスN₂を20sec(t14)、供給する。

【0090】

(g-2) ガス供給管16からNH₃ガスを、80~100sec(t15)供給する。この時、高周波電源の電力を50~400Wとして、NH₃ガスをプラズマ化させる。

【0091】

(h-2) ガス供給管16からパージガスN₂を20sec(t16)、供給する。

【0092】

最終的に直径100nm、深さ2.5μmのホール(アスペクト比25)に、膜厚2~2.2nmの窒化シリコン層を形成した。

【0093】

表1は、本実施例に従って高アスペクト比のホール内に窒化シリコン層を成膜した場合のカバレッジの測定結果を表したものである。なお、表1中のA、B及びCは、図10中に示される各部の寸法を表す。

【0094】

10

20

30

40

【表 1】

	REFERENCE	第2実施例
A (nm)	22	20
B (nm)	18	19.5
C (nm)	16.5	19
B/A×100 (%)	81	98
C/A×100 (%)	75	95
平均Coverage	78	96.5

10

【0095】

表1中の平均Coverageは、 $(B/A + C/A) \times 0.5 \times 100$ (%)を表す。図11は、表1のREFERENCEと第2実施例の平均Coverageを表す図である。図11に示すように、本実施例では、REFERENCEと比べて、平均Coverageが約19 (%)も向上していることが分かる。

【0096】

(第3実施例)

本実施例はキャパシタを形成する例に関するものである。以下、図14を参照して本実施例を説明する。

【0097】

図14Aに示すように、層間絶縁膜20を準備した後、リソグラフィ技術を用いて、層間絶縁膜20内にホール2を形成する。次に、第1又は第2実施例の方法により、ホールの内壁上に窒化シリコン層5を形成する。これにより、ホール2を高アスペクト比とすることができる。

20

【0098】

図14Bに示すように、ホール2内の窒化シリコン層5上に、ALD法によって下部電極6を形成する。下部電極としては例えば、Ru膜を形成することができる。下部電極6としてRu膜を形成する場合、下記工程(一)～(四)を1サイクルとして、所望の回数のサイクルを繰り返すことにより、所望の膜厚のRu膜を形成することができる。

(一) 原料ガスを供給して、所定平面上に原料を堆積させる工程、

(二) 原料ガスをパージする工程、

(三) 反応ガスを供給して、所定平面上に堆積した原料をRu膜とする工程、

(四) 反応ガスをパージする工程。

30

【0099】

この場合、原料ガスとしては、 $Ru(EtCp)_2$ 、 $Ru Cp_2$ 、 $Ru(OD)_3$ 、 $Ru(THD)_3$ を用いることができる。また、反応ガスとしては、 O_2 、 NH_3 plasma、 H_2 を用いることができる。

【0100】

次に、図14Cに示すように、下部電極6上に、ALD法により容量絶縁膜7を形成する。容量絶縁膜7としては例えば、 HfO_2 膜、 ZrO 膜、 TiO_2 膜、チタン酸バリウムストロンチウム(BST)膜、チタン酸ストロンチウム(STO)膜などを用いることができる。

40

【0101】

例えば、STO膜を形成する場合、下記工程(b1)～(b8)からなるサイクルを、所望の回数、繰り返すことにより、所望の膜厚のSTO膜を形成することができる。

(b1) Sr原料ガスを供給して、下部電極上にSr原料を堆積させる工程、

(b2) Sr原料ガスをパージする工程、

(b3) 酸化性ガスを供給して、下部電極上のSr原料を酸化する工程、

(b4) 酸化性ガスをパージする工程、

(b5) Ti原料ガスを供給して、下部電極上にTi原料を堆積させる工程、

50

- (b6) Ti原料ガスをパージする工程、
- (b7) 酸化性ガスを供給することにより、下部電極上にチタン酸ストロンチウム (STO) を形成する工程、
- (b8) 酸化性ガスをパージする工程。

【0102】

例えば、Sr原料ガスとしては、 $Sr(METHD)_2$ 、 $Sr(THD)_2$ 、 $Sr(C5i-Pr_3H_2)$ 、 $Sr(DPM)_2 \cdot 2tetraene$ を用いることができる。Ti原料ガスとしては、 $Ti(MPD)(THD)_2$ 、 $Ti(O-i-Pr)_4$ 、 $Ti(O-i-Pr)_2(THD)_2$ を用いることができる。また、酸化性ガスとしては、 $O_2 plasma$ 、 O_3 、 H_2O 、 $H_2O plasma$ を用いることができる。

10

【0103】

次に、図14Dに示すように、容量絶縁膜7上に、ALD法によって上部電極8を形成する。上部電極8は、下部電極と同じ方法・条件によって形成することができる。上部電極8としては例えば、Ru膜を形成することができる。これにより、下部電極6、容量絶縁膜7、及び上部電極8を有するキャパシタを得る。

【0104】

なお、図14では、層間絶縁膜の表面9上にも、窒化シリコン層5、下部電極6、容量絶縁膜7、及び上部電極8を残留させたが、場合によっては層間絶縁膜の表面9上に存在する窒化シリコン層5、下部電極6、容量絶縁膜7、及び上部電極8の一部を除去しても良い。

20

【0105】

(第4実施例)

本実施例は、第3実施例のキャパシタを有するDRAM(Dynamic Random Access Memory)に関するものである。本実施例では、キャパシタは一例としてシリンダー構造のものを記載した。以下、図12及び13を参照して本実施例を説明する。

【0106】

図12は、DRAMを構成するメモリセル部の平面レイアウトを示す概念図である。図12の右手側は、後述する、ワード配線Wとなるゲート電極105とサイドウォール105bとを切断する面を基準とした透過断面図として示している。簡略化のために、キャパシタは図12においては省略し、断面図(図13)にのみ記載した。

30

【0107】

図13は、メモリセル部(図12)のA-A'線に対応する断面模式図である。尚、これらの図は半導体装置の構成を説明するためのものであり、図示される各部の大きさや寸法等は、実際の半導体装置の寸法関係とは異なっている。

【0108】

メモリセル部は、図13に示すように、メモリセル用のMOSトランジスタTr1と、MOSトランジスタTr1に複数のコンタクトプラグを介して接続されたキャパシタCapとから概略構成されている。

【0109】

図12、図13において、半導体基板101は、所定濃度のP型不純物を含有するシリコン(Si)によって形成されている。この半導体基板101には、素子分離領域103が形成されている。素子分離領域103は、半導体基板101の表面にSTI(Shallow Trench Isolation)法によりシリコン酸化膜(SiO_2)等の絶縁膜を埋設することで、活性領域K以外の部分に形成され、隣接する活性領域Kとの間を絶縁分離している。本実施例では、1つの活性領域Kに2ビットのメモリセルが配置されるセル構造に本発明を適用した場合の例を示している。

40

【0110】

本実施例では、図12に示す平面構造のように、細長い短冊状の活性領域Kが複数、個々に所定間隔をあけて右斜め下向きに整列して配置されており、一般に6F2型メモリセ

50

ルと呼ばれるレイアウトに沿って配列されている。

【0111】

各活性領域Kの両端部と中央部には個々に不純物拡散層が形成され、MOSトランジスタTr1のソース・ドレイン領域として機能する。ソース・ドレイン領域(不純物拡散層)の真上に配置されるように基板コンタクト部205a、205b、205cの位置が規定されている。

【0112】

図12の横(X)方向には、折れ線形状(湾曲形状)にビット配線106が延設され、このビット配線106が図12の縦(Y)方向に所定の間隔で複数配置されている。また、図12の縦(Y)方向に延在する直線形状のワード配線Wが配置されている。個々のワード配線Wは図12の横(X)方向に所定の間隔で複数配置され、ワード配線Wは各活性領域Kと交差する部分において、図13に示されるゲート電極105を含むように構成されている。本実施例では、MOSトランジスタTr1は、溝型のゲート電極を備えている。

10

【0113】

図13の断面構造に示すように、半導体基板101において素子分離領域103に区画された活性領域Kにソース・ドレイン領域として機能する不純物拡散層108が離間して形成され、個々の不純物拡散層108の間に、溝型のゲート電極105が形成されている。

【0114】

ゲート電極105は、多結晶シリコン膜と金属膜との多層膜により半導体基板101の上部に突出するように形成されており、多結晶シリコン膜はCVD法での成膜時にリン等の不純物を含有させて形成することができる。ゲート電極用の金属膜には、タングステン(W)や窒化タングステン(WN)、タングステンシリサイド(WSi)等の高融点金属を用いることができる。

20

【0115】

また、図13に示すように、ゲート電極105と半導体基板101との間にはゲート絶縁膜105aが形成されている。また、ゲート電極105の側壁には窒化シリコン(Si₃N₄)などの絶縁膜によるサイドウォール105bが形成されている。ゲート電極105上にも窒化シリコンなどの絶縁膜105cが形成されており、ゲート電極105の上面を保護している。

30

【0116】

不純物拡散層108は、半導体基板101にN型不純物として、例えばリンを導入することで形成されている。不純物拡散層108と接触するように基板コンタクトプラグ109が形成されている。この基板コンタクトプラグ109は、図12に示した基板コンタクト部205c、205a、205bの位置にそれぞれ配置され、例えば、リンを含有した多結晶シリコンから形成される。基板コンタクトプラグ109の横(X)方向の幅は、隣接するゲート配線Wに設けられたサイドウォール105bによって規定される、セルフアライン構造となっている。

【0117】

図13に示すように、ゲート電極上の絶縁膜105c及び基板コンタクトプラグ109を覆うように第1の層間絶縁膜104が形成され、第1の層間絶縁膜104を貫通するようにビット線コンタクトプラグ104Aが形成されている。ビット線コンタクトプラグ104Aは、基板コンタクト部205aの位置に配置し、基板コンタクトプラグ109と導通している。ビット線コンタクトプラグ104Aは、チタン(Ti)及び窒化チタン(TiN)の積層膜からなるバリア膜(TiN/Ti)上にタングステン(W)等を積層して形成されている。

40

【0118】

ビット線コンタクトプラグ104Aに接続するようにビット配線106が形成されている。ビット配線106は窒化タングステン(WN)およびタングステン(W)からなる積

50

層膜で構成されている。

【0119】

ビット配線106を覆うように、第2の層間絶縁膜107が形成されている。第1の層間絶縁膜104及び第2の層間絶縁膜107を貫通して、基板コンタクトプラグ109に接続するように容量コンタクトプラグ107Aが形成されている。容量コンタクトプラグ107Aは、基板コンタクト部205b、205cの位置に配置される。

【0120】

第2の層間絶縁膜107上には、窒化シリコンを用いた第3の層間絶縁膜111およびシリコン酸化膜を用いた第4の層間絶縁膜112が形成されている。第3の層間絶縁膜111および第4の層間絶縁膜112を貫通して、容量コンタクトプラグ107Aと接続するようにキャパシタCapが形成されている。キャパシタCapは、第3実施例で詳細に説明した方法を用いて形成する。

10

【0121】

キャパシタCapは下部電極113の外表面を覆うように第1又は第2実施例で形成した窒化シリコン層(図示していない)が形成されている。容量コンタクトプラグ107Aはこの窒化シリコン層を貫通して、下部電極113と導通している。第3の層間絶縁膜111の上方には、酸化シリコン等で形成した第5の層間絶縁膜120、アルミニウム(A1)、銅(Cu)等で形成した上層の配線層121、表面保護膜122が形成されている。

【0122】

キャパシタの上部電極115には、所定の電位が与えられており、キャパシタ素子に保持された電荷の有無を判定することによって、情報の記憶動作を行うDRAM素子として機能する。

20

【0123】

なお、特許請求の範囲及び明細書において、「ホールの上部」とは、ホールの開口部を含む、絶縁膜の表面に近い上側の部分を表す。「ホールの上部内壁」とは、ホールの上部を構成するホールの内壁側面を表す。「ホールの下部」とは、ホールの底部を含む、下側の部分を表す。「ホールの下部内壁」とは、ホール下部を構成するホールの内壁側面及び内壁底面を表す。

【符号の説明】

30

【0124】

1a、1b、1c、1d、1e シリコン層

2 ホール

3a、3b 酸化シリコン層

4、5 窒化シリコン層

6 下部電極

7 容量絶縁膜

8 上部電極

9 層間絶縁膜の表面

10、14、16、19 ガス供給管

40

11 プロセスチューブ

12 ヒータ

13 排気口

15 吹出口

17 保護管

18 電極

20 絶縁膜

101 半導体基板

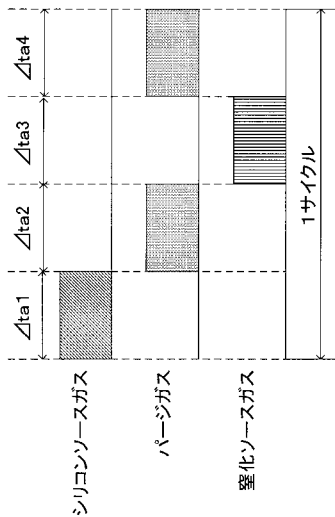
103 素子分離領域

104、107、111、112、120 層間絶縁膜

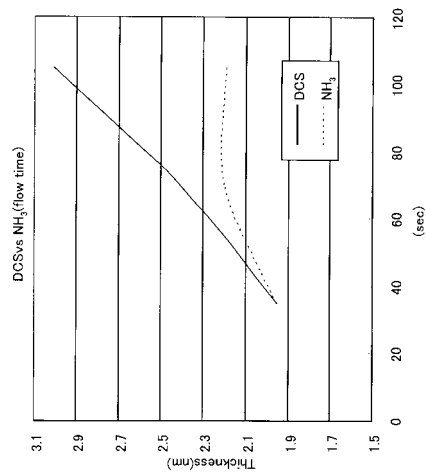
50

- 1 0 4 A ビット線コンタクトプラグ
- 1 0 5 ゲート電極
- 1 0 5 a ゲート絶縁膜
- 1 0 5 b サイドウォール
- 1 0 5 c 絶縁膜
- 1 0 6 ビット配線
- 1 0 7 A 容量コンタクトプラグ
- 1 0 8 不純物拡散層
- 1 0 9 基板コンタクトプラグ
- 1 1 3 下部電極
- 1 1 5 上部電極
- 1 2 1 配線層
- 1 2 2 表面保護膜
- 2 0 5 a、2 0 5 b、2 0 5 c 基板コンタクト部
- Cap キャパシタ
- K 活性領域
- Tr 1 MOSトランジスタ
- W ワード配線

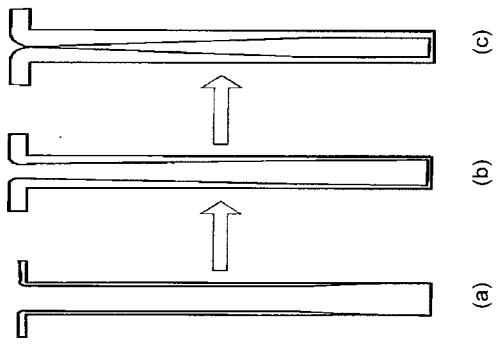
【 図 1 】



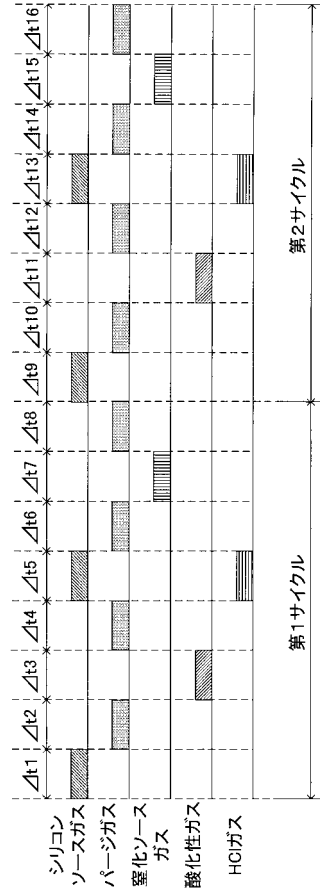
【 図 2 】



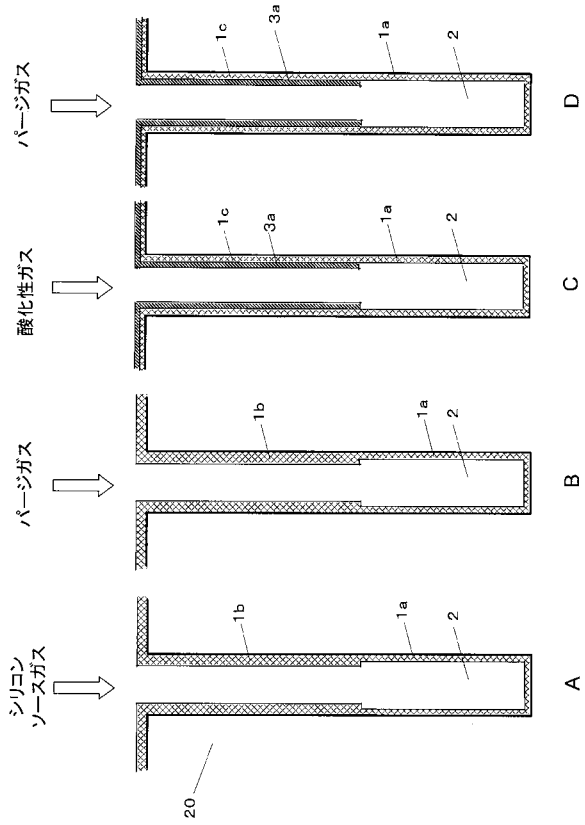
【 図 3 】



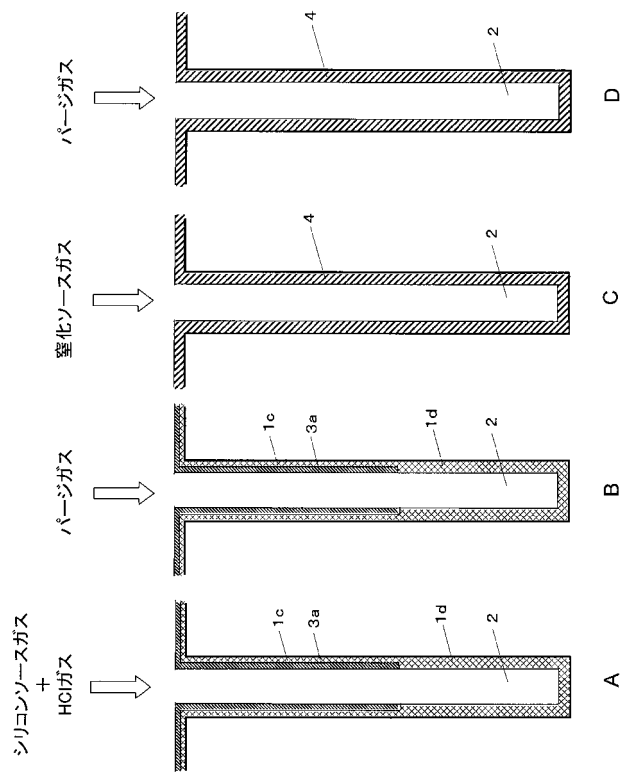
【 図 4 】



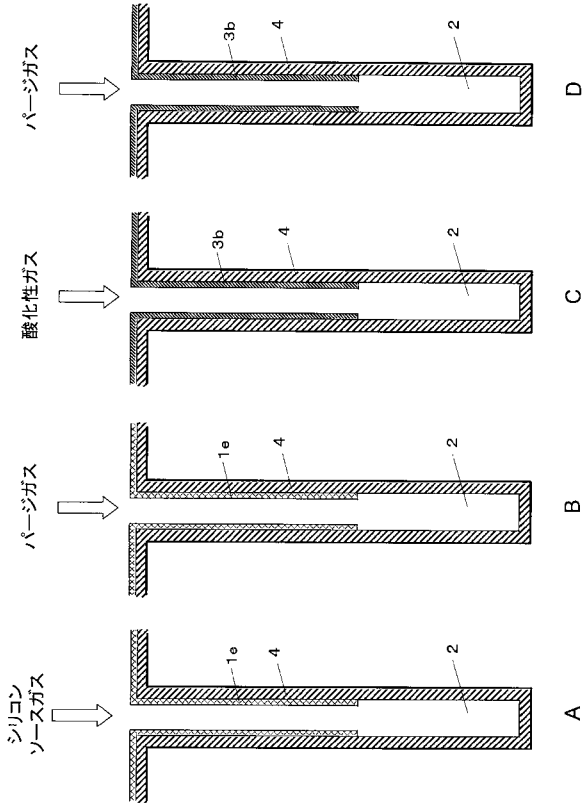
【 図 5 】



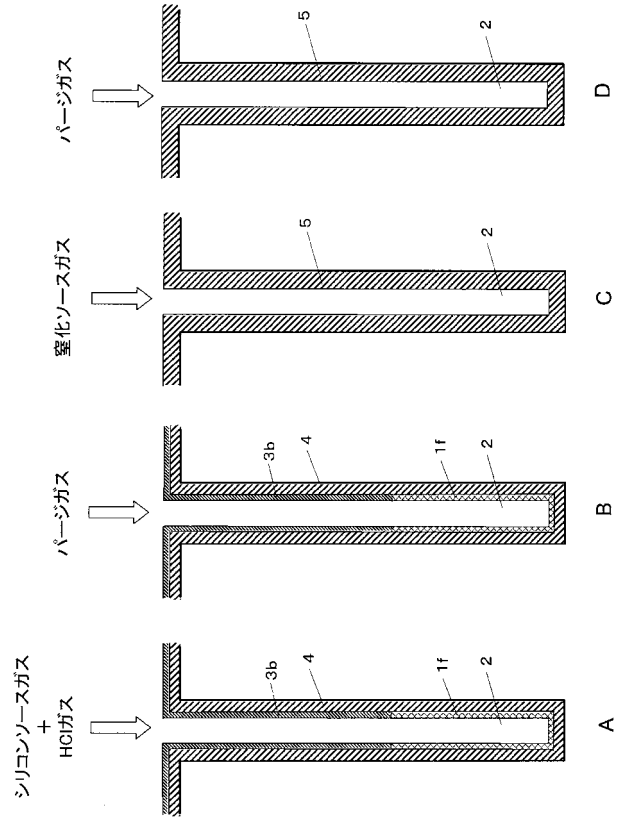
【 図 6 】



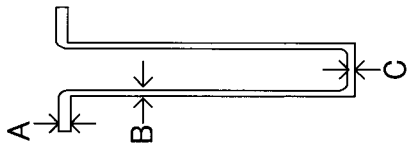
【 図 7 】



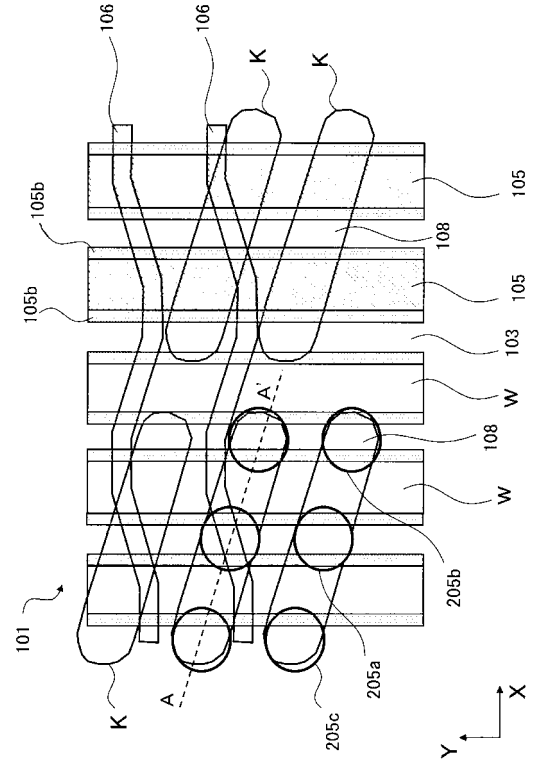
【 図 8 】



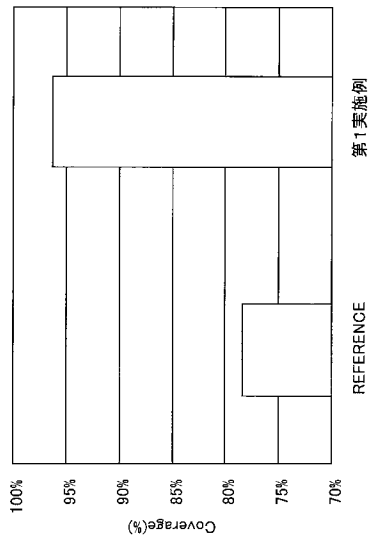
【 図 10 】



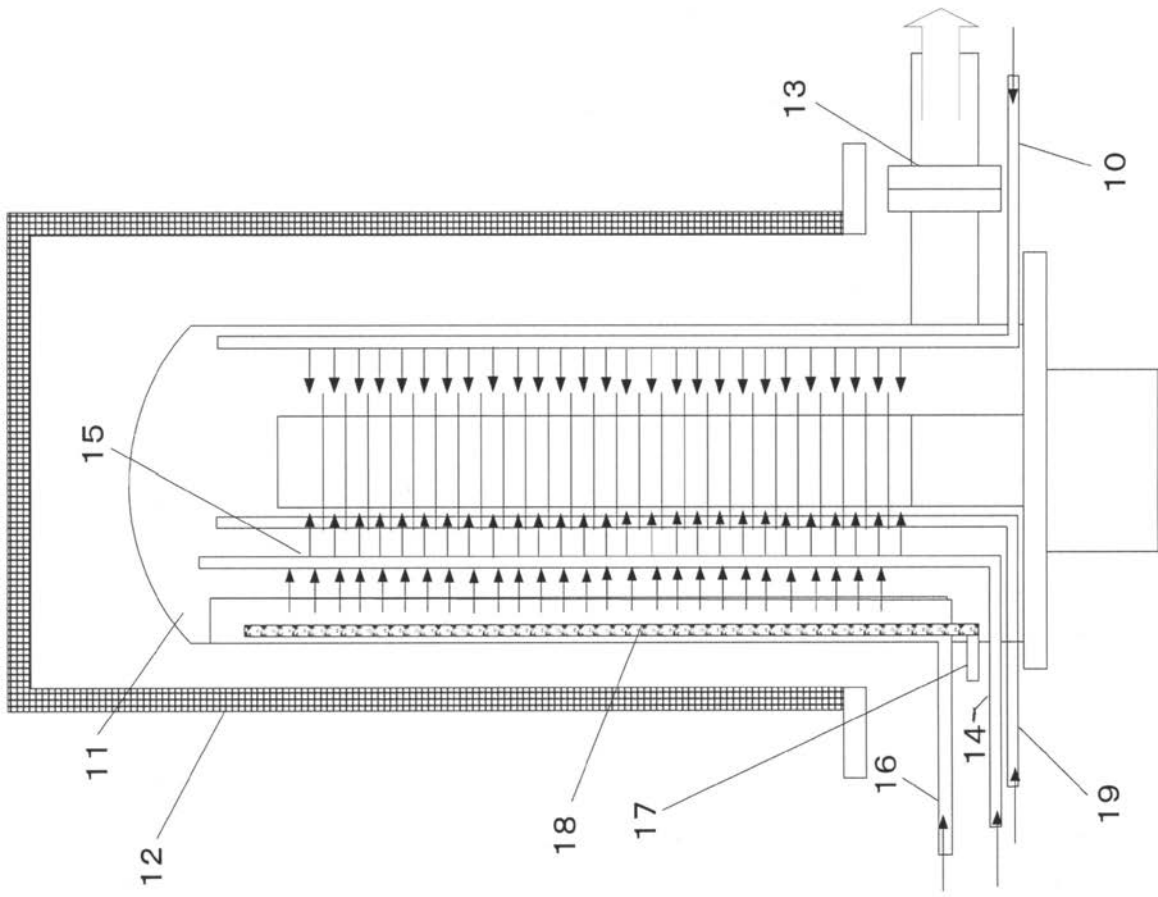
【 図 12 】



【 図 11 】



【図 9】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 21/205 (2006.01) H 0 1 L 21/205

Fターム(参考) 5F045 AA04 AA06 AA08 AB33 AB34 AC01 AC03 AC05 AC07 AC11
AC12 AC13 CA05 EE19
5F058 BA09 BA11 BC08 BD10 BF04 BF29 BF30 BF34 BF37 BF62
BF64 BF73 BJ04
5F083 AD04 AD24 AD31 AD48 AD49 GA27 JA02 JA14 JA35 JA36
JA37 JA38 JA39 JA40 JA56 MA06 MA17 MA20 NA01 PR21