

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0099694
H01L 21/322 (2006.01) (43) 공개일자 2006년09월20일

(21) 출원번호 10-2005-0021075
(22) 출원일자 2005년03월14일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 박영수
경기 용인시 구성읍 마북리 617-15 무등마을 LG아파트 102동2004호
최수열
경기 화성시 태안읍 능리 우남드림밸리 304동 1204호
강태수
경기 성남시 분당구 수내동 양지마을 한양아파트 514동 1002호
최삼중
경기 수원시 영통구 영통동 벽적골9단지아파트 970-3 905동 802호
조규철
경기 용인시 풍덕천2동 우성아파트 605동 1605호

(74) 대리인 임창현
권혁수
송윤호

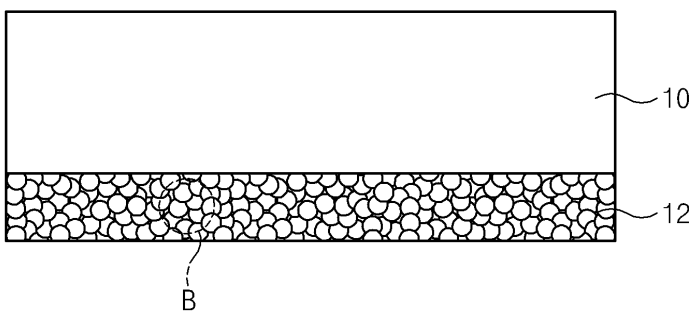
심사청구 : 없음

(54) 게터링사이트층을 구비하는 반도체 기판 및 그 형성 방법

요약

게터링 사이트층을 구비하는 반도체 기판 및 그 형성 방법을 제공한다. 이 게터링 사이트층은 100nm이하의 크기를 갖는 실리콘결정립과 상기 결정립의 성장을 억제하는 결정성장억제제를 구비함으로써 게터링 능력을 향상시킬 수 있으며 고온 공정에서도 결정립의 크기가 커지지 않으므로 게터링 능력을 유지하는 것을 특징으로 한다.

대표도



색인어

게터링

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 게터링 사이트층이 구비된 반도체 기관의 단면도를 나타낸다.

도 2는 본 발명의 일 실시예에 따른 게터링 사이트층이 구비된 반도체 기관의 단면도를 나타낸다.

도 3은 도 2의 B 부분을 확대한 것이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기관 및 그 제조 방법에 관한 것으로 더욱 상세하게는 게터링 사이트층을 구비하는 반도체 기관 및 그 제조 방법에 관한 것이다.

실리콘의 결정 성장 과정 또는 웨이퍼 가공 공정에서 원하지 않는 불순물들이 웨이퍼에 도입되어질 수 있다. 이 불순물 중에서도 특히 Fe, Ni, Cu 및 Au와 같은 천이 금속 불순물들은 극소량으로 존재하더라도 이동성이 높아 결정 격자 내에서 먼 거리까지 확산하는 성질이 있다. 이 확산 과정에 불순물이 결정 결함을 만나게 되면 그 결과 반도체 장치의 누설 전류가 커지고 항복 전압이 낮추어지는 문제점이 발생한다. 또한 상기 불순물들은 회로에서 생기는 전장때문에 웨이퍼 내를 옮겨 다니기 때문에 장치의 신뢰도에 문제를 일으키면서 완성된 반도체 장치의 전기적 성질에 부정적인 영향을 끼친다. 상기와 같이 반도체 장치를 열화시키는 불순물들을 반도체 장치의 활성영역으로부터 제거해 내는 것을 게터링(gettering)이라 한다.

도 1은 종래 기술에 따른 게터링 사이트층이 구비된 반도체 기관의 단면도를 나타낸다.

도 1을 참조하면, 실리콘단결정층(1) 하부에 다결정실리콘층인 폴리실리콘층(3)을 형성한다. 상기 실리콘단결정층(1) 내부에 존재하는 천이금속류등이 확산하여 상기 폴리실리콘층(3) 내의 상기 다결정실리콘그레인의 계면에서 실리콘과 결합하여 안정한 금속간 화합물을 만든다. 이로써 상기 실리콘단결정층(1) 내부의 천이금속등을 제거할 수 있다. 천이금속이 상기 계면에서 반응하므로 상기 계면의 전체 면적이 커질수록 게터링 능력이 커진다. 후속으로 상기 실리콘단결정층(1) 상부에 트랜지스터, 커패시터 및 배선등의 소자들을 형성하는 공정을 진행하게된다. 상기 소자들을 형성하는 공정은 열처리 공정들과 같은 고온 공정을 포함하게 된다. 그러나 상기 폴리실리콘층(3) 내의 상기 다결정 실리콘그레인의 크기는 고온 공정에 노출될수록 예를 들면 1 μ m이상으로 커지게 된다. 따라서 상기 그레인들의 계면의 전체 면적은 작아지게 되고, 이로써 게터링 능력은 점점 저하된다.

발명이 이루고자 하는 기술적 과제

따라서 상기 문제점을 해결하기 위하여, 본 발명에 따른 기술적 과제는 게터링 능력을 향상시킬 수 있는 게터링 사이트층을 구비하는 반도체 기관 및 그 형성 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 기관은 단결정반도체층; 및 상기 단결정반도체층 하부에 형성되는 게터링사이트층을 구비하되, 상기 게터링 사이트층은 실리콘결정립(Si grain)과 상기 실리콘결정립의 경계에 위치하는 결정성장억제제를 구비하는 것을 특징으로 한다.

상기 단결정반도체층은 바람직하게는 실리кон단결정으로 이루어진다. 상기 실리кон결정립은 바람직하게는 100nm이하의 크기를 갖는다. 상기 결정성장억제제는 질소(N), 탄소(C) 및 산소(O)를 포함하는 그룹에서 선택되는 적어도 하나일 수 있다.

상기 반도체 기판을 형성하는 방법은 다음과 같다. 먼저, 단결정반도체층을 준비한다. 그리고, 상기 단결정반도체층 하부에 게터링사이트층을 형성한다. 상기 게터링 사이트층은 실리кон결정립(Si grain)과 상기 실리кон결정립의 경계에 위치하는 결정성장억제제를 구비하도록 형성된다.

상기 단결정반도체층은 바람직하게는 실리кон단결정으로 형성된다. 상기 게터링 사이트층은 실리кон 소스가스와 결정성장억제성분을 포함하는 가스를 동시에 공급하여 RF PECVD(Radio Frequency Plasma enhanced chemical vapor deposition)으로 형성될 수 있다. 또는 상기 게터링 사이트층은, 실리кон소스가스와 결정성장억제성분을 포함하는 가스를 동시에 공급하여 비정형(amorphous) 실리кон함유막을 형성하고, 이에 대해 열처리 공정을 진행하여 형성할 수 있다. 상기 결정 성장억제 성분은 바람직하게는 질소, 탄소 및 산소를 포함하는 그룹에서 선택되는 적어도 하나일 수 있다. 상기 실리кон결정립은 100nm이하의 크기를 갖도록 형성된다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

도 2는 본 발명의 일 실시예에 따른 게터링 사이트층이 구비된 반도체 기판의 단면도를 나타낸다. 도 3은 도 2의 B부분을 확대한 것이다.

도 2 및 3을 참조하면, 단결정반도체층(10) 하부에 게터링 사이트층(12)을 형성한다. 상기 단결정반도체층(10)은 예를 들면 초크랄스키(Czochralski) 법을 이용하여 실리кон단결정으로 형성할 수 있다. 상기 게터링 사이트층(12)은 100nm 이하의 다결정실리кон 결정립(101)과 결정성장억제제(102)를 포함하도록 형성된다. 상기 게터링 사이트층(12)은 실레인(SiH4) 또는 디실레인(Si2H6)과 같은 실리кон 소스가스와 질소, 탄소 및 산소를 포함하는 그룹에서 선택되는 적어도 하나의 결정성장억제성분을 포함하는 가스를 동시에 공급하여 RF PECVD(Radio Frequency Plasma enhanced chemical vapor deposition)으로 형성될 수 있다. 또는 상기 게터링 사이트층(12)은, 실레인(SiH4) 또는 디실레인(Si2H6)과 같은 실리кон 소스가스와 질소, 탄소 및 산소를 포함하는 그룹에서 선택되는 적어도 하나의 결정성장억제성분을 포함하는 가스를 동시에 공급하여 비정형(amorphous) 실리кон함유막을 형성하고, 이에 대해 열처리 공정을 진행하여 형성할 수 있다. 상기 결정성장억제제(102)는 상기 100nm이하의 크기를 갖는 다결정실리кон 결정립(101)의 계면에 위치하여 고온에서 상기 결정립(101)의 크기가 커지는 것을 막는 역할을 한다.

상기 결정립(101)의 크기가 100nm이하로 작아 상기 게터링 사이트층(12) 내에 존재하는 결정립(101)들의 수는 종래의 폴리실리кон 결정립들의 수보다 크고, 전체 계면 면적도 넓어지게 된다. 따라서 게터링 능력이 향상될 수 있다. 또한 상기 게터링 사이트층(12)이 하부에 형성된 상기 단결정반도체층(10) 상에 소자 형성 공정을 진행하여 고온 공정에 노출될지라도 상기 결정성장억제제(102)에 의해 상기 결정립(101)의 성장이 억제되므로 전체 계면 면적은 일정해져 게터링 능력이 저하되지 않는다.

게터링 능력(gettering power, GP)은 다음의 수학적 식 1로 나타낼 수 있다.

$$GP \approx P \times \left(\frac{A}{V} \cdot \gamma_s + \rho_d \right)$$

상기 수학적 식 1에서 $\frac{A}{V}$ 는 단위 부피당 계면 면적(Grain boundary area per unit volume)이고, γ_s 는 계면 에너지 (grain boundary energy)이며, ρ_d 는 전위 밀도(Dislocation Density)이다. P 는 페르미-디랙 통계(Fermi-Dirac Statistics)로서 불순물 원자가 구조적 결함 사이트(structural defect site)를 차지할 가능성을 나타내며 다음의 수학적 식 2 로 나타낼 수 있다.

$$P = \frac{1}{[1 + (1/C_0)\exp(-\Delta E_i/k_B T)]}$$

수학적 식 2에서 ΔE_i 은 불순물 원자와 구조적 결함 사이의 상호 작용 에너지를 의미하고, C_0 은 결정 내에서 불순물들의 평균 농도를 의미한다. k_B 는 볼츠만 상수이며 T 는 온도를 의미한다.

정의한 수학적 식 1과 2에서 게터링 파워는 불순물과 구조 격자 결함사이의 인력 에너지가 증가함에 따라 증가한다. 수학적 식 1

에서 알 수 있듯이, 게터링 능력은 단위 부피당 면적 $\frac{A}{V}$ 에 비례한다. 따라서 결정립의 크기가 작을수록 단위부피당 면적이 커지므로 게터링 능력이 커짐을 알 수 있다. 따라서 종래보다 작은 100nm이하의 크기를 갖는 실리콘결정립(101)과 상기 결정립(10)의 성장을 억제하는 결정성장억제제(102)를 구비하는 상기 게터링 사이트층(12)을 상기 단결정반도체층(10) 하부에 형성함으로써 게터링 능력을 향상시킬 수 있다.

종래의 폴리 실리콘과 비교했을 때 나노 크기의 실리콘 게터링 파워는 수학적 식 1과 2를 통해 다음과 같이 수학적 식 3으로 표현할 수 있다.

$$\frac{GP_{nano}}{GP_{poly}} = \frac{[1 + (1/C_0)\exp(-\Delta E_{i_{poly}}/k_B T)]}{[1 + (1/C_0)\exp(-\Delta E_{i_{nano}}/k_B T)]} \times \frac{(\frac{A_{nano}}{V} \cdot \gamma_{nano} + \rho_{nano})}{(\frac{A_{poly}}{V} \cdot \gamma_{poly} + \rho_{poly})}$$

수학적 식 3에서 $\frac{A_{nano}}{V}$, γ_{nano} , ρ_{nano} 등이 $\frac{A_{poly}}{V}$, γ_{poly} , ρ_{poly} 등보다 크므로 GP_{nano} 는 GP_{poly} 보다 큼을 알 수 있다.

발명의 효과

따라서, 본 발명에 따른 반도체 기판에 구비된 게터링 사이트층은 종래보다 작은 100nm이하의 크기를 갖는 실리콘결정립과 상기 결정립의 성장을 억제하는 결정성장억제제를 구비함으로써 게터링 능력을 향상시킬 수 있으며 고온 공정에서도 결정립의 크기가 커지지 않으므로 게터링 능력을 유지할 수 있다.

(57) 청구의 범위

청구항 1.

단결정반도체층; 및

상기 단결정반도체층 하부에 형성되는 게터링사이트층을 구비하되,

상기 게터링 사이트층은 실리콘결정립(Si grain)과 상기 실리콘결정립의 경계에 위치하는 결정성장억제제를 구비하는 것을 특징으로 하는 반도체 기관.

청구항 2.

제 1 항에 있어서,

상기 단결정반도체층은 실리콘단결정으로 이루어지는 것을 특징으로 하는 반도체 기관.

청구항 3.

제 1 항에 있어서,

상기 실리콘결정립은 100nm이하의 크기를 갖는 것을 특징으로 하는 반도체 기관.

청구항 4.

제 1 항에 있어서,

상기 결정성장억제제는 질소(N), 탄소(C) 및 산소(O)를 포함하는 그룹에서 선택되는 적어도 하나인 것을 특징으로 하는 반도체 기관.

청구항 5.

단결정반도체층을 준비하는 단계; 및

상기 단결정반도체층 하부에 게터링사이트층을 형성하는 단계를 구비하되,

상기 게터링 사이트층은 실리콘결정립(Si grain)과 상기 실리콘결정립의 경계에 위치하는 결정성장억제제를 구비하도록 형성되는 것을 특징으로 하는 반도체 기관의 형성 방법.

청구항 6.

제 5 항에 있어서,

상기 단결정반도체층은 실리콘단결정으로 형성되는 것을 특징으로 하는 반도체 기관의 형성 방법.

청구항 7.

제 5 항에 있어서,

상기 게터링 사이트층은 실리콘 소스가스와 결정성장억제성분을 포함하는 가스를 동시에 공급하여 RF PECVD(Radio Frequency Plasma enhanced chemical vapor deposition)으로 형성되는 것을 특징으로 하는 반도체 기판의 형성 방법.

청구항 8.

제 5 항에 있어서,

상기 게터링 사이트층을 형성하는 단계는,

실리콘소스가스와 결정성장억제성분을 포함하는 가스를 동시에 공급하여 비정형(amorphous) 실리콘함유막을 형성하는 단계, 및

열처리 공정을 진행하는 단계를 구비하는 것을 특징으로 하는 반도체 기판의 형성 방법.

청구항 9.

제 7 항 또는 8 항에 있어서,

상기 결정 성장억제 성분은 질소, 탄소 및 산소를 포함하는 그룹에서 선택되는 적어도 하나인 것을 특징으로 하는 반도체 기판의 형성 방법.

청구항 10.

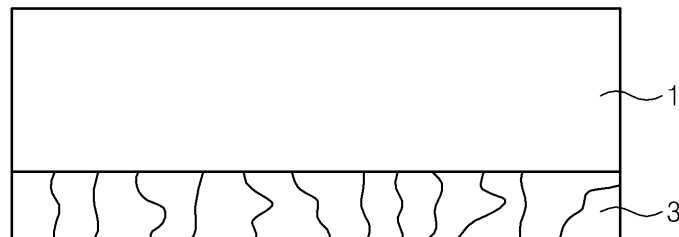
제 5 항에 있어서,

상기 실리콘결정립은 100nm이하의 크기를 갖도록 형성되는 것을 특징으로 하는 반도체 기판의 형성 방법.

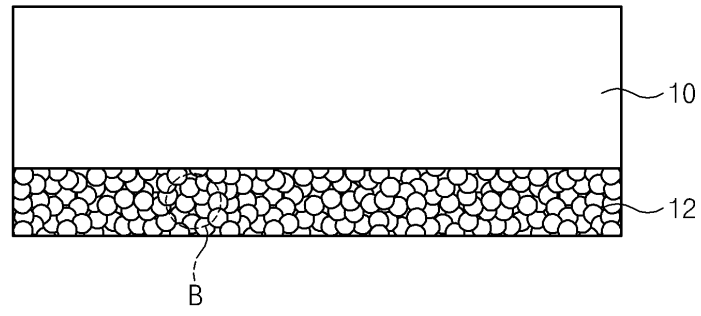
도면

도면1

(종래 기술)



도면2



도면3

