

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7599359号
(P7599359)

(45)発行日 令和6年12月13日(2024.12.13)

(24)登録日 令和6年12月5日(2024.12.5)

(51)国際特許分類	F I			
H 0 1 L 29/861 (2006.01)	H 0 1 L	29/91	Z	
H 0 1 L 29/868 (2006.01)	H 0 1 L	29/06	3 0 1 G	
H 0 1 L 29/06 (2006.01)	H 0 1 L	29/06	3 0 1 V	
H 0 1 L 21/02 (2006.01)	H 0 1 L	29/06	3 0 1 F	
	H 0 1 L	21/02	C	
請求項の数 8 (全11頁)				

(21)出願番号	特願2021-47721(P2021-47721)	(73)特許権者	308033711
(22)出願日	令和3年3月22日(2021.3.22)		ラピスセミコンダクタ株式会社
(65)公開番号	特開2022-146647(P2022-146647 A)		神奈川県横浜市港北区新横浜二丁目 4 番地 8
(43)公開日	令和4年10月5日(2022.10.5)	(74)代理人	110001519
審査請求日	令和5年9月28日(2023.9.28)		弁理士法人太陽国際特許事務所
		(72)発明者	近藤 清文
			神奈川県横浜市港北区新横浜二丁目 4 番 8 ラピスセミコンダクタ株式会社内
		(72)発明者	石切山 衛
			神奈川県横浜市港北区新横浜二丁目 4 番 8 ラピスセミコンダクタ株式会社内
		(72)発明者	井上 巧
			神奈川県横浜市港北区新横浜二丁目 4 番 8 ラピスセミコンダクタ株式会社内
			最終頁に続く

(54)【発明の名称】 半導体装置および半導体装置の製造方法

(57)【特許請求の範囲】

【請求項 1】

半導体基板の一方の面に形成された窪みに配置される回路領域と、
前記半導体基板に内包されるように前記窪みに配置されるとともに前記回路領域を覆い、
かつ前記回路領域に電氣的に接続されるとともに外部との接続に用いる接続部と、
前記回路領域を囲んで前記一方の面に形成された環状配線と、
前記環状配線を覆うとともに前記半導体基板の周縁部と前記接続部との間に形成され、
前記窪みを取り囲む第 1 の保護膜と、
前記窪みに配置されるとともに前記接続部上の予め定められた一部の領域に形成された第 2 の保護膜と、を含む
半導体装置。

【請求項 2】

前記第 2 の保護膜は前記第 1 の保護膜から離間して形成されている
請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 の保護膜は、前記接続部の周縁部に配置された
請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

前記接続部の平面視での形状が四角形であり、
複数の前記第 2 の保護膜を含み、

前記複数の第 2 の保護膜の各々は、前記接続部の辺に沿って、または前記接続部の角部に配置された

請求項 1 から請求項 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記第 2 の保護膜は、前記接続部の周縁部を覆うとともに前記接続部の中央部を含む領域に開口部を備えた

請求項 1 または請求項 2 に記載の半導体装置。

【請求項 6】

前記半導体装置が、前記半導体基板に対して垂直方向に電流を流す縦型素子である

請求項 1 から請求項 5 のいずれか 1 項に記載の半導体装置。

10

【請求項 7】

前記半導体装置が、F R D である

請求項 1 から請求項 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】

半導体基板の一方の面に回路領域を形成する工程と、

前記一方の面に配置されるとともに前記回路領域を覆い、かつ前記回路領域に電氣的に接続されるとともに外部との接続に用いる接続部を形成する工程と、

前記回路領域を囲んで前記一方の面に環状配線を形成する工程と、

前記環状配線を覆うとともに前記半導体基板の周縁部と前記接続部との間に配置される第 1 の保護膜、および前記接続部上の予め定められた一部の領域に配置される第 2 の保護膜を同じ材料で同時に形成する工程と、

20

前記半導体基板の前記回路領域側の面に接着部材を用いて支持部材を貼り付ける工程と、

前記半導体基板の前記一方の面とは反対側の面を砥石で研削する工程と、を含む

半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

30

半導体装置の一分野として、縦型素子の分野がある。縦型素子の一例として、F R D (Fast Recovery Diode: 高速ダイオード) や、I G B T (Insulated Gate Bipolar Transistor: 絶縁ゲートバイポーラトランジスタ) 等が挙げられる。

【0003】

F R D の一例として、例えば特許文献 1 には、n 型半導体層と、n 型半導体層の上に積層された p 型半導体層とを含み、n 型半導体層と p 型半導体層との境界部において p n 接合が形成されており、p 型半導体層の上面から n 型半導体層の底面に向かって、出現頻度が次第に小さくなるように結晶欠陥が形成されていることを特徴とする、高速ダイオードが開示されている。特許文献 1 には、高速ダイオードの製造において、支持基板を接合した状態で、半導体ウェハの裏面をバックグラインドやウエットエッチング等により研削し、表面側素子構造部を含む半導体ウェハ全体の厚さを所望の厚さにすることが記載されている。

40

【0004】

F R D の製造工程における半導体ウェハあるいはチップ (半導体装置) について、例えば特許文献 2 が知られている。特許文献 2 に係る半導体装置は、半導体層と、半導体層の表面上に設けられた第 1 電極と、第 1 電極上に設けられ、半導体層の表面に平行な断面形状が 50 マイクロメートル以下の辺を有する矩形である複数の第 2 電極と、複数の第 2 電極の間に設けられ、第 2 電極よりも延性が高い樹脂層と、を備えている。F R D では高電流密度化、および、両面冷却構造の実装に対応するために、チップ表面にニッケルめっき

50

を施した厚膜のニッケル電極を形成する。特許文献 2 ではこのニッケル電極を複数の第 2 電極に分割して第 1 電極上に設けることによって、半導体ウェハあるいはチップの反りを抑制している。

【先行技術文献】

【特許文献】

【0005】

【文献】特開 2017 - 208490 号公報

【文献】特開 2015 - 177116 号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0006】

ところで、FRD や IGBT 等の縦型素子では、半導体基板の表面側に形成された回路素子から裏面に形成された裏面電極まで半導体基板を貫通して電流が流れるが、半導体基板の厚さが厚いと抵抗成分が大きくなり、例えば発熱が問題となる。そこで、特許文献 1 にみられるように、FRD や IGBT 等の縦型素子では、回路素子形成後に半導体ウェハの裏面を研削して厚さを薄くした半導体ウェハを用いるのが一般的である。

【0007】

そのような半導体ウェハの裏面研削を行う場合においては、面焼けの問題がある。図 6、図 7 を参照して、この面焼けの問題について説明する。

【0008】

20

裏面研削は、半導体ウェハの状態で行うが、図 6 では、半導体ウェハに面付された 1 つの半導体装置に着目し、半導体装置の状態を示している。図 6 (a) は、半導体ウェハ 23 の裏面を研削する前の半導体装置の状態を示しており、図 6 (b) は、半導体ウェハ 23 の裏面を研削した後の半導体装置の状態を示している。また、図 7 では、研削で用いる砥石の状態を示している。図 7 (a) は、図 6 (a) に対応する研削前の砥石の状態を示しており、図 7 (b) は、図 6 (b) に対応する研削後の砥石の状態を示している。

【0009】

図 6 (a)、(b) では、半導体ウェハ 23 の表面に図示を省略する回路素子が形成されており、当該回路素子上に保護膜 15 が形成されている。裏面研削を行う場合には、図 6 (a) に示すように、まず半導体ウェハ 23 の表面側にガラス等の支持部材 22 を接着剤 21 で接着した積層体を準備する。そして、その積層体に対して、半導体ウェハ 23 の裏面に砥石 30 を押し当て、研削していく。

30

【0010】

このとき、接着剤 21 は一般に柔らかいので、保護膜 15 と、隣接する保護膜 15 との間の距離によっては、図 6 (b) に示すように接着剤 21 が支持部材 22 側にたわむ場合がある。支持部材 22 のたわみに伴って半導体ウェハ 23 も支持部材 22 側にたわむ。そして、半導体ウェハ 23 が支持部材 22 側にたわむと、砥石 30 に対する圧力が減少し、図 7 (a) に示すように研削前には十分目立てができていた砥石 30 が、図 7 (b) に示すように凹凸が減少する。これは、一般に砥石は対象物を研削していくに従って表面の砥粒が離脱し、新しい砥粒が表面に出てくることによって目立てが行われるが、砥石 30 に加わる圧力が減少することにより、この目立てが効率的に行われなくなるためである。

40

【0011】

砥石 30 の目立てが劣化する（凹凸が減少する）と、砥石 30 と半導体ウェハ 23 との接触圧が減少し、いわば空回りのような状態となる。この空回りによって半導体ウェハ 23 の研削面が焦げ、面焼けが発生する。この面焼けは、主として半導体ウェハ 23 に面付された 1 つの半導体装置において、その半導体装置での保護膜 15 の分布に起因して発生する。面焼けにより半導体ウェハ 23 の表面に形成された回路領域の特性が変化することもあるので、面焼けの発生は極力回避する必要がある。すなわち、従来、半導体ウェハ 23 の 1 つの半導体装置に形成された保護膜 15 の分布に起因して発生する面焼けの問題を抑制する方法として、1 つの半導体装置について面焼けの問題を抑制することが求められ

50

ていた。また、当該方法は、半導体装置の製造プロセスにおいて工程の追加等の変更を伴わないことが好ましい。この点、特許文献 1 あるいは特許文献 2 は、この面焼けの問題を扱った文献ではない。

【 0 0 1 2 】

本発明は、上記の事情を踏まえ、半導体ウェハの裏面を砥石を用いて研削する工程を含む製造プロセスによって製造される半導体装置および半導体装置の製造方法において、砥石の目立てが劣化し、半導体ウェハの表面に面焼けが発生することを抑制すること、さらに製造工程を追加することなく抑制すること、が可能な半導体装置、および半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

10

【 0 0 1 3 】

上記課題を解決するため、本発明に係る半導体装置は、半導体基板の一方の面に形成された回路領域と、前記一方の面に配置されるとともに前記回路領域を覆い、かつ前記回路領域に電氣的に接続されるとともに外部との接続に用いる接続部と、前記回路領域を囲んで前記一方の面に形成された環状配線と、前記環状配線を覆うとともに前記半導体基板の周縁部と前記接続部との間に形成された第 1 の保護膜と、前記接続部上の予め定められた一部の領域に形成された第 2 の保護膜と、を含む。

【 0 0 1 4 】

上記課題を解決するため、本発明に係る半導体装置の製造方法は、半導体基板の一方の面に回路領域を形成する工程と、前記一方の面に配置されるとともに前記回路領域を覆い、かつ前記回路領域に電氣的に接続されるとともに外部との接続に用いる接続部を形成する工程と、前記回路領域を囲んで前記一方の面に環状配線を形成する工程と、前記環状配線を覆うとともに前記半導体基板の周縁部と前記接続部との間に配置される第 1 の保護膜、および前記接続部上の予め定められた一部の領域に配置される第 2 の保護膜を同じ材料で同時に形成する工程と、前記半導体基板の前記回路領域側の面に接着部材を用いて支持部材を貼り付ける工程と、前記半導体基板の前記一方の面とは反対側の面を砥石で研削する工程と、を含む。

20

【発明の効果】

【 0 0 1 5 】

本発明によれば、半導体ウェハの裏面を砥石を用いて研削する工程を含む製造プロセスによって製造される半導体装置および半導体装置の製造方法において、砥石の目立てが劣化し、半導体ウェハの表面に面焼けが発生することを抑制すること、さらに製造工程を追加することなく抑制すること、が可能な半導体装置、および半導体装置の製造方法を提供することが可能となる、という効果を奏する。

30

【図面の簡単な説明】

【 0 0 1 6 】

【図 1】実施の形態に係る半導体装置の構成の一例を示す、(a) は平面図、(b) は断面図である。

【図 2】比較例に係る半導体装置を示す、(a) は平面図、(b) は断面図である。

【図 3】(a) から (c) は、実施の形態に係る半導体装置の製造方法の一例を示す断面図の一部である。

40

【図 4】(a)、(b) は、実施の形態に係る半導体装置の製造方法の一例を示す断面図の一部である。

【図 5】(a) から (c) は、実施の形態に係る半導体装置における第 2 の保護膜の配置の他の形態を示す図である。

【図 6】(a)、(b) は、半導体ウェハの裏面研削における面焼けを説明する図の一部である。

【図 7】(a)、(b) は、半導体ウェハの裏面研削における面焼けを説明する図の一部である。

【発明を実施するための形態】

50

【 0 0 1 7 】

以下、図面を参照し、本発明の実施の形態について詳細に説明する。以下に説明する実施の形態では、本発明に係る半導体装置を F R D に適用した形態を例示して説明する。

【 0 0 1 8 】

図 1 を参照して、本実施の形態に係る半導体装置 1 0 の構成について説明する。図 1 (a) は半導体装置 1 0 を上から見た平面図であり、図 1 (b) は、図 1 (a) に示す A - A ' 線に沿って切断した断面図である。

【 0 0 1 9 】

図 1 (b) に示すように、半導体装置 1 0 は、半導体基板 1 1、不純物領域 1 2、パッド 1 3、リング配線（環状配線）1 4、第 1 の保護膜 1 5、第 2 の保護膜 1 6、裏面電極 1 7、およびリング不純物領域（環状不純物領域）1 8 を含んでいる。

10

【 0 0 2 0 】

本実施の形態に係る半導体装置 1 0 について、図 1 (a) を用いて説明する。半導体基板 1 1 は、平面視において、四角形の形状を有し、その材料の一例として N 型の S i （シリコン）が用いられる。パッド 1 3 は、平面視において、半導体基板 1 1 に内包される四角形の形状で配置され、例えば A l （アルミニウム）等の金属で形成されている。リング配線 1 4 は、平面視において、半導体基板 1 1 の内側であって、パッド 1 3 の外側にパッド 1 3 を取り囲むように環状で配置され、例えば A l （アルミニウム）等の金属で形成されている。第 1 の保護膜 1 5 は、リング配線 1 4 を覆うように形成され、例えばポリイミドを用いて形成される。第 2 の保護膜 1 6 は、第 1 の保護膜 1 5 の内側に例えば四角形の形状で形成され、第 1 の保護膜 1 5 と同じ材料を用いて形成されるが、第 2 の保護膜 1 6 の詳細については後述する。

20

【 0 0 2 1 】

不純物領域 1 2 は、図 1 (b) に示すように、半導体基板 1 1 の表面に不純物が導入された領域であり、例えば P 型不純物が導入されている。そして、半導体装置 1 0 では、N 型の半導体基板 1 1 と P 型の不純物領域 1 2 の界面に P N 接合が形成され、半導体装置 1 0 はダイオードとして機能する。パッド 1 3 に電源の正極、裏面電極 1 7 に該電源の負極を接続すると、ダイオード電流がパッド 1 3 から裏面電極 1 7 に向かって流れる。すなわち、半導体基板 1 1 の表面から裏面にかけて貫通電流が流れる。なお、本実施の形態では、図 1 (b) のような断面視において、N 型の半導体基板 1 1 と P 型の不純物領域 1 2 の界面に形成された P N 接合を含む領域を「回路領域」（「アクティブ領域」）という。

30

【 0 0 2 2 】

パッド 1 3 は、図 1 (b) に示すように、不純物領域 1 2 の上部に配置されている。パッド 1 3 には、例えばボンディングワイヤ等で外部との接続をする、接続部である。本実施の形態では、アノード端子となっている。

【 0 0 2 3 】

リング配線 1 4 は、図 1 (b) に示すように、半導体基板 1 1 の上部かつパッド 1 3 の外側に配置されている。リング配線 1 4 の直下には、P 型不純物が導入された領域であるリング不純物領域 1 8 が形成されている。図 1 (a) には図示されていないが、リング配線 1 4 と同様に環状に形成されている。リング不純物領域 1 8 はガードリングの機能を有し、リーク電流の発生を抑制する。また、リング配線 1 4 およびリング不純物領域 1 8 は、電界緩和の機能を有する。すなわち、半導体基板 1 1 と不純物領域 1 2 との界面に形成された空乏層を、リング配線 1 4 およびリング不純物領域 1 8 を用いて半導体装置 1 0 の外側である周縁部まで延伸させて電界緩和を行っている。さらにリング配線 1 4 は、半導体基板 1 1 の表面の不純物濃度を低下させる機能、すなわちチャネルストッパの機能を有している。なお、本実施の形態では、図 1 (a) に示したように一重のリング配線 1 4 を用いた形態を例示して説明するが、これに限られず半導体装置 1 0 に要求される耐圧等に応じて二重、三重等、複数のリング配線を用いる形態としてもよい。

40

【 0 0 2 4 】

裏面電極 1 7 は、図 1 (b) に示すように、半導体基板 1 1 の裏面に形成された電極で

50

あり、例えば A 1 等の金属で形成されている。半導体装置 1 0 では、カソード端子となっている。

【 0 0 2 5 】

次に、本実施の形態に係る第 2 の保護膜 1 6 の機能について説明するが、その前に図 2 を参照して、比較例に係る半導体装置 5 0 について説明する。図 2 (a) は半導体装置 5 0 を上から見た平面図であり、図 2 (b) は図 2 (a) に示す B - B ' 線に沿って切断した断面図である。半導体装置 5 0 は、図 1 に示す半導体装置 1 0 において、第 2 の保護膜 1 6 を除いた F R D である。従って、同様の構成には同じ符号を付して詳細な説明を省略する。

【 0 0 2 6 】

図 2 に示すように、半導体装置 5 0 では半導体装置 1 0 と比較して第 2 の保護膜 1 6 を欠いているので、パッド 1 3 の全体が外部に対して露出している。すなわち、図 2 (b) において左右の第 1 の保護膜 1 5 の間に保護膜が存在していないので、半導体装置 5 0 の保護膜 1 5 の間の距離 L 3 は、半導体装置 1 0 の保護膜 1 5、保護膜 1 6 の間の距離 L 1、L 2 と比べ、長くなっている。つまり、半導体装置 5 0 の方が半導体装置 1 0 より保護膜同士の間隔が広いために、図 6、図 7 で説明したように裏面研削を行うと、パッド 1 3 の部分においてより接着剤 2 1 (接着部材) が変形しやすく、結果として半導体ウェハ 2 3 がたわみやすい。すなわち、比較例に係る半導体装置 5 0 では半導体ウェハ 2 3 の面焼けが発生しやすい。なお、距離 L 1、L 2、L 3 は一例である。

【 0 0 2 7 】

そこで、本実施の形態に係る半導体装置 1 0 では、第 2 の保護膜 1 6 を設けることとした。図 1 (b) に示すように、2 つの第 1 の保護膜 1 5 の間に第 2 の保護膜 1 6 を配置することにより、接着剤 2 1 を支持する面積が増加して接着剤 2 1 にかかる圧力が増加するので、接着剤 2 1 のたわみが減少する。その結果半導体ウェハ 2 3 のたわみも減少し、半導体ウェハ 2 3 の面焼けを抑制することが可能となる。

【 0 0 2 8 】

次に、図 3 を参照して、本実施の形態に係る半導体装置 1 0 の製造方法について説明する。なお、半導体装置 1 0 は、複数の半導体装置 1 0 が面付された半導体ウェハの状態で作成されるが、以下では、そのうちの 1 つの半導体装置 1 0 に着目して説明する。

【 0 0 2 9 】

まず、表面に回路素子が形成された半導体基板 1 1 を準備する (図 3 (a))。

【 0 0 3 0 】

次に、全面に保護膜 1 9 (一例としてポリイミド) を成膜する。そして、保護膜 1 9 上にレジスト 2 0 を塗布し、フォトリソグラフィおよびエッチングを用いて、第 1 の保護膜 1 5、および第 2 の保護膜 1 6 を形成するためのマスクを作製する (露光、現像、図 3 (b))。

【 0 0 3 1 】

次に、保護膜 1 9 をエッチングして、第 1 の保護膜 1 5、および第 2 の保護膜 1 6 を形成する (図 3 (c))。その後、第 1 の保護膜 1 5、第 2 の保護膜 1 6 のキュア (加熱による硬化) を行う。すなわち、第 1 の保護膜 1 5 と第 2 の保護膜 1 6 とを同じ材料によって同時に形成する。従って、半導体装置 1 0 の製造方法は、比較例に係る半導体装置 5 0 の製造方法と同じであり、工程の追加等の変更はない。

【 0 0 3 2 】

次に、半導体基板 1 1 の表面 (回路面) 側に、接着剤 2 1 によって支持部材 2 2 (一例としてガラス) を貼り付ける (図 4 (a))。

【 0 0 3 3 】

次に半導体基板 1 1 を裏返し、砥石 3 0 によって半導体基板 1 1 の裏面を研削し、半導体基板 1 1 を所定の厚さにする (図 4 (b))。

【 0 0 3 4 】

その後、接着剤 2 1、支持部材 2 2 を取り除き、半導体基板 1 1 の裏面に裏面電極 1 7

10

20

30

40

50

を形成する（図示省略）。その後、半導体ウェハをチップ状態に個片化することによって、本実施の形態に係る半導体装置 10 が製造される。

【0035】

次に、図5を参照し、第2の保護膜16の形成方法の他の形態について説明する。図5は、第2の保護膜16の形成についての代表例を示す図である。図5では、図1(a)に図示した構成のうち、パッド13、第1の保護膜15、および第2の保護膜16を抜き出して示している。第2の保護膜16の配置領域は、基本的に、パッド13の領域において、半導体ウェハ段階における試験用の探針（プローブ）が接触する領域、個片化後に接続部材（例えばボンディングワイヤ）が接続される領域等の、保護膜16を設けることができない領域を避ければいずれの領域であってもよい。保護膜16を設けることができない領域は、半導体ウェハ段階での試験内容、個片化後のパッド13の接続方法等によって、半導体装置ごとに異なる。

10

【0036】

図5は、外部接続のために用いる領域がパッド13の中央であり、かつ試験用の探針が接触する領域がパッド13の四角形の周縁に沿った少なくとも一部である場合に、当該領域に保護膜を設けないことを条件とした、第2の保護膜16の配置例である。

【0037】

図5(a)は、四角形のパッド13の向かい合う2つの辺に沿って2つの四角形の第2の保護膜16を配置した例である。このように、第2の保護膜16は複数であってもよい。図5(b)は、四角形のパッド13の四隅にそれぞれ1つずつ、全部で4つの円形の第2の保護膜16を配置した例である。このように、第2の保護膜16の形状は四角形のみならず、他の形状であってもよく、円形状以外にも、楕円形、三角形、ひし形等、パッド13上に配置できる任意の形状でよい。また、四角形のパッド13の辺に沿ってではなく、頂角の位置に配置してもよい。図5(c)は、四角形のパッド13内に第1の保護膜15と隙間をあけた四角形に矩形の開口部を有する形状の第2の保護膜16を配置する形態である。このような形態にすることで、上記した保護膜を設けない領域を考慮しつつ、第2の保護膜16の面積を増やすことができるので、より効果的に面焼けを防止することができる。

20

【0038】

図5では、第1の保護膜15と第2の保護膜16とは接触させずに、多少の隙間を設けていたが、第1の保護膜15と第2の保護膜16との隙間にも第2の保護膜16を形成し、接触させるようにしてもよい。そのように形成することによって、第2の保護膜16の面積をより増やすことができるので、より効果的に面焼けを防止することができる。つまり、第2の保護膜16は、第1の保護膜15より内側に設けられていればよく、具体的な配置や形は、条件に合わせて変更することが可能である。

30

【0039】

なお、上記実施の形態では半導体装置10の製造後も第2の保護膜16を残存させる形態を例示して説明したが、これに限られず、半導体基板11の裏面研削後、パッド13への接続部材の接続前のいずれかの段階で、第2の保護膜16を取り除いてもよい。このことにより、パッド13へのボンディングワイヤの接続等における制約が回避される。

40

【0040】

また、上記実施の形態では、本実施の形態に係る半導体装置として縦型素子を例示して説明したが、これに限られず、横型素子等他の形態の半導体装置に適用してもよい。

【符号の説明】

【0041】

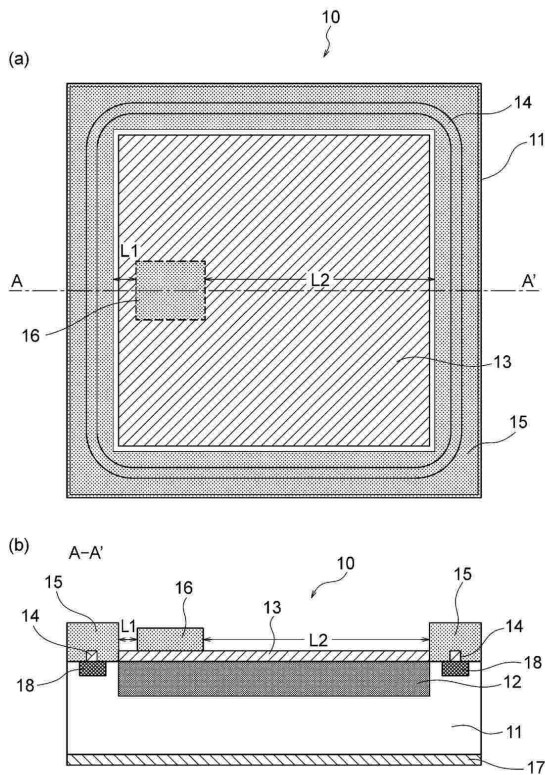
- 10 半導体装置
- 11 半導体基板
- 12 不純物領域
- 13 パッド
- 14 リング配線

50

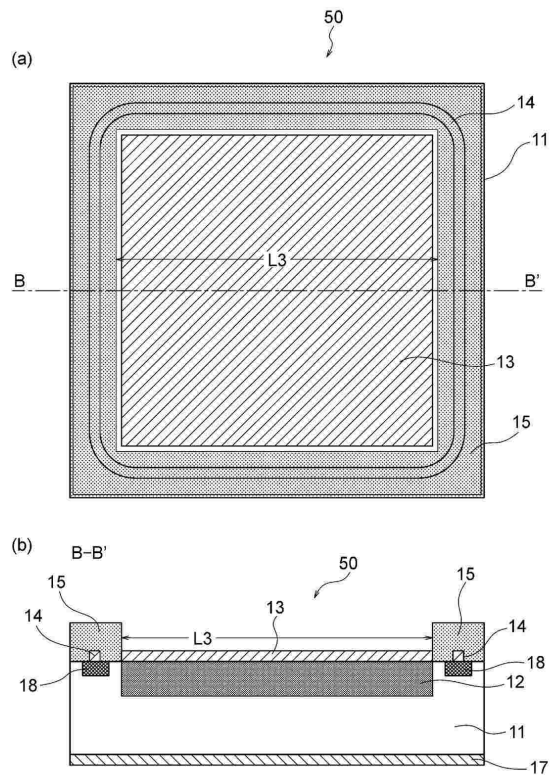
- 1 5 第 1 の保護膜
- 1 6 第 2 の保護膜
- 1 7 裏面電極
- 1 8 リング不純物領域
- 1 9 保護膜
- 2 0 レジスト
- 2 1 接着剤
- 2 2 支持部材
- 2 3 半導体ウェハ
- 3 0 砥石
- 5 0 半導体装置

【図面】

【図 1】



【図 2】



10

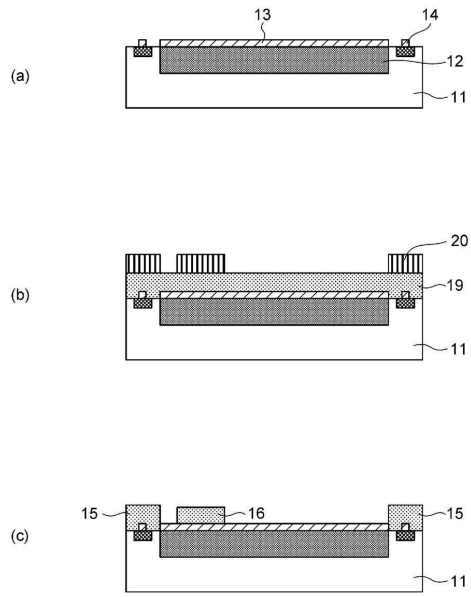
20

30

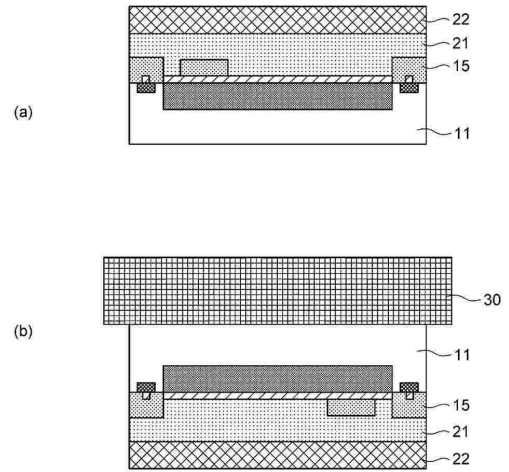
40

50

【図 3】



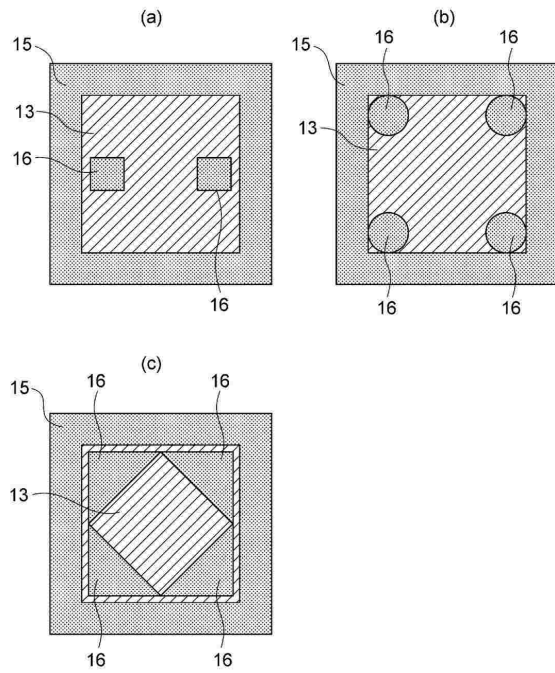
【図 4】



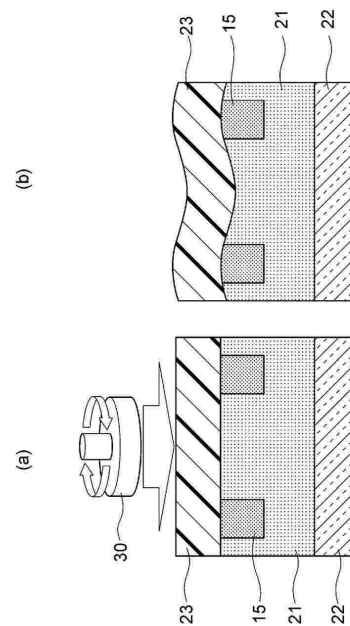
10

20

【図 5】



【図 6】

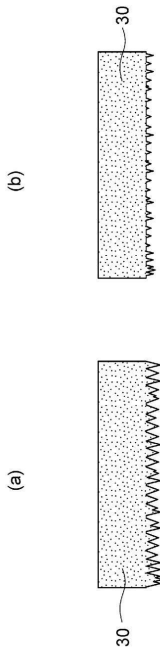


30

40

50

【 図 7 】



10

20

30

40

50

フロントページの続き

- (72)発明者 児玉 一隆
神奈川県横浜市港北区新横浜二丁目 4 番 8 ラピスセミコンダクタ株式会社内
- (72)発明者 神戸 敏文
神奈川県横浜市港北区新横浜二丁目 4 番 8 ラピスセミコンダクタ株式会社内
- (72)発明者 山本 友三
神奈川県横浜市港北区新横浜二丁目 4 番 8 ラピスセミコンダクタ株式会社内
- (72)発明者 折田 敏幸
神奈川県横浜市港北区新横浜二丁目 4 番 8 ラピスセミコンダクタ株式会社内
- (72)発明者 東平 真人
神奈川県横浜市港北区新横浜二丁目 4 番 8 ラピスセミコンダクタ株式会社内
- 審査官 杉山 芳弘
- (56)参考文献 特開 2 0 0 6 - 3 1 9 2 3 6 (J P , A)
特開 2 0 0 5 - 0 2 6 4 2 8 (J P , A)
特開 2 0 1 5 - 1 7 7 1 1 6 (J P , A)
特開 2 0 1 7 - 2 0 8 4 9 0 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
H 0 1 L 2 9 / 7 8
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 8 6 8
H 0 1 L 2 9 / 8 6 1
H 0 1 L 2 9 / 8 7 2
H 0 1 L 2 9 / 0 6
H 0 1 L 2 1 / 0 2
H 0 1 L 2 1 / 3 0 4