



(12)发明专利

(10)授权公告号 CN 103620954 B

(45)授权公告日 2017.02.15

(21)申请号 201280029645.7

约尔延·克拉格·雅科布森

(22)申请日 2012.06.13

(74)专利代理机构 北京康信知识产权代理有限公司 11240

(65)同一申请的已公布的文献号

申请公布号 CN 103620954 A

代理人 余刚 吴孟秋

(43)申请公布日 2014.03.05

(51)Int.Cl.

(30)优先权数据

61/496,663 2011.06.14 US

H03F 3/217(2006.01)

H03K 17/06(2006.01)

H03K 17/687(2006.01)

H02M 1/08(2006.01)

(85)PCT国际申请进入国家阶段日

2013.12.16

(86)PCT国际申请的申请数据

PCT/EP2012/061161 2012.06.13

(87)PCT国际申请的公布数据

W02012/171938 EN 2012.12.20

(73)专利权人 梅鲁斯音频有限公司

地址 丹麦海莱乌

(56)对比文件

US 2002/0075072 A1, 2002.06.20,

US 2003/0038674 A1, 2003.02.27,

CN 1494762 A, 2004.05.05,

WO 2006/030569 A1, 2006.03.23,

CN 1617440 A, 2005.05.18,

审查员 张博

(72)发明人 米克尔·霍耶尔比

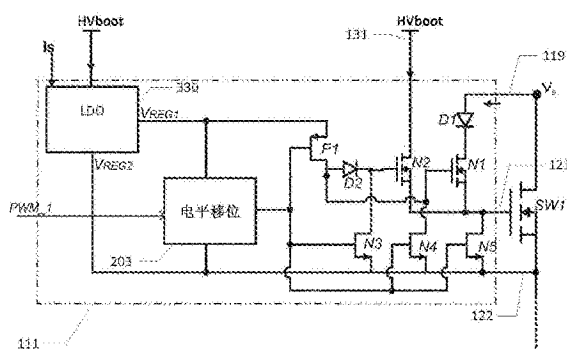
权利要求书2页 说明书9页 附图4页

(54)发明名称

功率晶体管栅极驱动器

(57)摘要

本发明涉及一种用于功率晶体管的栅极驱动器,包括第一充电路径,第一充电路径在第一电压电源与功率晶体管的栅极端子之间可操作连接,用于将栅极端子充电到第一栅极电压。第二充电路径可连接在功率晶体管的栅极端子与第二电源电压之间,以将栅极端子从第一栅极电压充电到高于第一栅极电压的第二栅极电压。第二电源电压的电压高于第一电源电压的电压。



1. 一种D级音频放大器, 包括能够经由输出端连接至扬声器负载的负载驱动组件, 其中, 所述负载驱动组件包括:

形成于第一直流电源电压与输出端之间的第一支路和形成于所述输出端与第二直流电源电压之间的第二支路, 所述第一支路与所述第二支路由级联耦接的多个功率晶体管构成,

所述输出端被电耦接在所述第一支路和所述第二支路之间,

所述多个功率晶体管中的每一个具有与栅极驱动器的第一充电路径的第一节点和第二充电路径的第一节点电连接的栅极端子,

所述多个功率晶体管中的每一个具有漏极端子, 该漏极端子与所述第一充电路径的第二节点电耦接, 以对所述功率晶体管提供第一电源电压,

多个组件输入端子, 与多个所述栅极驱动器的各个输入端耦接, 以向其供应调制输入信号,

并且每个栅极驱动器包括:

所述第一充电路径, 电连接在第一电压电源与所述功率晶体管的所述栅极端子之间, 用于将所述栅极端子充电到第一栅极电压,

所述第二充电路径, 电连接在第二电压电源(HV_{boot})与所述功率晶体管的所述栅极端子之间, 以将所述栅极端子从所述第一栅极电压充电到高于所述第一栅极电压的第二栅极电压, 其中, 所述第二电压电源的电压高于所述第一电压电源的电压。

2. 根据权利要求1所述的D级音频放大器, 其特征在于, 每个栅极驱动器的所述第一电压电源的电压是所述功率晶体管的漏极电压。

3. 根据权利要求1或2所述的D级音频放大器, 其中, 每个栅极驱动器包括: 控制器或序列发生器, 适用于控制充电电流通过所述第一充电路径对所述功率晶体管的栅极端子的供应, 控制充电电流通过所述第二充电路径对所述功率晶体管的栅极端子的供应。

4. 根据权利要求3所述的D级音频放大器, 其特征在于, 所述控制器或序列发生器适用于通过比较所述功率晶体管的栅极电压与预定阈值电压而控制充电电流通过所述第一充电路径和所述第二充电路径对所述功率晶体管的所述栅极端子的供应。

5. 根据权利要求4所述的D级音频放大器, 其特征在于, 所述控制器或序列发生器适用于从与所述第一充电路径电耦接的所述功率晶体管的漏极电压中获得所述预定阈值电压。

6. 根据权利要求3所述的D级音频放大器, 其特征在于, 所述控制器或序列发生器适用于在预定充电时间段内通过所述第一充电路径给所述功率晶体管的所述栅极端子供应充电电流, 以到达所述第一栅极电压; 并且

随后在预定时间段内通过所述第二充电路径给所述功率晶体管的所述栅极端子供应充电电流。

7. 根据权利要求3所述的D级音频放大器, 其中, 每个栅极驱动器的所述第一充电路径和所述第二充电路径均包括由所述控制器或序列发生器控制的可控串联FET晶体管。

8. 根据权利要求4所述的D级音频放大器, 其中, 所述控制器或序列发生器适用于中断从所述第二电压电源供应充电电流, 直到所述栅极电压达到所述预定阈值电压。

9. 根据权利要求1所述的D级音频放大器, 其中, 在所述功率晶体管的导电状态或导通状态下, 每个栅极驱动器的所述第二电压电源的电压至少比所述第一电压电源的电压高出

所述功率晶体管的一个栅极-源极压降。

10. 根据权利要求1所述的D级音频放大器, 其中, 每个栅极驱动器的所述第一充电路径适用于在100毫微秒内将所述栅极端子充电到所述第一栅极电压。

11. 根据权利要求1所述的D级音频放大器, 其中, 在所述栅极驱动器运行期间, 所述第二电压电源的电压电平始终至少比所述第一电压电源的电压电平高2.5伏特。

12. 根据权利要求1所述的D级音频放大器, 其中, 所述负载驱动组件, 包括:

直流电压源, 被配置为在第一节点与第二节点之间设置预定直流电压差, 该第一节点位于所述第一支路的一对级联功率晶体管(SW1, SW2)之间, 该第二节点位于所述第二支路的一对级联功率晶体管之间。

13. 根据权利要求1所述的D级音频放大器, 其中, 所述多个功率晶体管包括沉积在半导体衬底上的至少一个N沟道场效应晶体管。

14. 根据权利要求1所述的D级音频放大器, 其中, 多个所述栅极驱动器的所述第二电压电源与所述第二电压电源的共用电荷泵电容器电连接。

15. 根据权利要求1所述的D级音频放大器, 其中, 所述负载驱动组件被集成在半导体衬底上。

16. 根据权利要求3所述的D级音频放大器, 其中, 所述控制器或序列发生器进一步适用于控制可控放电路径的断开状态和导通状态。

17. 根据权利要求6所述的D级音频放大器, 其特征在于, 所述预定充电时间段是5纳秒与100纳秒之间的时间段。

18. 根据权利要求10所述的D级音频放大器, 其中, 每个栅极驱动器的所述第一充电路径适用于在50毫微秒内将所述栅极端子充电到所述第一栅极电压。

19. 根据权利要求10所述的D级音频放大器, 其中, 每个栅极驱动器的所述第一充电路径适用于在20毫微秒内将所述栅极端子充电到所述第一栅极电压。

20. 根据权利要求13所述的D级音频放大器, 其中, 所述半导体衬底是硅、氮化镓或碳化硅。

21. 根据权利要求13所述的D级音频放大器, 其中, 所述至少一个N沟道场效应晶体管是NMOS或IGBT。

功率晶体管栅极驱动器

技术领域

[0001] 本发明涉及一种用于功率晶体管的栅极驱动器,包括第一充电路径,第一充电路径在第一电压电源与功率晶体管的栅极端子之间可操作连接,用于将栅极端子充电到第一栅极电压。第二充电路径可连接在功率晶体管的栅极端子与第二电压电源之间,以将栅极端子从第一栅极电压充电到高于第一栅极电压的第二栅极电压。第二电源电压的电压高于第一电源电压的电压。本发明的另一个方面涉及一种负荷驱动组件,包括与相应功率晶体管电耦接的多个栅极驱动器。负荷驱动组件可用于各种功率放大应用,例如,D级音频放大器。

背景技术

[0002] 用于D级音频放大器的功率或输出级的功率晶体管的栅极驱动器在本领域中已知。功率晶体管通常包括N沟道场效应晶体管,例如,NMOS或IGBT,均为流行半导体部件,因为其对于半导体衬底上的指定印迹或面积消耗的导通电阻较小。由于半导体衬底的制造成本与其面积密切相关,减小面积是降低成本的一个有效方法。

[0003] 但是,适合这种N沟道场效应晶体管的栅极驱动器的设计由于各种原因而具有挑战性,例如,需要在功率级运行期间将瞬时栅极电压大大提高到N沟道场效应晶体管的漏极电压以上。需要使用较高瞬时栅极电压来完全启动N沟道场效应晶体管。将N沟道场效应晶体管置于完全导通状态或导电状态使其具有较低导通电阻并将导电功率损耗降到最低。由于D级音频放大器中的功率级的最外功率晶体管的漏极端子与通常为正直流电源电压或轨(rail)的形式的直接可用的最高直流电源电压连接,瞬时栅极电压必须在所述功率晶体管的导通状态或导电状态期间大大升高到该最高直流电源电压以上。本领域中已知有用于在每个栅极驱动器中生成这种高栅极电压的自举技术和电路。但是,其依赖于给功率级的N沟道场效应晶体管提供栅极驱动电压的预充电电容器。预充电自举电容器与N沟道场效应晶体管的栅极端子连接时,由于电荷共享的原因,其电压被N沟道场效应晶体管的本征栅极电容大大降低,除非自举电容器的自举电容比本征栅极电容大得多,例如,10或20倍。但是,适合许多类型的功率级的N沟道场效应晶体管的本征栅极电容可非常大,例如,几百pF,根据上述经验法则,导致可接受尺寸的集成自举电容器的电容值达到不切实际的非常大的值,即,电容值从几nF到20nF以上不等。可选地,自举电容器可设置在固定栅极驱动器的半导体芯片外部。但是,这种解决方案不可取,因为功率级拓扑结构,例如,多电平H桥功率级一般包括具有关联栅极驱动器的多个级联或堆叠功率晶体管,每个栅极驱动器需要一个外部自举电容器。这种多个外部自举电容器增加了整个D级放大器解决方案的成本,要求对高价值印制电路板空间进行分配,可靠性存在潜在危险。

[0004] 由此,非常需要能以最小的外部电容器需求将栅极电压升高到正直流电源电压或轨以上的用于功率晶体管,特别是N沟道场效应晶体管的栅极驱动器。另外,栅极驱动器的较高功率效率在多种应用,例如,用于便携和/或电池供电通信和娱乐设备,例如,移动电话、MP3播放器等的D级音频放大器中具有重大优势。

发明内容

[0005] 本发明的第一方面涉及用于功率晶体管的栅极驱动器。栅极驱动器包括第一充电路径，第一充电路径可电连接在第一电压电源与功率晶体管的栅极端子之间，用于将栅极端子充电到第一栅极电压。第二充电路径可电连接在第二电压电源与功率晶体管的栅极端子之间，以将栅极端子从第一栅极电压充电到高于第一栅极电压的第二栅极电压。第二电压电源的电压高于第一电压电源的电压。

[0006] 用两个单独充电路径对功率晶体管的栅极端子进行充电的这种应用的优点在于，将栅极电压升高到第二栅极电压所需的总电荷的主要部分，例如，50%以上，或75%或优选90%以上可由包括第一电源电压的高功率效率直流电源传输。这样，仅总电荷的剩余部分需要由包括第二电源电压的低功率效率高电压电源提供。高电压一般由能将高电压电源升高到最高可用正直流电源电压以上的电压电平的电压泵或电压倍增器提供。如上所述，要求N沟道场效应晶体管(FET)的栅极输入端或端子具有高电源电压传输的高电压电平，以将N沟道FET切换到其导电状态。栅极电压低于第一栅极电压时，第一和第二充电路径可用于将充电电流提供给功率晶体管的栅极端子，但这种情况下，通过第一充电路径提供的充电电流优选比通过第二充电路径提供的充电电流大得多。在一个优选实施例中，栅极电压低于第一栅极电压时，第二充电路径传输给功率晶体管的栅极端子的充电电流基本为零或极其微小，例如，10 μ A或1 μ A以下。这可通过(例如)将可控MOS晶体管开关串联设置在第二充电路径中而实现，MOS晶体管开关的非常大的断开电阻可用于基本上中断经过第二充电电路的任何充电电流。功率晶体管的栅极电压高于第一栅极电压时，通过第一充电路径提供的充电电流优选基本为零，因为第一充电路径与第一电压电源连接，第一电压电源的电压电平可接近第一栅极电压的电平。第一栅极电压的电平优选设为与第一电源电压的电压电平大约相同的电平，以在功率晶体管的栅极电压到达第一电源电压的电压电平之前使第一充电路径提供的充电电流量达到最大。在这种条件下，因为充电电流回流，第一充电路径无法向栅极端子提供进一步充电电流。随后，通过第二充电路径向栅极端子进一步提供充电电流，以将功率晶体管的栅极电压从第一栅极电压升高到第二栅极电压。由于第二充电路径的远端节点与第二电源电压连接，第二电源电压高于第一电源电压和第一栅极电压，充电电流可至少从第二电源电压流向功率晶体管的栅极端子，直到栅极电压接近第二电源电压。

[0007] 本发明的栅极驱动器对驱动开关功率级或负荷驱动器的N沟道FET的栅极非常有效。本发明的栅极驱动器可用于D级音频放大器的单端或H桥负荷驱动电路。D级音频放大器可包括各种功率级拓扑结构的2电平AD或BD级PDM或多电平PWM。

[0008] 根据一个优选实施例，第一电压电源包括功率晶体管的漏极电压，以通过第一充电路径将功率晶体管的漏极端子与其栅极端子电耦接。在某些实施例中，功率晶体管的某些漏极端子可与包括功率晶体管的输出级的正直流电源电压直接耦接。在其它实施例中，功率晶体管的漏极端子可与中间电源电压耦接，例如漏极端子与多电平PWM输出级拓扑结构中的飞跨电容器(flying capacitor)耦接，漏极端子电压电平通过飞跨电容器的电压设置。根据特定应用的要求，栅极驱动器可用于在宽范围的直流电源电压之间工作，即栅极驱动器的第二电源电压与最低电源电压之间的电压差下运行。在多种有效应用中，直流电源

电压可设为5伏特至120伏特的值。直流电源电压提供为相对于地线(GND)为例如+40伏特或+/-20伏特的单极或双极直流电压。

[0009] 栅极驱动器优选地包括用于基于栅极驱动器的直流电源电压生成第二电源电压的电压倍增器或电荷泵。直流电源电压可包括(例如)直流电压为3.0至5.0伏特的标准CMOS电源轨。电压倍增器或电荷泵可将飞跨电容器充电至后者直流电压,并将充电电容器堆叠至第一电源电压之上,以生成高于第一电源电压3至5V的第二电源电压。

[0010] 栅极驱动器进一步优选包括用于将功率晶体管切换到断开状态或非导电状态的可控放电路径,其中,可控放电路径可连接在功率晶体管的栅极端子与功率晶体管的源极端子之间。放电路径可包括MOS开关,通过控制MOS开关的栅极电压而将其在导电和非导电状态之间切换。放电路径可消除通过第一和第二充电路径在栅极端子上提供的,用于导通功率晶体管的电荷,从而确保功率晶体管快速进入非导电状态,如上所述。

[0011] 根据另一个优选实施例,栅极驱动器包括控制器或序列发生器,用于控制充电电流通过第一充电路径提供给栅极端子,并控制充电电流通过第二充电路径提供给栅极端子。可选地,控制器可控制可控放电路径的断开状态和导通状态。控制器可为基于与栅极驱动器可用的任何时钟信号异步运行的组合逻辑的相对简单电路。在该实施例中,控制器根据自定时机构运行,并包括多个适当配置的晶体管和电路,以限定第一电压的电压电平。但是,在其它实施例中,控制器可包括与栅极驱动器可用的主系统时钟信号或其它系统时钟信号同步运行的时钟时序逻辑。在后者实施例中,控制器可包括(例如)可编程逻辑电路或软件可编程或硬接线数字信号处理器(DSP)或通用微处理器。

[0012] 在一个实施例中,将预定阈值电压提供给控制器,以设置第一电压,控制器用于通过比较功率晶体管的栅极电压与预定阈值电压而控制充电电流通过第一和第二充电路径提供给栅极端子。预定阈值电压可从(例如)与第一充电路径电耦合的功率晶体管的漏极电压中获得。预定阈值电压可设为比功率晶体管的漏极电压低约一个MOS阈值电压的电压电平。在实践中,预定阈值电压一般为0.5至1.0V,低于功率晶体管的漏极电压。该实施例使指定栅极驱动器的第一电压能方便地用于其关联功率晶体管的实际电压电平。

[0013] 在另一个实施例中,第一电压可由定时方案限定,而不是特定预定阈值电压。根据基于定时的方案,控制器用于在预定充电时间段,例如,5至100毫微秒的充电时间段内通过第一充电路径给功率晶体管的栅极端子提供充电电流,以到达第一栅极电压。随后,控制器在预定时间段内通过第二充电路径给栅极端子提供充电电流。可基于对第一充电路径的大致阻抗和功率晶体管的栅极端子上的电容的大致值的了解而计算大致充电时间段。该电容一般包括用于栅极端子的电容和栅极-漏极电容。

[0014] 充电电流通过第一和第二充电路径的流动可方便地通过串联耦接开关元件(例如,实施为可控半导体开关,例如,控制器或序列发生器控制的FET晶体管)而控制。可控FET晶体管可包括一个或多个NMOS或PMOS晶体管,NMOS或PMOS晶体管可方便地集成在半导体衬底上,具有较低导通电阻和较高断开电阻。

[0015] 在一个实施例中,控制器用于中断第二电压电源提供的充电电流,直到栅极电压达到第一栅极电压。该方案的优点在于,一般能确保栅极端子上所需的电荷的主要部分通过高功率效率第一电压电源,例如,正直流电源进行传输。因此,仅全部栅极电荷的相对较小的一部分由提供第二电源电压的低功率效率高电压电源提供。

[0016] 在功率晶体管的导电状态或导通状态下,第二电源电压的电压或电压电平优选至少比第一电压电源的电压高功率晶体管的一个栅极-源极压降。为了确保第二电源电压的电压电平足够高,以确保功率晶体管适当地处于其导电状态,在功率晶体管的导电状态或导通状态下,第二电源电压的电压可至少比第一电源电压的电压高2伏特,优选为3伏特,更优选为5伏特。

[0017] 第一充电路径优选用于在100毫微秒以内,优选50毫微秒以内,更优选20毫微秒以内将功率晶体管的栅极端子充电到第一栅极电压。这个充电时间范围适用于将功率级的开关功率晶体管控制在100kHz至10MHz的PWM或PDM开关频率下运行。

[0018] 由于第一电压电源的电压电平可在栅极驱动器运行期间大幅浮动,在栅极驱动器运行期间,第二电源电压优选为适应电压,始终至少比第一电压电源的电压高2.5伏特。这确保始终可有充足电压用于将功率晶体管切换到其导电状态并在栅极驱动器的预期运行期间将功率晶体管保持在该状态下。

[0019] 在一个特别有利的实施例中,本发明涉及一种包括根据上述任一实施例所述的多个栅极驱动器的负荷驱动组件。负荷驱动组件进一步包括多个功率晶体管,功率晶体管分别具有与栅极驱动器的第一充电路径的第一节点和第二充电路径的第一节点电连接的栅极端子。每个功率晶体管的漏极端子与第一充电路径的第二节点电耦接,以对功率晶体管提供第一电源电压。多个组件输入端子与多个栅极驱动器的各个输入端耦接,以向其提供调制输入信号。多个功率晶体管与形成于第一直流电源电压与输出端之间的上引脚和形成于输出端与第二直流电源电压之间的下引脚级联耦接,使输出端电耦接在上下引脚之间。

[0020] 负荷驱动组件可直接跟与输出端耦接的扬声器负荷连接。负荷驱动组件可包括(例如)2至8个级联功率晶体管,每个功率晶体管具有与单独栅极驱动器耦接的漏极和栅极端子。根据负荷驱动组件的一个优选实施例,多个栅极驱动器的第二电压电源与第二电压电源的共用电荷泵电容器电连接。该实施例使多个第二充电路径从仅要求单个电容器的单个共用高压电源接收各个充电电流。因此,由于典型负荷驱动组件可包括多于4个的级联功率晶体管,例如,6个、8个或以上,共用基于单个电容器的高压电源的第二电压的能力减少了自举电容器驱动功率晶体管的栅极端子的必要。因此,尽管共用电荷泵电容器的电容值可能相当大,例如,10nF至100nF,这要求其作为负荷驱动组件的外部部件,但仅需要单个电容器部件。

[0021] 因为利用了多个堆叠或级联功率晶体管,本发明的负荷驱动组件特别适用于多电平PWM或PDM输出或功率级中的应用。负荷驱动组件可用于在第一和第二直流电源电压之间的5伏特至120伏特直流电压差下运行。根据用作多电平PWM功率级的负荷驱动组件的一个实施例,直流电压源用于在第一节点与第二节点之间设置预定直流电压差,第一节点位于上引脚的一对级联功率晶体管之间,第二节点位于下引脚的一对级联功率晶体管之间。直流电压源可方便地包括选自充电电容器、浮动直流电源轨、电池的至少一个装置或部件。预定直流电压差优选基本等于第一和第二直流电源电压之间的直流电压差的一半,以在输出端生成3电平输出信号。在一个实施例中,直流电压源包括电容为100nF至10 μ F的充电电容器。多个功率晶体管优选包括布置在半导体衬底,例如,硅、氮化镓或碳化硅上的至少一个N沟道场效应晶体管,例如,NMOS或IGBT。优选地,负荷驱动组件的所有功率晶体管都实施为N沟道场效应晶体管。

[0022] 根据本发明的另一个有利实施例,负荷驱动组件优选在支持高电压装置的半导体工艺中形成或集成在半导体衬底,例如,CMOS集成电路上。半导体衬底为特别适用于将成本作为基本参数的大容量消费者导向音频应用,例如,电视机、移动电话和MP3播放器的负荷驱动组件的制造提供了稳固的低成本单芯片解决方案。半导体衬底优选包括与作为第二电压电源的蓄能器的外部电荷泵电容器电连接的电压电源端子。

[0023] 本发明的另一个方面提供了包括负荷驱动组件的上述实施例的其中之一的D级音频放大器。如上所述,D级音频放大器可包括用于双电平或多电平PWM或PDM的调制器。

附图说明

[0024] 下文根据附图对本发明的优选实施例进行详细说明,在附图中:

[0025] 图1为负荷驱动组件的示意图,负荷驱动组件包括根据本发明的优选实施例的与多个功率晶体管的各个栅极端子电耦接的多个栅极驱动器,

[0026] 图2为与根据优选实施例的关联功率晶体管的栅极端子耦接的单个栅极驱动器的示意图,

[0027] 图3为图1和图2示意性示出的单个栅极驱动器的混合块和晶体管电平图;以及

[0028] 图4为负荷驱动组件的示意图,负荷驱动组件包括根据本发明的第二优选实施例的与多个功率晶体管的相应栅极端子电耦接的多个栅极驱动器。

具体实施方式

[0029] 图1示意性示出了与扬声器负荷133连接的负荷驱动组件100。负荷驱动组件100包括栅极驱动电路101,栅极驱动电路101包括根据本发明的优选实施例的四个单独栅极驱动器111,113,115,117。每个栅极驱动器具有与NMOS晶体管SW1,SW2,SW3,SW4的其中一个的栅极端子电连接的输出端。NMOS晶体管SW1,SW2,SW3,SW4以接地(GND)形式级联耦接在第一或正直流电源电压VS与第二直流电源电压之间。级联NMOS晶体管SW1,SW2,SW3,SW4形成通过负荷电感器137和负荷电容器135与负荷驱动器的输出端 V_{PWM} 耦接的扬声器负荷133的负荷驱动器。负荷电容器和负荷电感器135,137的联合操作对在输出端 V_{PWM} 提供的多电平脉宽调制输出信号波形进行低通滤波,以抑制扬声器负荷133上的音频信号中的载波或开关频率分量。

[0030] 在本发明的当前实施例中,栅极驱动电路101和包括级联NMOS功率晶体管SW1,SW2,SW3,SW4的负荷驱动器被集成在共用半导体衬底或芯片上,使图1中所示的每个栅极驱动器111,113,115,117及其关联NMOS功率晶体管之间的电连接在半导体衬底上实现。但是,技术人员应理解的是,负荷驱动器可形成为与栅极驱动电路101完全独立的电路,例如,单独半导体衬底或集成电路。在后者实施例中,图1中所示的每个栅极驱动器111,113,115,117及其关联NMOS晶体管之间的电连接可由印制电路板(PCB)、陶瓷衬底或相似载体上的电迹线提供。技术人员应理解的是,每个级联NMOS晶体管SW1,SW2,SW3,SW4可由图1示意性示出的单个MOS晶体管构成,或者,在本发明的其它实施例中,可包括多个较小的并联耦接独立NMOS晶体管。

[0031] 技术人员应理解的是,可基于与扬声器负荷133的相对端子连接的一对基本相同负荷驱动电路组件100对所示单端多电平负荷驱动组件100进行扩展,以提供H桥负荷驱动

组件。同样,技术人员应理解的是,四个栅极驱动器111、113、115、117可用于驱动开关功率级(例如,PDM或2电平AD或BD级PWM调制)的其它拓扑结构的栅极端子。

[0032] 在当前实施例中,负荷驱动器包括上引脚A和下引脚B,上引脚A包括一对级联NMOS晶体管SW1,SW2,而下引脚B包括一对级联NMOS晶体管SW3,SW4。级联NMOS晶体管SW1,SW2在SW1的漏极端子上与VS耦接,在SW2的源极端子上与输出端或节点V_{PWM}耦接。NMOS晶体管SW3的漏极端子与输出端或节点V_{PWM}耦接,SW4的源极端子与GND耦接。负荷驱动器还包括充电飞跨电容器C_{fly} 125,用于在输出节点V_{PWM}上在VS与GND中间生成第三输出电平,以提供多电平PWM信号,具体如申请人的第61/407,262号共同待决美国专利申请所述。在负荷驱动组件100运行期间,信号发生器或调制器用于分别对栅极驱动器111,113,115,117的第一、第二、第三和第四输入端PWM_1,PWM_2,PWM_3,PWM_4施加适当振幅和相位的第一、第二、第三和第四脉宽调制控制信号,以控制级联NMOS晶体管SW1,SW2,SW3,SW4的各个状态。由此,每个NMOS晶体管SW1到SW4根据所述脉宽调制控制信号的转换在导通状态和断开状态之间切换。每个NMOS晶体管SW1,SW2,SW3,SW4的导通电阻可根据特定应用的要求,特别是扬声器负荷133的阻抗或另一种类型的电感和/或电容负荷的阻抗而大幅变化。在当前实施例中,每个NMOS晶体管优选设计为,其导通电阻为0.01至5ohm,例如,0.05至0.5ohm。

[0033] 负荷驱动组件100包括电压倍增器或电荷泵120,HV_{boot},用于基于正直流电源电压VS生成高电源电压。正直流电源电压VS可根据特定应用的要求大幅变化,例如,在5至100伏特之间变化,但在本发明的当前实施例中,其固定在约40伏特。电荷泵120生成的高压优选设为高于正直流电源电压VS的约5伏特的电压,并分配到每个栅极驱动器111,113,115,117。在每个栅极驱动器中,高压用于生成栅极驱动信号或正直流电源电压VS以上的栅极电压,以分别根据第一、第二、第三和第四脉宽调制控制信号将每个NMOS晶体管SW1,SW2,SW3,SW4驱动到低电阻导电状态,具体如下文所述。电源或泵电容器123,C_{boot}在一端与高电源电压耦接,在另一端与正直流电源电压耦接,以对高电源电压HV_{boot}提供蓄能器。电荷泵120包括飞跨电容器(未显示),飞跨电容器间歇地从负荷驱动组件100的适当直流电源电压充电到高于地线约3伏特或5伏特的电压。飞跨电容器间歇地与直流电源电压断开,与C_{boot}电连接,以将获取的电荷转储到其上,从而将HV_{boot}下的高压升高到正直流电源电压VS以上约3伏特或5伏特。根据特定应用指定的尺寸和成本的不同,电源电容器123可为负荷驱动组件100的外部部件,或集成在固定栅极驱动电路101的半导体衬底上。外部电源电容器123的电容优选设为10nF至100nF的值。

[0034] 如图1所示,每个栅极驱动器111,113,115,117包括与NMOS晶体管SW1,SW2,SW3,SW4的各个漏极、栅极和源极的三个单独电连接线。对于最上面的栅极驱动器111,GD1,电导体119、121和122与NMOS晶体管SW1的漏极、栅极和源极节点连接。SW1的栅极端子通过在栅极驱动器GD1内提供的两个独立充电路径,即,第一充电路径和第二充电路径充电,具体如下文参照图2和图3所述。

[0035] 图2为与功率晶体管的栅极端子耦接的单个栅极驱动器111(GD1)的示意图。栅极驱动器111包括上文所述的用于脉宽调制音频信号PWM_1的输入端。脉宽调制音频信号施加在电平移位器203上,电平移位器203可移动脉宽调制音频信号的直流电压电平并/或增加其振幅,以通过剩余栅极驱动器电路提供适用于驱动NMOS功率晶体管SW1的输出信号。输出信号施加在控制器或序列发生器205上,控制器或序列发生器205用于控制充电电流通过第

一充电路径211提供给栅极端子121,并控制充电电流通过第二充电路径209提供给栅极端子121。另外,控制器或序列发生器205用于控制电连接在NMOS功率晶体管SW1的栅极端子121与源极端子122之间的可控放电路径207的断开状态和导通状态。充电电流根据控制器205的控制信号通过第一充电路径211从漏极端子119提供给栅极端子121。由于SW1的漏极端子与正直流电源电压 V_s 电耦接,从具有强大功率的低阻抗电压源提供充电电流。在当前实施例中,控制器205用于通过比较栅极端子121上的栅极电压与预定阈值电压而控制充电电流通过第一和第二充电路径提供给栅极端子。栅极电压低于预定阈值电压时,控制器205启动第一充电路径211,中断通过第二充电路径209从高电源电压 HV_{boot} 提供的充电电流。栅极电压达到预定阈值电压时,第一充电路径211被控制器205中断或断开,第二充电路径209启动,使额外充电电流通过第二充电路径209从高电源电压提供给栅极端子。这样,第二充电路径209能将NMOS功率晶体管SW1的栅极电压大大升高到正直流电源电压以上。在实践中,阈值电压可非常自由地选择,可由多种不同机构的任何一个进行限定。但是,在当前实施例中,每个栅极驱动器的预定阈值电压都源于关联NMOS功率晶体管的漏极电压。预定阈值电压大致固定在所述NMOS功率的漏极电压以下的单MOS晶体管阈值电压。该单阈值电压可与用于典型CMOS集成电路技术的0.5至1.5伏特的电压对应。基本有利的是,将预定阈值电压设为接近关联功率晶体管的漏极电压的电压。这种设置确保漏极电压与栅极电压大致相等时功率晶体管在接近其导电状态的状态下运行。这种方案通常能确保栅极端子上所需的充电电流的主要部分由输出级的高功率效率直流电源,即,当前实施例中的正直流电源电压 V_s 传输,而低功率效率高电源电压仅提供全部栅极充电电流的相对较小的一部分。用于将NMOS功率晶体管SW1的栅极端子充电到近似高电源电压 HV_{boot} 的电压的时间段可为1至20ns。NMOS功率晶体管SW1通过第一和第二充电路径的联合操作切换到导电状态时,其在该状态下保持的时间段通过脉宽调制音频信号PWM_1的脉宽限定。控制器205在脉宽调制音频信号中检测到下降沿或转换时,启动放电路径207,以有效地将通过低电阻路径将栅极端子121与源极端子122短路。因此,放电路径207的启动对栅极电压进行放电,并将NMOS功率晶体管SW1切换到非导电状态。

[0036] 图3为图1和图2示意性示出的单个栅极驱动器111, GD1的混合块和晶体管电平图。为了简明起见,图2上的第一充电路径211和第二充电路径209在此处显示为处于晶体管电平下,而电平移位器203和线性电压调节器330显示为电路块。技术人员应理解的是,图2的控制器205由MOS晶体管P1、N3、N4和N5构成。栅极驱动器111实施为相对于地线的浮动电路块,适用于集成在CMOS半导体衬底的高压部分内,例如,高压隔离阱(isolation well)内。线性电压调节器330或LDO与高电源电压 HV_{boot} 耦接,优选适用于在输出端 V_{REG1} 和 V_{REG2} 之间生成3伏特至5伏特的调节直流电源。启动电流,例如,0.1至1mA,通过输入端 I_s 提供,以开启或启动线性电压调节器330。第一充电路径211的运行通过开关NMOS晶体管N1而控制,NMOS晶体管N1可通过操纵其栅极端子而得到控制。N1的栅极端子与NMOS晶体管N4的漏极耦接,使N4能在导电与非导电状态之间切换N1。N4通过电平移位器203的输出信号进行控制,所述输出信号为在上文所述的调节电压电平 V_{REG1} 和 V_{REG2} 之间切换的脉宽调制音频信号。由于N4处于非导电或断开状态而P1处于导电状态,输出信号逻辑低时,即,电压 V_{REG2} ,N1处于其导电状态时,N1的栅极端子被降到 V_{REG1} ,以向N1提供正栅极-源极电压。由于N1处于导电状态,NMOS功率晶体管SW1的栅极端子通过正直流电源电压 V_s 通过N1和正偏串联二极管D1提供的

充电电流而充电。由于本发明的当前实施例中N1的栅极端子的电容非常大,例如,50pF至500pF或约100pF,充电电流可达到150mA或以上的峰值。充电电流升高NMOS晶体管SW1的栅极端子上的栅极电压,直到达到比正直流电源电压低约一个二极管压降的电压,即,等于当前实施例中的栅极驱动器111中的SW1的漏极电压的电压。随后,由于栅极-源极电压接近零,N1切换到非导电状态。由此,该电压为阈值电压。在通过第一充电路径对SW1的栅极端子充电的时间段内,包括NMOS晶体管N2的第二充电路径也对SW1的栅极端子提供充电电流,因为N2被PMOS晶体管P1置于导电状态,PMOS晶体管P1将N2的栅极端子降到调节电源电压 V_{REG1} 。但是,SW1的栅极电压低于上述阈值电压时,可能与N1和N2的相对尺寸相结合的正偏二极管D2确保N2上的栅极-源极电压降大大小于N1上的栅极-源极电压降,以确保通过N1或第一充电路径对SW1的栅极端子上提供大部分充电电流。可向SW1的栅极端子提供1至10nC的总电荷,以对其完全充电。该总电荷用于对SW1的栅极-源极电容和栅极-漏极电容进行充电。

[0037] SW1上的栅极电压达到阈值电压时,N1切换到非导电状态,而NMOS晶体管N2保持在导电状态。因此,通过设于第二充电路径中的N2的漏极和源极端子从高电源电压 HV_{boot} 给SW1的栅极端子提供进一步充电电流。在当前实施例中,高电源电压 HV_{boot} 的电压大大高于正直流电源电压 V_s ,例如,高3至5伏特,优选高约4.5伏特。通过N2对SW1的栅极端子121进行充电期间,二极管D1阻碍任何非预定电流通过N1流回到与SW1的漏极连接的正直流电源电压中。由此通过N2对SW1的栅极端子进行充电,直到其达到约一个二极管压降的电压,即,约0.5-0.8伏特,由于正偏二极管D2的原因,低于调节电压 V_{REG1} 。因此,SW1的栅极端子升高到约等于一个二极管压降,低于调节电压 V_{REG1} 的电压,由于后者电压约等于高电源电压 HV_{boot} 的电压电平,SW1的栅极端子被驱动到约4伏特的电平,高于正电源电压。因此,SW1完全处于充电状态,因此具有非常低的导通电阻。

[0038] 通过上文所述的第一和第二充电路径的操作而SW1导通或导电时,在通过电平移位器203的输出信号的脉宽设置的特定时间段内,输出信号急剧变化为逻辑高电平或 V_{REG1} 设置的电压电平。作为响应,SW1切换到非导电状态,通过N1和N2提供的充电电流中断。由于电平移位器203的输出端发出逻辑高信号之后,P1切换到非导电状态,因此实现了该功能;由于该NMOS器件上的栅极-源极电压强制变成约4.5伏特(调制电源电压端子之间的差,如上所述),N4切换到导电状态。N4随后将N1的栅极下降到 V_{REG2} , V_{REG2} 将N1切换到非导电状态,因为其栅极-源极电压接近零。N1的非导电状态中断了第一充电路径,以切断给SW1的栅极端子提供的充电电流。同时,N3将N2的栅极下降到 V_{REG2} , V_{REG2} 将N2切换到非导电状态,因为该MOS晶体管上的栅极-源极电压也接近零,因此中断了第二充电路径。因此,也中断了通过该路径给SW1的栅极端子提供的充电电流。最后,SW1的栅极和源极由N5短路,N5通过其栅极端子上施加的逻辑高电平切换到导电状态。由此,SW1切换到非导电或断开状态,栅极端子上的电荷消除。

[0039] 技术人员应理解的是,本发明的当前实施例中的控制器205是基于与负荷驱动组件的任何时钟信号异步运行的组合逻辑的相对简单但有效的电路。但是,技术人员应理解的是,控制器也可以其它方式实施,例如,使用与负荷驱动组件可用的主系统时钟信号或其它系统时钟信号同步运行的时钟时序逻辑。在后者实施例中,控制器205可包括(例如)软件可编程或硬接线数字信号处理器(DSP)或通用微处理器。

[0040] 图4为根据本发明的第二优选实施例的包括多个栅极驱动器GD1、GD2、GD3、GD4 411, 413, 415和417的负荷驱动组件400的示意图。负荷驱动器403包括四个级联NMOS功率晶体管SW1、SW2、SW3、SW4, 与本发明的第一实施例中所述的相似。另外, 负荷驱动组件的当前实施例中的多个栅极驱动器GD1、GD2、GD3、GD4与上文中本发明的第一优选实施例详细叙述的栅极驱动器GD1、GD2、GD3、GD4的整体拓扑结构相同。但是, 在当前实施例中, 每个栅极驱动器的LD0 330(图3)用包括级联晶体管开关sw433、sw435、sw437、sw439和自举电容器Cb1、Cb2、Cb3和Cb4的自举梯形电路代替。自举梯形电路比LD0的功率效率更高, 因为避免了开关上存在任何明显压降时每个晶体管开关中的电流传导。因此, 优选地, 所述开关上的压降高于0.5伏特或高于1.0伏特时, 避免了晶体管开关中的电流传导。关联栅极驱动器用于驱动NMOS功率晶体管时, 每个晶体管开关sw433、sw435、sw437、sw439都通过适当控制信号置于导电状态。级联晶体管开关sw433、sw435、sw437、sw439电耦接在低直流电源电压 V_{DD} 与高电源电压 HV_{boot} 之间, 高电源电压 HV_{boot} 通过电源导线431提供, 与上述高电源电压相似。高电源电压 HV_{boot} 包括电源电容器Cbboot 423。在实践中, 低直流电源电压 V_{DD} 可来自用于包括当前实施例中的负荷驱动组件400的D级放大器的CMOS逻辑电路的可用标准直流电源, 例如, 1.8、3.3或5伏特的直流电源。从如图4所示的该直流电源对最下面的栅极驱动器GD4直接提供电力, 直流电源的输出电压对该栅极驱动器的第二充电路径使用高电源电压。由于不需要将功率晶体管SW4的栅极输入端升高或驱动到正直流电源电压 V_S 以上的电压便可将SW4切换到导电状态, 因此这是可能的。由于在Cf1y 425周围使用多电平输出级拓扑结构, SW4的漏极仅充电到 V_S 的大约一半。高电源电压 HV_{boot} 通过功率晶体管SW43, 或Cb2通过功率晶体管sw435对最上面的栅极驱动器GD1供电。SW433的使用对自举梯形电路提供了额外电源电压输入, 以降低自举电容器Cb1、Cb2、Cb3和Cb4所需的总电容。

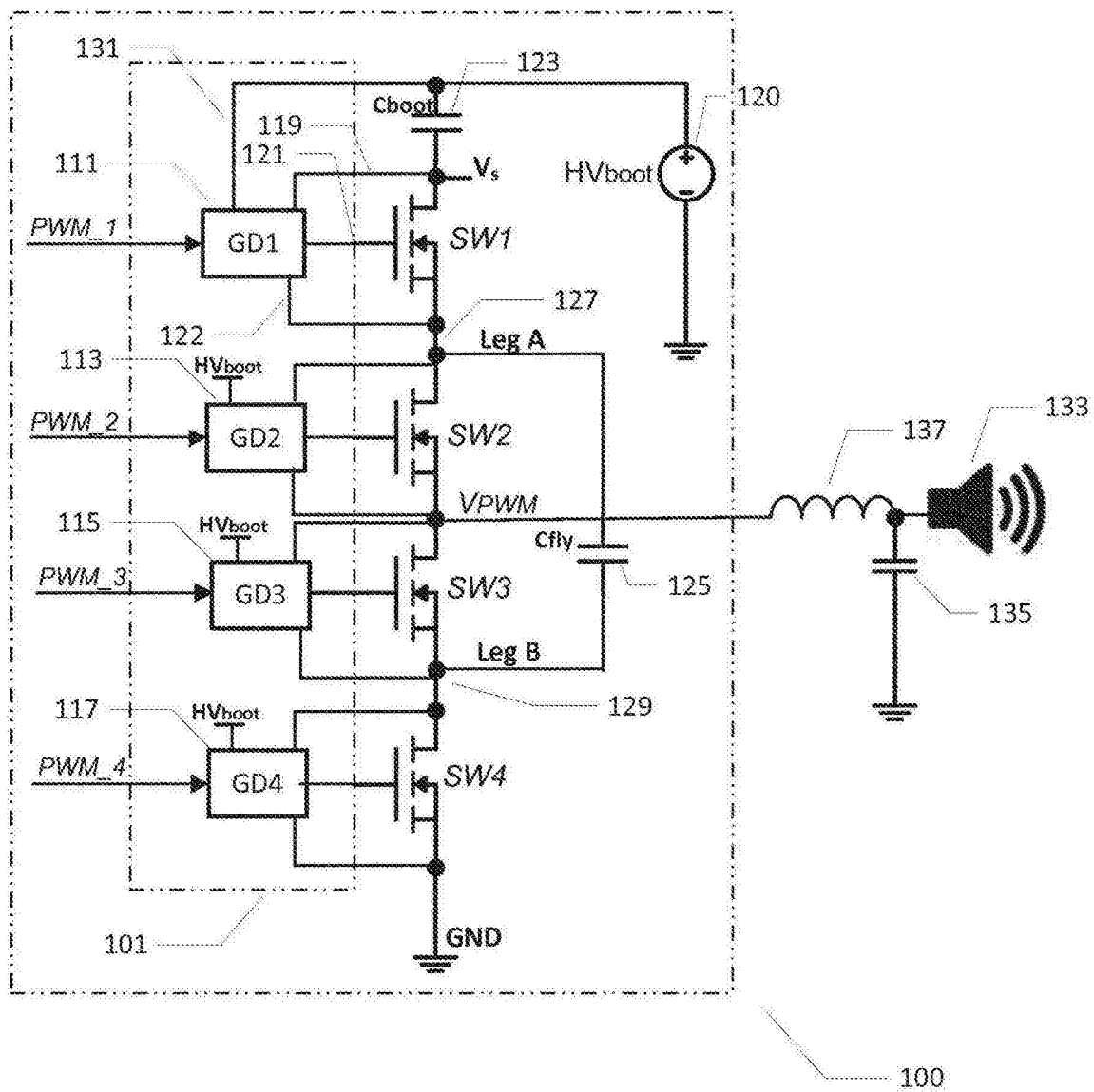


图1

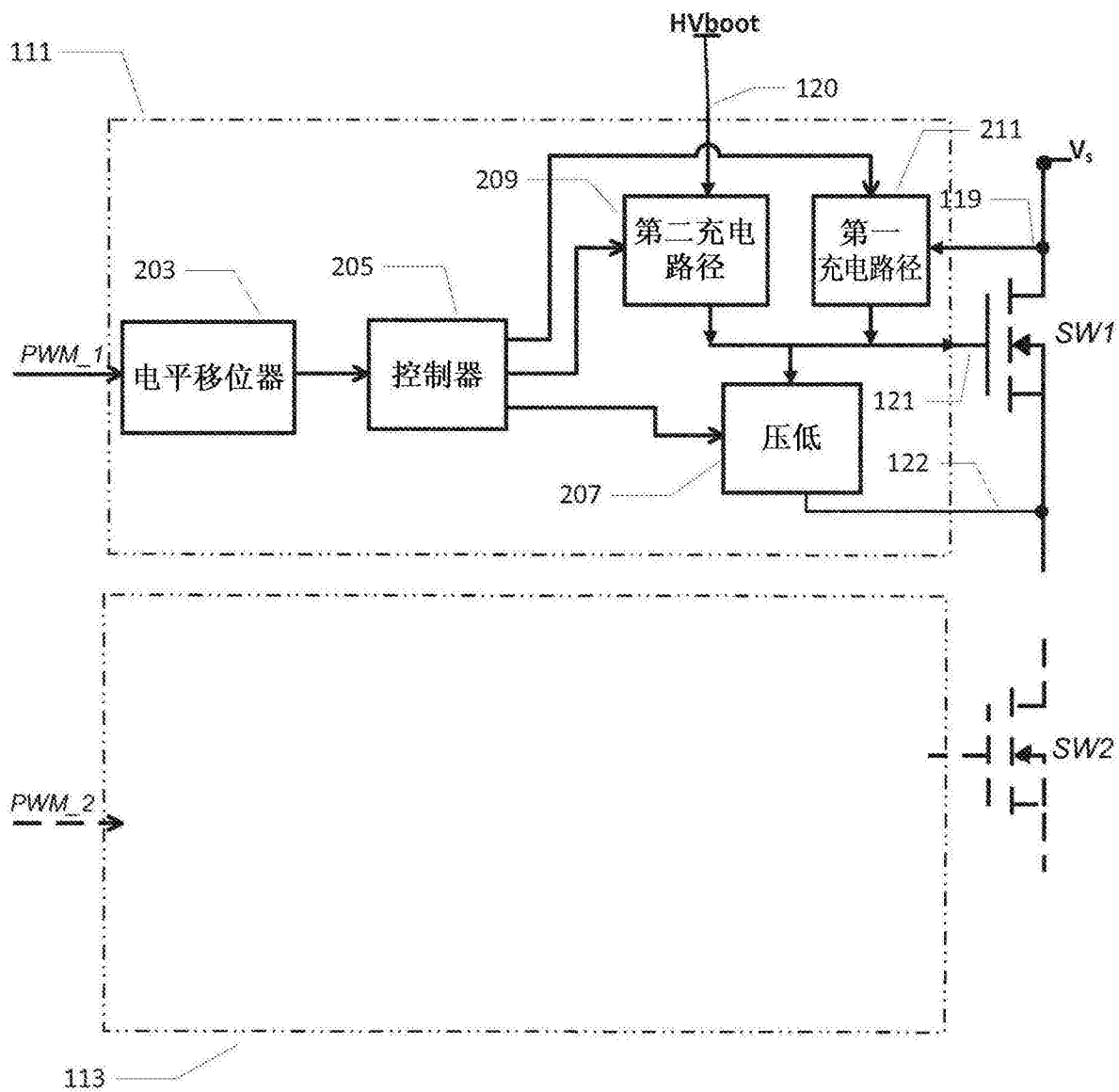


图2

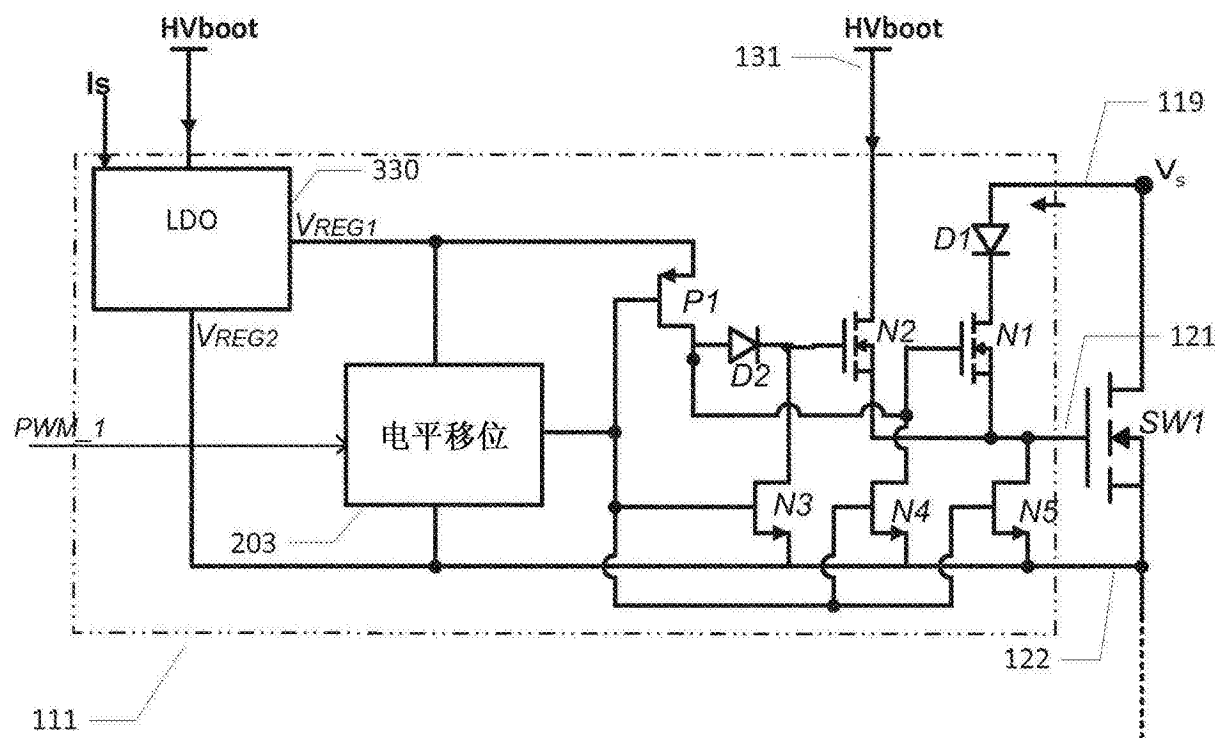


图3

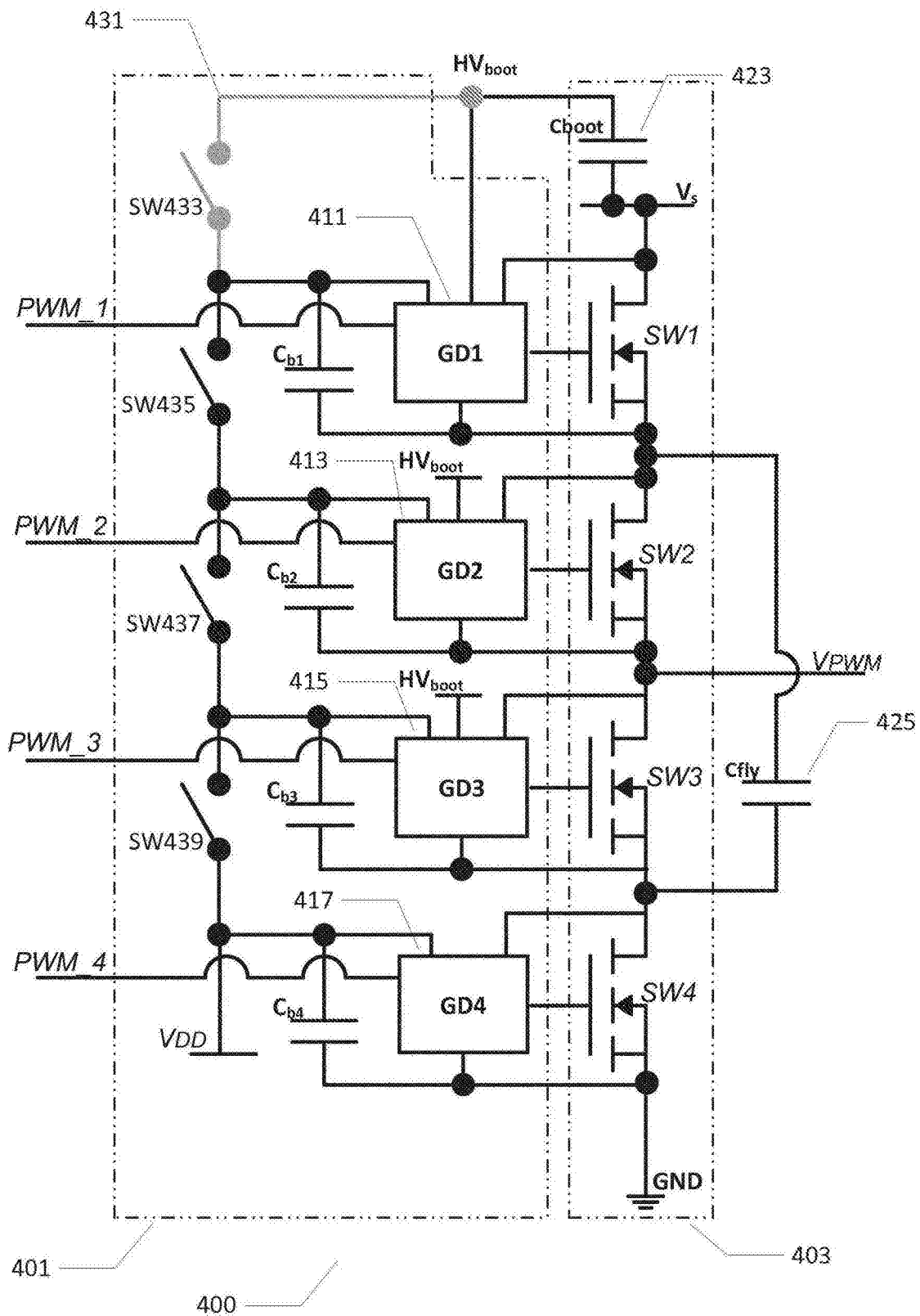


图4