



申請日期	P1. 3, 19
案 號	P1105226
類 別	G01R 31/28

A4
C4

(以上各欄由本局填註)

569019

發 明 專 利 說 明 書		
一、發明 ~~新~~ 名稱	中 文	測試系統格式器
	英 文	TEST SYSTEM FORMATTERS
二、發明人 ~~創作~~	姓 名	布那爾 G. 威斯特 BURNELL G. WEST
	國 籍	美國 U.S.A.
三、申請人	住、居所	美國加州飛瑞蒙市聖特尼爾路46750號 46750 SENTINEL DRIVE FREMONT, CA 94539 U.S.A.
	姓 名 (名 稱)	美商史蘭寶科技公司 SCHLUMBERGER TECHNOLOGIES, INC.
	國 籍	美國 U.S.A.
	住、居所 (事務所)	美國加州聖瓊斯市拜塔克路150號 150 BAYTECH DRIVE SAN JOSE, CALIFORNIA 95134 U.S.A.
	代 表 人 姓 名	丹尼塔 J.M. 馬斯利 DANITA J.M. MASELES

線

五、發明說明(1)

相關申請書

本申請書宣告對在2001年3月19日提申的美國臨時申請書序號60/277,185之優先權。

發明背景

本申請書與測試積體電路裝置之測試系統格式器相關。

用於測試高速積體電路裝置，例如微處理器及微控制器之測試系統因為高速之需求持續地變得複雜。為了測試高速裝置，傳統測試系統產生多重高頻時序訊號以對於每個被測試之在測試下裝置(DUT)之針腳格式化訊號。每個時序訊號出現為低到高電位轉變(一"升起邊緣")或是高到低電位轉變(一"下降邊緣")。使用以產生這些時序訊號之電路一般可被分成兩個部分：第一部分，被稱為"時序標記產生器電路"或"邊緣產生器電路"，其決定訊號轉變之正確時間(即是，"時序標記"或"時序邊緣")，以及第二部分，被稱為"格式器"，其在時間標記所要求的時間施加邊緣型式("升起邊緣"或"下降邊緣")至訊號。一時序標記係為一脈衝，其包括一升起邊緣，立即隨之以下降邊緣。時序標記通常代替實際邊緣訊號而使用在高速測試系統，因為訊號在較高頻率在任何長度的線中衰減(即是，失真)。一單一時序標記使用於產生邊緣。時序標記以其標記之邊緣的頻率變動兩次。然而，假如該時序標記分散在4訊號路徑且在通過訊號傳輸媒介之後帶至一起時，每個路徑變動應該是最終產生之訊號變動的一半。所以，假如在DUT針腳需要非常高速訊號時，傳輸產生邊緣之時序標記係為有利的。

五、發明說明(2)

圖1顯示一傳統測試系統114，例如由Schlumberger科技股份有限公司所製造之ITS9000KX系統。一中央處理單元(CPU) 108連接至循序控制及圖樣產生子系統(控制/圖樣) 112，其具有一系統時脈及其它用以產生時序標記之電路。這些時序標記被傳輸至格式器110，其通常扮演建立測試系統114之精確度及功能性。在傳統測試系統中，該格式器110通常係為每個DUT針腳118之專屬資源且被設定以在固定頻率，通常為系統頻率，驅動或是探測。該格式器110通常包括兩互補格式器電路-一驅動電路140，其用以產生被施加於DUT之測試訊號以及一反應電路160，其用以接收由DUT輸出之訊號。該驅動電路140及反應電路160一般可以以0.8微米矽二極體僅NPN ECL製程所履行。然而，其它CMOS製程可以使用以達成基本上相同或更佳之結果。

該驅動電路140輸出準確時序邊緣、格式化之訊號或是兩者之結合。通常，傳統驅動電路在單一模式中操作，即是，任何給定驅動電路從一系列的一般6個訊號中輸出某訊號，其可以包括兩格式化之訊號，例如DHI及DINH，及4個時序標記，例如SetHi、SetLo、SetOn及SetZ。例如，該驅動電路140可以被設定以輸出格式化訊號DHI及DINH至針腳電子電路(PEC)120。或者，該驅動電路140可以被設計以輸出格式化訊號DINH及時序標記SetHi及SetLo，其一起定義DHI。該PEC 120取決於誰被提供而使用格式化訊號DHI及DINH、或其它標記以決定是否驅動DUT針腳118至預先定義之邏輯狀態，例如高、低或三態、或從DUT針腳118接收

五、發明說明 (3)

輸出訊號。

該反應電路160產生時序標記，例如StbHi、StbLo、StbOff及StbZ，其與事件型式資訊使用以探測由針腳電子比較器124所提供之訊號ACH及BCL，以決定DUT針腳118是否通過或是失敗測試。假如訊號ACH及BCL之狀態不同於由事件型式所指示的，一"失敗"訊號產生且輸出在STFL 162。

圖2顯示一格式器210，其中該驅動電路240設計以輸出時序標記SetHi、SetLo、SetOn及SetZ至外部電路250。該時序標記SetHi及SetLo被外部電路250使用以重新產生格式化訊號DHI，而時序標記SetOn及SetZ被外部電路250使用以重新產生格式化訊號DINH。該操作如下：SetHi設定訊號DHI之狀態為1；SetLo設定訊號DHI之狀態為0；SetZ設定訊號DINH之狀態為1；以及SetOn設定訊號DINH之狀態為0。

通常，傳統系統提供其被指派至特定角色在對於每個被測試之DUT針腳訊號格式化之一系列之時序標記。在一些測試系統中，該系列之時序標記包括3驅動標記及3探測標記。在其它測試系統中，該系列之邊緣包括6驅動標記及4探測標記或4驅動標記(例如，SetHi、SetLo、SetOn及SetZ)及4探測標記(例如，StbHi、SetLo、StbEnd及StbZ)。在此隨後之測試系統中，例如，驅動電路產生4時序標記，而每個時序標記具有達200 MTPS(每秒兆次轉變)之資料速率。該4時序標記使用以達800 MTPS之邊緣速率格式化一訊號。該產生之格式化訊號傳輸至針腳電子電路，其之後提供該訊號至DUT針腳。在相同測試系統中，該反應電路產生4

五、發明說明(4)

邊緣，其使用以在達800 MTPS之速率下探測由針腳電子比較器所提供的波形。

當提供至一給定針角之一系列邊緣對於產生DUT針腳所需之波形並不足夠快時，一些測試系統使用時序標記之結合以加倍時序邊緣可以被施加之速率。例如，在這些測試系統中，兩驅動電路被外部閘住以產生邊緣訊號，其被使用以產生具達1600 MTPS之邊緣速率之波形。相似地，兩反應電路被外部地閘住以產生邊緣，其被使用以在達1600 MTPS之速率下探測由針腳電子比較器所提供之波形。

發明摘要

本發明者承認傳統測試系統格式器傾向於相對地沒彈性及昂貴於設計、製造、使用和/或設定以使用在不同測試環境中。因此，本發明者發展一具彈性之測試系統架構，其中該驅動和/或反應電路選擇性地可程式化以操作在任何之許多不同模式中，其取決於被執行之測試之測試環境及參數。並且，該具彈性測試系統架構可以包括多重通道使得許多不同及獨立組之測試訊號可以被共同驅動電路產生和/或對不同測試訊號之反應可以被共同反應電路所處理。

在此描述之測試系統格式器之履行可以包括下列特點之許多結合。

在一觀點中，自動測試設備格式器之驅動電路包括：一具一或更多事件邏輯介面之事件邏輯區段，每個事件邏輯介面能夠解碼從外部事件時序產生電路接收之訊號；一線性延遲元件區段，其具有一或是更多線性延遲元件，每個

五、發明說明 (5)

線性延遲元件連接至對應的事件邏輯介面且能夠產生對應於從事件邏輯介面接收之訊號的時序標記；及可程式化以操作在任何複數個不同模式中之驅動邏輯，該每個模式提供驅動訊號或時序標記或兩者之不同結合。該驅動電路可被程式化以提供在不同頻率之驅動訊號或時序標記之結合。

每個事件邏輯介面可以配以一對應線性延遲元件以形成一通道以提供訊號至驅動邏輯。在該情況中，該驅動電路可被設定以經由一或是更多通道平行地繞送定義驅動訊號或時序標記之訊號。

該驅動電路也可包括一可被設定以從外部來源接收控制設定訊息之暫存器區段。並且，該驅動電路可以包括一時序測量單元區段，其也包括至少兩時序測量單元多工器。

該驅動電路之驅動邏輯可以包括一或是更多可程式化多工器及相關邏輯元件，其可被使用以邏輯地結合從一或更多線性延遲元件接收之訊號以形成驅動訊號或時序標記或兩者之所需結合。該可程式化之多工器一般係為選擇性地可程式化以使得該驅動邏輯操作在任何多樣之不同模式下。每個模式可以使用一或更多通道以形成對應的驅動訊號或時序標記或兩者。該驅動邏輯也可操作在任何許多之探測模式下。每個探測模式對應至探測訊號之不同結合。例如，每個探測模式可以使用不同數目之通道以形成對應探測訊號。

在另一觀點中，一自動測試設備格式器之反應電路包括

五、發明說明(6)

一事件邏輯區段，其可具有一或是更多事件邏輯介面，每個事件邏輯介面能夠解碼從外部事件時序產生電路接收之訊號；一線性延遲元件區段，其具有一或是更多線性延遲元件，每個線性延遲元件連接至對應的事件邏輯介面且能夠產生對應於從事件邏輯介面接收之訊號的時序標記；及可程式化以操作在任何複數個不同模式中之反應邏輯，每個模式提供探測訊號之不同結合。該反應電路可以程式化以從一或更多針腳電子比較器接收反應訊號。

該反應電路可以被設定，其中每個事件邏輯介面配以一對應之線性延遲元件以形成一通道以提供訊號至反應邏輯。在該情況下，該反應電路可被設定以平行地繞送從一或更多針腳電子比較器接收之反應訊號至一或更多通道。

該反應電路也可包括被設定已從外部來源接收控制設定資訊之暫存器區段。並且，該反應電路可包括時序測量單元區段，其具至少兩時序測量單元多工器。

該反應電路之反應邏輯可以包括一或更多可程式化多工器及相關邏輯元件，其係選擇性地可程式化以使得該反應邏輯操作在任何不同模式下。每個模式對應於訊號被接收之不同數目之針腳電子比較器。並且，每個模式使用一或更多通道以形成對應反應訊號。例如，該反應電路可被設定在第一模式以從單一針腳電子比較器接收反應訊號且使用4合併通道以產生失敗輸出。如另一範例，該反應電路可被設定在第二模式中以從兩分別針腳電子比較器接收反應訊號且使用該兩合併通道於每個針腳電子比較器以產生失

五、發明說明(7)

敗輸出。在尚另一範例中，該反應電路可被設定在第三模式中以從4針腳電子比較器接收反應訊號且使用分別通道於每個針腳比較器以產生失敗輸出。

在尚另一觀點中，一測試系統格式器可以包括一可程式化之驅動電路，其可被設定以操作在任何一或更多驅動模式中，而每個模式對應於驅動訊號或驅動時序標記或兩者之不同結合。該測試系統格式器也包括一可程式化反應電路，其可程式化以操作在任何一或更多探測模式中，而每個探測模式對應於探測訊號之不同組合。

在另一觀點中，設定一積體電路測試系統包括提供具可程式化驅動電路之格式器之測試系統，設定該測試系統與測試下電路通訊及程式化該驅動電路操作在從許多模式中選擇的模式下，而每個模式定義格式化驅動訊號或驅動訊號時序標記或兩者之不同組合。設定該積體電路測試系統也包括程式化該驅動電路以平行地從許多通道接收輸入訊號。從許多通道之輸入訊號可被合併以產生一或更多驅動訊號，其可增加驅動訊號之資料速率。

設定積體電路測試系統也包括提供一可程式化反應電路；及程式化該反應電路操作在從一或更多模式選擇之模式下。每個模式對應於反應訊號被接收之不同數目之針腳電子比較器。

在此描述之系統及技術可以提供許多優點。例如，因為一測試系統之整體成本重要程度上取決於相對小數目之訂製組件(例如格式器之驅動電路及反應電路)，需要多重驅

五、發明說明(8)

動電路及反應電路傳統測試系統傾向於有相對昂貴之製造及設定成本。在比照之下，因為在此描述之具彈性之測試格式器可使用軟體選擇性地可程式化以操作在任何許多不同模式下，所以該產生之測試格式器找到了更廣泛的應用性且可被容易地重新設定以適應以改變測試需求或適應至不同測試環境。結果，設計、發展及其它相關累贅花費可大大地減少。

並且，在此描述之具彈性的測試格式器可選擇性地程式化以產生時序標記及格式化準位在不同頻率之結合。在一設定中，例如，該格式器可被程式化以操作在任何11不同模式中，藉此表示在比較於傳統格式器彈性之大增加，其通常被硬體化以僅操作在單一模式下。進一步，該可程式化格式器可被使用以不僅提供驅動訊號在任何許多不同模式下，也可軟體設定以產生未格式化標記於探測應用。此特別模式、頻率和/或時序標器/格式化準位之結合可以取決於系統設計者和/或被執行之測試之需求的目的。

一或更多具體實施例之細節在下面隨附之圖式及描述中提出。其它特點及優點將從描述和圖式及從申請專利範圍變得明顯。

圖式描述

圖1係為傳統測試系統之方塊圖。

圖2係為傳統測試格式器電路之方塊圖。

圖3係為一選擇性可程式化驅動電路圖。

圖4係為顯示程式化以操作在一特別模式下之驅動邏輯

五、發明說明 (9)

之邏輯表示圖。

圖5係為顯示線性延遲元件之操作圖。

圖6係為驅動電路之TMUMUX區段圖。

圖7係為選擇性地可程式化反應電路圖。

圖8係為反應電路之TMUMUX區段圖。

圖9係為顯示被程式化以操作在一特別模式下之反應邏輯之邏輯表示圖。

圖10係為顯示驅動電路及反應電路之圖，每個操作在一特別模式下。

在許多圖式中之相同參考符號指示相同元件。

詳細描述

在接下來的描述中，除非另外提及，否則全部被參考的訊號係為差別(differential)的。

圖3顯示驅動格式器積體電路("驅動電路")310，其選擇性地可程式化以操作在不同模式下。例如，該驅動電路310可被程式化以操作在模式中，其中格式化訊號和/或對應時序標記在不同頻率之結合可被提供以支援達4 DUT針腳電子通道。該驅動電路310包括一暫存器區段314、4事件邏輯介面電路(ELIF) 316、4對應線性延遲元件(LDE) 318、一時間測量單位多工器區段(TMUMUX) 320以及驅動邏輯322區段。

每個ELIF 316配以相關LDE 318以形成一通道或"桶"，其中資料及時序訊號從其經過而傳遞至驅動邏輯322，其形成需要之驅動訊號和/或時序標記用以驅動DUT針腳。多重桶

五、發明說明 (10)

可以被使用以平行地提供資料訊號至該驅動邏輯322以產生驅動訊號。結果，該驅動邏輯322可以產生比僅只單一桶使用更較高頻率之驅動訊號和/或時序標記。或者，或此外，假如不需較高頻率之訊號，該多重桶可被使用以驅動比使用傳統驅動電路之先前可能的還更多DUT針腳。

該暫存器區段314經由4位元序列埠從外部場可程式化閘極陣列(FPGA) 332接收設定資訊，其包括訊號REGCLK、RSDATAIN、RUPDATE及RSDATAOUT。該訊號RSDATAIN從外部FPGA 332接收一18位元字，其包括4位元之針腳分享位址、4位元的暫存器位址、8位元的資料及2位元的位址更新及讀/寫致能。任何有助於產生該18位元字之任何程式語言可被使用以產生該控制設定資訊。程式化分享記憶體駐留之外部FPGA 322以傳輸該18位元字之細節描述在美國專利案號4,594,544，標題為"在測試設備中分享記憶體於平行載入針腳導向暫存器"，其因參考而在此加入。資料在REGCLK之上升緣轉移至暫存器區段之314 RSDATAIN或由暫存器區段之314 RSDATAOUT轉移出，該REGCLK具有100 M赫茲之頻率。RUPDATA標記在RSDATAIN傳輸之序列18位元字之終點，藉此允許WRITE動作發生在該驅動電路310中或一READ動作以序列化在暫存器區段314中之格式器暫存器以在RSDATAOUT上傳輸。

每個ELIF 316在隨後之驅動時脈(DCLK)週期，在400 M赫茲之執行時間操作，從外部事件時序產生積體電路，接收兩6位元半字。該4個平行6位元執行時間資料存取埠標記

五、發明說明 (11)

為DA、DB、DC及DD。基本上，每個ELIF 316解碼經由其對應之資料存取埠傳輸之該兩6位元半字。該被解碼之資料包括時序延遲欄(4位元)、一事件型式欄(1位元)及一旗幟欄(1位元)。

假如該旗幟為TRUE，其它欄被解碼以指定一事件，例如格式準位(例如，DHI及DINH)，或時序標記(例如，SetHi、SetLo、SetOn、SetZ、StbHi、StbLo或StbZ)或兩者之結合，其需要以產生在驅動邏輯322之輸出。假如該旗幟為FALSE，該接收資料被每個ELIF 316所暫存且保持等待下一週期。當該旗幟隨後為FALSE，繼之以TRUE，之後在其標記為TRUE之半字之前之半字中所接收之資料與其旗幟為TRUE之半字中接收之資料結合以形成完整事件字(例如，8位元之時序延遲及兩位元之事件型式)。假如兩隨後半字包含一TRUE旗幟時，之後包含TRUE旗幟之該第二隨後半字與下一半字結合以形成下一完整事件字。從那時候起，所有相繼完整字從包含TRUE旗幟之半字及下一半字(不是先前的)形成直到至少具FALSE之兩半字被接收。3相繼具旗幟FALSE之半字並不允許。假如任何時間先前已經有兩個相繼具TRUE旗幟之半字且隨後並沒有兩相繼具FALSE旗幟之半字，2隨後具旗幟TRUE之半字也並不被允許。

表1顯示可被解碼之事件型式。在表1中，一"x"表示沒有改變，一"^"表示時序標記產生，以及一"-"表示不能應用。並且，時序標記之範疇(例如，驅動或探測)係由在暫存器

五、發明說明 (12)

區段314內之STBMODE位元之狀態所建立。

		STBMODE=0				STBMODE=1					
型式1	型式0	DINH	DHI	SETHI	SETLO	SETON	SETZ	STBHI	STBLO	STBZ	X
0	0	1	x	-	-	-	^	-	-	-	^
0	1	0	x	-	-	^	-	-	-	^	-
1	0	0	0	-	^	^	-	-	^	-	-
1	1	0	1	^	-	^	-	^	-	-	-

表1.驅動電路解碼事件型式

在現在可得之測試系統中，通常有兩可得之探測型式，其可藉由暫存器裝置選擇-一邊緣探測及視窗探測。一邊緣探測在探測本身之時間登錄錯誤。一視窗探測在探測事件之時間打開而在"X"事件之時間關閉。所以，探測標記"X"表示視窗探測之結束。假如該被程式化之探測模式係為邊緣探測，則該X事件並沒有效用。

每個LDE 318回應藉由其對應ELIF 316所轉繼至其之時間延遲及事件型式資訊而產生時序標記。LDE 318之操作在下更詳細地討論。該驅動邏輯322，驅動電路310之革新特點，經由DVOUT*接收時序標記，其中*係為A、B、C及D，和經由TYPE*從ELIF 316接收事件型式資訊，其中*係為A、B、C及D。根據驅動邏輯322接收之事件型式及時序標記，其提供時序標記、格式化之訊號或兩者之結合至其8輸出(SIGS、SIGT、SIGU、SIGV、SIGW、SIGX、SIGY及SIGZ)之一。

該驅動邏輯322可以從其8輸出訊號提供時序標記及格式化之準位在不同頻率之結合至達4 DUT針腳電子通道(通道

五、發明說明 (13)

W、X、Y及Z)。結果，產生許多優點。例如，僅需要使用具驅動邏輯322之驅動電路310之一測試系統測試需要在不同資料速率之不同驅動訊號的積體電路裝置，而對於相同能力可能需要使用傳統驅動電路之多重測試系統，因為傳統驅動電路僅可在一模式下操作，即是，在特定資料速率下產生及傳輸驅動訊號至DUT針腳。因此，大大地減少測試需要在不同資料速下不同驅動訊號之積體電路裝置時所需之成本及時間。

如上所指示的，該驅動邏輯322可被程式化以操作在任何許多不同輸出模式中。該驅動邏輯322可被使用以提供不僅驅動訊號(例如，在表2中之輸出模式D1L、D1PL、D1P、D2L、D2PL、D2P、D4L及D4P)，且也可被軟體設定之未格式化標記於探測應用(例如，在表2中之輸出模式R1P、R2P及R4P)。所有輸出模式設定從暫存器區段314傳輸至驅動邏輯322。

驅動									探測		
輸出	D1L模式	D1PL模式	D1P模式	D2L模式	D2PL模式	D2P模式	D4L模式	D4P模式	R1P模式	R2P模式	R4P模式
SIGS	DHIW	SetHiW	SetHiW	DHIW	SetHiW	SetHiW	DHIW	SetHiW	StbHiW	StbHiW	StbHiW
SIGT	未使用	SetLoW	SetLoW	未使用	SetLoW	SetLoW	DHIX	SetLoW	StbLoW	StbLoW	StbLoW
SIGU	DINHW	DINHW	SetOnW	DINHW	DINHW	SetOnW	DINHW	SetHiX	StbZW	StbZW	StbHiX
SIGV	未使用	未使用	SetZW	未使用	未使用	SetZW	DINHX	SetLoX	StbEndW	StbEndW	StbLoX
SIGW	未使用	未使用	未使用	DHIY	SetHiY	SetHiY	DHIY	SetHiY	未使用	StbHiY	StbHiY
SIGX	未使用	未使用	未使用	未使用	SetLoY	SetLoY	DINZ	SetLoY	未使用	SetLoY	StbLoY
SIGY	未使用	未使用	未使用	DINH Y	DINH Y	SetOnY	DINH Y	SetHiZ	未使用	StbZY	StbHiZ
SIGZ	未使用	未使用	未使用	未使用	未使用	SetZY	DINH Z	SetLoZ	未使用	StbEndY	StbLoZ

表2. 驅動邏輯操作模式

五、發明說明 (14)

顯示在表2之輸出模式如下：

- 模式 D1L-該 4 ELIF/LDE 對合併以產生格式化訊號 DHIW及 DINHW於 DUT 針腳電子驅動器 W。在該模式下，需要直接連接至高效能針腳電子驅動器以減少時序錯誤。6個輸出未使用。最大資料速率為 800 MTPS。
- 模式 D2L-該 ELIF/LDE 對 A 及 B 合併以產生格式化訊號 DHIW及 DINHW於 DUT 針腳電子驅動器 W，而 ELIF/LDE 對 C 和 D 合併以產生格式化訊號 DHIY和 DINHY於 DUT 針腳電子驅動器 Y。4個輸出未使用。在該模式下，最小脈衝寬度小於 1 奈秒且最大資料速率為 400 MTPS。
- 模式 D4L-每個 ELIF/LDE 對產生格式化訊號 DHI 和 DINH 於 4 DUT 針腳電子驅動器 W、X、Y 和 Z。在該模式中，最小脈衝寬度為 4 奈米且該資料速率為 200 MTPS。沒有輸出是未使用的。
- 模式 D1P 和 R1P-該 4 ELIF/LDE 對合併且產生時序標記 SetHiW、SetLoW、SetOnW 及 SetZW(或 StbHiW、StbLoW、StbEndW 及 StbZW)於 DUT 針腳電子驅動器 W。這些時序標記也可被扇出於多個地點測試或其為了較高資料速率可與從分別裝置之相似組輸出結合。4個輸出未使用。
- 模式 D2P 及 R2P-該 ELIF/LDE 對 A 和 B 合併以產生時序標記 SetHiW、SetLoW、SetOnW 和 SetZW(或 StbHiW、StbLoW、StbEndW 和 StbZW)於 DUT 針腳電子驅動器 W 而 ELIF/LDE 對 C 和 D 合併以產生時序標記 SetHiY、SetLoY、SetOnY 和 SetZY(或 StbHiY、StbLoY、StbEndY 和 StbZY)

五、發明說明 (15)

於針腳電子驅動器 Y。這些時序標記也以模式 D1P 和 R1P 之資料速率之一半在成本一半之下扇出於多個地點測試。沒有輸出未使用。

- 模式 D4P 和 R4P-每個 ELIF/LDE 對產生時序標記 (SetHi 和 SetLo 或 StbHi 和 StbLo) 於每個 DUT 針腳電子通道 W、X、Y 和 Z。這些時序標記也可以模式 D2P 及 R2P 之速率之一半且成本之一半扇出於多個地點測試。沒有輸出是沒使用的。

- 模式 D1PL-該 4 ELIF/LDE 對合併以產生時序標記 SetHiW 和 SetLoW 且該格式化訊號 DINHW 於 DUT 針腳電子通道 W。5 個輸出未使用。

- 模式 D2PL-該 ELIF/LDE 對 A 和 B 合併以產生時序標記 SetHiW 和 SetLoW 且該格式化訊號 DINHW 於 DUT 針腳電子驅動器 W 而 ELIF/LDE 對 C 和 D 合併以產生時序標記 SetHiY 和 SetLoY 及格式化訊號 DINHY 於 DUT 針腳電子驅動器 Y。兩輸出未使用。

模式 D1L、D1P 和 R1P 具有最高準確度需求因為所有 4 ELIF/LDE 對合併。模式 D1L 特別地適合於在序列位元流測試需求中之資料格式化及於高速時脈，其中對於具最大彈性之脈衝伸展或縮小有需求。模式 D1P、R1P、D2P、R2P、D4P 和 R4P 產生時序標記。這些模式可被使用於 DUT 輸入格式時序或於 DUT 輸出探測，其取決於在暫存器區段 314 內 STBMODE 位元之狀態。模式 D1PL 和 D2PL 產生可使用在記憶體測試應用中之時序標記及格式化訊號。時序標記

五、發明說明 (16)

SetHi、SetLo、SetOn、SetZ、StbHi、StbLo、StbEnd和StbZ之脈衝寬度可被軟體設定在任何在625 ps至1.25奈米之間，在接近90 ps間隔中。該格式化訊號DHI和DINH可被強制在輸出，在針腳電子之校正期間藉由設定適當的位元在軟體暫存器在暫存器區段314中。雖然表2描述11個模式之操作，不同、更少或額外模式可以被支援，其取決於系統設計者之目的或偏好和/或取決於測試環境之限制。

圖4顯示在模式之特別之一，例如，模式D1L中在格式化訊號DHIW和DINHW之產生中驅動邏輯322之操作之範例。應該注意圖4係為使用邏輯閘表示之驅動邏輯322操作在模式D1L中之功能性描述。實際上，該驅動邏輯322係由邏輯閘和多工器和設定及重設暫存器和栓鎖之結合而履行，其之內連接係根據由測試系統之使用者選擇之輸出模式而可選擇的。假定使用者選擇模式D1L，表示模式D1L之模式型式資訊從暫存器區段314經由模式選擇424轉繼至驅動邏輯322。該驅動邏輯322根據驅動邏輯322從ELIF/LDE對A、B、C和D所接收之時序標記及事件型式資訊產生內部时序標記sdhiaw、sdhibw、sdhicw和sdhidw。這些內部时序標記轉繼至一OR-邏輯閘430而該OR-邏輯閘430之輸出設定一設定/重設栓鎖432之設定輸入，且提供為一輸入至一OR-邏輯閘440。該"設定"訊號，在此例子中，意指該格式化訊號DHIW被設至邏輯高。結果，該格式化訊號DHIW(設至邏輯高)產生在該設定/重設栓鎖432之輸出。相反地，當該格式化訊號DHIW需要被設至邏輯低，內部时序標記rdhiaw、

五、發明說明 (17)

rdhibw、rdhicw和rdhidw轉繼至OR-邏輯閘434而該OR-邏輯閘434之輸出重設設定/重設栓鎖432，且提供為輸入至該OR邏輯閘440之輸入。結果，該格式化訊號DHIW(設定至邏輯低)產生在設定/重設栓鎖432之輸出。

該驅動邏輯322也根據驅動邏輯322從ELIF/LDE對A、B、C和D所接收之時序標記及事件型式資訊產生內部時序標記sdinhaw、sdinhbw、sdinhcw和sdinhdw。這些內部時序標記轉繼至OR-邏輯閘436而該OR-邏輯閘436之輸出設定設定/重設栓鎖438之設定輸入。該"設定"訊號，在此例子中，意指該格式化訊號DINHW被設至邏輯高。結果，該格式化訊號DINHW(設至邏輯高)產生在該設定/重設栓鎖438之輸出。相反地，當該格式化訊號DINHW需要被設至邏輯低時，內部時序標記rdhiaw、rdhibw、rdhicw和rdhidw和從OR-邏輯430及434之輸出轉繼至OR-邏輯閘440。該OR-邏輯閘440之輸出重設設定/重設栓鎖438。結果，該格式化訊號DINHW(設定至邏輯低)產生在設定/重設栓鎖438之輸出。

輸出多工器(out mux) 450分別地導引該格式化訊號DHIW及DINHW至SIGS和SIGT輸出，如由選擇模式D1L所指定的。在模式D1L中該SIGS及SIGT輸出具有800 MTPS之最大資料速率。

對於10個另外操作模式，該驅動邏輯322包括其它電路，在邏輯閘準位，可以包括不同設定/重設栓鎖、OR-邏輯閘及輸入至該OR-邏輯閘，其使用以輸出該模式之格式化訊號和/或時序標記。結果，每個模式可以具有如圖4所顯示

五、發明說明 (18)

之相似邏輯閘佈局。一個普通熟悉此技藝的人士將能夠以包含在表1和2之資訊及驅動邏輯322之內部時序標記，根據由在表中之指派、型式位元和內部時序標記所定義之邏輯需求，建構其它10種模式之操作。

圖5顯示LDE 318之操作，其可以包括設定/重設栓鎖530、斜面產生器532、比較器534、增益數位至類比轉換器(增益DAC) 536及一延遲數位至類比轉換器(延遲DAC) 538。ELIF的時序延遲資訊537，其從對應之ELIF 316傳輸，被延遲DAC 538接收。該增益資訊535，其從外部FPGA 332經由暫存器區段314傳輸，被增益DAC 536接收。斜面忙訊號531繞送至延遲DAC 538。斜面忙訊號531之上升緣指示對應至一事件之斜面之完成，藉此觸發一所需之事件在驅動邏輯輸出之輸出之一。該斜面忙訊號531之上升緣也係指示LDE 318準備好載入相關於下次事件之新時序延遲資訊。每個LDE 318可以以接近10 ps (picosecond)之單位在385 M赫茲-420 M赫茲系統時脈之邊緣之間移動邊緣。

圖6顯示驅動電路之TMUMUX區段320，其包括兩高速TMUMUX 622和624。該TMUMUX區段320使用以選擇許多由每LDE 318和驅動邏輯322所產生之內部時序訊號中之者，係經由輸出TMUQA和TMUQB被繞送至系統時序測量單元(TMU)於校正及診斷目的兩者。一些內部時序訊號係為脈衝，其太短以至於不能傳達經由所有電路到達TMU，所以這些內部時序訊號被使用以觸發正反器630。該正反器之轉變之時序可以如下而容易地被測量。兩輸入訊號

五、發明說明 (19)

TMUPAIN和TMUPBIN分別地被繞送至TMUMUXA 622和TMUMUXB 624,其中其之標記位置可以以高度之準確度及解析度測量。訊號DVIA、DVIB、DVIC和DVID係為觸發輸入至其分別LDE 318,而訊號DVOA、DVOB、DVOC和DVOD係為從其分別LDE 318之時序標記輸出。例如,在模式D1P、R1P、D2P和R2P中,該輸出訊號SIG*(4或8之數目,其取決於被選擇之模式)係為時序標記脈衝,其中*係為S到Z。該觸發正反器630不是選擇非常短脈衝就是產生其之邊緣被非常短之脈衝所定時之訊號。該SIG*脈衝以正反器630之觸發可以發生在其上升緣或下降緣之方式經由多工器繞送。

圖7顯示反應格式器積體電路("反應電路")710,其選擇性地可程式化以操作在3模式下。通常,該反應電路710產生探測時序標記,例如StbHi、StbLo、StbOff和StbZ,其可與事件型式資訊使用以探測由針腳電子電路之比較器方塊所提供之訊號ACH和BCL以決定一DUT針腳是否通過或是失敗由驅動電路310所提供之測試模式。假如訊號ACH和BCL之狀態與由該事件型式所指示的不同時,產生一"失敗"訊號且傳送至輸出訊號723,其被稱為STFL*,其中*為A、B、C和D。

反應電路710包括一暫存器區段714、4事件邏輯介面電路(ELIF)716、4對應線性延遲元件(LDE)718、一時間測量單元多工器區段(TMUMUX) 720及一驅動邏輯722區塊。

如同可看見的,反應電路710共享許多與驅動電路310之

五、發明說明 (20)

相同架構。例如，該反應電路710和驅動電路310共享控制TMUMUX區段320、820之暫存器。然而，所有其它暫存器對於反應電路710和驅動電路310係為獨一的。但是有許多之暫存器其功能在反應電路710和驅動電路310兩者中係為相同的，例如GAIN DAIN暫存器、DELAY DAC暫存器和MODE SELECT暫存器。然而，暫存器存取方法係為相同的，所以在上關於驅動電路310之暫存器存取討論係為同樣可應用的。

每個ELIF 716基本上與驅動電路之ELIF 316相同，所以在上關於ELIF 316之討論係為同樣可應用的。然而，ELIF 716和ELIF 316之間之一差異係在事件型式位元之意義，其指定產生之時序標記是否為StbOff、StbZ、StbHi或StbLo。表3顯示反應電路710之解碼事件型式。

型式	描述
00	StbOff
01	StbZ
10	StbLo
11	StbHi

表3.反應電路事件型式

每個LDE 718基本上與驅動電路的LDE 318相同且操作相似，除了，在回應從ELIF 716接收時序延遲值上，該LDE 718產生探測時序標記而不是驅動時間標記。該反應邏輯722從最多4針腳電子比較器接收訊號Above Comparator High (ACH)和Below Comparator Low (BCL)。基本上相同

裝
訂
線

五、發明說明 (21)

時間，該反應邏輯722使用由每個LDE 718反應執行時間資料所產生之事件型式資訊和探測標記以取樣ACH和BCL訊號。假如ACH和BCL訊號之狀態與該事件型式所指示的不同，於是產生一"失敗"訊號。例如，

- 假如在探測時間時，ACH係為0且BCL係為0，StbZ通過，否則失敗；
- 假如在探測時間時，BCL係為1，則StbLo通過，否則失敗；
- 假如在探測時間時，ACH係為1，則StbHi通過，否則失敗；以及
- 假如BCL和ACH兩者係為1，不論是StbLo還是StbHi都通過，此通常為無效情況。

該4失敗輸出訊號723稱為STFL*(其中*=A、B、C或D)。該失敗輸出訊號723在與相關ELIF/LDE對上觸發LDE 718之邊緣探測相關之內部參考(被稱為TAG位元)之後準確地6個時脈會反映該相關失敗且該準位一直保持直到下一TAG位元被ELIF/LDE對上接受之後的6個時脈。

如上所提及，該反應邏輯722具有3種模式之操作，其在表4中描述。

探測			
失敗輸出	模式R1L	模式R2L	模式R4L
STFLA	ACHW/BCLW	ACHW/BCLW	ACHW/BCLW
STFLB	ACHW/BCLW	ACHW/BCLW	ACHX/BCLX
STFLC	ACHW/BCLW	ACHY/BCLY	ACHY/BCLY
STFLD	ACHW/BCLW	ACHY/BCLY	ACHZ/BCLZ

表4.反應邏輯操作模式

五、發明說明 (22)

該模式如下：

模式 R1L-該反應邏輯 722 從單一針腳電子比較器接收訊號 ACHW 及 BCLW。所有 4 ELIF/LDE 對 (A、B、C 和 D) 合併以產生失敗輸出 STFLA、STFLB、STFLC 及 STFLD。該模式具有 800 MTPS 之最高探測速率。

模式 R2L-該反應邏輯 722 從 2 針腳電子比較器接收訊號 ACHW、BCLW、ACHY 及 BCLY。ELIF/LDE 對 A 和 B 合併以產生失敗訊號 STFLA 及 STFLB 於訊號 ACHW 及 BCLW，其從一針腳電子比較器接收。ELIF/LDE 對 C 和 D 合併以產生失敗輸出 STFLC 和 STFLD 於訊號 ACHY 和 BCLY，其從分別之針腳電子比較器接收。

模式 R4L-每個 ELIF/LDE 對產生相對於從 4 分別針腳電子比較器接收之 ACH 及 BCL 輸入之失敗訊號。

TMUMUX 區段 720 從在輸出埠在反應電路 710 內部 (或是這些從驅動電路 310 所接收的) 轉繼訊號於系統校正及診斷目的。圖 8 顯示該反應電路之 TMUMUX 區段 720，其包括兩高速 TMU MUX 822 及 824。該 TMUMUX 區段 820 執行高速系統校正及診斷。兩輸入訊號 TMUPA 及 TMUPB (其係為從驅動電路 310 所先前選擇之時序訊號) 分別地被繞送至 TMUMUXA 822 及 TMUMUXB 824，其中其標記位置可以較高程度之準確度及解析度測量。該訊號 ACH* 及 BCL* (其中 *=W、X、Y 及 Z) 係為從 DUT 針腳之差別準位訊號。訊號 RPST* (其中 *=W、X、Y 及 Z) 係相關於在暫存器區段 314 之暫存器，其選擇所需的 BCL* 及 ACH* 準位於讀回輸出資料

五、發明說明 (23)

匯流排之位元0和1。其它訊號係為控制暫存器領航位元。如在驅動電路TMUMUX之情況，該觸發正反器830選擇非常短之脈衝或是產生其之邊緣由非常短脈衝所定時之訊號。觸發可以發生在上升緣或下降緣上。

圖9顯示在模式之特別之一中，例如R1L，在失敗訊號STFLA、STFLB、STFLC和STFLD之產生中反應邏輯722之操作的範例。應該注意圖9係為操作在模式R1L之反應邏輯722的功能性描述，其使用邏輯閘表示。實際上，該反應邏輯電路722由邏輯閘及多工器和設定及重設站存器及栓鎖之結合而履行，其之內連接係為根據由測試系統之使用者所選擇之反應測試模式而可選擇的。假設一使用者選擇模式R1L，且假設使用者已經選擇邊緣探測模式，之後該操作係如下。ELIF/LDE區塊A 901、B 902、C 903及D 904，每個產生3訊號StbZ、StbLo和StbHi如先前所描述。在該履行中，視窗探測沒被使用所以沒有產生X事件。然而，假如想要或是需要的話，不同履行可能使用視窗探測。一AND邏輯閘938由模式R1L所致能且從被測試之裝置經由OR-邏輯閘930傳遞負感應訊號ACHW(如在由ACHW所驅動之輸入上之圓圈所指示)至AND-邏輯閘906之輸入。當AND-邏輯閘906之輸入為真時，從ELIF/LDEA 901之標記StbHiA傳送到之後設定正反器922之OR-邏輯閘918，一正緣觸發設定/重設正反器在該技藝中係為人所熟知的。在訊號CCLK之下一正緣上，正反器922之狀態敲進D型式邊緣觸發正反器926且重設正反器922。正反器926之輸出係為失敗訊號

五、發明說明 (24)

STFLA。相似的連接至AND-邏輯閘939-941、OR-邏輯閘931-933、AND-邏輯閘907-909、OR-邏輯閘919-921、正緣觸發正反器923-925及D-型式邊緣觸發正反器927-929產生失敗訊號STFLB、STFLC及STFLD。

該剛才描述之4失敗訊號從當ACHW感應為低時所紀錄之特定裝置輸出失敗而產生-該裝置輸出訊號在標記StbHiA上不是"Above Comparator High"(即是，在由外部定義之比較器高電壓準位之上)，所以該裝置輸出為失敗。模式R1L也連接至AND-邏輯閘942而使得負緣感應訊號BCLW經由OR-邏輯閘934被傳遞至AND-邏輯閘910，其使得由ELIF/LDEA 901所產生之標記StbLoA傳遞至OR-邏輯閘918。OR-邏輯閘930之輸出也連接至NOR-邏輯閘905。AND-邏輯閘910之輸出也連接至NOR-邏輯閘905。假如NOR-邏輯閘905之兩輸入之兩者係為低時，之後其之輸出將為高以使得從ELIF/LDEA 901之標記StbZA傳遞至OR-邏輯閘918。因此假如訊號BCLW為LOW時，該標記StbLoA設定STFLA—該裝置輸出BCLW不是"在比較器下為低(Below Comparator Low)"。不論訊號ACHW或BCLW何時為高，該標記StbZA因此設定STFLA—在這些情況下該裝置輸出並不是在三態(或Z)情況，其被定義在比較器高電壓準位和比較器低電壓準位之間。不論何時標記StbLoA或標記StbZA傳輸到OR-邏輯閘918，該正反器會被設定，藉此允許一失敗被傳輸至STFLA，如上所述。相似連接至AND-邏輯閘915-917、NOR-邏輯閘946-948和OR-邏輯閘919-921，使得

五、發明說明 (25)

正反器 923-925 被標記 StbLoB、C、D 或標記 StbZB、C、D 設定，藉此設定失敗訊號 STFLB、C 和 D。根據裝置輸出訊號 ACHX、ACHY、ACHZ、BCLX、BCLY 和 BCLZ 需要以使得失敗訊號 STFLB、C 和 D 被設定之邏輯連線係需要連接訊號至 OR-邏輯閘 930-937 之閘之不同排列。

模式 R2L 需要致能 ACHY 至 OR-邏輯閘 932 和 933 而不是 ACHW 之閘，及致能 BCLY 至 OR-邏輯閘 936 和 937 而不是 BCLW 之閘。以這些連線，不論何時 ACHW 被標記 StbHiA 或 StbHiB 感測到低時失敗將會紀錄在 STFLA 和 STFLB 上，而不論何時 ACHY 被標記 StbHiC 或 StbHiD 感測到低時失敗將會被紀錄且對於在 BCLW 和 BCLY 之相關情況係相似的。

模式 R4L 需要致能 ACHX 至 OR-邏輯閘 931、ACHY 至 OR-邏輯閘 932、ACHZ 至 OR-邏輯閘 933、BCLX 至 OR-邏輯閘 935、BCLY 至 OR-邏輯閘 936 和 BCLZ 至 OR-邏輯閘 937 之閘。以這些連線，不論何時 ACHW 和 / 或 BCLW 被感測到失敗，失敗情況將被紀錄在 STFA 上，在 ACHLX 和 / 或 BCLX 上之失敗情況將被紀錄在 STFLB 上，在 ACHLY 和 / 或 BCLY 上之失敗情況將被紀錄在 STFLC 上而在 ACHLZ 和 / 或 BCLZ 之失敗情況將被紀錄在 STFLD 上。在如上所述的之外，所有其它邏輯從一模式至另一模式時保持不變。

圖 10 顯示驅動電路 310，其操作在模式 D1L 及反應電路 710，其操作在模式 R1L，在針腳電子電路 (PEC) 1026 及 DUT 針腳 1030 之背景下。該 PEC 1026 一般操作如下。當訊號 DINHW 之狀態為低時，例如，DUT 針腳 1030 係在輸入狀態

五、發明說明 (26)

。在該情況下，假如訊號DHIW之狀態為高時，該PEC 1026驅動DUT針腳1030高。但是假如DHIW訊號之狀態為低時，該PEC 1026驅動DUT針腳1030低。當訊號DINHW之狀態為高時，例如，該DUT針腳1030係在輸出狀態。在該情況下，從DUT針腳1030之輸出訊號與位在PEC 1026內之針腳電子比較器1032之訊號比較器高(CH)及比較器低比較。假如從DUT針腳1030之輸出訊號大於訊號CH，之後訊號Above Comparator High (ACH)為高；但是假如從DUT腳1030之輸出訊號係在訊號CL之下，之後該訊號Below Comparator Low (BCL)之狀態為高。假如從DUT針腳1030之輸出訊號係在訊號CH及CL之間，之後訊號ACH及BCL兩者之狀態為低。

如上所述，反應電路710產生時序標記(StbHi、StbLo、StbOff和StbZ)，其與事件型式資訊使用以探測由針腳電子比較器1032所提供之訊號ACHW及BCLW以決定DUT針腳1030是否通過或是失敗該測試。假如訊號ACHW及BCLW之狀態係與由事件型式所指示的不同，一"失敗"訊號產生且輸出在STFLA。

其它具體實施例可以包括不同或額外特點。例如，可以實現其它模式。例如，方法步驟可以以不同次序執行，但仍達成需要之結果。並且，該格式化訊號DINH可以被脈衝控制而格式化訊號DHI可以被準位控制。該模式可被稱為D1LP或D2LP。此外，支援多過於4 DUT針腳可以藉由增加更多"ELIF/LDE對"至驅動及反應電路而達成。並且，假如

五、發明說明(27)

需要更高之資料速率，多重驅動電路可以被多工以達成更快速之資料速率。同樣地，多重反應電路可以被多工以達成相似之高速資料速率。並且，較快速邏輯可以使用在驅動及反應電路以達成較高之資料速率。並且，該反應電路及驅動電路可以結合至一裝置，所以操作模式可以包括探測及驅動兩者，不論是一起或是分開。

描述在此之計算觀點可以以數位電子電路、電腦硬體、韌體、軟體或是其之結合所履行。只要適合，這些系統及技術之觀點可以以在一機器可讀取之儲存裝置中明白地包含之電腦程式產品於可程式之處理器執行而履行且方法步驟可被執行一程式之指令以執行操作在輸入資料和產生輸出之功能而執行。

為了提供與使用者之互動，可以使用一電腦系統，其具有例如監視器或LCD螢幕之顯示器裝置於顯示資訊至使用者及一鍵盤和指向裝置例如滑鼠或軌跡球，使用者藉由其可提供輸入至電腦系統。該電腦系統可被程式化以提供圖形使用者介面，經由其電腦程式可與使用者互動。

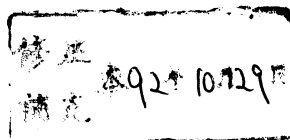
其它具體實施例係在下列申請專利範圍之範圍內。

四、中文發明摘要(發明之名稱： 測試系統格式器)

一測試系統格式器可以包括一可配置以在複數種驅動模式的任何一種下操作之可程式化驅動電路，該每種模式對應至驅動訊號或驅動時序標記或兩者之不同組合，以及包括一可配置以在複數種探測模式之任何一種下操作之可程式化反應電路，每個探測模式對應於探測訊號之不同組合。該格式器也可包括多個驅動通道和/或多個反應通道，每個通道由例如事件邏輯介面及一對應線性延遲元件形成。該等驅動通道提供訊號至要用於產生驅動訊號或驅動時序標記或兩者之該驅動電路。該等反應通道從一或更多針腳電子比較器接收要用以產生失敗輸出之反應訊號。該等可程式化驅動及反應電路係可配置以經由多個通道平行地繞送訊號。

英文發明摘要(發明之名稱： TEST SYSTEM FORMATTERS)

A test system formatter may include a programmable drive circuit configurable to operate in any of a plurality of drive modes, each mode corresponding to a different combination of drive signals or drive timing markers or both, and a programmable response circuit configurable to operate in any of a plurality of strobe modes, each strobe mode corresponding to a different combination of strobe signals. The formatter may also include multiple drive channels and/or multiple response channels, each channel being formed, e.g., of an event logic interface and a corresponding linear delay element. The drive channels provide signals to the drive circuit to be used to generate drive signals or drive timing markers or both. The response channels receive from one or more pin-electronics comparators response signals used to generate fail outputs. The programmable drive and response circuits are configurable to route signals through multiple channels in parallel.



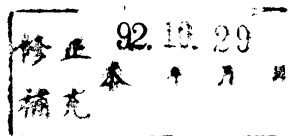
五、發明說明 (28)

元 件 符 號 說 明

108	中央處理單元(CPU)
110	格式器
112	循序控制及圖樣產生子系統(控制/圖樣)
114	測試系統
118	測試下裝置(DUT)針腳
120	針腳電子電路(PEC)
124	針腳電子比較器
140	驅動電路
160	反應電路
162	STFL
210	格式器
240	驅動電路
250	外部電路
310	驅動電路
314	暫存器區段
316	事件邏輯介面電路(ELIF)
318	線性延遲元件(LDE)
320	時間測量單位多工器區段(TMUMUX)
322	驅動邏輯
332	外部場可程式化閘極陣列(FPGA)
424	模式選擇
430	OR-邏輯閘
432	設定/重設栓鎖
434	OR-邏輯閘

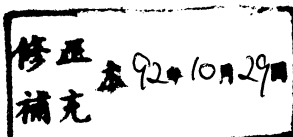
五、發明說明 (29)

- 436 OR-邏輯閘
- 438 設定/重設栓鎖
- 440 OR-邏輯閘
- 450 輸出多工器(out mux)
- 530 設定/重設栓鎖
- 531 斜面忙訊號
- 532 斜面產生器
- 534 比較器
- 535 增益資訊
- 536 增益數位至類比轉換器(增益DAC)
- 537 ELIF的時序延遲資訊
- 538 延遲數位至類比轉換器(延遲DAC)
- 622 時間測量單位多工器區段(TMUMUX)
- 624 時間測量單位多工器區段(TMUMUX)
- 630 觸發正反器
- 710 反應電路
- 714 暫存器區段
- 716 事件邏輯介面電路(ELIF)
- 718 線性延遲元件(LDE)
- 720 時間測量單位多工器區段(TMUMUX)
- 722 驅動邏輯
- 723 輸出訊號
- 822 時間測量單位多工器區段(TMUMUX)
- 824 時間測量單位多工器區段(TMUMUX)
- 901 ELIF/LDE區塊A



五、發明說明 (30)

- 902 ELIF/LDE區塊B
- 903 ELIF/LDE區塊C
- 904 ELIF/LDE區塊D
- 905 NOR-邏輯閘
- 906 AND-邏輯閘
- 907-909 AND-邏輯閘
- 910 AND-邏輯閘
- 915-917 AND-邏輯閘
- 918 OR-邏輯閘
- 919-921 OR-邏輯閘
- 922 正反器
- 923-925 正緣觸發正反器
- 926 正反器
- 927-929 D-型式邊緣觸發正反器
- 930-937 OR-邏輯閘
- 938 AND-邏輯閘
- 939-941 AND-邏輯閘
- 942 AND-邏輯閘
- 946-948 NOR-邏輯閘
- 1026 針腳電子電路(PEC)
- 1030 DUT針腳
- 1032 針腳電子比較器



六、申請專利範圍

1. 一種用於自動測試設備格式器之驅動電路，該驅動電路包括：
 - 一事件邏輯區段，其包括複數個事件邏輯介面，每個事件邏輯介面能夠解碼從一外部事件時序產生電路接收之訊號；
 - 一線性延遲區段，其包括複數個線性延遲元件，每個線性延遲元件連接至一對應事件邏輯介面且能夠產生對應於從一事件邏輯介面接收之訊號的時序標記；以及
 - 一驅動邏輯，其係可程式化以操作在任何複數個模式下，每個模式提供驅動訊號或時序標記或兩者之不同組合。
2. 如申請專利範圍第1項之驅動電路，其中該驅動電路進一步係可程式化以提供驅動訊號或時序標記在不同頻率之組合。
3. 如申請專利範圍第1項之驅動電路，其中每個事件邏輯介面配對以對應之線性延遲元件，以形成一通道以提供訊號至該驅動邏輯。
4. 如申請專利範圍第3項之驅動電路，其中該驅動電路係可配置以經由複數個平行通道繞送定義一驅動訊號或時序標記之訊號。
5. 如申請專利範圍第1項之驅動電路，進一步包括一被配置以從一外部來源接收控制設定之暫存器區段。
6. 如申請專利範圍第5項之驅動電路，進一步包括一時序測量單元區段，該時序測量單元區段進一步包括至少兩

六、申請專利範圍

時序測量單元多工器。

7. 如申請專利範圍第1項之驅動電路，其中該驅動邏輯包括複數個可程式化之多工器。
8. 如申請專利範圍第7項之驅動電路，其中該等複數個多工器係可程式化以邏輯地結合從複數個線性延遲元件接收之訊號以形成驅動訊號或時序標記或兩者之所需結合。
9. 如申請專利範圍第7項之驅動電路，進一步包括複數個邏輯元件，其係可設定以邏輯地結合從一或更多多工器接收之訊號。
10. 如申請專利範圍第1項之驅動電路，其中每個事件邏輯介面配對以對應之線性延遲元件，以形成一通道而提供訊號至驅動邏輯，且其中一第一模式使用與第二模式不同數目之通道。
11. 如申請專利範圍第10項之驅動電路，其中該等不同數目之通道對應至許多要被驅動之裝置針腳。
12. 如申請專利範圍第1項之驅動電路，其中該驅動邏輯進一步可配置以操作在複數個探測模式的任何一個之下，每個探測模式對應至探測訊號之不同組合。
13. 如申請專利範圍第12項之驅動電路，其中每個事件邏輯介面配對以對應之線性延遲元件，以形成一通道而提供訊號至驅動邏輯，且其中每個探測模式使用不同數目之通道以形成對應之探測訊號。
14. 一種自動測試設備格式器之反應電路，該反應電路包括：

六、申請專利範圍

一事件邏輯區段，其包括複數個事件邏輯介面，每個事件邏輯介面能夠解碼從一外部事件時序產生電路接收之訊號；

一線性延遲區段，其包括複數個線性延遲元件，每個線性延遲元件連接至一對應事件邏輯介面且能夠產生對應於從一事件邏輯介面接收之訊號的時序標記；以及

一反應邏輯，其可程式化以操作在複數個模式的任何一個之下，每個模式提供探測訊號之不同組合。

15. 如申請專利範圍第14項之反應電路，其中該反應電路進一步可程式化以接收從一或更多針腳電子比較器之反應訊號。
16. 如申請專利範圍第14項之反應電路，其中每個事件邏輯介面配對以對應線性延遲元件以形成一通道以提供訊號至該反應邏輯。
17. 如申請專利範圍第16項之反應電路，其中該反應電路係可配置以繞送從一或更多針腳電子比較器接收之反應訊號至複數個平行通道。
18. 如申請專利範圍第14項之反應電路，進一步包括一配置以從一外部來源接收控制訊號之暫存器區段。
19. 如申請專利範圍第18項之反應電路，進一步包括一時序測量單元區段，該時序測量單元區段進一步包括至少兩時序測量單元多工器。
20. 如申請專利範圍第14項之反應電路，其中該反應邏輯包括複數個可程式化之多工器。

六、申請專利範圍

21. 如申請專利範圍第20項之反應電路，其中該複數之多工器係選擇性地可程式化以使得反應邏輯操作在複數個不同模式的任何一個之下，每個模式對應至不同數目之針腳電子比較器，從其反應訊號被接收。
22. 如申請專利範圍第21項之反應電路，其中每個事件邏輯介面配對以一對應線性延遲元件以形成一通道以接收從反應邏輯之反應訊號，且其中一第一模式使用與第二模式不同數目之通道。
23. 如申請專利範圍第22項之反應電路，其中該反應電路被配置在第一模式，以接收從一單一針腳電子比較器之反應訊號且使用四個合併通道以產生失敗輸出。
24. 如申請專利範圍第22項之反應電路，其中該反應電路被配置在第二模式，以接收從兩分別針腳電子比較器之反應訊號且使用兩個合併之通道於每個針腳電子比較器以產生失敗訊號。
25. 如申請專利範圍第21項之反應電路，其中每個事件邏輯介面配對時以一對應之線性延遲元件以形成一通道以從該反應邏輯接收反應訊號，且其中該反應電路被配置在第三模式，以接收從四個針腳電子比較器之反應訊號且使用分別通道於每個針腳比較器以產生失敗訊號。
26. 一種測試系統格式器，其包括：
一可程式化驅動電路，其可配置以操作在複數個驅動模式的任何一個之下，每個模式提供驅動訊號或驅動時序標記或兩者之不同組合；以及

六、申請專利範圍

一可程式化反應電路，其可配置以操作在複數個探測模式的任何一個之下，每個探測模式對應至探測訊號之不同結合。

27. 如申請專利範圍第26項之格式器，進一步包括複數個驅動通道，每個驅動通道用以提供訊號至該驅動電力以使用於產生驅動訊號或驅動時序標記或兩者。
28. 如申請專利範圍第27項之格式器，其中每個驅動通道包括一事件邏輯介面和一對應之線性延遲元件。
29. 如申請專利範圍第27項之格式器，其中該可程式化驅動電路係可設定以經由複數個通道平行地繞送訊號以使用於產生驅動訊號或時序標記或兩者。
30. 如申請專利範圍第26項之格式器，進一步包括複數個反應通道，每個反應通道用以從一或更多針腳電子比較器接收反應訊號。
31. 如申請專利範圍第30項之格式器，其中每個反應通道包括一事件邏輯介面和一對應線性延遲元件。
32. 如申請專利範圍第30項之格式器，其中該可程式反應電路係可設定以經由複數個反應通道以平行地繞送訊號以使用於產生失敗訊號。
33. 一種配置一積體電路測試系統之方法，該方法包括：
提供具有可程式驅動電路之格式器的測試系統；
設定該測試系統與測試下裝置通訊；以及
程式化該驅動電路以操作在從複數個模式選擇出之模式下，每個模式定義格式化驅動訊號或驅動訊號時序

六、申請專利範圍

標記或兩者之不同組合。

34. 如申請專利範圍第33項之方法，進一步包括程式化該驅動電路以從複數個平行通道接收輸入訊號。
35. 如申請專利範圍第34項之方法，其中從複數個通道之輸入訊號被合併以產生一或更多驅動訊號。
36. 如申請專利範圍第35項之方法，其中合併從複數個通道之輸入訊號增加驅動訊號資料速率。
37. 如申請專利範圍第35項之方法，進一步包括：
提供可程式化反應電路；以及
程式化該反應電路以操作在從複數個模式選擇出之模式下，每個模式對應不同數目之針腳電子比較器，從其反應訊號被接收。

修正
補充 92.10.29

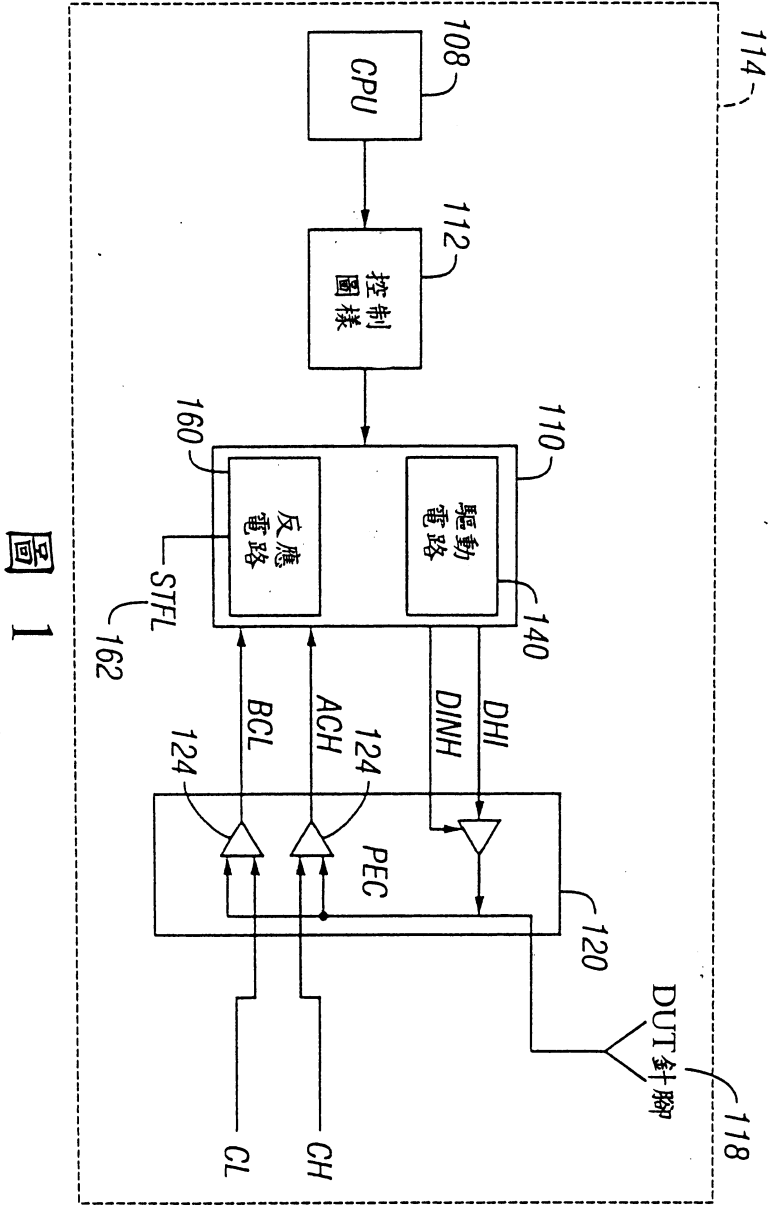


圖 1

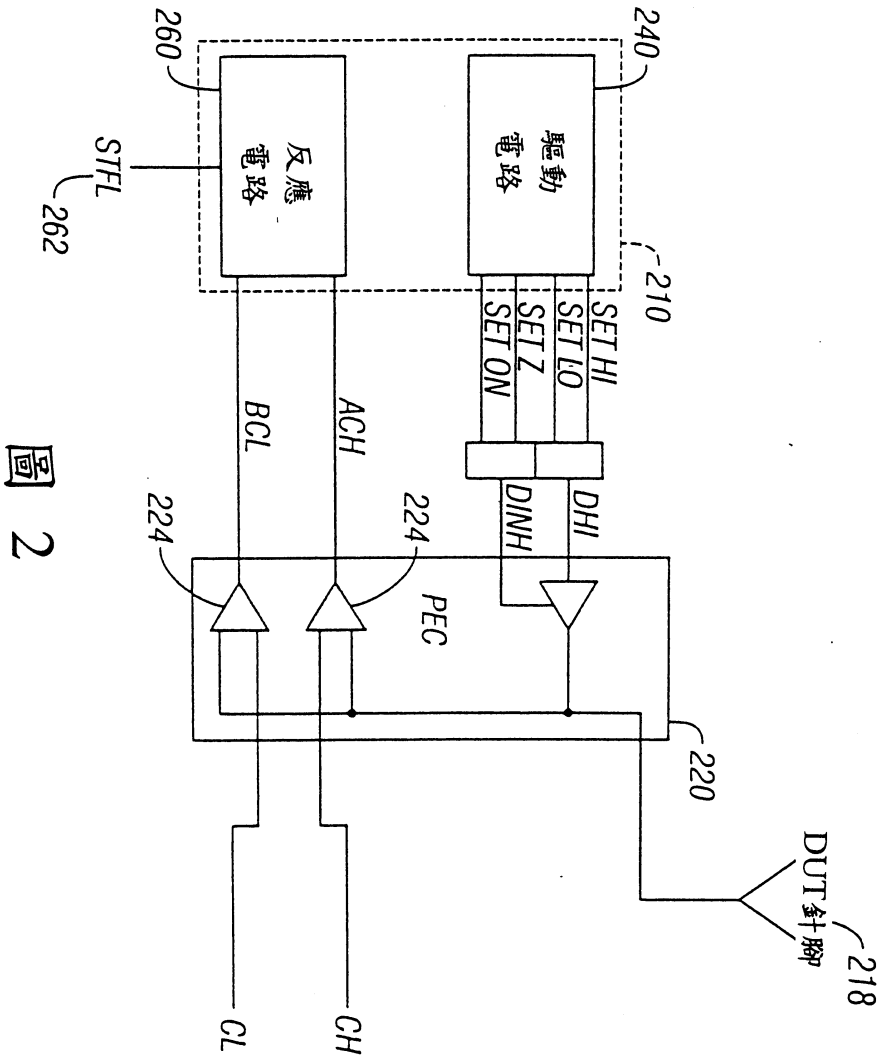


圖 2

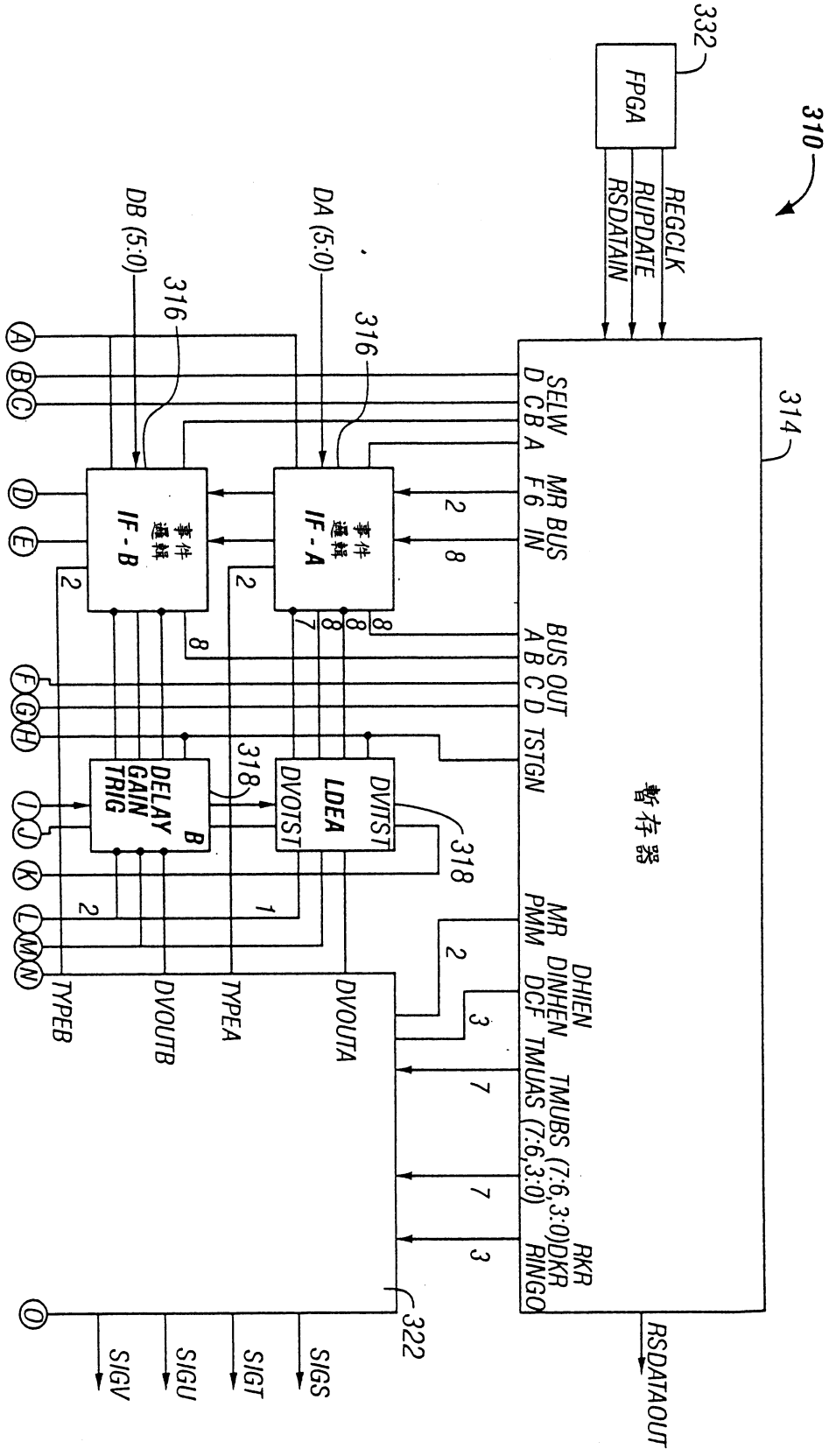


圖 3A

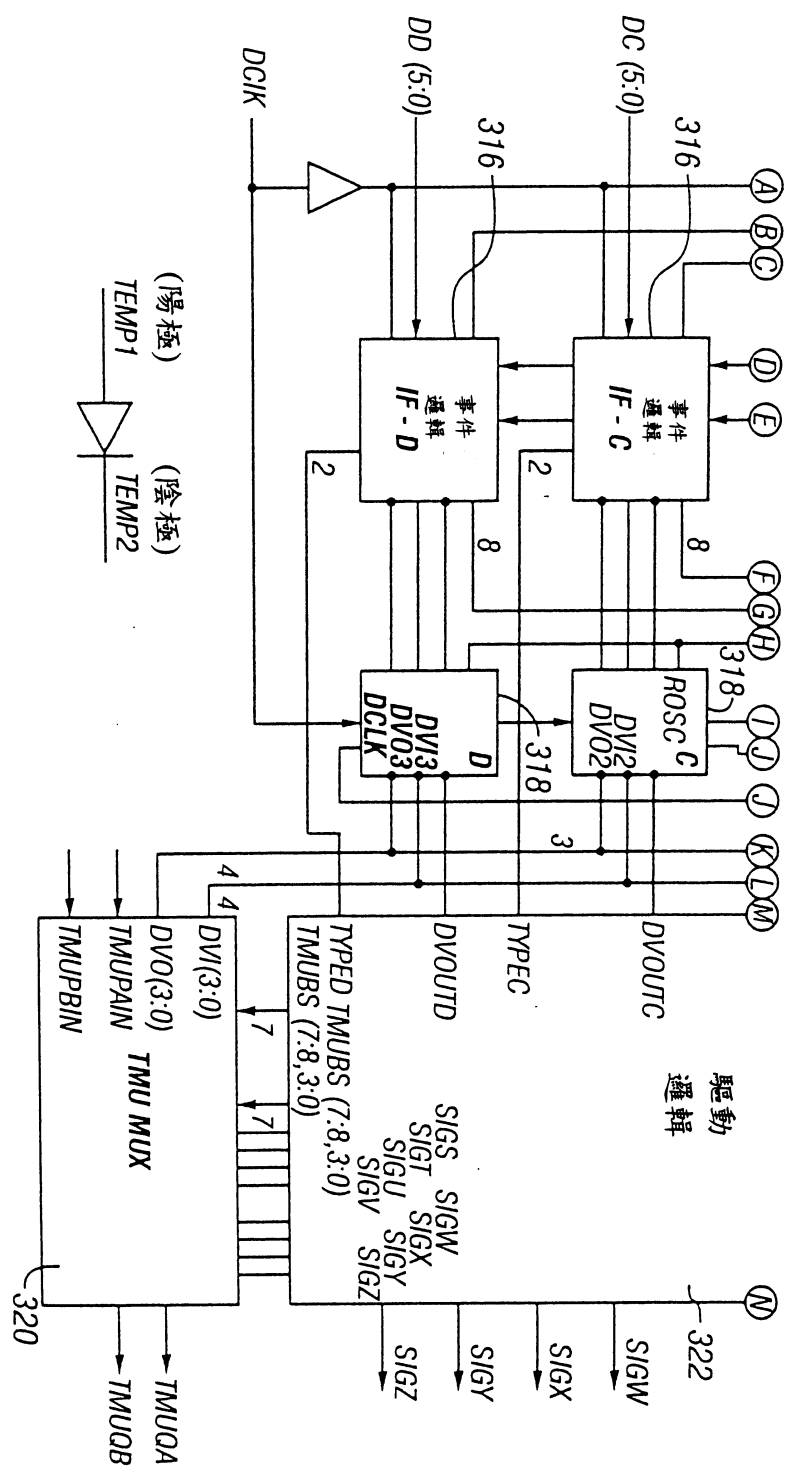


圖 3B

修歷 82.10.29
補充 奉 十 月 四

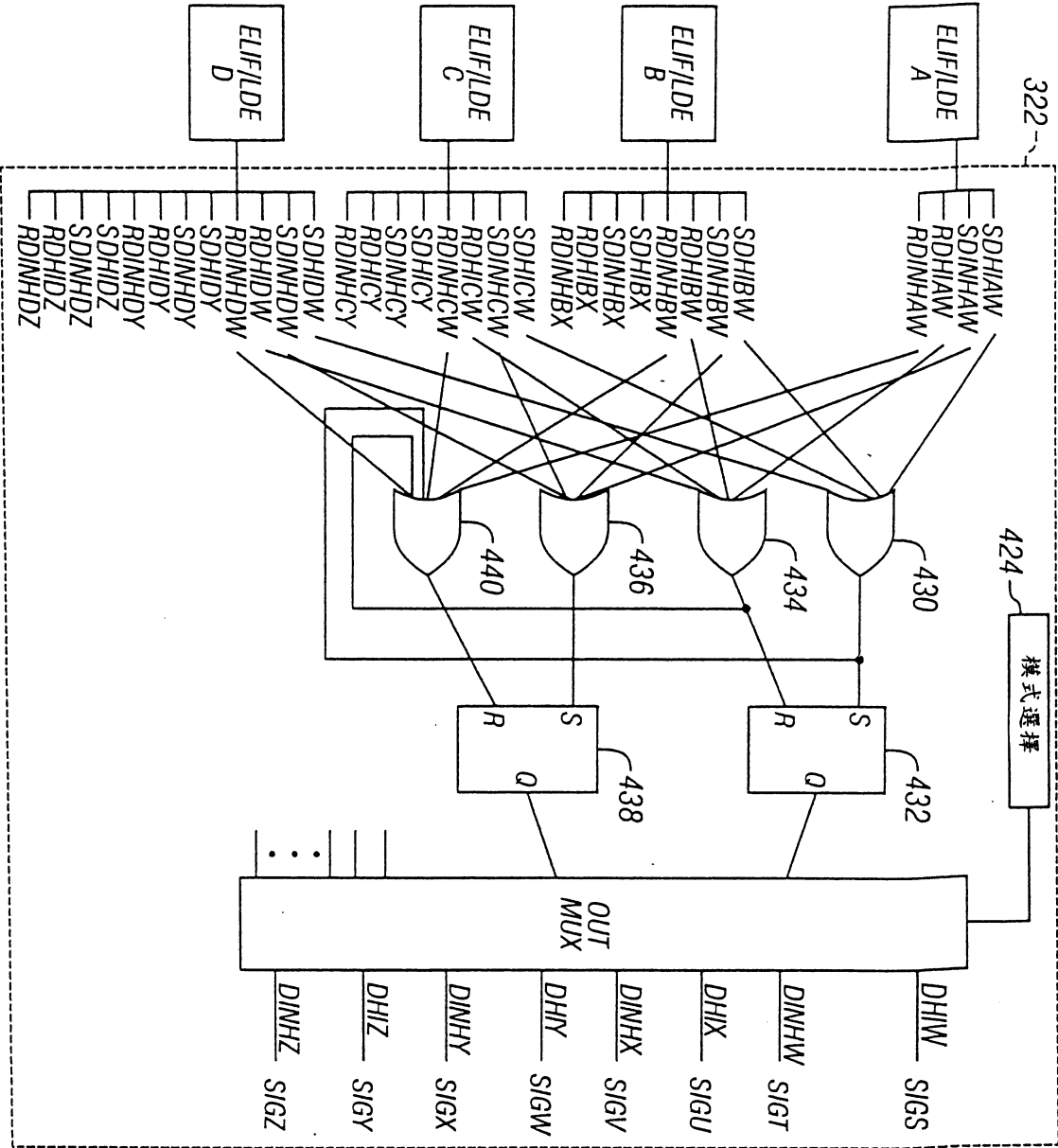
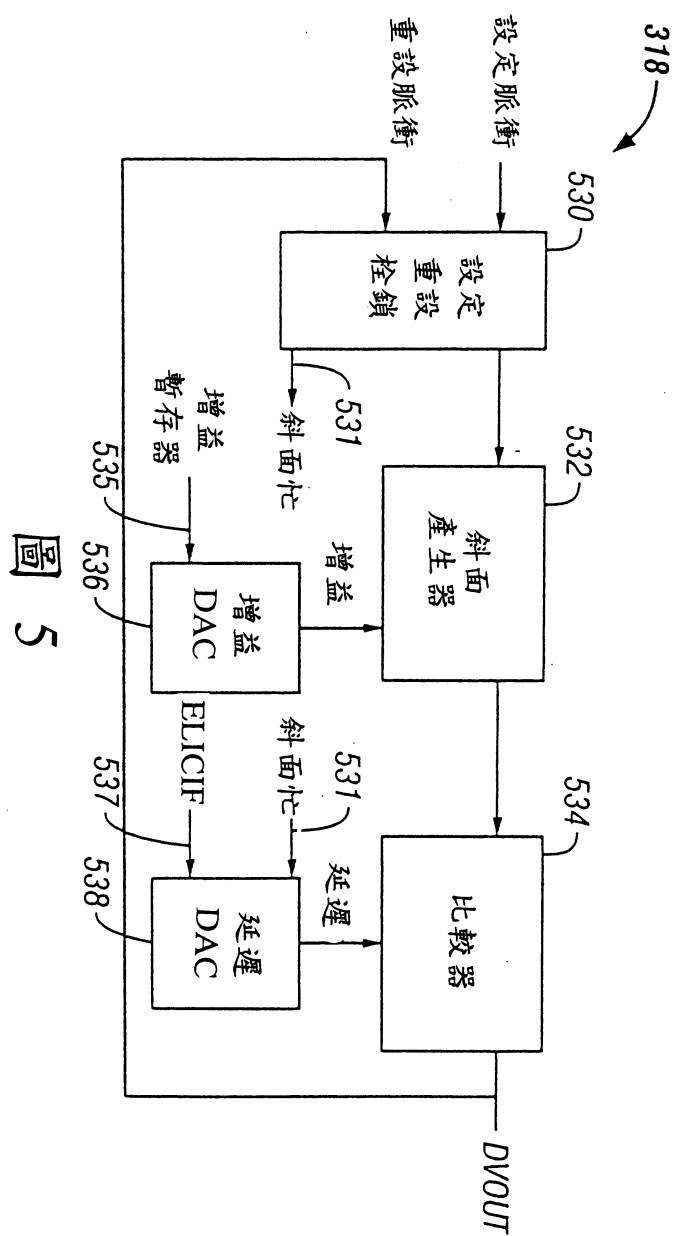


圖 4



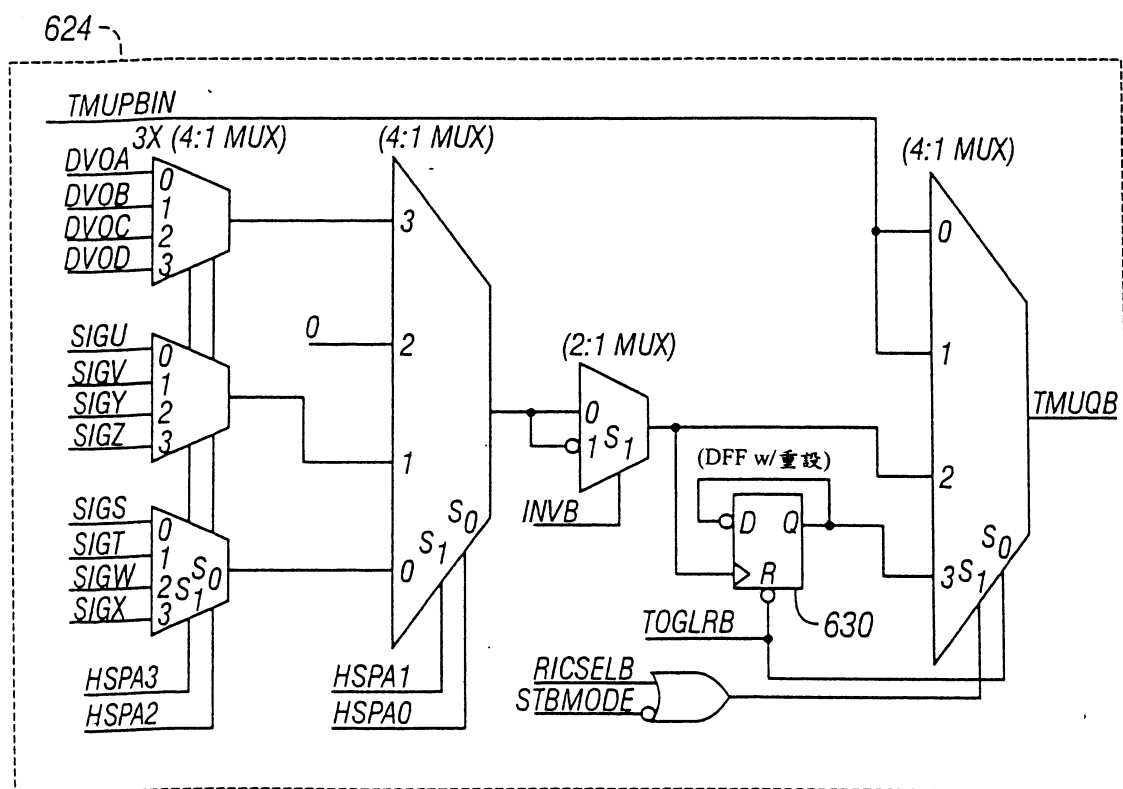
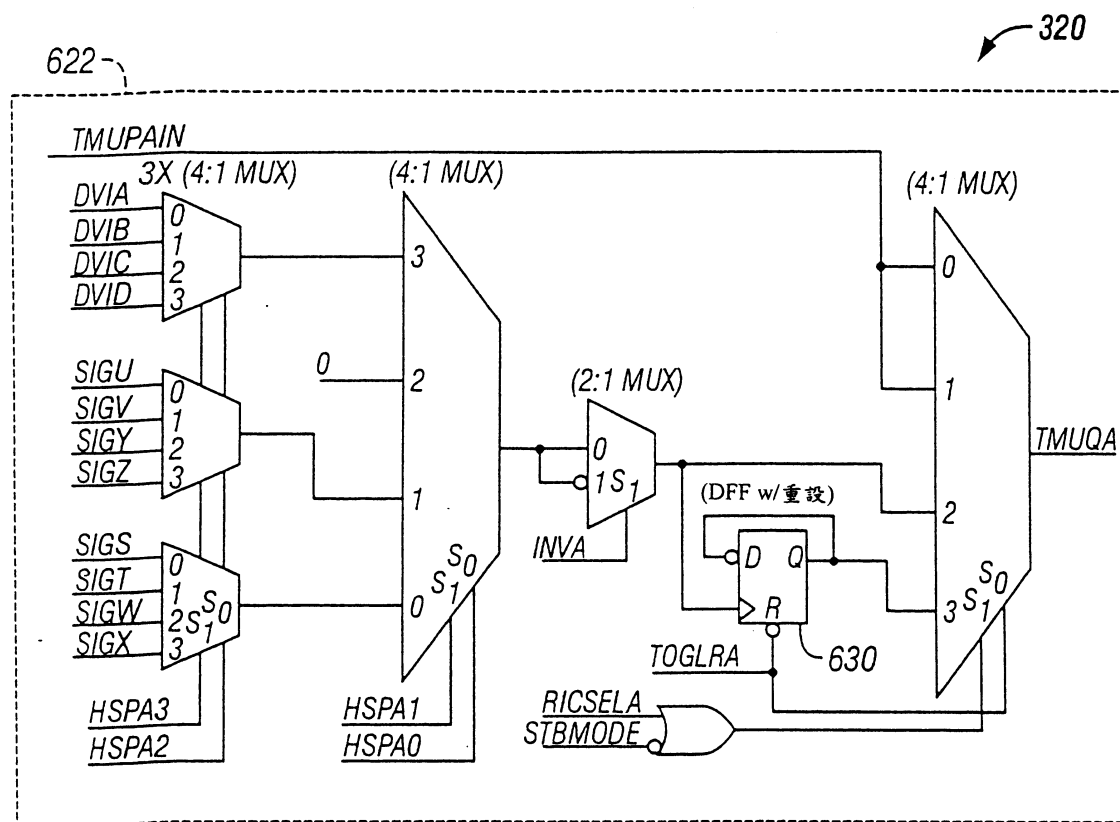


圖 6

92.10.29
修 正 本
補 充

710

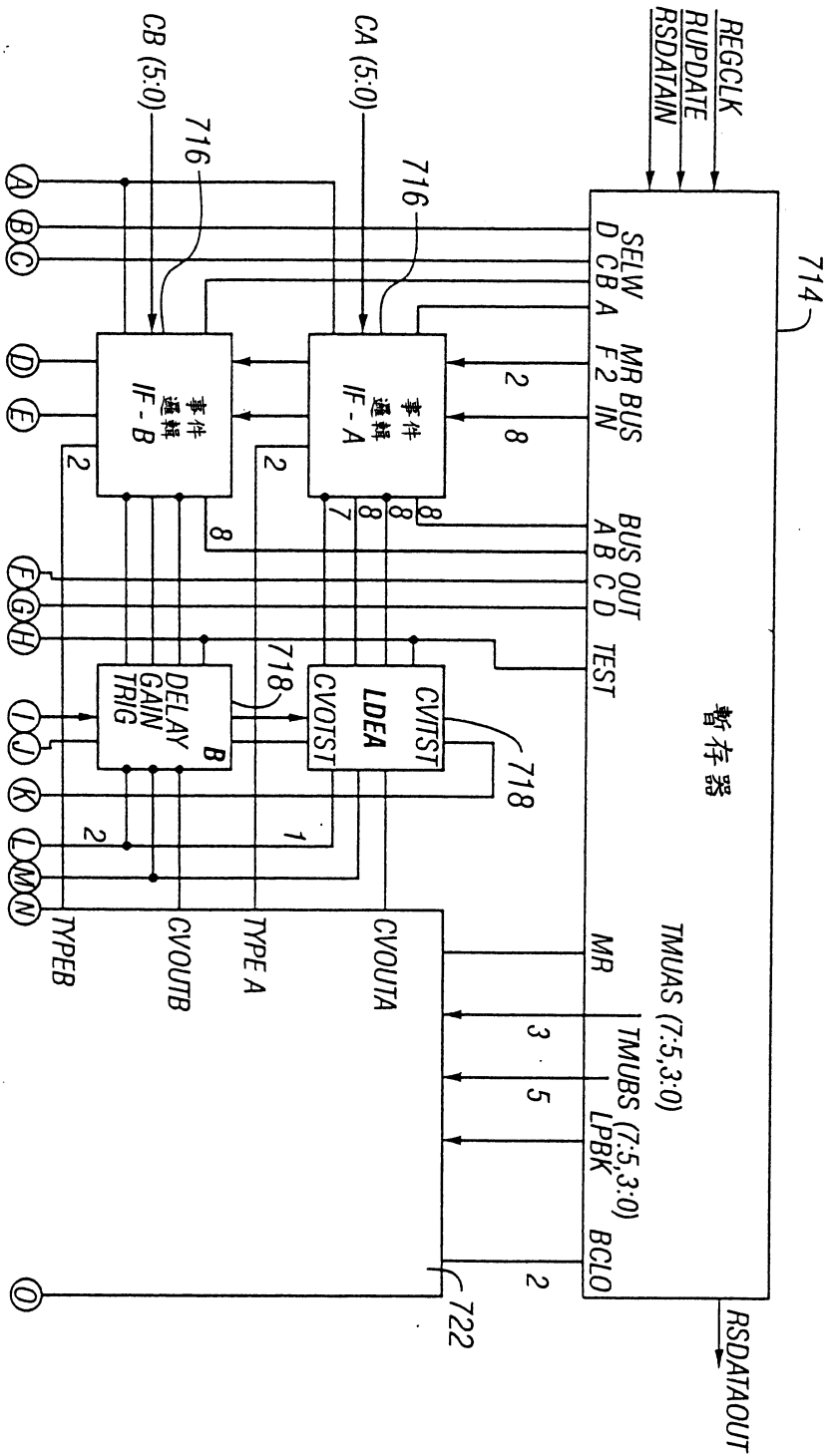


圖 7A

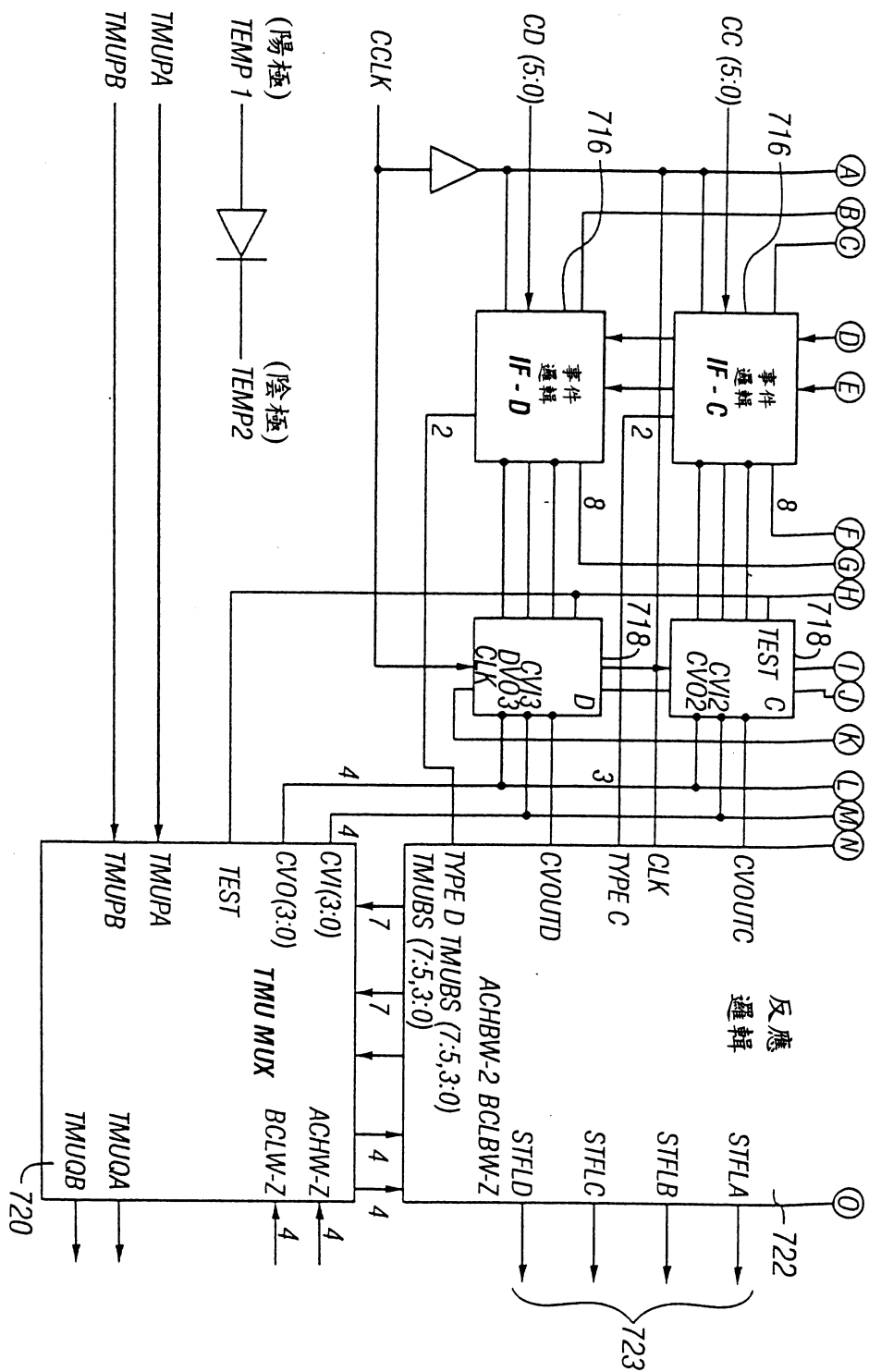


圖 7B

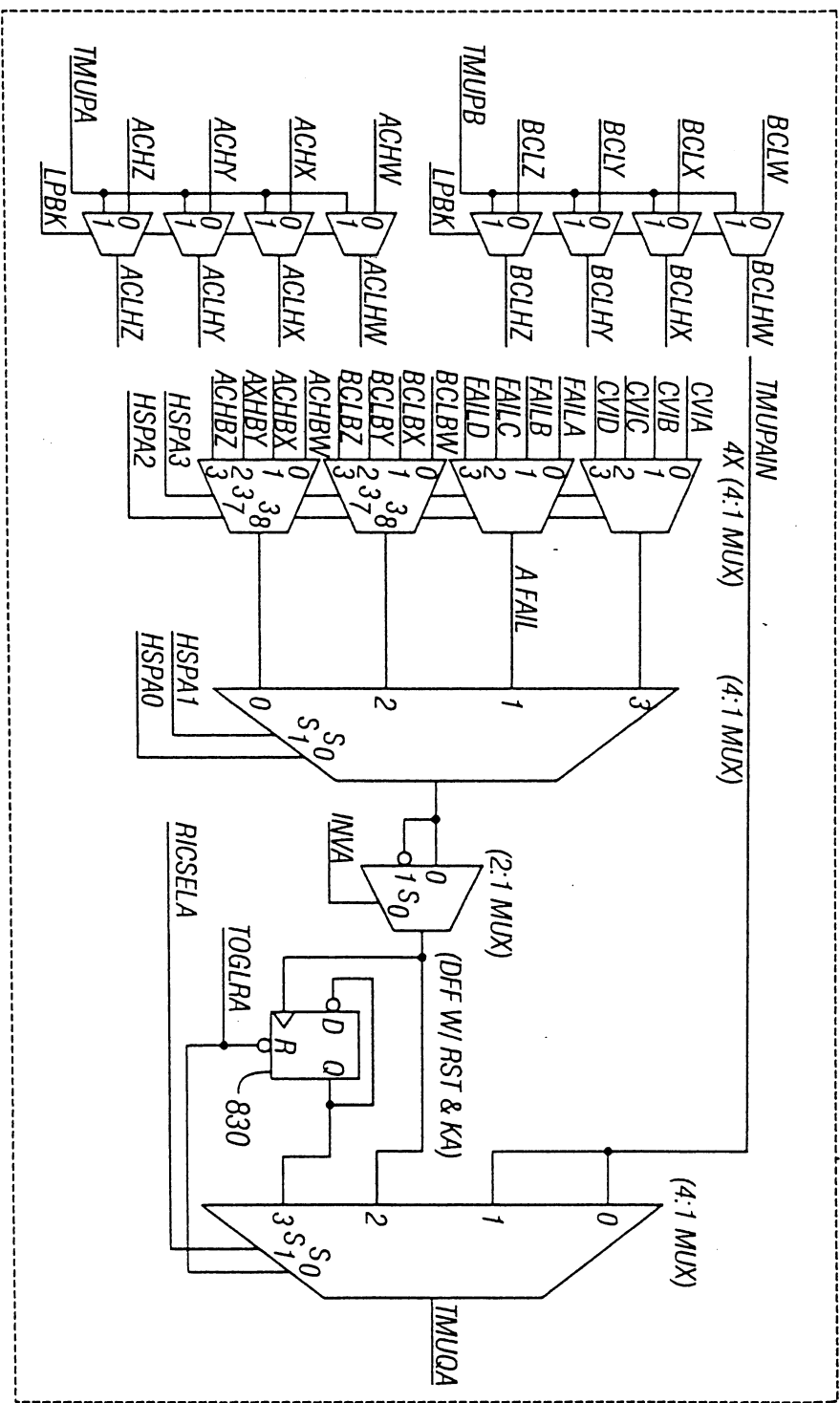


圖 8A

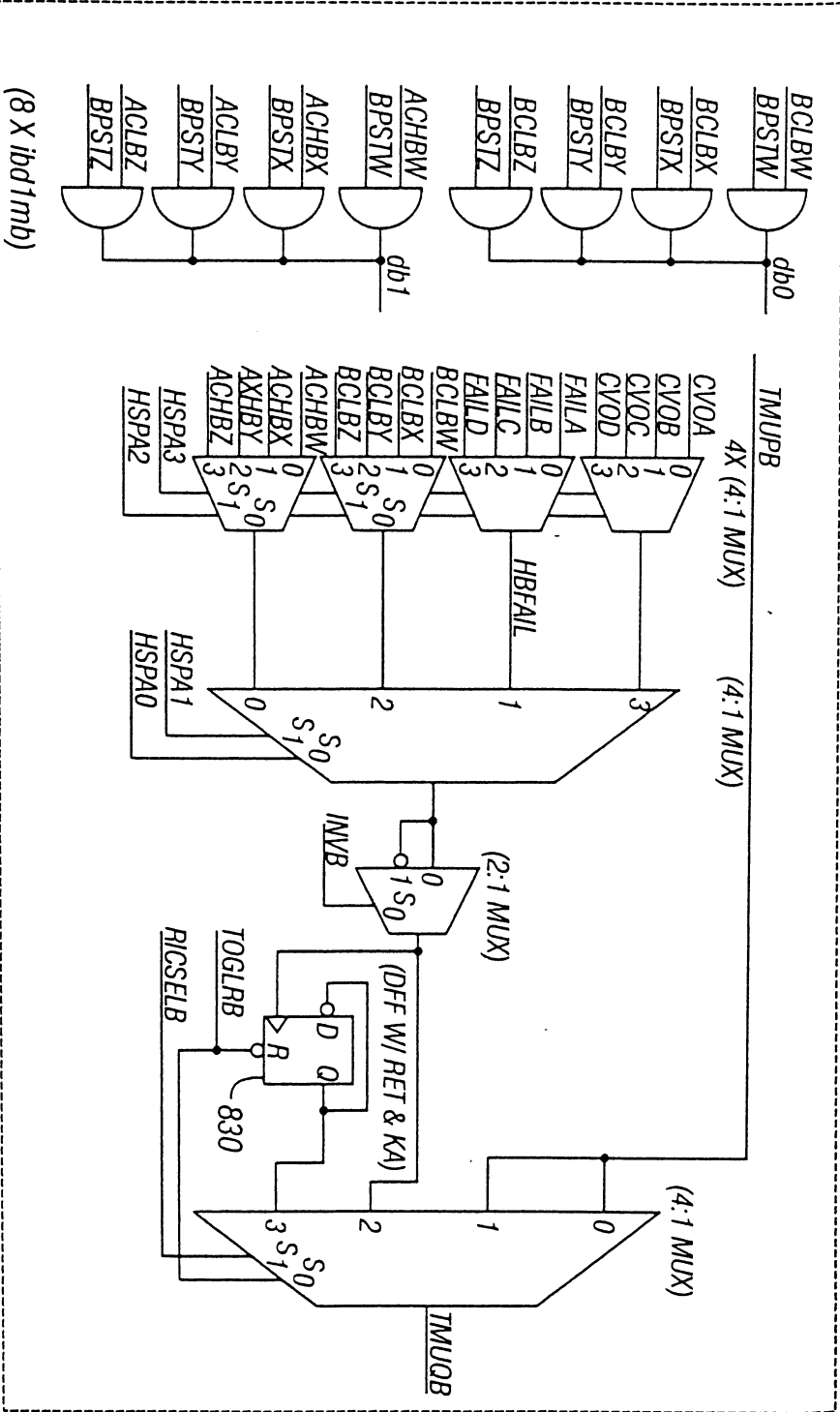


圖 8B

修正 92.10.29
補充

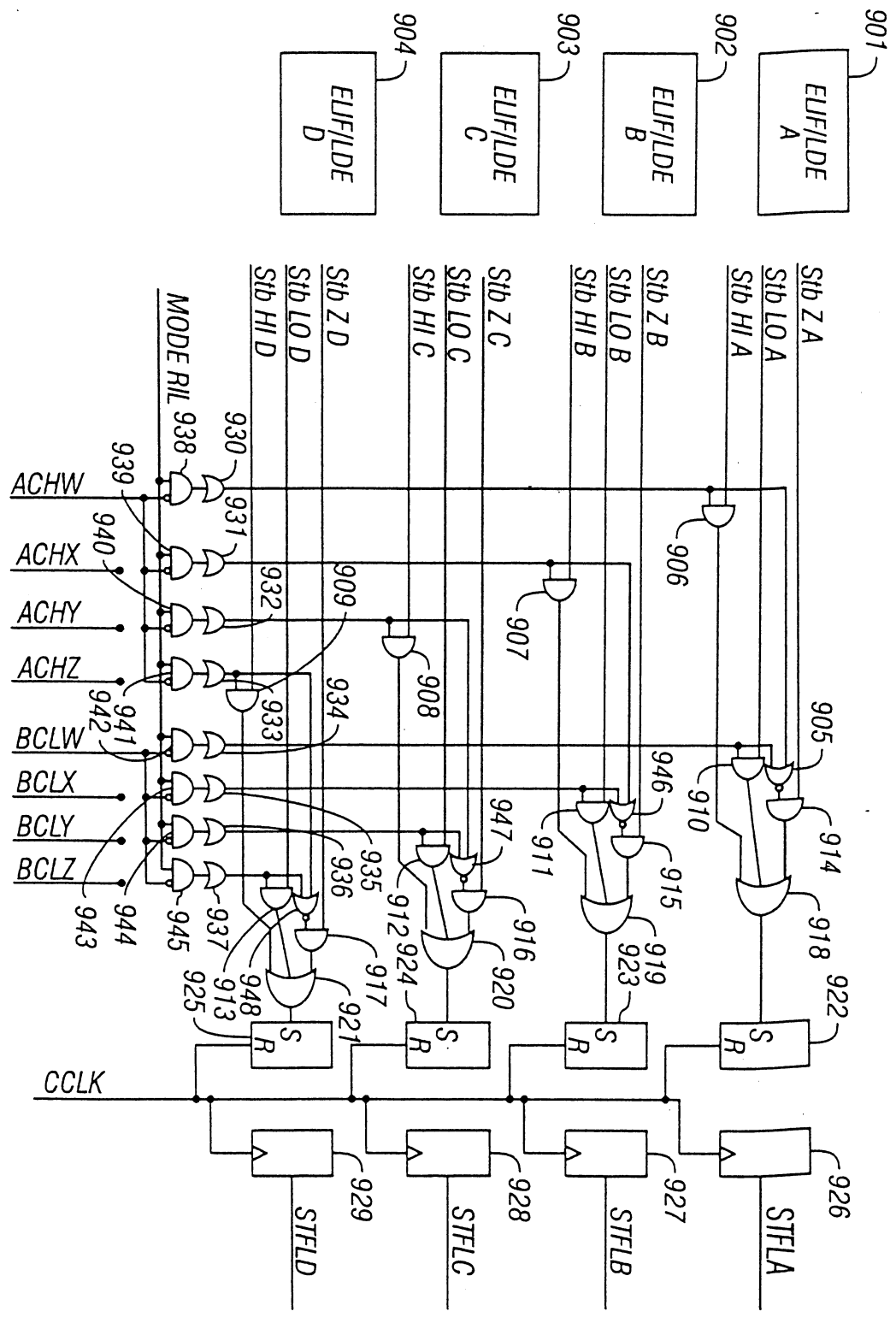


圖 9

92.10.29

模式DIL & RIL

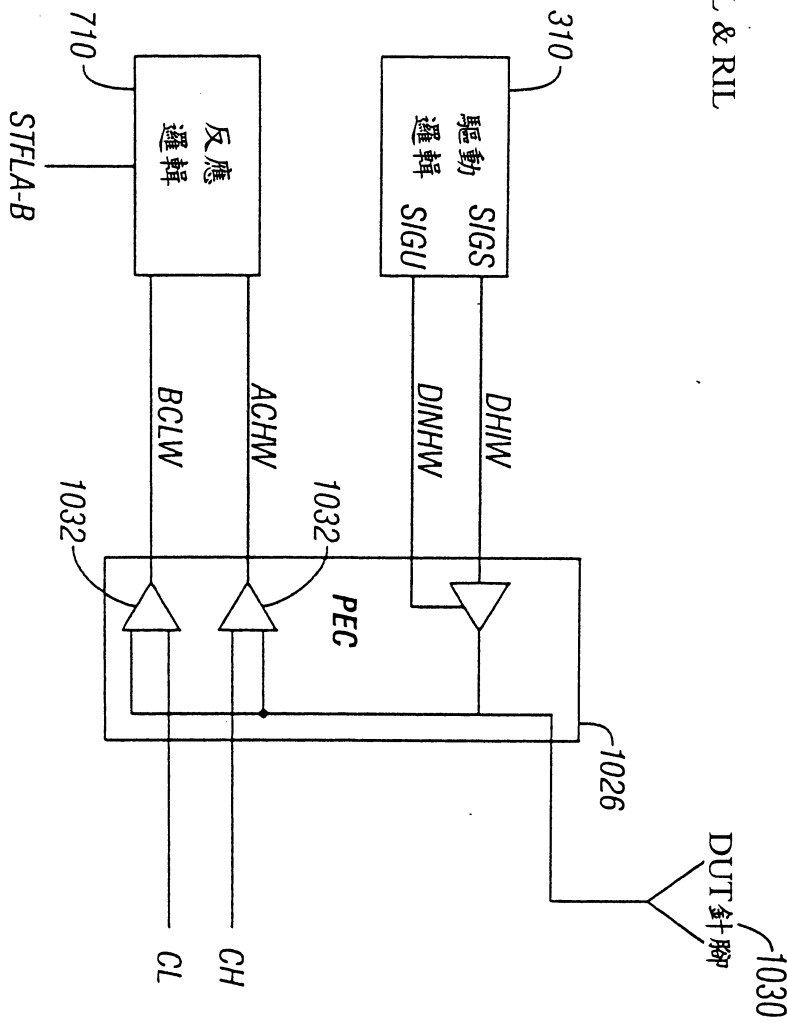


圖 10