(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 27/115 (2006.01)
H01L 21/8247 (2006.01)

(45) 공고일자 2006년12월01일
(11) 등록번호 10-0652402
(24) 등록일자 2006년11월24일

(21) 출원번호 10-2005-0014087
(22) 출원일자 2005년02월21일
심사청구일자 2005년02월21일

(65) 공개번호 10-2006-0093383
(43) 공개일자 2006년08월25일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 한정희
경기 수원시 영통구 망포동 늘푸른벽산아파트117동 1304호

김주형
경기 성남시 분당구 야탑동 360-1 시그마3 오피스텔 1222호

김정우
경기 성남시 분당구 수내동 파크타운대림아파트 101동 705호

전상훈
경기 용인시 기흥읍 삼성종합기술원 기숙사

정연석
서울 성북구 석관1동 189-10

이승현
인천 부평구 십정2동 487-9번지 23통 3반

(74) 대리인 리앤목특허법인
이해영

심사관 : 박근오

전체 청구항 수 : 총 17 항

(54) 비휘발성 메모리 소자 및 그 제조 방법

(57) 요약

반도체 기판 상에 형성되는 게이트 구조물을 포함하는 비휘발성 메모리 소자가 개시된다. 게이트 구조물은, 반도체 기판 상의 제 1 절연막과, 제 1 절연막 상에 형성되고 전하 저장을 위한 스토리지 노드와, 스토리지 노드 상의 제 2 절연막과, 제 2 절연막 상의 제 3 절연막과, 제 3 절연막 상의 제어 게이트 전극을 포함한다. 또한, 제 2 절연막과 제 3 절연막 가운데 적어도 하나 이상의 유전 상수는 제 1 절연막의 유전 상수보다 크다.

대표도

도 5

특허청구의 범위

청구항 1.

반도체 기판 상에 형성되는 게이트 구조물을 포함하는 것으로서,

상기 게이트 구조물은,

상기 반도체 기판 상의 제 1 절연막;

상기 제 1 절연막 상에 형성되고, 전하 저장을 위한 스토리지 노드;

상기 스토리지 노드 상의 제 2 절연막;

상기 제 2 절연막 상의 제 3 절연막; 및

상기 제 3 절연막 상의 제어 게이트 전극을 포함하고, 상기 제 3 절연막은 실리콘 질화막을 포함하고, 상기 제 2 절연막의 유전 상수는 상기 제 3 절연막의 유전 상부보다 낮은 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

제 1 항에 있어서, 상기 제 3 절연막의 실리콘 질화막의 두께는 40 내지 100 Å 범위인 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 6.

제 1 항에 있어서, 상기 제 2 절연막은 실리콘 산화막으로 형성된 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 7.

제 6 항에 있어서, 상기 제 2 절연막의 실리콘 산화막의 두께는 20 내지 60 Å 범위인 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 8.

제 1 항에 있어서, 상기 제 1 절연막은 실리콘 산화막인 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 9.

제 8 항에 있어서, 상기 제 1 절연막의 실리콘 산화막은 20 내지 60 Å 범위인 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 10.

제 1 항에 있어서, 상기 스토리지 노드는 실리콘 질화막, 폴리실리콘, 나노-크리스탈, 또는 나노-도트로 형성된 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 11.

반도체 기판에 서로 이격되어 형성된 소오스 및 드레인;

상기 소오스와 드레인 사이의 반도체 기판 상에 형성된 제 1 절연막;

상기 제 1 절연막 상에 형성되고, 전하 저장을 위한 스토리지 노드;

상기 스토리지 노드 상의 산화막으로 형성된 제 2 절연막;

상기 제 2 절연막 상의 질화막으로 형성된 제 3 절연막; 및

상기 제 3 절연막 상의 제어 게이트 전극을 포함하고, 상기 제 3 절연막은 실리콘 질화막을 포함하고 상기 제 2 절연막은 실리콘 산화막을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 12.

삭제

청구항 13.

제 11 항에 있어서, 상기 제 3 절연막의 실리콘 질화막의 두께는 40 내지 100 Å 범위인 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 14.

삭제

청구항 15.

제 11 항에 있어서, 상기 제 2 절연막의 실리콘 산화막의 두께는 20 내지 60 Å 범위인 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 16.

제 11 항에 있어서, 상기 스토리지 노드는 실리콘 질화막, 폴리실리콘, 나노-크리스탈, 또는 나노-도트로 형성된 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 17.

반도체 기판 상에 제 1 절연층을 형성하는 단계;

상기 제 1 절연층 상에 스토리지 노드층을 형성하는 단계;

상기 스토리지 노드층 상에 실리콘 산화막을 포함하는 제 2 절연층을 형성하는 단계;

상기 제 2 절연층 상에 실리콘 질화막을 포함하는 제 3 절연층을 형성하는 단계;

상기 제 3 절연층 상에 제어 게이트 전극층을 형성하는 단계;

상기 게이트 전극층 상에 상기 게이트 전극층의 소정 부분을 노출하는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각 보호막으로 하여, 상기 제어 게이트 전극층, 상기 제 3 절연층, 상기 제 2 절연층, 상기 스토리지 노드층 및 상기 제 1 절연층을 식각하여 게이트 구조물을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

청구항 18.

삭제

청구항 19.

제 17 항에 있어서, 상기 제 3 절연층의 실리콘 질화막은 디클로로 사일렌(DCS)과 NH_3 기체의 혼합 기체를 이용한 저압 화학기상증착법으로 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

청구항 20.

제 19 항에 있어서, 상기 NH_3에 대한 DCS의 혼합비는 0.65 내지 1 범위인 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

청구항 21.

제 17 항에 있어서, 상기 스토리지 노드층은 실리콘 질화막으로 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

청구항 22.

제 21 항에 있어서, 상기 스토리지 노드층의 실리콘 질화막은 디클로로 사일렌(DCS)과 NH_3의 혼합 기체를 이용한 저압 화학기상증착법으로 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

청구항 23.

제 22 항에 있어서, 상기 NH_3에 대한 DCS의 혼합비는 1.5 내지 2.5 범위인 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 비휘발성(non-volatile) 메모리 소자 및 그 제조 방법에 관한 것으로서, 특히 전하 저장형 스토리지 노드를 구비하는 비휘발성 메모리 소자 및 그 제조 방법에 관한 것이다.

비휘발성 메모리 소자에는 트랜지스터의 문턱 전압 천이(threshold voltage transition)를 이용하는 것과, 전하 이동(charge displacement)을 이용하는 것과, 저항 변화를 이용하는 것들이 있다. 문턱 전압 천이를 이용하는 메모리 소자는 전하 저장을 위한 스토리지 노드를 구비하고 있다는 점에서 전하 저장형 메모리 소자로 불린다.

예를 들어, 플로팅 게이트(floating gate)를 스토리지 노드로 이용하는 플로팅 게이트형 메모리 소자와, 전하 트랩층(charge trap layer)을 스토리지 노드로 이용하는 소노스(SONOS)형 메모리 소자가 전하 저장형 메모리 소자에 속한다.

이하 도면을 참조하여 종래 SONOS형 메모리 소자를 예를 들어서 전하 저장형 비휘발성 메모리 소자를 설명한다. 도 1은 종래 소노스(SONOS)형 비휘발성 메모리 소자를 보여주는 단면도이다.

도 1을 참조하면, 메모리 소자(100)는 전하 트랩을 위한 질화막(120)을 스토리지 노드로 이용한다. 스토리지 노드인 질화막(120)과 반도체 기판(105) 사이에는 전하의 터널링 또는 핫캐리어 주입을 위한 터널 절연막, 일 예로 산화막(115)이 형성되어 있다.

또한, 질화막(120)과 제어 게이트 전극(130) 사이에는 블로킹 절연막, 일례로 실리콘 산화막(125)이 형성되어 있다. 반도체 기판(105)은 예를 들어 실리콘 기판이 사용될 수 있고, 제어 게이트 전극(130)은 예를 들어 폴리실리콘으로 형성될 수 있다. 즉, 메모리 소자(100)는 실리콘 기(105)판과 폴리실리콘(130) 사이에 산화막(115)/질화막(120)/산화막(125)이 개재된 SONOS 구조를 이룬다.

한편, 메모리 소자(100)의 기록 동작은 제어 게이트 전극(130)에 양의 기록 전압을 인가하는 방법으로 수행한다. 이에 따라, 소오스/드레인부(110)에서 가속된 전자가 에너지를 얻어 질화막(120)으로 주입될 수 있다. 또는, 반도체 기판(105)의 전자가 터널링(tunneling)에 의해 질화막(120)으로 주입될 수도 있다.

소거 동작은 제어 게이트 전극(130)에 음의 전압을 인가하거나, 또는 반도체 기판(105)에 양의 전압을 인가함으로써 수행할 수 있다. 이에 따라, 질화막(120)에 저장된 전자가 터널링에 의해 반도체 기판(105)으로 소거된다.

도 2를 참조하면, 반도체 기판(도 1의 105), 산화막(도 1의 115), 질화막(도 1의 120), 산화막(도 1의 125), 및 제어 게이트 전극(도 1의 130)에 각각 대응되는 에너지 밴드들(105a, 115a, 120a, 125a, 125a, 130a)의 연결 관계가 도시되어 있다.

도 1 및 도 2를 참조하면, 소거 동작 시 제어 게이트(130)에 인가되는 전압이 높아지면, 산화막들(220, 240)에 대한 에너지 밴드들(220a, 240a)의 벤딩(bending) 현상이 커지는 것을 알 수 있다. 이에 따라, 질화막(120)에서 반도체 기판(105)으로의 터널링뿐만 아니라, 제어 게이트(130)에 있는 자유 전자가 산화막(125)을 터널링해서 질화막(120)에 주입되는 역터널링(back tunneling)도 가능해진다.

도 3은 메모리 소자(도 1의 10)에 인가된 소거 전압의 변화에 대한, 시간에 따른 문턱 전압의 변화를 나타내는 그래프이다. 도 3을 참조하면, 소거 전압의 절대값이 커짐에 따라, 문턱전압의 감소 속도가 빨라지나 역으로 포화 문턱전압 값이 높아짐을 알 수 있다. 즉, 소거 전압의 절대값이 높아질수록 역 터널링 현상이 보다 심해져, 소거 동작의 효율이 감소되는 것을 알 수 있다.

다시 도 1을 참조하면, 예를 들어 블로킹용 산화막(125)에 비해서 상대적으로 터널링용 산화막(115)의 두께를 낮추면, 역 터널링을 감소시킬 수 있다. 하지만, 산화막(115)의 두께를 낮추면, 제어 게이트 전극(130)에 소거 전압이 인가되지 않은 상태에서도 산화막(115)을 전하의 통한 터널링이 발생할 수 있다. 즉, 메모리 소자(100)의 리텐션(retention) 특성이 나빠진다.

도 4는 메모리 소자(도 1의 100)에 대한 소거 상태에서 문턱전압과, 리텐션 상태에서 문턱전압의 변화량의 관계를 보여주는 그래프이다. 도 4를 참조하면, 소거 상태에서 포화 문턱전압(V_{th})과 리텐션 특성은 역 비례 관계에 있다는 것을 알 수 있다. 따라서, 소거 효율과 리텐션 특성을 동시에 향상시키기는 매우 어렵다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 소거 효율과 리텐션 특성을 동시에 향상시킬 수 있는 비휘발성 메모리 소자를 제공하는 데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 경제성 있는 상기 비휘발성 메모리 소자의 제조방법을 제공하는 데 있다.

발명의 구성

상기 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따르면, 반도체 기판 상에 형성되는 게이트 구조물을 포함하는 비휘발성 메모리 소자가 제공된다. 상기 게이트 구조물은, 상기 게이트 구조물은, 상기 반도체 기판 상의 제 1 절연막;

상기 제 1 절연막 상에 형성되고, 전하 저장을 위한 스토리지 노드(storage node); 상기 스토리지 노드 상의 제 2 절연막; 상기 제 2 절연막 상의 제 3 절연막; 및 상기 제 3 절연막 상의 제어 게이트 전극(control gate electrode)을 포함하고, 상기 제 2 절연막과 상기 제 3 절연막 가운데 적어도 하나 이상의 유전 상수(dielectric constant)는 상기 제 1 절연막의 유전 상수보다 크다.

상기 제 2 절연막과 상기 제 3 절연막 가운데 적어도 하나 이상의 에너지 밴드갭(energy band gap)이 상기 스토리지 노드의 에너지 밴드갭보다 큰 것이 바람직하다.

또는, 상기 제 3 절연막의 유전 상수가 상기 제 1 절연막의 유전 상수보다 큰 것이 바람직하다.

또는, 상기 제 3 절연막은 실리콘 질화막(silicon nitride)으로 형성된 것이 바람직하고, 나아가 상기 실리콘 질화막의 두께는 40 내지 100 Å 범위인 것이 더욱 바람직하다. 더 나아가, 상기 제 2 절연막은 실리콘 산화막으로 형성된 것이 바람직하고, 20 내지 60 Å 범위의 두께를 갖는 것이 더욱 바람직하다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 태양에 따르면, 반도체 기판에 서로 이격되어 형성된 소오스 및 드레인; 상기 소오스와 드레인 사이의 반도체 기판 상에 형성된 제 1 절연막; 상기 제 1 절연막 상에 형성되고, 전하 저장을 위한 스토리지 노드; 상기 스토리지 노드 상의 산화막으로 형성된 제 2 절연막; 상기 제 2 절연막 상의 질화막으로 형성된 제 3 절연막; 및 상기 제 3 절연막 상의 제어 게이트 전극을 포함하는 비휘발성 메모리 소자가 제공된다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따르면, 반도체 기판 상에 제 1 절연층을 형성하는 단계; 상기 제 1 절연층 상에 스토리지 노드층을 형성하는 단계; 상기 스토리지 노드층 상에 제 2 절연층을 형성하는 단계; 상기 제 2 절연층 상에 제 3 절연층을 형성하는 단계; 상기 제 3 절연층 상에 제어 게이트 전극층을 형성하는 단계; 상기 게이트 전극층 상에 상기 게이트 전극층의 소정 부분을 노출하는 포토레지스트 패턴(photoresist pattern)을 형성하는 단계; 상기 포토레지스트 패턴을 식각 보호막으로 하여, 상기 제어 게이트 전극층, 상기 제 3 절연층, 상기 제 2 절연층, 상기 스토리지 노드층 및 상기 제 1 절연층을 식각하여 게이트 구조물을 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법이 제공된다.

상기 제 3 절연층 및 상기 스토리지 노드층은 실리콘 질화막이고, 상기 실리콘 질화막의 형성 단계는 디클로로 사일렌(dichloro silane; DCS)과 NH_3 기체를 혼합하여 저압 화학기상증착법(low pressure chemical vapor deposition; LP CVD)으로 형성하는 것이 바람직하다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명함으로써 본 발명을 상세하게 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면에서 구성 요소들은 설명의 편의를 위하여 그 크기가 과장되어 있을 수 있다.

도 5는 본 발명의 실시예에 따른 비휘발성 메모리 소자(200)를 보여주는 단면도이다.

도 5를 참조하면, 메모리 소자(200)는 소오스(210)와 드레인(215) 사이의 반도체 기판(205) 상에 형성되는 게이트 구조물(265)을 포함하고 있다. 게이트 구조물(265)은 전하 저장을 위한 스토리지 노드(230) 및 스토리지 노드(230) 상의 제어 게이트 전극(260)을 포함하고 있다. 게이트 구조물(265)은 그 측벽에 형성된 스페이서 절연막(270)을 더 포함할 수 있다.

게이트 구조물(265)은 제 1 절연막(220), 스토리지 노드(230), 제 2 절연막(240), 제 3 절연막(250), 및 제어 게이트 전극(260)을 포함한다. 구체적으로 보면, 제 1 절연막(220)은 반도체 기판(205) 상에 형성되고, 스토리지 노드(230)는 제 1 절연막(220) 상에 형성된다. 또한, 스토리지 노드(230) 상에 제 2 절연막(240), 제 3 절연막(250) 및 제어 게이트 전극(260)이 순차로 형성되어 있다.

메모리 소자(200)의 기록 동작은 제어 게이트 전극(260)에 기록 전압, 예를 들어 양의 전압을 인가하여 스토리지 노드(230)에 전자를 저장하는 방식으로 수행할 수 있다. 또한, 메모리 소자(200)의 소거 동작은 제어 게이트 전극(260)에 소거 전압, 예를 들어 음의 전압을 인가하여 스토리지 노드(230)에 저장된 전자를 반도체 기판(205)으로 소거하는 방식으로 수행할 수 있다.

보다 구체적으로 보면, 스토리지 노드(230)는 플로팅 게이트 또는 전하 트랩층일 수 있다. 예를 들어, 스토리지 노드(230)는 전기적인 트랩, 케미컬 본드(chemical bond), 퀀텀(quantum) 또는 에너지 웰(energy well), 또는 도트(dot)에 의해서 전하를 저장 또는 트랩할 수 있는 물질로 형성된다. 보다 구체적으로 예를 들면, 스토리지 노드(230)는 실리콘 질화막, 폴리실리콘, 나노-크리스탈(nano-crystal), 또는 나노-도트(nano-dot)로 형성될 수 있다.

또한, 제 1 절연막(220)은 핫케리어 주입 또는 전하의 터널링이 가능한 절연막이다. 구체적으로 보면, 제 1 절연막(220)은 실리콘 산화막인 것이 바람직하다. 보다 구체적으로 보면, 제 1 절연막(220)은 20 내지 60 Å 범위의 실리콘 산화막인 것이 더욱 바람직하다. 왜냐하면, 제 1 절연막(220)이 20 Å 이내로 형성되면 제어 게이트 전극(260)에 전압이 인가되지 않은 자연 상태에서도 터널링이 일어나기 때문이다. 또한, 제 1 절연막(220)이 60 Å 이상으로 형성되면 전하의 터널링을 위해서 높은 전압이 필요하기 때문에 비효율적이다.

제 2 절연막(240)과 제 3 절연막(250)은 메모리 소자(200)의 소거 동작 시, 제어 게이트 전극(260)으로부터 스토리지 노드(230)로의 전하의 역 터널링 현상을 억제하기 위한 것이다. 더불어, 제 2 절연막(240)은 제 3 절연막(250)과 스토리지 노드(230)를 분리시키고, 또한 제어 게이트 전극(260)과 스토리지 노드(230) 사이의 커플링 전압비를 조절하는 역할을 할 수 있다.

이하 도 6에 도시된 메모리 소자(200)에 대한 에너지 밴드를 참조하여, 제 2 절연막(240)과 제 3 절연막(250)을 보다 상세하게 설명한다.

도 5 및 도 6을 같이 참조하면, 메모리 소자(200)의 반도체 기판(205), 제 1 절연막(220), 스토리지 노드(230), 제 2 절연막(240), 제 3 절연막(250), 및 제어 게이트 전극(260)의 각각에 대한 에너지 밴드들(205a, 220a, 230a, 240a, 250a)의 평형 연결관계가 도시되어 있다. 이에 따르면, 제어 게이트 전극(260)에 소거 전압이 인가된 경우, 제 2 절연막(240)의 에너지 밴드(240a)가 벤딩(bending)되나, 제 3 절연막(250)이 개재되어 있어 제어 게이트 전극(260)으로부터 스토리지 노드(230)로 역 터널링이 억제된다.

하지만, 제 3 절연막(250)이 제어 게이트 전극(260) 및 스토리지 노드(230) 사이에 추가됨에 따라, 제어 게이트 전극(260)과 반도체 기판(205) 사이의 커패시턴스가 변화된다. 이에 따라, 스토리지 노드(230)와 반도체 기판(205) 사이의 전기장의 크기도 변화된다. 커패시턴스 및 전기장의 크기 변화는 메모리 소자(200)의 동작 특성, 예를 들어 기록 동작, 소거 동작 속도 및 효율 등을 변화시킬 수 있다.

따라서, 제 2 절연막(240) 및 제 3 절연막(250)의 에너지 밴드갭, 유전 상수 및 두께는 역 터널링 억제와 커패시턴스를 모두 고려하여 결정하여야 한다. 구체적으로 보면, 제 2 절연막(240)과 제 3 절연막(250) 가운데 적어도 하나 이상의 유전 상수는 제 1 절연막(220)의 유전 상수보다 커야 한다. 보다 구체적으로는, 제 3 절연막(250)의 유전 상수가 제 1 절연막(220)의 유전 상수보다 큰 것이 바람직하다.

이에 따라, 제어 게이트 전극(260)과 스트로지 노드(230) 사이의 총 절연막(240, 250)의 물리적인 두께의 변화로 인한, 커패시턴스의 변화를 보상할 수 있다. 또한, 반도체 기판(205)과 제어 게이트 전극(260) 사이의 포텐셜(V2)이 종래의 반도체 기판(도 1의 105)과 제어 게이트 전극(도 1의 130) 사이의 포텐셜(도 2의 V1)과 유사하게 유지될 수 있다. 즉, 제어 게이트 전극(260)과 반도체 기판(205) 사이의 전기적인 산화물 두께(electrical oxide thickness; EOT)는 종래와 동일 또는 유사하게 유지할 수 있다.

또한, 스토리지 노드(230)로부터 제어 게이트 전극(260)으로의 전하의 역 터널링을 효과적으로 억제하기 위해서는 제 2 절연막(240)과 제 3 절연막(250) 가운데 적어도 하나 이상의 에너지 밴드갭은 스토리지 노드(230)의 에너지 밴드갭보다 큰 것이 바람직하다.

구체적으로 예를 들면, 제 2 절연막(240)은 실리콘 산화막으로 형성되고, 제 3 절연막(250)은 실리콘 질화막으로 형성된 것이 바람직하다. 또한, 제 1 절연막(220)은 실리콘 산화막으로 형성된 것이 바람직하다. 즉, 종래 이용되던 산화막과 질화막을 조합함으로써, 새로운 고-유전율 절연막을 사용하지 않고, 메모리 소자(200)의 소거 특성을 향상시킬 수 있다.

보다 구체적으로 보면, 전계 분포와 역 터널링 방지 특성을 동시에 확보하기 위해 실리콘 질화막(250)의 두께가 증가하면 실리콘 산화막(240)의 두께는 감소하는 것이 바람직하다. 예를 들어, 실리콘 질화막(250)은 40 내지 100 Å 범위인 것이 바람직하고, 이에 따라, 실리콘 산화막(240)의 두께는 60 내지 20 Å인 것이 바람직하다.

또한, 실리콘 산화막(220)의 두께는 메모리 소자(200)의 리텐션 상태에서 자연 터널링에 의한 소거를 막기 위해 20 Å 이상이고, 기록 동작 시 터널링 효율을 확보하기 위해 60 Å 이내인 것이 바람직하다.

도 7은 종래 메모리 소자(도 1의 100)와 본 발명의 실시예에 따른 메모리 소자(도 5의 200)에 대한 소거 상태에서 플랫밴드(flat band) 전압(V_{fb})과 리텐션 상태에서 문턱전압의 변화량(ΔV_{th})의 관계들을 보여주는 그래프이다. 도면에서 종래 메모리 소자(도 1의 100)는 SONOS형으로, 본 발명의 실시예에 따른 메모리 소자는 SNONOS형으로 지칭되었다.

도 7을 참조하면, 본 발명의 실시예에 따른 SNONOS형 메모리 소자(도 2의 200)가 종래 SONOS형 메모리 소자(도 1의 100)에 비해서 소거 효율 및 리텐션 특성이 모두 향상된 것을 알 수 있다. 즉, 같은 소거 효율에 대해서 리텐션 특성이 향상되고, 같은 리텐션 특성에 대해서는 소거 효율이 향상될 수 있다. 도면에서 V_{fb}가 낮을수록 높은 소거 효율을 나타내고, 문턱전압의 변화량이 낮을수록 높은 리텐션 특성을 나타낸다.

즉, 본 발명의 실시예에 따른 메모리 소자(200)를 이용하면, 종래와 유사한 기록 속도를 유지하면서도, 종래의 경우보다 소거 및 리텐션 특성을 향상시킬 수 있다.

도 8 내지 도 10은 본 발명의 실시예에 따른 비휘발성 메모리 소자의 제조 방법을 보여주는 단면도들이다. 비휘발성 메모리 소자의 구성 요소에 대한 설명은 도 5의 설명 부분을 참조할 수 있다. 도 5와 도 8 내지 도 10에서 백 자리 이하의 자리수가 동일한 참조부호는 동일 또는 유사한 구성 요소를 나타낸다.

도 8을 참조하면, 반도체 기판(305) 상에 순차로 제 1 절연층(320a), 스토리지 노드층(330a), 제 2 절연층(340a), 제 3 절연층(350a) 및 제어 게이트 전극층(360a)을 형성한다. 보다 구체적으로 보면, 제 1 절연층(320a)은 화학기상증착법으로 실리콘 산화막을 형성하거나, 또는 반도체 기판(305)을 산화시켜 형성할 수 있다.

스토리지 노드층(330a)은 실리콘 질화막, 폴리실리콘, 나노-크리스탈 또는 나노-도트로 형성할 수 있다. 보다 구체적인 예로, 디클로로 사일렌(DCS)과 NH_3의 혼합 기체를 이용하여 저압 화학기상증착법(LP CVD)으로 실리콘 질화막을 형성하여 스토리지 노드층(330a)을 형성할 수 있다. 나아가, NH_3에 대한 DCS의 혼합비는 유전 상수와 트랩밀도를 조절하기 위하여, 1.5 내지 2.5 범위인 것이 바람직하다. 이에 따라, 스토리지 노드층(330a)의 트랩밀도는 정량적인 Si_3N_4보다 많아지게 된다.

제 2 절연층(340a)은 저압 화학기상증착법(LP CVD)을 이용하여 실리콘 산화막으로 형성할 수 있다. 또한, 제 3 절연층(350a)은 실리콘 질화막인 것이 바람직하고, 나아가 DCS와 NH_3의 혼합 기체를 이용한 저압 화학기상증착법(LP CVD)으로 형성하는 것이 더욱 바람직하다. 더 나아가, NH_3에 대한 DCS의 혼합비는 0.65 내지 1 범위인 것이 바람직하다. 이는 제 3 절연층(350a)의 트랩 밀도가 스토리지 노드층(330a)의 트랩밀도보다 낮게 유지하기 위함이다.

본 발명의 실시예에서, 제 2 절연층(340a) 및 제 3 절연층(350a)은 전술한 바와 같이 실리콘 산화막 및 실리콘 질화막으로 형성할 수 있다. 따라서, 종래 반도체 제조 공정 기술 및 장치를 이용하여 제 2 절연층(340a) 및 제 3 절연층(350a)을 형성하는 것이 가능하다. 즉, 본 발명의 실시예에 따른 제조 방법은 새로운 설비 또는 제조 기술 투자를 필요로 하지 않으므로 경제성이 있다. 더구나, 실리콘 산화막 및 질화막은 상호 반응이나 라인 오염을 시키지 않는 검증 받은 물질들이다.

게이트 전극층(360a)은 폴리실리콘을 포함하여 형성할 수 있다. 즉, 금속 게이트 전극 구조를 형성하지 않고, 종래와 유사하게 폴리실리콘으로 형성된 게이트 전극 구조를 형성할 수 있다.

이어서, 게이트 전극층(360a) 상에 게이트 전극층(360a)의 소정 부분을 노출하는 포토레지스트 패턴(362)을 형성한다. 포토레지스트 패턴(362)은 해당 기술분야에서 통상의 지식을 가진 자에게 알려진 포토리소그래피 기술을 이용하여 형성할 수 있다.

도 9를 참조하면, 이어서 포토레지스트 패턴(362)을 식각 보호막으로 이용하여 제어 게이트 전극층(360a), 제 3 절연층(350a), 제 2 절연층(340a), 스토리지 노드층(330a), 및 제 1 절연층(320a)을 식각하여 게이트 구조물(365)을 형성한다. 즉, 게이트 구조물(365)은 제 1 절연막(320), 스토리지 노드(330), 제 2 절연막(340), 제 3 절연막(350) 및 제어 게이트 전극(360)을 포함한다.

도 10을 참조하면, 이어서 게이트 구조물(365) 측벽에 스페이서 절연막(370)을 형성하는 단계를 더 포함할 수 있다. 이어서 게이트 구조물(365) 외측의 반도체 기판(305)에 불순물이 도핑된 소오스(310) 및 드레인(315)을 형성한다. 계속해서, 해당 기술분야에서 통상의 지식을 가진 자에게 알려진 방법에 따라 배선 형성 공정을 진행할 수 있다.

발명의 특정 실시예들에 대한 이상의 설명은 예시 및 설명을 목적으로 제공되었다. 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 해당 분야에서 통상의 지식을 가진 자에 의하여 상기 실시예들을 조합하여 실시하는 등 여러 가지 많은 수정 및 변경이 가능함은 명백하다.

발명의 효과

본 발명에 따른 비휘발성 메모리 소자(200)를 이용하면, 소거 동작 시 제어 게이트 전극(260)과 스토리지 노드(230) 사이의 역 터널링을 효과적으로 억제할 수 있다. 이에 따라, 소거 동작 속도 및 효율을 종래의 경우보다 향상시킬 수 있다. 또한, 제 1 절연막(220)의 두께를 낮출 필요가 없어, 리텐션 특성을 확보할 수 있다.

더불어, 메모리 소자(200)는 제어 게이트 전극(260)과 반도체 기판(205) 사이의 전기적인 산화물 두께(EOT) 또는 커패시턴스를 종래와 동일 또는 유사하게 유지할 수 있다. 이에 따라, 메모리 소자(200)의 기록 동작 속도를 종래와 동일 또는 유사하게 유지할 수 있다.

따라서, 메모리 소자(200)를 이용하면 종래 역 비례관계 즉, 트레이드-오프 관계에 있던 리텐션 특성과 소거 특성을 동시에 향상시키면서도 기록 동작 속도를 유지할 수 잇다.

또한, 본 발명의 실시예에 따른 제조 방법에 따르면, 종래 반도체 제조 공정 기술 및 장치를 이용하여 제 2 절연층(340a) 및 제 3 절연층(350a)을 형성하는 것이 가능하다. 즉, 본 발명의 실시예에 따른 제조 방법은 새로운 설비 또는 제조 기술 투자를 필요로 하지 않으므로 경제성이 있다. 또한, 스케일링 다운 시 적용 가능성이 높아진다.

도면의 간단한 설명

도 1은 종래 SONOS형 메모리 소자를 보여주는 단면도이다.

도 2는 도 1의 소자에 대한 에너지 밴드를 보여주는 도면이다.

도 3은 도 1의 소자에 대한 소거 전압의 변화에 대한, 시간에 따른 문턱 전압의 변화를 보여주는 그래프이다.

도 4는 도 1의 소자에 대한 소거 상태에서 문턱전압과, 리텐션 상태에서 문턱전압의 변화량의 관계를 보여주는 그래프이다.

도 5는 본 발명의 실시예에 따른 비휘발성 메모리 소자를 보여주는 단면도이다.

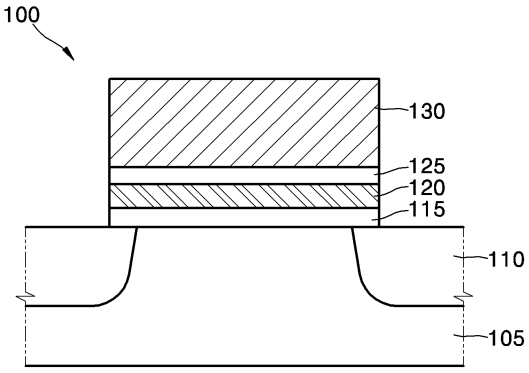
도 6은 도 5의 소자에 대한 에너지 밴드를 보여주는 도면이다.

도 7은 도 1 및 도 5의 소자에 대한 소거 상태에서 플랫밴드 전압과 리텐션 상태에서 문턱전압의 변화량의 관계들을 보여주는 그래프이다.

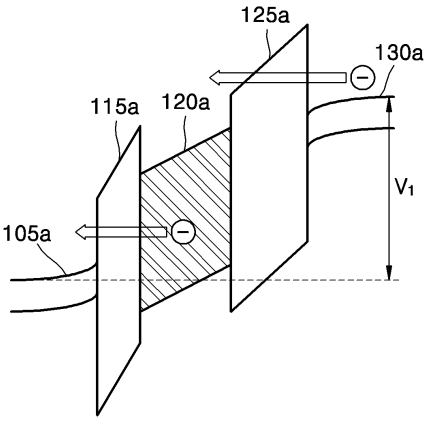
도 8 내지 도 10은 본 발명의 실시예에 따른 비휘발성 메모리 소자의 제조 방법을 보여주는 단면도들이다.

도면

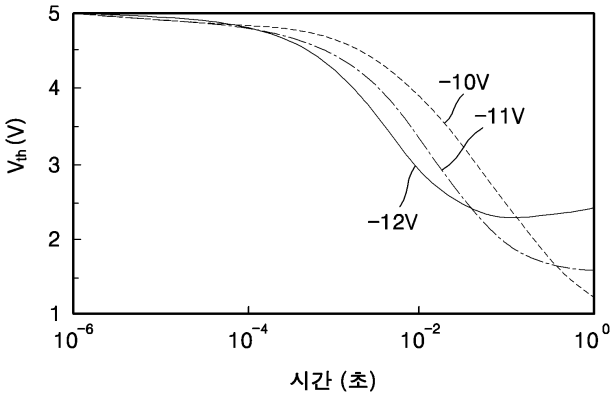
도면1



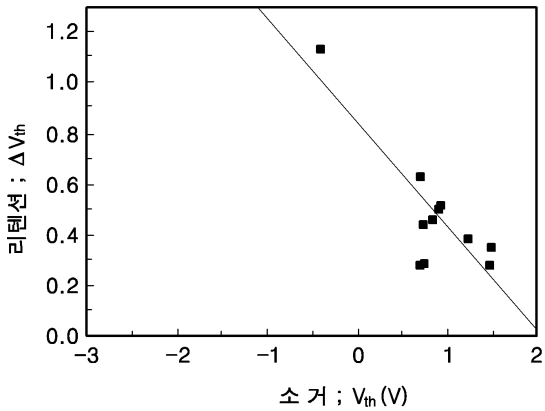
도면2


125a
130a
115a
120a
V1
105a

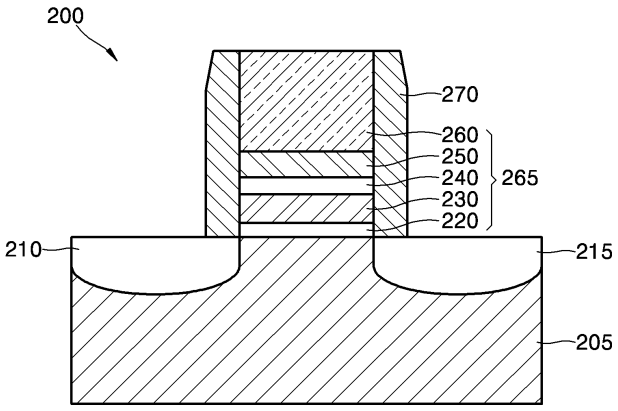
도면3


5
4
3
2
1
Vth (V)
−10V
−11V
−12V
10−6
10−4
10−2
100
시간 (초)

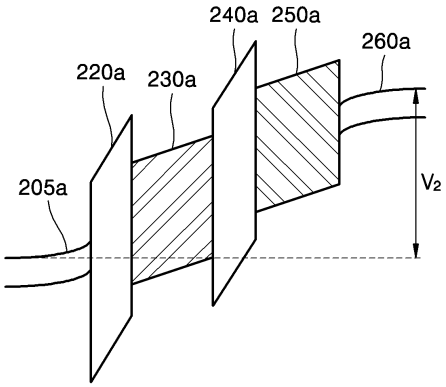
도면4


1.2
1.0
0.8
0.6
0.4
0.2
0.0
리텐션 ; ΔVth
−3
−2
−1
0
1
2
소 거 ; Vth (V)

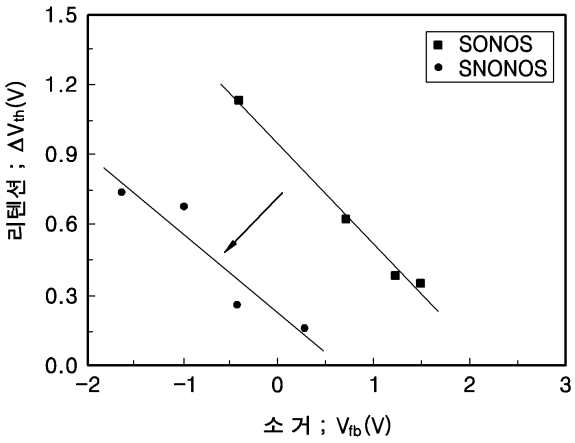
도면5


200
270
260
250
240
230
220
265
210
215
205

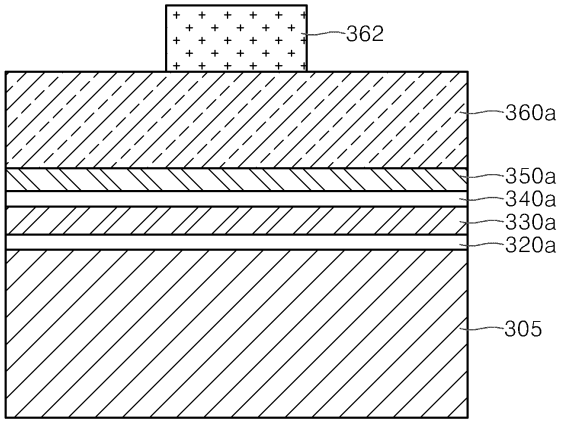
도면6


240a
250a
260a
220a
230a
205a
V2

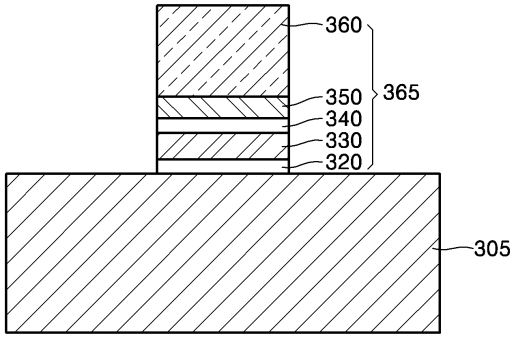
도면7


SONOS
SNONOS
리텐션 ; ΔVth(V)
소 거 ; Vfb(V)
1.5
1.2
0.9
0.6
0.3
0.0
−2
−1
0
1
2
3

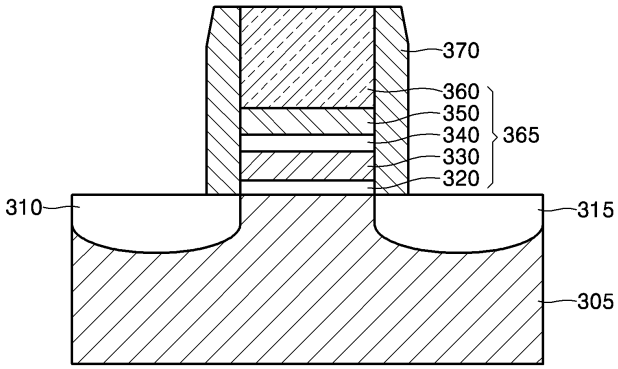
도면8


362
360a
350a
340a
330a
320a
305

도면9


360
350
340
330
320
365
305

도면10


370
360
350
340
330
320
365
310
315
305