(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 117724207 B
(45)授权公告日 2024.04.30

(21)申请号 202410179273.0
(22)申请日 2024.02.18
(65)同一申请的已公布的文献号
申请公布号 CN 117724207 A
(43)申请公布日 2024.03.19
(73)专利权人 上海铭锟半导体有限公司
地址 200120 上海市浦东新区中国(上海)自由贸易试验区临港新片区环湖西二路888号C楼
(72)发明人 杨荣 王庆 余明斌
(74)专利代理机构 成都九鼎天元知识产权代理有限公司 51214
专利代理师 黎飞
(51)Int.Cl.
G02B 6/13(2006.01)
G02B 6/136(2006.01)

(56)对比文件
CN 101515561 A,2009.08.26
CN 106298894 A,2017.01.04
CN 110571333 A,2019.12.13
CN 117233892 A,2023.12.15
KR 960026418 A,1996.07.22
US 4358340 A,1982.11.09
US 4648937 A,1987.03.10
US 5612240 A,1997.03.18

审查员 张小燕

权利要求书1页 说明书6页 附图5页

(54)发明名称

一种非晶硅光波导的制作方法及非晶硅光波导

(57)摘要

本发明涉及半导体技术领域,公开了一种非晶硅光波导的制作方法及非晶硅光波导,该方法,采用微米级光刻机和干法刻蚀产生深亚微米高度的介质台阶,并采用深亚微米厚度的非晶硅沉积和无掩模干法回刻蚀,获得深亚微米宽度的非晶硅光波导。本发明解决了现有技术存在的制作亚微米非晶硅光波导时对先进光刻机的依赖太大等问题。

CN 117724207 B

1.一种非晶硅光波导的制作方法,其特征在于,采用微米级光刻机和干法刻蚀产生深亚微米高度的介质台阶,并采用深亚微米厚度的非晶硅沉积和无掩模干法回刻蚀,非晶硅层的沉积厚度范围为0.1-3微米,获得深亚微米宽度的非晶硅光波导;通过调整介质台阶高度、非晶硅沉积厚度和回刻蚀量来控制非晶硅光波导的高度、宽度和形状;

包括以下步骤:

S1,准备衬底晶圆;

S2,沉积第一介质层作为非晶硅光波导的下包层;

S3,采用光刻和干法刻蚀第一介质层形成台阶,台阶处将形成由两条直边和一条弧边围成截面的非晶硅光波导,$h+1\leqslant t_{ox1}\leqslant 3$微米;其中,$h$表示第一介质层中的台阶高度,$t_{ox1}$表示第一介质层的沉积厚度;

S4,沉积非晶硅层作为非晶硅光波导的芯层;

S5,回刻蚀非晶硅层形成非晶硅光波导的芯核;

S6,沉积第二介质层作为非晶硅光波导的上包层;

S7,抛光第二介质层至表面平整;

步骤S5中,选择终点检测自动停止刻蚀的方式去除多余的非晶硅,或根据沉积厚度和刻蚀速率计算得出固定的刻蚀时间并增加5%-15%的过刻蚀。

2.根据权利要求1所述的一种非晶硅光波导的制作方法,其特征在于,步骤S2中,采用等离子增强化学气相沉积方法在100-400℃下沉积第一介质层。

3.根据权利要求1所述的一种非晶硅光波导的制作方法,其特征在于,衬底晶圆的材料为半导体、金属、无机非金属或有机树脂类材料。

4.根据权利要求1所述的一种非晶硅光波导的制作方法,其特征在于,步骤S2中,第一介质层的材料为氧化硅、氮氧化硅或氮化硅。

5.根据权利要求1所述的一种非晶硅光波导的制作方法,其特征在于,步骤S6中,第二介质层的材料为氧化硅、氮氧化硅或氮化硅。

6.一种非晶硅光波导,其特征在于,采用权利要求1至5任一项所述的一种非晶硅光波导的制作方法制作而成,包括衬底晶圆(1)、第一介质层(2)、非晶硅层(3)、第二介质层(4),第一介质层(2)设于衬底晶圆(1)的上方,第一介质层(2)的上表面包括依次连接的第一水平段(21)、第一竖直段(22)、第二水平段(23),第一水平段(21)距离衬底晶圆(1)的高度高于第二水平段(23)距离衬底晶圆(1)的高度,第二介质层(4)的下表面包括依次连接的第三水平段(41)、弧边(42)、第四水平段(43),第三水平段(41)位于距离衬底晶圆(1)的高度高于第四水平段(43)距离衬底晶圆(1)的高度,第一水平段(21)与第三水平段(41)贴合,第二水平段(23)与第四水平段(43)贴合,第一竖直段(22)、第二水平段(23)、弧边(42)构成一个容纳空间,非晶硅层(3)设于容纳空间内,非晶硅层(3)的表面与第一竖直段(22)、第二水平段(23)、弧边(42)分别贴合。

一种非晶硅光波导的制作方法及非晶硅光波导

技术领域

[0001] 本发明涉及半导体技术领域,具体是一种非晶硅光波导的制作方法及非晶硅光波导。

背景技术

[0002] 硅光子(Silicon photonics)集成芯片技术在信息传输和信号处理方面具有广阔的市场空间,正在部分取代III-V族化合物半导体的分立光电器件或光子集成芯片应用在光通信、数据中心等信息传输领域,在光传感(如激光雷达、光学陀螺、生物医学检测)和光计算(如光学人工智能和光量子等新兴领域)也有巨大的发展潜力。硅光子得益于硅/氧化硅材料系统巨大的折射率差异和互补金属氧化物半导体(Complementary metal-oxide-semiconductor, CMOS)兼容的制造工艺,具有高集成度、小型化、大规模制造和低成本的突出优势,同成熟的CMOS电路具有光电一体化集成(Electronic-photonic integrated circuit, EPIC)的潜力。然而,主流的硅光子基于单晶硅的材料系统,也存在一些技术和经济限制:一是只能利用昂贵的绝缘体上硅(Silicon on insulator, SOI)衬底,且SOI衬底上的电芯片设计和制造技术都不如常规的体硅衬底成熟;二是单晶硅光波导和器件只能利用前道工艺(Front-end of the line, FEOL)加工,无法利用有低温限制的后道工艺(Back-end of the line, BEOL)来制作,只能将硅光器件和电学器件的制备在前道工艺中穿插进行,结构和工艺复杂,并且经常相互制约;三是单晶硅光波导和器件,通常只能在同一层(SOI的顶层硅)中集成无法实现多层的集成系统,虽然近年发展的晶圆键合(wafer bonding)技术理论上可以将多层单晶硅键合在一起,由于其结构复杂性、层间限制和工艺成本等问题,尚不具备多层单晶硅光子器件集成的实用性。

[0003] 非晶硅材料正好可以克服单晶硅光子集成的上述限制。纯的非晶硅材料因缺陷密度高而无法使用,非晶硅一般都是指掺杂氢元素钝化减少缺陷密度的氢化非晶硅材料,简称非晶硅。非晶硅可以沉积在各类半导体、玻璃、金属衬底或其上的介质层之上;其低温沉积特点(约100-400℃)可以用于半导体后道工艺,在电路之上覆盖介质层后沉积非晶硅;也可以多层沉积非晶硅,用于光信号传输和处理的三维集成。作为最基础的光子集成结构,亚微米的非晶硅光波导在红外波段1550纳米获得了低于1dB/cm的光传播损耗,已接近单晶硅光波导的水平(参见论文Ryohei Takei et al., Sub-1 dB/cm submicrometer-scale amorphous silicon waveguide for backend on-chip optical interconnect, OPTICS EXPRESS, 2014, 22(4), pp. 4779-4788.)。基于非晶硅材料的参数放大器、全光信号处理器件和全光调制器等有源器件也已经得以实现。但是,亚微米非晶硅光波导及器件的水平结构尺寸,依设计需要可以低至深亚微米甚至几十纳米,典型的半导体商业制造工厂后道的光刻机(如常用的I线、G线光源步进光刻机或更陈旧的接触式、接近式光刻机等),其分辨率常常低于前道的先进光刻设备,因此难以支持非晶硅光波导的精细光刻,造成光波导和光路的设计及制造局限;为精细刻蚀非晶硅光波导而在工厂后道配备如KrF、ArF光源的先进光刻机非常不经济,用前道先进光刻机光刻处理后道的非晶硅层,涉及到金属杂质污染

管控会增加额外成本和风险,在商业大厂一般不会被允许。因此,有必要提出新的非晶硅光波导的结构和制备方法,利用半导体工厂后道的微米级分辨率光刻机,实现非晶硅光波导深亚微米的水平尺寸加工,为非晶硅光子集成提供更大设计和制造自由度。

发明内容

[0004] 为克服现有技术的不足,本发明提供了一种非晶硅光波导的制作方法及非晶硅光波导,解决现有技术存在的制作亚微米非晶硅光波导时对先进光刻机的依赖太大等问题。

[0005] 本发明解决上述问题所采用的技术方案是:

[0006] 一种非晶硅光波导的制作方法,采用微米级光刻机和干法刻蚀产生深亚微米高度的介质台阶,并采用深亚微米厚度的非晶硅沉积和无掩模干法回刻蚀,获得深亚微米宽度的非晶硅光波导。

[0007] 作为一种优选的技术方案,包括以下步骤:

[0008] S1,准备衬底晶圆;

[0009] S2,沉积第一介质层作为非晶硅光波导的下包层;

[0010] S3,采用光刻和干法刻蚀第一介质层形成台阶;

[0011] S4,沉积非晶硅层作为非晶硅光波导的芯层;

[0012] S5,回刻蚀非晶硅层形成非晶硅光波导的芯核;

[0013] S6,沉积第二介质层作为非晶硅光波导的上包层;

[0014] S7,抛光第二介质层至表面平整。

[0015] 作为一种优选的技术方案,步骤S2中,采用等离子增强化学气相沉积方法在100-400℃下沉积第一介质层。

[0016] 作为一种优选的技术方案,步骤S5中,选择终点检测自动停止刻蚀的方式去除多余的非晶硅,或根据沉积厚度和刻蚀速率计算得出固定的刻蚀时间并增加5%-15%的过刻蚀。

[0017] 作为一种优选的技术方案,衬底晶圆的材料为半导体、金属、无机非金属或有机树脂类材料。

[0018] 作为一种优选的技术方案,步骤S2中,第一介质层的材料为氧化硅、氮氧化硅、氮化硅或低介电常数介质。

[0019] 作为一种优选的技术方案,步骤S3中,非晶硅层的沉积厚度范围为0.1-3微米。

[0020] 作为一种优选的技术方案,步骤S6中,第二介质层的材料为氧化硅、氮氧化硅、氮化硅或低介电常数介质。

[0021] 作为一种优选的技术方案,通过调整介质台阶高度、非晶硅沉积厚度和回刻蚀量来控制非晶硅光波导的高度、宽度和形状。

[0022] 一种非晶硅光波导,包括衬底晶圆、第一介质层、非晶硅层、第二介质层,第一介质层设于衬底晶圆的上方,第一介质层的上表面包括依次连接的第一水平段、第一竖直段、第二水平段,第一水平段距离衬底晶圆的高度高于第二水平段距离衬底晶圆的高度,第二介质层的下表面包括依次连接的第三水平段、弧边、第四水平段,第三水平段位于距离衬底晶圆的高度高于第四水平段距离衬底晶圆的高度,第一水平段与第三水平段贴合,第二水平段与第四水平段贴合,第一竖直段、第二水平段、弧边构成一个容纳空间,非晶硅层设于容

纳空间内,非晶硅层的表面与第一竖直段、第二水平段、弧边分别贴合。

[0023] 本发明相比于现有技术,具有以下有益效果:

[0024] (1)本发明摆脱了制作亚微米非晶硅光波导对先进光刻机的依赖:在下包层介质台阶上沉积非晶硅,利用PECVD沉积非晶硅薄膜的覆盖特性和等离子干法刻蚀优良的方向性,将由常规的光刻机分辨率决定的光波导宽度关键尺寸,转化为由非晶硅薄膜沉积厚度控制的尺寸,让半导体工厂在不具备先进光刻机的情况下,也可以制作深亚微米甚至几十纳米宽度的非晶硅光波导;

[0025] (2)本发明所采用的结构和工艺简单,可以节约制造成本:相比光刻和干法刻蚀定义非晶硅光波导的常规方法,本发明采用的结构和工艺简单,并未额外增加材料层和光刻次数,用低分辨率的介质台阶光刻取代了常规方法高分辨率的非晶硅光波导光刻,从光刻机设备、光刻版和光刻胶材料等方面,都显著节省了制造成本。

附图说明

[0026] 图1为常规加工方式获得的非晶硅光波导截面的结构示意图;

[0027] 图2为本发明的非晶硅光波导截面的结构示意图;

[0028] 图3为本发明所述的一种非晶硅光波导的制作方法的流程图;

[0029] 图4为本发明所述的一种非晶硅光波导的制作方法的工艺步骤示意图;

[0030] 图5为本发明的非晶硅光波导的光模场仿真图之一;

[0031] 图6为本发明的非晶硅光波导的光模场仿真图之二;

[0032] 图7为本发明的非晶硅光波导的光模场仿真图之三。

[0033] 附图中标记及其相应的名称:1、衬底晶圆,2、第一介质层,3、非晶硅层,4、第二介质层,21、第一水平段,22、第一竖直段,23、第二水平段,41、第三水平段,42、弧边,43、第四水平段。

具体实施方式

[0034] 下面结合实施例及附图,对本发明作进一步的详细说明,但本发明的实施方式不限于此。

[0035] 实施例1

[0036] 如图1至图7所示,本发明的目的,是提出新的非晶硅光波导结构及制作方法,可以利用半导体芯片工厂后道的微米级分辨率光刻机制备,不受限于其分辨率能够实现非晶硅光波导深亚微米级别的宽度加工。这一新方法涉及的结构简单,工艺切实可行,并同现半导体芯片工厂后道的设备、材料和工艺兼容良好。

[0037] 图1展示了常规加工方式获得的光波导截面,在衬底晶圆1上依次沉积介质下包层(第一介质层2)和非晶硅芯层,并光刻、刻蚀非晶硅形成矩形截面的光波导芯核(非晶硅层3),然后沉积介质上包层(第二介质层4)并平坦化完成光波导制作。光波导高度h由非晶硅沉积的厚度决定,可以很容易实现几十纳米到几微米的目标高度;光波导宽度w则由光刻胶的条宽确定,最小宽度受限于光刻机能够加工的最小线宽。

[0038] 图2展示了本发明提出的通过侧墙刻蚀(Sidewall spacer etch)方式获得的非晶硅光波导截面。图4展示了本发明所述的一种非晶硅光波导的制作方法的工艺步骤。先在衬

底晶圆1上沉积介质下包层(第一介质层2),光刻和部分刻蚀介质形成高度为h的台阶,沉积非晶硅层3并以干法方式回刻蚀(Etchback)去除多余非晶硅(以终点检测(Endpoint detection)自动停止方式刻蚀非晶硅;或按照非晶硅沉积厚度根据刻蚀速率计算刻蚀时间,并增加轻微程度5%-15%的过刻蚀),台阶处将形成由两条直边和一条弧边围成准扇形截面的非晶硅光波导(第一介质层2的上表面包括依次连接的第一水平段21、第一竖直段22、第二水平段23,第二介质层4的下表面包括依次连接的第三水平段41、弧边42、第四水平段43)。之所以称为准扇形,是因为这两条边h、w长度未必相等,而弧边也不是标准的圆弧。在非晶硅干法刻蚀的终点检测自动停止模式或按时间完全刻蚀(By time full etch)模式下,如果台阶高度h与非晶硅薄膜沉积厚度$t_{a\text{-}Si}$可比拟(尺寸比例在5倍以内),完成刻蚀后非晶硅底部宽度w约为$t_{a\text{-}Si}$的三分之二,这主要是薄膜沉积特性和干法刻蚀特性决定的,与台阶的高度无关。光波导截面的高h亦即台阶高度。因此,可以用微米级光刻和干法刻蚀产生深亚微米高度的介质台阶高度h,配合深亚微米厚度的非晶硅沉积和无掩模干法回刻蚀,获得深亚微米宽度的非晶硅光波导。也就是说,将通常由光刻定义的光波导宽度转化为薄膜沉积的厚度来决定,因此不再受微米级光刻机的分辨率限制。在增加过刻蚀(Overetch)的情况下,非晶硅光波导的高度和宽度都会进一步缩减,此时由于大面积的非晶硅刻蚀已经完成,等离子体会向台阶处残留的非晶硅区域过度集中,引起非晶硅形貌不可控和较严重的等离子体损伤。因此,应选择终点检测自动停止刻蚀的方式,或根据沉积厚度和刻蚀速率计算刻蚀时间并把过刻蚀控制在5%-15%之间,避免大量的过刻蚀。总之,通过在一定范围内(通常比例不超过5倍)适当调整介质台阶高度和非晶硅沉积厚度,可以控制非晶硅光波导宽度、高度和形状,不受限于光刻机分辨率而便捷地实现深亚微米的光波导尺度加工和光模场控制。

[0039] 对图2本发明侧墙刻蚀定义的非晶硅光波导结构作进一步的说明:

[0040] 衬底晶圆1可以为体硅、绝缘体上硅SOI、砷化镓、磷化铟、碳化硅、氮化镓、氮化铝、金刚石等半导体类材料衬底,也可以是铝、铜不锈钢等金属材料衬底,石英、玻璃、陶瓷等非金属无机材料衬底,或耐温的有机树脂类衬底;衬底可以是未经制作结构的单一材料或多层材料的堆叠,也可以是已经制作分立器件、集成电路、集成光路或光电集成芯片的晶圆;衬底厚度可以从数十微米到数百微米。

[0041] 第一介质层2一方面充当非晶硅光波导的下包层,另一方面,这一层经过光刻和刻蚀部分厚度后形成台阶,定义非晶硅光波导的位置和高度;材料为氧化硅、氮氧化硅、氮化硅或半导体后道工艺中采用的各种低介电常数介质(经常为掺杂氧化硅),优选氧化硅,同硅材料匹配良好,并且在硅光波导结构中作为包层使用最普遍;采用化学气相方式沉积,优选等离子增强化学气相沉积(Plasma Enhanced Chemical Vapor Deposition,PECVD)方式、在100-400℃下沉积;第一介质层中的台阶高度h,同时也是非晶硅光波导的高度,需要考虑光波导设计本身的需求,并且台阶不能过低导致干法回刻蚀非晶硅形成光波导时难以控制,至少应取$h \geqslant 0.05$微米;第一介质层的沉积厚度t_{ox1},一是考虑经过后续台阶刻蚀后仍能有足够厚度(如至少1微米)有效包覆非晶硅光波导限制光模场,即$t_{ox1} \geqslant h+1$,二是方便形成通孔实现非晶硅层或后续3D集成层与衬底器件层的电学连接,第一介质层不宜超过3微米,因此厚度范围取$h+1 \leqslant t_{ox1} \leqslant 3$微米。

[0042] 非晶硅层3充当非晶硅光波导的芯层。采用化学气相或物理气相方式沉积,优选

PECVD非晶硅。PECVD是半导体工厂后道工艺的常见设备,可以实现较低温度下的沉积,并且成膜性质均一,厚度均匀性好。非晶硅的沉积厚度范围取0.1-3微米,主要考虑光波导设计的尺寸需求并允许一定程度的过刻蚀。

[0043] 第二介质层4充当非晶硅光波导的上包层,经过后续的化学机械抛光步骤后实现表面的平坦化;材料为氧化硅、氮氧化硅、氮化硅或半导体后道工艺中采用的各种低介电常数介质,优选氧化硅,同硅材料匹配良好,并且在硅光波导结构中作为包层使用最普遍;采用化学气相方式沉积,优选PECVD方式;介质的沉积厚度,主要考虑经过后续化学机械抛光(Chemical mechanical polishing,CMP)步骤后仍具有足够的厚度包覆非晶硅光波导限制光模场,沉积厚度范围取1-3微米。

[0044] 图3展示了本发明截面为准扇形的非晶硅光波导制作方法的工艺步骤,具体的工艺过程如下:从衬底晶圆1开始;在衬底表面沉积第一介质层2;光刻和干法刻蚀第一介质的部分厚度形成一台阶;沉积非晶硅层;按照沉积厚度无掩模干法回刻蚀非晶硅层;沉积第二介质层从四周和上方形成对非晶硅光波导的包覆;对第二介质层进行化学机械抛光至表面平整,至此完成了截面为准扇形的非晶硅光波导制作。

[0045] 本发明具有如下特色:

[0046] 通过构造介质台阶并回刻蚀非晶硅形成的准扇形截面形状的非晶硅光波导结构;形成这一非晶硅光波导结构的工艺步骤;非晶硅的沉积方式、温度范围和厚度范围;上下介质包层的材料选择、沉积方式、温度范围和厚度范围;介质台阶刻蚀高度h和非晶硅沉积厚度$t_{a\text{-}Si}$的可比拟关系,即不超过5倍,$1/5<h/t_{a\text{-}Si}<5$;非晶硅刻蚀的无掩模掩蔽状态、干法等离子体刻蚀方式、刻蚀的终点检测自动停止模式或根据厚度计算刻蚀时间并把过刻蚀控制在5%-15%的模式。

[0047] 实施例2

[0048] 如图1至图7所示,作为实施例1的进一步优化,在实施例1的基础上,本实施例还包括以下技术特征:

[0049] 图3展示了本发明非晶硅光波导制作方法的工艺流程。

[0050] S1,从完成CMOS IC制作的8英寸P(100)硅衬底晶圆开始,衬底晶圆厚度725微米,电阻率约10欧姆•厘米。

[0051] S2,以PECVD方式在400℃下沉积氧化硅层2微米覆盖衬底晶圆的CMOS IC,后续用来制作氧化硅台阶并作为非晶硅光波导的下包层。

[0052] S3,以光刻和干法刻蚀第一氧化硅层部分厚度0.4微米,形成0.4微米高度的氧化硅台阶。

[0053] S4,以PECVD方式在400℃下沉积非晶硅层0.6微米,覆盖具有0.4微米台阶高度的氧化硅层。由于PECVD非晶硅薄膜的沉积和覆盖特性,台阶处会形成最大约1微米的非晶硅厚度,沿台阶开始向右非晶硅厚度逐渐减小,直到远离台阶影响时回到沉积厚度0.6微米为止。

[0054] S5,在无掩模掩蔽的情况下,以干法刻蚀设备的终点检测自动停止方式刻蚀去除非晶硅。刻蚀后台阶处会形成截面为准扇形的非晶硅条状结构,其左侧尖角处最大高度h为台阶高度0.4微米,底部宽度w约为非晶硅沉积厚度的三分之二,即$0.6*2/3=0.4$微米。

[0055] S6,以PECVD方式在400℃下沉积第二氧化硅层2微米,从四周和上方形成对条状非

晶硅的覆盖和包围。

[0056] S7,采用化学机械抛光方法,抛光第二氧化硅层去除非晶硅0.2微米厚度,足以去除光波导处的氧化硅凸起和获得第二氧化硅层全表面平整,至此完成了非晶硅光波导制作,其截面近似为0.4微米半径的90°准扇面。

[0057] 采用本发明制作的亚微米非晶硅光波导,虽然摆脱了对光刻机分辨率的依赖,但其截面形状为准扇形,偏离了常规光刻/刻蚀方法制作的光波导矩形截面形状。为了考察截面为准扇形的亚微米非晶硅光波导对光波的束缚,采用光学数值模拟软件仿真了光波导中的模场限制,结果如图5至图7所示(图5中,$h=w=0.4$微米;图6中,$h=0.22$微米,$w=0.4$微米;图7中,$h=0.4$微米,$w=0.22$微米)。通过控制多晶硅沉积的厚度和台阶的高度来控制多晶硅光波导的截面形状,从而获得需要的光场模式。可以看到在图5至图7中$w=h$、$w>h$以及$w<h$几种情况下,非晶硅光波导都能良好地限制光场模式和支持光波的正常传输。

[0058] 如上所述,可较好地实现本发明。

[0059] 本说明书中所有实施例公开的所有特征,或隐含公开的所有方法或过程中的步骤,除了互相排斥的特征和/或步骤以外,均可以以任何方式组合和/或扩展、替换。

[0060] 以上所述,仅是本发明的较佳实施例而已,并非对本发明作任何形式上的限制,依据本发明的技术实质,在本发明的精神和原则之内,对以上实施例所作的任何简单的修改、等同替换与改进等,均仍属于本发明技术方案的保护范围之内。

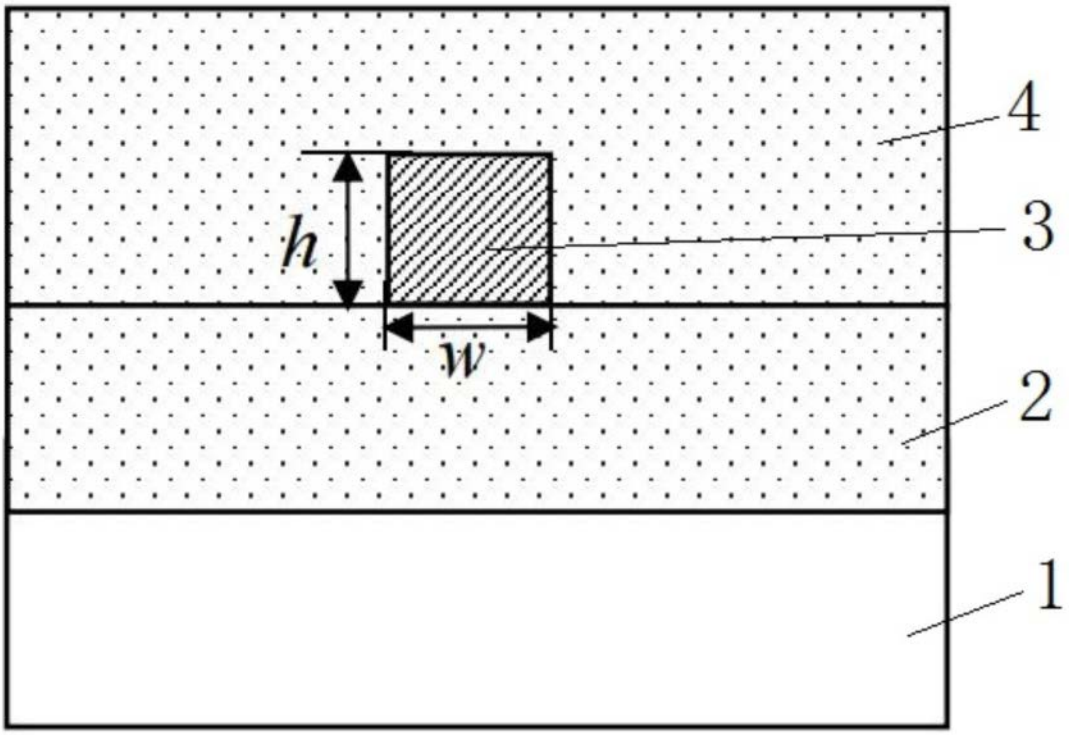

图1

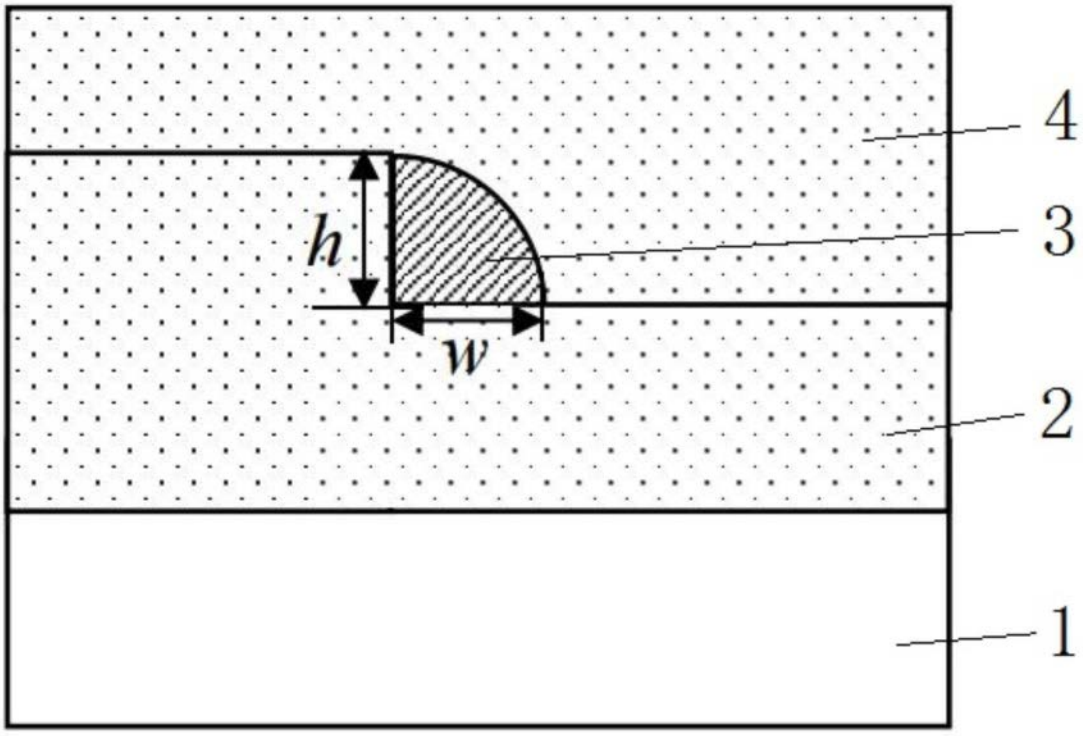

图2

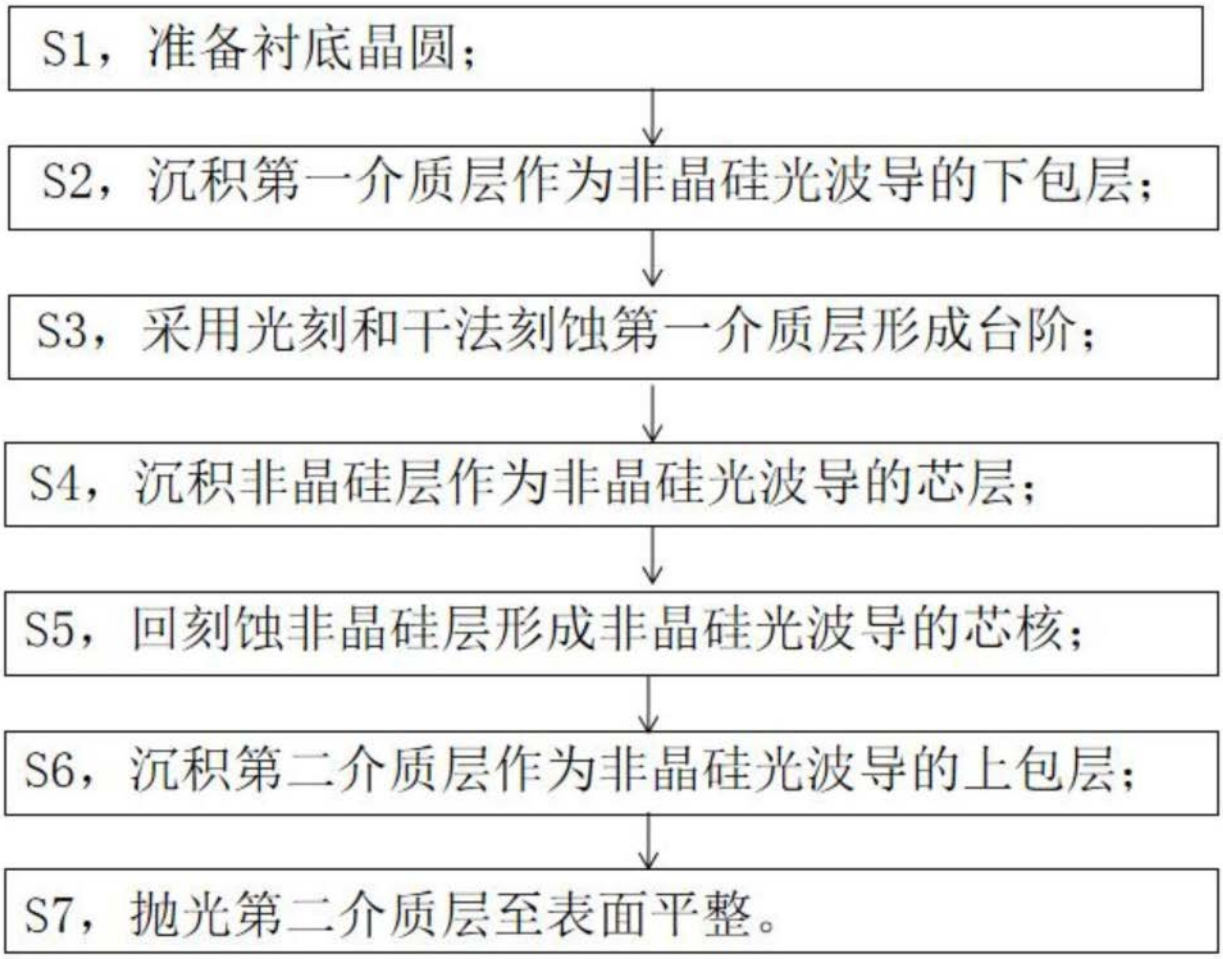
S1，准备衬底晶圆；
S2，沉积第一介质层作为非晶硅光波导的下包层；
S3，采用光刻和干法刻蚀第一介质层形成台阶；
S4，沉积非晶硅层作为非晶硅光波导的芯层；
S5，回刻蚀非晶硅层形成非晶硅光波导的芯核；
S6，沉积第二介质层作为非晶硅光波导的上包层；
S7，抛光第二介质层至表面平整。

图3

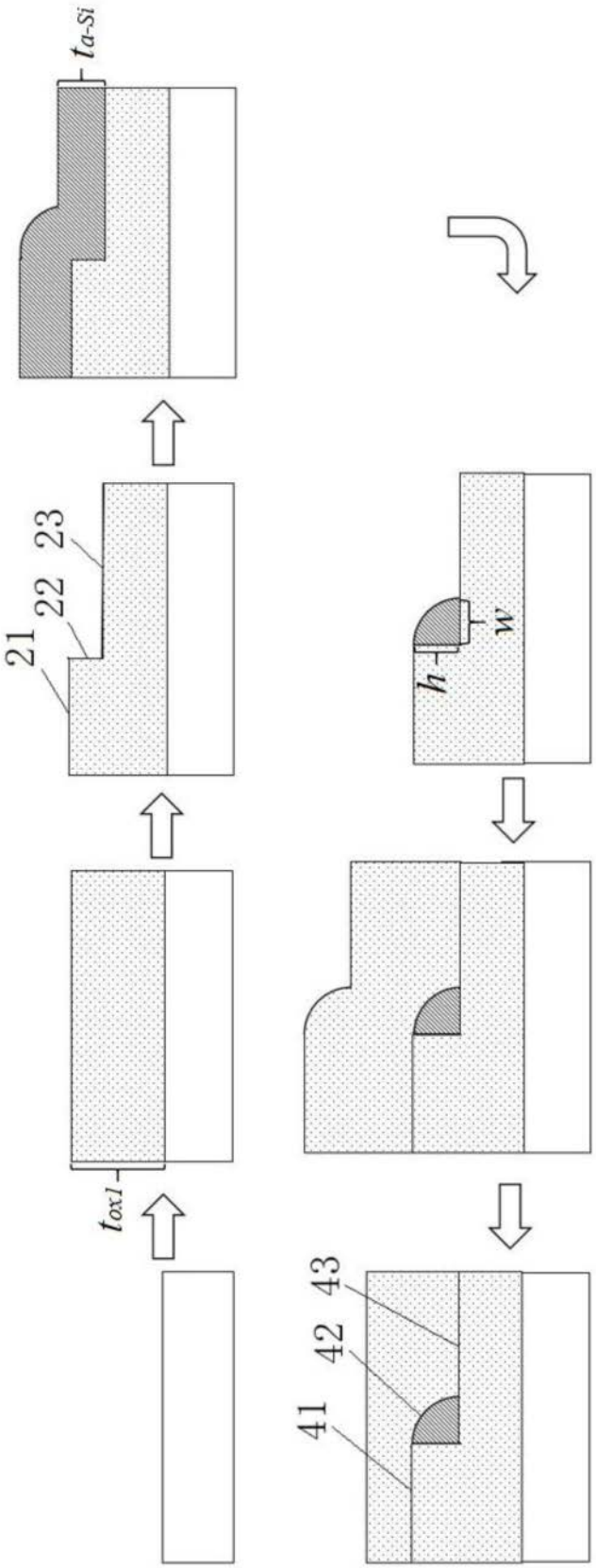

图4

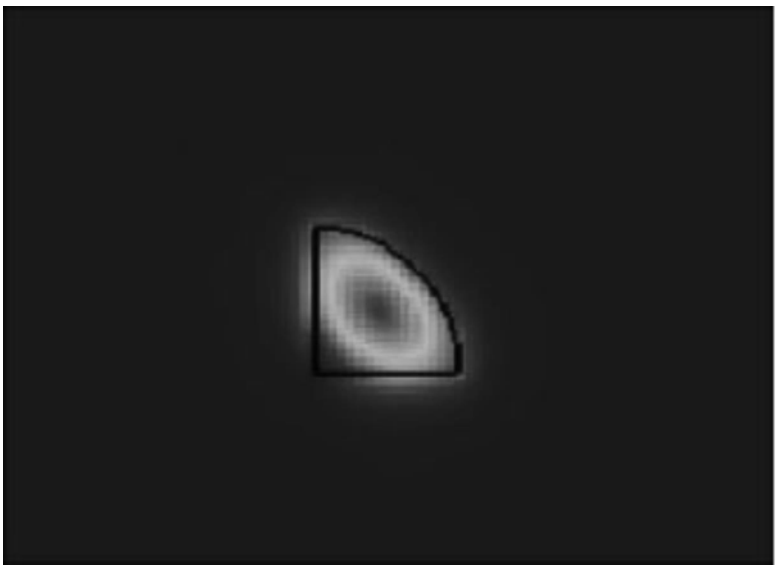

图5

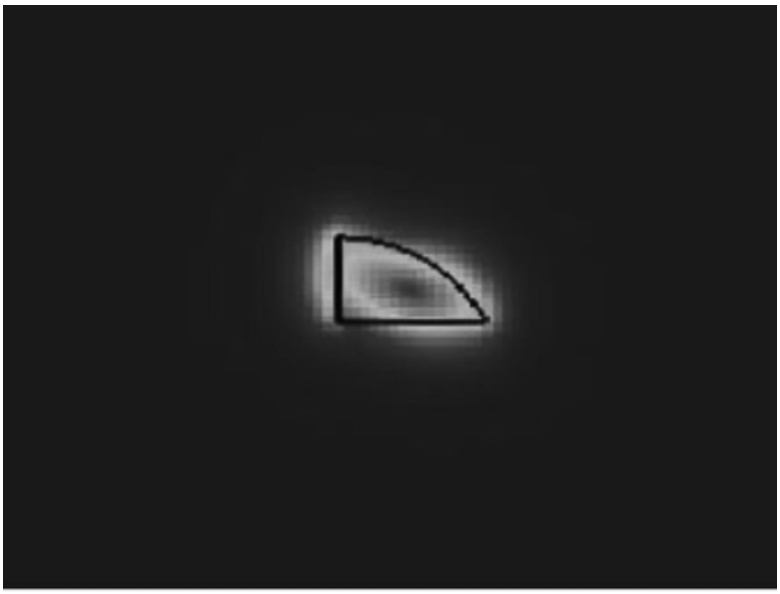

图6

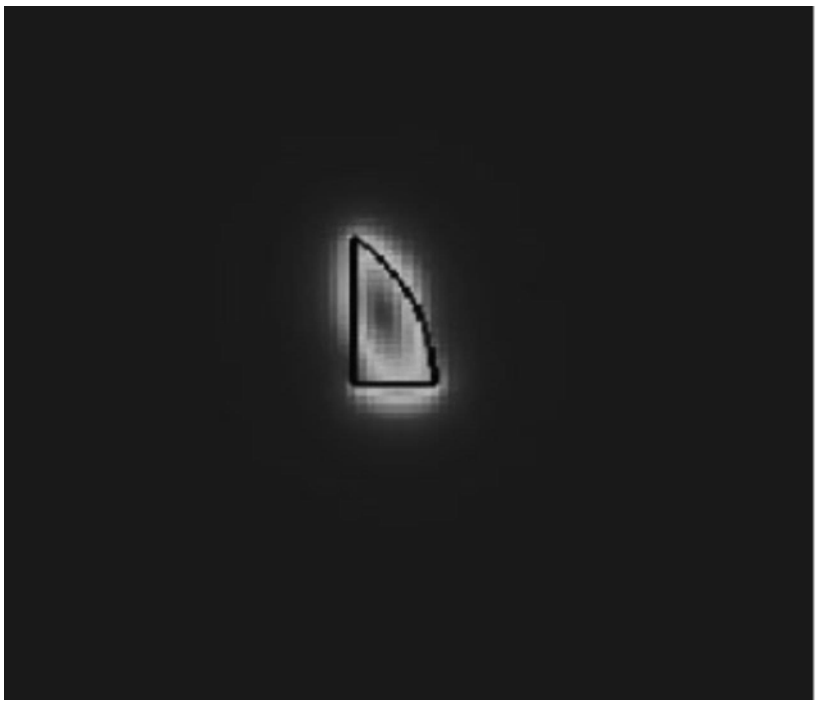

图7