(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 27/108 (2006.01)

(45) 공고일자 2007년08월16일
(11) 등록번호 10-0636775
(24) 등록일자 2006년10월13일

(21) 출원번호 10-1998-0042487
(22) 출원일자 1998년10월12일
심사청구일자 2003년10월08일

(65) 공개번호 10-1999-0037023
(43) 공개일자 1999년05월25일

(30) 우선권주장 1997-280963 1997년10월14일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 나카니시 나루히코
일본국 도쿄도 하치오지시 야기쵸5-6 플레져가든 하치오지1102호

고바야시 노부요시
일본국 사이타마켄 가와고에시 이세하라쵸1-18-1

오지 유즈루
일본국 도쿄도 니시타마군 히노데마치 히라이2196-327

이이지마 신페이
일본국 도쿄도 아키시마시 다마가와쵸3-1-18

스가와라 야스히로
일본국 도쿄도 아키시마시 미도리쵸3-1-19 301호

가나이 미스즈
일본국 도쿄도 마치다시 고가사카1763-1 다카이치하이츠E101

(74) 대리인 구영창
이중희
장수길

심사관 : 서호선

전체 청구항 수 : 총 12 항

(54) 반도체집적회로장치및그제조방법

(57) 요약

반도체 집적 회로 장치 및 그 제조 방법에 관한 것으로서, 256Mbit DRAM 이후의 메모리 셀의 캐패시터의 축적 용량을 확보할 수 있는 기술을 제공하기 위해, 반도체 기판의 주면 상에 형성된 메모리 셀 선택용 MISFET 및 메모리 셀 선택용

MISFET에 직렬로 접속되고, 하부 전극, 용량 절연막 및 상부 전극을 구비한 정보 축적용 용량 소자로 구성되는 메모리 셀을 갖는 DRAM을 포함하는 반도체 집적 회로 장치로서, 하부 전극은 이산화 루테늄(RuO_2)을 주성분으로 하는 도전재로 이루어지고, 용량 절연막은 결정화된 오산화 탄탈(Ta_2O_5)로 이루어지는 것으로 하였다.

이와 같이 하는 것에 의해, 256Mbit DRAM 이후의 메모리 셀의 캐패시터의 축적 용량을 확보할 수 있다는 등의 효과가 얻어진다.

대표도

도 1

특허청구의 범위

청구항 1.

반도체 기판의 주면 상에 형성된 메모리 셀 선택용 MISFET 및 상기 메모리 셀 선택용 MISFET에 직렬로 접속되고, 하부 전극, 용량 절연막 및 상부 전극을 구비한 정보 축적용 용량 소자로 구성되는 메모리 셀을 갖는 DRAM을 포함하는 반도체 집적 회로 장치로서,

상기 하부 전극은 표면 거칠음(중심선 평균 거칠음 : Ra)이 1nm 이하인 이산화 루테늄(RuO_2)을 주성분으로 하는 도전재로 이루어지고, 상기 용량 절연막은 탄소 원자가 함유되는 결정화된 오산화 탄탈(Ta_2O_5)로 이루어지는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 2.

제1항에 있어서,

상기 용량 절연막은 2층 이상의 결정화된 오산화 탄탈막의 적층막인 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 3.

제1항 또는 제2항에 있어서,

상기 용량 절연막의 막 두께는 5~15nm의 범위 내에 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 4.

제1항 또는 제2항에 있어서,

상기 상부 전극은 질화 티탄(TiN), 루테늄(Ru), 이산화 루테늄(RuO_2), 텅스텐(W) 또는 질화 텅스텐(WN)에서 선택된 단층막 또는 그들의 적층막인 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 5.

제1항에 있어서,

상기 상부 전극은 상기 용량 절연막에 접해서 형성된 텅스텐막 또는 질화 텅스텐막 및 상기 텅스텐막 또는 질화 텅스텐막에 접해서 형성된 질화 티탄막의 적층막인 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 6.

제1항 또는 제2항에 있어서,

상기 메모리 셀 선택용 MISFET의 소스 드레인 영역과 상기 하부 전극을 접속하는 플러그는 이산화 루테늄(RuO_2)을 주성분으로 하는 도전재로 구성되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 7.

반도체 기판의 주면 상에 형성된 메모리 셀 선택용 MISFET 및 상기 메모리 셀 선택용 MISFET에 직렬로 접속되고, 하부 전극, 용량 절연막 및 상부 전극을 구비한 정보 축적용 용량 소자로 구성되는 메모리 셀을 갖는 DRAM을 포함하는 반도체 집적 회로 장치의 제조 방법으로서,

[a] 상기 메모리 셀 선택용 MISFET 및 상기 DRAM의 비트선을 형성한 후, 상기 비트선을 덮는 층간 절연막 상에 이산화 루테늄(RuO_2)막을 퇴적시키고, 상기 이산화 루테늄막을 패터닝해서 표면 거칠음(중심선 평균 거칠음 : Ra)이 1nm 이하인 상기 하부 전극을 형성하는 공정, 및

[b] 상기 하부 전극 상에 비정질의 산화 탄탈막을 퇴적시킨 후, 상기 산화 탄탈막을 열 처리하는 것에 의해 결정화하고, 결정화된 오산화 탄탈(Ta_2O_5)로 이루어지는 상기 용량 절연막을 형성하는 공정

을 포함하며,

상기 이산화 루테늄막의 퇴적은 타겟 재료로서 이산화 루테늄(RuO_2)을 사용한 스퍼터법에 의해 실행되는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 8.

반도체 기판의 주면 상에 형성된 메모리 셀 선택용 MISFET 및 상기 메모리 셀 선택용 MISFET에 직렬로 접속되고, 하부 전극, 용량 절연막 및 상부 전극을 구비한 정보 축적용 용량 소자로 구성되는 메모리 셀을 갖는 DRAM을 포함하는 반도체 집적 회로 장치의 제조 방법으로서,

[a] 상기 메모리 셀 선택용 MISFET 및 상기 DRAM의 비트선을 형성한 후, 상기 비트선을 덮는 층간 절연막 상에 이산화 루테늄(RuO_2)막을 퇴적시키고, 상기 이산화 루테늄막을 패터닝해서 표면 거칠음(중심선 평균 거칠음 : Ra)이 1nm 이하인 상기 하부 전극을 형성하는 공정, 및

[b] 상기 하부 전극 상에 비정질의 산화 탄탈막을 퇴적시킨 후, 상기 산화 탄탈막을 열 처리하는 것에 의해 결정화하고, 결정화된 오산화 탄탈(Ta_2O_5)로 이루어지는 상기 용량 절연막을 형성하는 공정

을 포함하며,

상기 이산화 루테늄막의 퇴적은 타겟 재료로서 루테늄(Ru)을 사용하고, 산소를 함유하는 가스를 사용한 반응성 스퍼터법에 의해 실행되는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 9.

반도체 기판의 주면 상에 형성된 메모리 셀 선택용 MISFET 및 상기 메모리 셀 선택용 MISFET에 직렬로 접속되고, 하부 전극, 용량 절연막 및 상부 전극을 구비한 정보 축적용 용량 소자로 구성되는 메모리 셀을 갖는 DRAM을 포함하는 반도체 집적 회로 장치의 제조 방법으로서,

[a] 상기 메모리 셀 선택용 MISFET 및 상기 DRAM의 비트선을 형성한 후, 상기 비트선을 덮는 층간 절연막 상에 이산화 루테늄(RuO_2)막을 퇴적시키고, 상기 이산화 루테늄막을 패터닝해서 표면 거칠음(중심선 평균 거칠음 : Ra)이 1nm 이하인 상기 하부 전극을 형성하는 공정, 및

[b] 상기 하부 전극 상에 비정질의 산화 탄탈막을 퇴적시킨 후, 상기 산화 탄탈막을 열 처리하는 것에 의해 결정화하고, 결정화된 오산화 탄탈(Ta_2O_5)로 이루어지는 상기 용량 절연막을 형성하는 공정

을 포함하며,

상기 이산화 루테늄막의 퇴적은 유기 루테늄 가스와 산소를 함유하는 가스를 원료 가스로 한 CVD 법에 의해 실행되는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 10.

제9항에 있어서,

상기 유기 루테늄 가스는 트리스 디피발로일 메탄아토 루테늄($Ru(CH_3)_3CCOCHCOC(CH_3)_3)_3$)인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 11.

제7항 내지 제10항 중 어느 한 항에 있어서,

상기 산화 탄탈막은 펜타알킬탄탈($Ta(C_nH_{2n+1})_5$) 및 산소(O_2)를 함유하는 가스를 원료 가스로 하여, 500 ℃ 이하의 감압 상태에 있어서의 열 CVD법에 의해 형성되는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 12.

제7항 내지 제10항 중 어느 한 항에 있어서,

상기 용량 절연막의 형성 후, 질화 티탄(TiN), 루테늄(Ru), 이산화 루테늄(RuO_2), 텅스텐(W) 또는 질화 텅스텐(WN)에서 선택된 단층막 또는 그들의 적층막을 퇴적시키고, 상기 단층막 또는 적층막을 패터닝해서 상기 상부 전극을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적 회로 장치 및 그 제조 방법에 관한 것으로서, 특히 DRAM(Dynamic Random Access Memory)의 축적 용량의 증대에 적용하기에 유효한 기술에 관한 것이다.

DRAM의 메모리 셀은 반도체 기판의 주면 상에 매트릭스 형상으로 배치된 여러 개의 워드선과 여러 개의 비트선의 교점에 배치되고, 1개의 메모리 셀 선택용 MISFET(Metal Insulator Semiconductor Field Effect Transistor)과 이것에 직렬로 접속된 1개의 정보 축적용 용량 소자(캐패시터)로 구성되어 있다. 메모리 셀 선택용 MISFET는 주위가 소자 분리 영역으로 둘러싸인 활성 영역에 형성되고, 주로 게이트 산화막, 워드선과 일체로 구성된 게이트 전극 및 소스, 드레인을 구성하는 1쌍의 반도체 영역으로 구성되어 있다. 비트선은 메모리 셀 선택용 MISFET의 상부에 배치되고, 그 연장 방향으로 인접하는 2개의 메모리 셀 선택용 MISFET에 의해서 공유되는 소스, 드레인 중 한쪽과 전기적으로 접속되어 있다. 정보 축적용 용량 소자는 마찬가지로 메모리 셀 선택용 MISFET의 상부에 배치되고, 상기 소스, 드레인중 다른 쪽과 전기적으로 접속되어 있다.

일본국 특허 공개 공보 평성7-7084호는 비트선의 상부에 정보 축적용 용량 소자를 배치하는 캐패시터 오버 비트 라인(Capacitor Over Bitline) 구조의 DRAM을 개시하고 있다. 이 공보에 기재된 DRAM은 메모리 셀의 미세화에 따른 정보 축적용 용량 소자의 축적 전하량(C_s)의 감소를 보완하기 위해 비트선의 상부에 배치한 정보 축적용 용량 소자의 하부 전극(축적 전극)을 원통 형상으로 가공하는 것에 의해서 그의 표면적을 증가시키고, 그의 상부에 용량 절연막과 상부 전극(플레이트 전극)을 형성하고 있다.

또, 일본국 특허 출원 소화 62-198043호 및 일본국 특허 출원 소화 53-10635호에는 정보 축적용 용량 소자의 하부 전극으로서 다결정 실리콘막을 사용하고, 다결정 실리콘막의 CVD법에 의한 성막시에 그 초기 단계에 있어서 하지(바닥)의 표면상태에 의존해서 입자 형상의 실리콘 다결정이 성장하는 현상, 또는 다결정 실리콘막의 웨트 에칭(습식 에칭)이 균일하게는 진행되지 않아 표면에 요철이 생기는 현상을 이용해서 하부 전극 표면에 미소한 요철을 형성하여 그의 표면적의 증가를 도모하여 축적 용량의 확보를 도모하는 기술이 개시되어 있다.

또, 일본국 특허 공개 공보 평성 8-167702호에는 핀(fin) 형상을 갖는 제1 전극(하부 전극) 및 제2 전극(상부 전극)과 그들 제1 및 제2 전극 사이에 형성된 유전 물질로 이루어지는 캐패시터(정보 축적용 용량 소자)에 있어서 제1 전극을 루테늄 산화물 등으로 이루어지는 물질에 의해 구성하고, 유전 물질을 오산화 탄탈 등으로 이루어지는 물질에 의해 구성하여 오산화 탄탈 등의 높은 유전율에 의해 축적 용량을 확보하는 기술이 개시되어 있다.

발명이 이루고자 하는 기술적 과제

그러나, 정보 축적용 용량 소자의 하부 전극을 원통 형상으로 하고, 그의 표면적을 증가시키는 일본국 특허 공개 공보 평성7-7084호에 기재된 방법 또는 그의 표면에 미소한 요철을 형성해서 그의 표면적을 증가시키는 일본국 특허 출원 소화62-198043호 또는 일본국 특허 출원 소화 63-10635호에 기재된 방법을 사용했다고 해도 집적도 향상의 요구는 메모리 셀 면적의 가일층의 축소를 요구하며 그것에 수반하는 축적 용량값의 확보가 곤란하게 된다. 이 때문에 하부 전극의 표면적을 더욱 증대시킬 필요가 있지만, 원통 형상의 높이의 증가는 하부 전극의 기계적 강도의 확보의 곤란성 및 메모리 어레이 영역과 주변 회로 영역의 하부 전극의 높이에 기인하는 단차의 발생이 문제로 되어 자연히 한계가 존재한다. 또, 표면에 미세한 요철을 형성하는 방법에 있어서도 실리콘의 표면 상태 또는 물성에 의존하여 역시 한계가 있다.

그래서, 하부 전극의 형상적인 대처에 의한 한계를 극복하는 방책으로서 일본국 특허 공개 공보 평성 8-167702호에 기재되어 있는 바와 같이, 오산화 탄탈 등의 고유전율 재료를 정보 축적용 용량 소자의 캐패시터 절연막으로서 사용하는 기술을 검토할 필요가 있지만, 상기 공보에 기재된 기술에서는 캐패시터 절연막으로서 실리콘 산화막으로 환산한 두께(환산막두께)로 2. 5㎚이상인 산화 탄탈막을 사용하고 있다. 이와 같은 캐패시터 절연막에서는 여전히 256Mbit DRAM 이후의 메모리 셀의 캐패시터 용량을 확보하는 것은 곤란하고, 하부 전극의 구조를 핀형 등으로 복잡화해서 유효 표면적을 얻지 않으면 안된다는 과제가 남는다.

또, 산화 탄탈막을 캐패시터 절연막에 사용하는 경우에는 하부 전극의 재료로서 실리콘(다결정 실리콘막)을 사용하는 것이 곤란하다. 즉, 산화 탄탈막의 피막 형성중에 산소 분위기에 노출된 실리콘이 산화되어 하부 전극과 산화 탄탈막의 계면에 저유전율의 실리콘 산화막이 형성되어 용량 절연막의 실질적인 막 두께를 두껍게 하고, 또 용량 절연막의 실질적인 유전율을 저하시켜 축적 전하량을 저하시켜 버리기 때문이다. 이 때문에 일본국 특허 공개 공보 평성8-167702호에는 상기 저유전율층의 생성을 방지할 수 있는 하부 전극의 재료로서 산화 루테늄이 예시되어 있다.

그러나, 산화 루테늄의 대표적인 형성 방법인 루테늄(Ru)막의 스퍼터법에 의한 퇴적과 그 후의 산소 처리에 의한 산화 반응에 의해 형성한 경우에는 이후 설명하는 바와 같이 피막 표면에 요철이 형성되어 캐패시터의 신뢰성을 손상시킨다는 문제가 있다.

본 발명의 목적은 256Mbit DRAM 이후의 메모리 셀의 캐패시터의 축적 용량을 확보할 수 있는 기술을 제공하는 것이다.

또, 본 발명의 목적은 정보 축적용 용량 소자의 용량 절연막에 산화 탄탈막을 사용하고, 산소 분위기에 있어서의 열 처리를 실시해도 실효적인 용량 절연막의 저하 및 막 두께의 증가를 초래하지 않는 기술을 제공하는 것이다.

또, 본 발명의 목적은 정보 축적용 용량 소자의 하부 전극 표면을 평탄화하는 기술을 제공하여 정보 축적용 용량 소자의 신뢰성을 향상시키는 것이다.

또, 본 발명의 목적은 하부 전극의 형상을 단순화하여 그 형성 공정의 간략화를 실현할 수 있는 기술을 제공하는 것이다.

또, 본 발명의 목적은 정보 축적용 용량 소자의 용량 절연막의 절연성의 향상, 즉 누설 전류의 저감을 도모하는 기술을 제공하여 정보 축적용 용량 소자의 성능과 신뢰성 향상을 도모하는 것이다.

또, 본 발명의 목적은 정보 축적용 용량 소자의 상부 전극의 재료를 최적화하여 신뢰성이 높은 정보 축적용 용량 소자를 제공하는 것이다.

또, 본 발명의 목적은 정보 축적용 용량 소자의 축적 전하량을 증가시키고, DRAM의 리프레시 마진을 증가시켜 반도체 집적 회로 장치의 저전압화 및 저전력화를 도모하는 것이다.

본 발명의 상기 및 그 밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면에서 명확하게 될 것이다.

발명의 구성

본원에 있어서 개시되는 발명 중 대표적인 것의 개요를 간단히 설명하면 다음과 같다.

본 발명의 반도체 집적 회로 장치는 반도체 기판의 주면 상에 형성된 메모리 셀 선택용 MISFET 및 메모리 셀 선택용 MISFET에 직렬로 접속되고 하부 전극, 용량 절연막 및 상부 전극을 구비한 정보 축적용 용량 소자로 구성되는 메모리 셀을 갖는 DRAM을 포함하는 반도체 집적 회로 장치로서, 하부 전극이 이산화 루테늄(RuO_2)을 주성분으로 하는 도전재로 이루어지고, 용량 절연막이 결정화된 오산화 탄탈(Ta_2O_5)로 이루어지는 것이다.

이와 같은 반도체 집적 회로 장치에 의하면, 하부 전극이 이산화 루테늄을 주성분으로 하는 도전재로 이루어지므로, 용량 절연막으로서 산화 분위기에서 형성되는 오산화 탄탈을 사용해도 하부 전극과 용량 절연막의 경계면에 실리콘 산화막 등의 낮은 유전율의 피막이 형성되지 않아, 용량 절연막의 높은 유전율과 실질적인 막 두께 증가의 방지를 도모할 수 있다. 또, 이후에 설명하는 오산화 탄탈막의 열처리 즉, 용량 절연막인 오산화 탄탈막의 결정화를 도모하기 위한 산화성 분위기에서의 오산화 탄탈막의 열처리를 실시해도 하부 전극과 용량 절연막의 경계면에 실리콘 산화막 등의 낮은 유전율의 피막이 형성되지 않는다. 또한, 안정한 루테늄의 산화물은 이산화 루테늄(RuO_2)에 한정되므로 어떠한 제조 방법을 사용해도 안정하게 도전체인 이산화 루테늄(RuO_2)이 생성되고, 프로세스 윈도우를 넓게 할 수 있다는 효과도 있다. 예를 들면, 질화 티탄을 하부 전극에 사용한 경우에는 질화 티탄막과 산화 탄탈막의 계면에 산화 티탄막이 형성되고, 산화 티탄막이 도전성을 나타내는 것인 경우에는 문제는 발생하지 않지만, 화학 양론비에 따라서는 부도체로 되는 경우도 있으며, 이와 같이 계면 생성물이 부도체로 되는 경우에는 용량 절연막의 실질적인 막 두께를 증가시켜 바람직하지 않다. 그러나, 산화 루테늄을 하부 전극에 사용하는 경우에는 이와 같은 문제점은 생기지 않는다.

또, 본 발명의 반도체 집적 회로 장치에서는 용량 절연막이 결정화된 오산화 탄탈(Ta_2O_5)로 이루어지므로, 비정질인 산화 탄탈의 비유전율(20~25)에 비해 그의 비유전율이 40~50으로 높고, 동일 막 두께로 형성한 경우의 정보 축적용 용량 소자의 축적 용량을 대폭으로 증가할 수 있다. 그 결과, 하부 전극의 구조를 핀형 또는 원통형으로 하는 일 없이 256Mbit DRAM 또는 1Gbit DRAM에서 필요한 정보 축적용 용량 소자의 용량값을 확보할 수 있다.

또, 본 발명의 반도체 집적 회로 장치는 상기 하부 전극의 표면 거칠음을 중심선 평균 거칠음(Ra)으로 나타낸 값으로 1㎚ 이하로 하는 것이다.

이와 같은 반도체 집적 회로 장치에 의하면, 하부 전극의 표면의 거칠음이 중심선 평균 거칠음(Ra)으로 표현한 값으로 1㎚ 이하로 되므로, 예를 들면 용량 절연막의 막 두께(5～15㎚)에 비해 충분한 평탄성을 확보할 수 있다. 가령 하부 전극의 표면에 예를 들면 Ra=20㎚정도의 요철이 존재하는 경우에는 용량 절연막에 바람직하지 않은 전계의 집중이나 용량 절연막의 막 두께가 얇은 부분이 발생할 가능성이 있어, 내전압을 저하시키는 요인으로 될 가능성이 있다. 그러나, 본 발명에서는 하부 전극의 평탄성을 확보할 수 있기 때문에 이와 같은 문제점은 발생하지 않는다.

또한, 용량 절연막에는 탄소 원자가 포함된다. 이것은 이후에 설명하는 바와 같이, 용량 절연막인 산화 탄탈막은 유기 탄탈 가스를 사용해서 CVD법에 의해 형성되므로, 불가피하게 형성막 중에 탄소 원자가 함유되는 것이다. 단, 누설 전류를 저감하기 위해서는 탄소 원자는 가능한한 적은 것이 바람직하다.

또, 상기 반도체 집적 회로 장치에 있어서 용량 절연막은 2층 이상의 결정화된 오산화 탄탈막의 적층막으로 할 수 있다. 결정화된 오산화 탄탈막은 통상 다결정상태로 되고, 다결정 박막에 있어서는 입자 경계가 존재한다. 이와 같은 입자 경계는 일반적으로 불순물 등의 편석 또는 결정 구조의 불완전성 등으로 인해 내전압이 저하할 가능성이 높다. 그래서, 본 발명에서는 용량 절연막을 2층 이상의 오산화 탄탈 적층막으로 하여 한 층에 입자 경계가 있어도 다른 층에서 입자 경계에 의한 누설 경로를 차단하여 내전압을 향상시킬 수 있다.

또, 상기 반도체 집적 회로 장치에 있어서, 용량 절연막의 막 두께는 5～15㎚의 범위 내로 할 수 있다. 이것에 의해 어느 정도의 막 두께를 확보해서 내전압을 확보하고 또한 충분히 얇은 환산막 두께(실리콘 산화막으로 환산한 경우의 막 두께)를 확보할 수 있다.

또, 본 발명의 반도체 집적 회로 장치는 상기 상부 전극을 질화 티탄(TiN), 루테늄(Ru), 이산화 루테늄(RuO_2), 텅스텐(W) 또는 질화 텅스텐(WN)에서 선택된 단층막 또는 그들의 적층막으로 하는 것이다.

이와 같은 반도체 집적 회로 장치에 의하면, 상부 전극의 재료를 최적화해서 정보 축적용 용량 소자의 신뢰성을 향상시킬 수 있다. 즉, 루테늄(Ru), 텅스텐(W)는 탄탈(Ta)보다 잘 산화되지 않으므로 용량 절연막인 산화 탄탈과 직접 접촉해도 산화 탄탈막중의 산소를 빼내어 루테늄 또는 텅스텐이 산화되는 일이 없다. 이 때문에 루테늄 또는 텅스텐(그들의 산화물 또는 질화물을 포함함)을 상부 전극으로 사용한 경우에는 산화 탄탈의 화학 양론비가 장기간에 걸쳐 안정하게 유지되고 또 열적으로도 안정하게 된다. 그 결과, 정보 축적용 용량 소자의 신뢰성을 향상시키게 된다.

한편, COB 구조의 하부 전극은 입체적으로 형성되므로 상부 전극을 구성하는 피막의 단차 피복성 및 단차 매립성은 양호한 것이 바람직하다. 질화 티탄(TiN)은 무기 또는 유기 화합물을 원료 가스로 해서 CVD법에 의해 형성할 수 있으므로, 단차 피복성 및 단차 매립성이 우수하다. 이 때문에, 질화 티탄(TiN)을 상부 전극에 사용한 경우에는 양호하게 피복되고 또한 매립된 상부 전극을 형성하는 것이 가능하다. 가령 단차 피복성 또는 단차 매립성이 나쁜 피막으로 상부 전극을 구성한 경우에는 상부 전극의 형상에 의해 형성된 오목부에 보이드(void)가 형성되고, 이 보이드에 기인한 정보 축적용 용량 소자의 신뢰성의 저하가 발생할 가능성이 있지만, 상부 전극에 CVD법에 의한 질화 티탄막을 사용한 경우에는 이와 같은 문제점은 발생하지 않는다.

또한, 상기 상부 전극은 용량 절연막에 접해서 형성된 텅스텐막 및 텅스텐막에 접해서 형성된 질화 티탄막의 적층막으로 할 수 있다. 이와 같은 경우에는 상기한 열적인 안정성과 보이드의 발생을 방지하는 효과를 모두 얻을 수 있다.

또, 본 발명의 반도체 집적 회로 장치는 상기한 반도체 집적 회로 장치로서, 메모리 셀 선택용 MISFET의 소스 드레인 영역과 하부 전극을 접속하는 플러그(plug)가 이산화 루테늄(RuO_2)을 주성분으로 하는 도전재로 구성되어 있는 것이다.

또, 본 발명의 반도체 집적 회로 장치는 상기한 반도체 집적 회로 장치로서, 메모리 셀 선택용 MISFET의 소스 드레인 영역과 하부 전극을 접속하는 플러그 및 하부 전극의 사이에는 플러그의 산화를 억제하는 블로킹(blocikng)막이 형성되어 있는 것이다.

이와 같은 반도체 집적 회로 장치에 의하면, 용량 절연막의 형성시의 산화성 분위기에 있어서의 열처리에 의해 메모리 셀 선택용 MISFET의 소스 드레인 영역과 하부 전극을 접속하는 부분에 실리콘 산화막 등의 부도체의 생성을 방지할 수 있

다. 즉, 플러그에 이산화 루테늄(RuO_2)을 주성분으로 하는 도전재를 사용하므로 실리콘 산화막이 형성되지 않고, 또 플러그에 다결정 실리콘을 사용했다고 해도 플러그와 하부 전극 사이에 산화를 억제하는 블로킹막을 형성하기 때문에 플러그가 산화되어 실리콘 산화막이 생성되는 일이 없다. 그 결과, 메모리 셀 선택용 MISFET의 소스 드레인 영역과 하부 전극의 접속은 확실하게 실행되어 반도체 집적 회로 장치의 신뢰성을 향상시킬 수 있다.

또한, 블로킹막으로서는 질화 티탄막을 예시할 수 있다.

본 발명의 반도체 집적 회로 장치의 제조 방법은 반도체 기판의 주면 상에 형성된 메모리 셀 선택용 MISFET 및 메모리 셀 선택용 MISFET에 직렬로 접속되고, 하부 전극, 용량 절연막 및 상부 전극을 구비한 정보 축적용 용량 소자로 구성되는 메모리 셀을 갖는 DRAM을 포함하는 반도체 집적 회로 장치의 제조 방법으로서, [a] 메모리 셀 선택용 MISFET 및 DRAM의 비트선을 형성한 후, 비트선을 덮는 층간 절연막상에 이산화 루테늄(RuO_2)막을 퇴적시키고, 이산화 루테늄막을 패터닝해서 하부 전극을 형성하는 공정 및 [b] 하부 전극상에 비정질의 산화 탄탈막을 퇴적시킨 후, 산화 탄탈막을 열처리하는 것에 의해 결정화하고, 결정화된 오산화 탄탈(Ta_2O_5)로 이루어지는 용량 절연막을 형성하는 공정을 갖는 것이다.

이와 같은 반도체 집적 회로 장치의 제조 방법에 의하면, 상기한 반도체 집적 회로 장치를 제조할 수 있다. 또한, [a]공정에 있어서 이산화 루테늄막을 패터닝해서 하부 전극을 형성하므로 하부 전극의 제조를 단순화하고, 공정을 간략화하는 것이 가능하다. 또, [b]공정에 있어서 비정질의 산화 탄탈막을 퇴적시킨 후, 산화 탄탈막을 열처리하는 것에 의해 결정화하므로 용량 절연막으로 되는 산화 탄탈막의 유전율을 높이고 정보 축적용 용량 소자의 축적 용량을 증가시키는 것이 가능하다.

또한, 이산화 루테늄막의 퇴적은 타겟(target) 재료로서 이산화 루테늄(RuO_2)를 사용한 스퍼터법에 의해 실행할 수 있다. 이와 같이 미리 루테늄의 산화물인 이산화 루테늄(RuO_2)을 출발 재료로 하여 스퍼터법에 의해 피막을 퇴적시키므로 루테늄(Ru)을 퇴적시킨 후에 산화 처리를 실행해서 이산화 루테늄을 형성하는 경우의 표면 거칠음(Ra= 약20㎚)에 비해 현저히 평탄한 피막(Ra=1㎚이하)을 퇴적시키는 것이 가능하다. 이것에 의해 정보 축적용 용량 소자의 신뢰성을 향상시킬 수 있다.

또, 이산화 루테늄막의 퇴적은 타겟 재료로서 루테늄(Ru)을 사용하고, 산소를 함유하는 가스를 사용한 반응성 스퍼터법에 의해 실행할 수 있다. 이와 같이 타겟재료로서 루테늄(Ru)을 사용하고 산소를 함유하는 가스를 사용한 반응성 스퍼터법을 사용하는 것에 의해 상기와 마찬가지로 평탄한 피막(Ra=1㎚ 이하)을 퇴적시킬 수 있어 정보 축적용 용량 소자의 신뢰성을 향상시킬 수 있다.

또, 이산화 루테늄막의 퇴적은 유기 루테늄 가스와 산소를 함유하는 가스를 원료 가스로 한 CVD법에 의해 실행할 수 있다. 이와 같이 유기 루테늄 가스와 산소를 함유하는 가스를 원료 가스로 해서 CVD법에 의해 1프로세스로 이산화 루테늄막을 퇴적시키므로, 상기와 마찬가지로 평탄한 피막(Ra=1㎚이하)을 퇴적시킬 수 있어 정보 축적용 용량 소자의 신뢰성을 향상시킬 수 있다. 또한, 유기 루테늄 가스로서는 예를 들면 트리스 디피발로일 메탄아토(tris-dipivaloylmethanato) 루테늄($Ru((CH_3)_3CCOCHCOC(CH_3)_3)_3$)를 예시할 수 있다.

또, 산화 탄탈막은 펜타알킬탄탈($Ta(C_nH_{2n+1})_5$) 및 산소(O_2)를 함유하는 가스를 원료가스로 하고 500℃ 이하의 감압상태에 있어서의 열 CVD법에 의해 형성할 수 있다. 이와 같이 펜타알킬탄탈($Ta(C_nH_{2n+1})_5$) 및 산소(O_2)를 함유하는 가스를 원료 가스로 하고 500℃ 이하의 감압 상태에 있어서의 열 CVD법에 의해 형성하므로, 용량 절연막의 단차피복성을 향상시킬 수 있다.

또한, n의 값으로서는 1 내지 2가 타당하다. 이와 같이 n의 값을 낮게 선택하는 것에 의해 성막후의 산화 탄탈막에 함유되는 탄소량을 감소시킬 수 있다.

또, 산화 탄탈막의 열처리는 산화성 분위기에 있어서 750℃, 10분간의 어닐을 가하는 것에 의해 실행할 수 있다. 또는 산화성 분위기에 있어서 800℃, 3분간의 어닐을 가하는 것에 의해 실행할 수 있다. 산화 탄탈막의 열처리를 산화성 분위기에 있어서 800℃, 3분간의 어닐을 가하는 것에 의해 실행하는 경우에는 핵 발생 밀도를 증가해서 산화 탄탈결정의 입자 직경을 작게 하고 보다 치밀한 용량 절연막 또는 막 두께 균일성이 높은 피막을 형성해서 정보 축적용 용량 소자의 내전압을 향상시킬 수 있다.

또, 본 발명의 반도체 집적 회로 장치의 제조 방법은 상기 제조 방법의 공정에 부가해서 질화 티탄(TiN), 루테늄(Ru), 이산화 루테늄(RuO_2), 텅스텐(W) 또는 질화 텅스텐(WN)에서 선택된 단층막 또는 그들의 적층막을 퇴적시키고, 단층막 또는 적층막을 패터닝해서 상부 전극을 형성하는 공정을 포함하는 것이다.

이와 같은 반도체 집적 회로 장치의 제조 방법에 의하면, 상기한 상부 전극을 구비한 반도체 집적 회로 장치를 제조할 수 있다.

본 발명의 상기 및 그 밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면으로부터 명확하게 될 것이다.

이하, 본 발명의 실시예를 도면에 따라서 상세하게 설명한다. 또한, 실시예를 설명하기 위한 전체 도면에 있어서 동일 기능을 갖는 부재에는 동일부호를 붙이고 그의 반복적인 설명은 생략한다.

<실시예 1>

도 1은 본 실시예의 DRAM을 형성한 반도체 칩의 전체평면도이다. 도시한 바와 같이, 단결정 실리콘으로 이루어지는 반도체 칩(1A)의 주면에는 X방향(반도체 칩(1A)의 긴 변 방향) 및 Y방향(반도체 칩(1A)의 짧은 변 방향)을 따라서 다수의 메모리 어레이 MARY가 매트릭스 형상으로 배치되어 있다. X방향을 따라서 서로 인접하는 메모리 어레이 MARY 사이에는 센스 앰프 SA가 배치되어 있다. 반도체 칩(1A)의 주면의 중앙부에는 워드 드라이버WD, 데이타 선 선택 회로 등의 제어 회로나 입출력 회로, 본딩 패드 등이 배치되어 있다.

도 2는 본 실시예의 DRAM의 등가 회로도이다. 도시한 바와 같이, 이 DRAM의 메모리 어레이(MARY)는 매트릭스 형상으로 배치된 여러개의 워드선 WL(WL_{n-1}, WL_n, WL_{n+1} …)과 여러개의 비트선 BL 및 그들의 교점에 배치된 여러개의 메모리 셀(MC)에 의해 구성되어 있다. 1비트의 정보를 기억하는 1개의 메모리 셀은 1개의 정보 축적용 용량 소자 C와 이것에 직렬로 접속된 1개의 메모리 셀 선택용 MISFET Qs로 구성되어 있다. 메모리 셀 선택용 MISFET Qs의 소스, 드레인 중 한쪽은 정보 축적용 용량 소자 C와 전기적으로 접속되고, 다른쪽은 비트선 BL과 전기적으로 접속되어 있다. 워드선 WL의 한쪽 끝은 워드 드라이버 WD에 접속되고, 비트선 BL의 한쪽끝은 센스 앰프 SA에 접속되어 있다.

다음에, 본 실시예의 DRAM의 제조 방법을 도 3～도 37을 사용해서 공정순으로 설명한다. 도 3～도 37은 본 실시예의 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도이다.

우선, 도 3에 도시한 바와 같이, p형이고 또한 비저항이 10Ω㎝ 정도인 반도체 기판(1)을 850℃ 정도로 웨트 산화하여 그의 표면에 막 두께 10㎚정도의 얇은 산화 실리콘막(2)를 형성한 후, 이 산화 실리콘막(2)의 상부에 CVD(Chemical Vapor Deposition)법에 의해 막 두께 140㎚ 정도의 질화 실리콘막(3)을 퇴적시킨다. 산화 실리콘막(2)는 후(後) 공정에서 소자 분리홈의 내부에 매립되는 산화 실리콘막을 소결(sintering)할 때 등에 기판에 가해지는 응력을 완화하기 위해 형성된다. 질화 실리콘막(3)은 잘 산화되지 않는 성질을 갖고 있으므로, 그의 하부(활성 영역)의 기판 표면의 산화를 방지하는 마스크로서 이용된다.

다음에, 도 4에 도시한 바와 같이, 포토레지스트막(4)을 마스크로 해서 질화 실리콘막(3), 산화 실리콘막(2) 및 반도체 기판(1)을 드라이 에칭하는 것에 의해, 소자 분리 영역의 반도체 기판(1)에 깊이 300～400㎚ 정도의 홈(5a)을 형성한다. 홈(5a)을 형성하기 위해서는 포토레지스트막(4)을 마스크로 해서 질화 실리콘막(3)을 드라이 에칭하고, 다음에 포토레지스트막(4)을 제거한 후, 질화 실리콘막(3)을 마스크로 해서 산화 실리콘막(2) 및 반도체 기판(1)을 드라이 에칭해도 좋다.

다음에, 포토레지스트막(4)을 제거한 후, 도 5에 도시한 바와 같이, 상기의 에칭에 의해서 홈(5a)의 내벽에 생긴 손상층을 제거하기 위해, 반도체 기판(1)을 850～900℃ 정도로 웨트 산화해서 홈(5a)의 내벽에 막 두께 10㎚ 정도의 얇은 산화 실리콘막(6)을 형성한다.

다음에, 도 6에 도시한 바와 같이, 반도체 기판(1) 상에 막 두께 300～400㎚정도의 산화 실리콘막(7)을 퇴적시킨 후, 반도체 기판(1)을 1000℃ 정도로 드라이 산화하는 것에 의해, 홈(5a)에 매립된 산화 실리콘막(7)의 막질을 개선하기 위한 소결을 실행한다. 산화 실리콘막(7)은 예를 들면 오존(O_3)과 테트라에톡시실란(TEOS)을 소스 가스로 사용한 플라즈마 CVD법에 의해 퇴적시킨다.

다음에, 도 7에 도시한 바와 같이, 산화 실리콘막(7)의 상부에 CVD법에 의해 막 두께 140㎚ 정도의 질화 실리콘막(8)을 퇴적시킨 후, 도 8에 도시한 바와 같이, 포토레지스트막(9)을 마스크로 해서 질화 실리콘막(8)을 드라이 에칭하는 것에 의해 메모리 어레이와 주변 회로의 경계부와 같은 상대적으로 넓은 면적의 홈(5a)의 상부에만 질화 실리콘막(8)을 남긴다. 홈(5a)의 상부에 남은 질화 실리콘막(8)은 다음의 공정에서 산화 실리콘막(7)을 CMP법에 의해 연마해서 평탄화할 때에 상대적으로 넓은 면적의 홈(5a)의 내부의 산화 실리콘막(7)이 상대적으로 좁은 면적의 홈(5a)의 내부의 산화 실리콘막(7)에 비해 깊게 연마되는 현상(디싱 : dishing)을 방지하기 위해 형성된다.

다음에, 포토레지스트막(9)을 제거한 후, 도 9에 도시한 바와 같이, 질화 실리콘막(3, 8)을 스토퍼로 사용한 CMP법에 의해 산화 실리콘막(7)을 연마해서 홈(5a)의 내부에 남기는 것에 의해 소자 분리홈(5)를 형성한다.

다음에, 열인산을 사용한 웨트 에칭에 의해 질화 실리콘막(3, 8)을 제거한 후, 도 10에 도시한 바와 같이, 메모리 셀을 형성하는 영역(메모리 어레이)의 반도체 기판(1)에 n형 불순물, 예를 들면 P(인)를 이온 주입해서 n형 반도체 영역(10)을 형성하고, 메모리 어레이와 주변 회로의 일부(n채널형 MISFET를 형성하는 영역)에 p형 불순물, 예를 들면 B(붕소)를 이온 주입해서 p형 웰(11)을 형성하고, 주변 회로의 다른 일부(p채널형 MISFET를 형성하는 영역)에 n형 불순물, 예를 들면 P(인)을 이온 주입해서 n형 웰(12)를 형성한다. 또, 이 이온 주입에 계속해서 MISFET의 임계값 전압을 조정하기 위한 불순물 예를 들면 BF_2(보론 프로라이드)를 p형 웰(11) 및 n형 웰(12)에 이온 주입한다. n형 반도체 영역(10)은 입출력 회로 등에서 반도체 기판(1)을 통해서 메모리 어레이의 p형 웰(11)에 노이즈가 침입하는 것을 방지하기 위해 형성된다.

다음에, p형 웰(11) 및 n형 웰(12)의 각 표면의 산화 실리콘막(2)을 HF(플루오르화 수소산)계의 세정액을 사용해서 제거한 후, 반도체 기판(1)을 850℃ 정도로 웨트 산화해서 p형 웰(11) 및 n형 웰(12)의 각 표면에 막 두께 7㎚정도의 청정한 게이트 산화막(13)을 형성한다.

특히, 한정되지 않지만 상기 게이트 산화막(13)을 형성한 후, 반도체 기판(1)을 NO(산화질소)분위기중 또는 N_2O(아산화질소) 분위기중에서 열처리하는 것에 의해서, 게이트 산화막(13)과 반도체 기판(1)의 계면에 질소를 편석시켜도 좋다(산질화 처리). 게이트 산화막(13)이 7㎚정도까지 얇아지면, 반도체 기판(1)과의 열팽창 계수차에 기인해서 양자의 계면에 생기는 왜곡이 현재화(顯在化)되어 핫캐리어의 발생을 유발한다. 반도체 기판(1)과의 계면에 편석한 질소는 이 왜곡을 완화시키므로, 상기의 산질화 처리는 극히 얇은 게이트 산화막(13)의 신뢰성을 향상시킬 수 있다.

다음에, 도 11에 도시한 바와 같이, 게이트 산화막(13)의 상부에 게이트 전극(14A, 14B, 14C)을 형성한다. 게이트 전극(14A)은 메모리 셀 선택용 MISFET의 일부를 구성하고, 활성 영역 이외의 영역에서는 워드선 WL로서 사용된다. 이 게이트 전극(14A)(워드선WL)의 폭, 즉 게이트 길이는 메모리 셀 선택용 MISFET의 단채널 효과를 억제해서 임계값 전압을 일정값 이상으로 확보할 수 있는 허용 범위내의 최소 치수(예를 들면 0. 24㎛정도)로 구성된다. 또, 인접하는 게이트 전극(14A)(워드선WL)끼리의 간격은 포토리소그래피의 해상 한계로 결정되는 최소 치수(예를 들면 0. 22㎛)로 구성된다. 게이트 전극(14B) 및 게이트 전극(14C)은 주변 회로의 n채널형 MISFET 및 p채널형 MISFET의 각 일부를 구성한다.

게이트 전극(14A)(워드선WL) 및 게이트 전극(14B, 14C)은 예를 들면 P(인) 등의 n형 불순물이 도핑된 막 두께 70㎚정도의 다결정 실리콘막을 반도체 기판(1)상에 CVD법에 의해 퇴적시키고, 다음에 그의 상부에 막 두께 50㎚정도의 WN(질화텅스텐)막과 막 두께 100㎚정도의 W막을 스퍼터링법에 의해 퇴적시키고, 또 그의 상부에 막 두께 150㎚정도의 질화 실리콘막(15)을 CVD법에 의해 퇴적시킨 후, 포토레지스트막(16)을 마스크로 해서 이들의 막을 패터닝하는 것에 의해 형성한다. WN막은 고온 열처리시에 W막과 다결정 실리콘막이 반응해서 양자의 계면에 고저항의 실리사이드층이 형성되는 것을 방지하는 배리어층으로서 기능한다. 배리어층은 WN막 이외에 TiN(질화 티탄)막 등을 사용할 수도 있다.

게이트 전극(14A)(워드선 WL)의 일부를 저저항의 금속(W)으로 구성한 경우에는 그의 시트저항을 2～2. 5Ω/□정도까지 저감할 수 있으므로, 워드선 지연을 저감할 수 있다. 또, 게이트 전극(14)(워드선 WL)을 Aℓ배선 등으로 보강하지 않아도 워드선 지연을 저감할 수 있으므로, 메모리 셀의 상부에 형성되는 배선층의 수를 한층 저감할 수 있다.

다음에, 포토레지스트막(16)을 제거한 후, 플루오르화 수소산 등의 에칭액을 사용해서 반도체 기판(1)의 표면에 남은 드라이 에칭 잔사나 포토레지스트 잔사 등을 제거한다. 이 웨트 에칭을 실행하면, 게이트 전극(14A)(워드선 WL) 및 게이트 전극(14B, 14C)의 하부 이외의 영역의 게이트 산화막(13)이 깍여짐과 동시에 게이트 측벽 하부의 게이트 산화막(13)도 등방적으로 에칭되어 언더커트가 생기므로 그대로의 상태에서는 게이트 산화막(13)의 내압이 저하한다. 그래서, 반도체 기판(1)을 900℃ 정도로 웨트 산화하는 것에 의해서 깎여진 게이트 산화막(13)의 막질을 개선한다.

다음에, 도 12에 도시한 바와 같이, n형 웰(12)에 p형 불순물, 예를 들면 B(붕소)를 이온 주입해서 게이트 전극(14C)의 양측의 n형 웰(12)에 p-형 반도체 영역(17)을 형성한다. 또, p형 웰(11)에 n형 불순물 예를 들면 P(인)을 이온 주입해서 게이트 전극(14B)의 양측의 p형 웰(11)에 n-형 반도체 영역(18)을 형성하고, 게이트 전극(14A)의 양측의 p형 웰(11)에 n형 반도체 영역(19)을 형성한다. 이것에 의해 메모리 어레이에 메모리 셀 선택용 MISFET Qs가 형성된다.

다음에, 도 13에 도시한 바와 같이 반도체 기판(1) 상에 CVD법에 의해 막 두께 50~100㎚ 정도의 질화 실리콘막(20)을 퇴적시킨 후, 도 14에 도시한 바와 같이 메모리 어레이의 질화 실리콘막(20)을 포토레지스트막(21)으로 덮고, 주변 회로의 질화 실리콘막(20)을 이방성 에칭하는 것에 의해 게이트 전극(14B, 14C)의 측벽에 사이드월 스페이서(20a)를 형성한다. 이 에칭은 게이트 산화막(13)이나 소자 분리홈(5)에 매립된 산화 실리콘막(7)의 깎임량을 최소로 하기 위해 산화 실리콘막에 대한 질화 실리콘막(20)의 에칭 레이트가 커지는 에칭 가스를 사용해서 실행한다. 또, 게이트 전극(14B, 14C) 상의 질화 실리콘막(15)의 깎임량을 최소로 하기 위해 오버에칭량을 필요 최소한으로 되도록 한다.

다음에, 포토레지스트막(21)을 제거한 후, 도 15에 도시한 바와 같이 주변 회로 영역의 n형 웰(12)에 p형 불순물, 예를 들면 B(붕소)를 이온 주입해서 p채널형 MISFET의 p+ 형 반도체 영역(22)(소스, 드레인)을 형성하고, 주변 회로 영역의 p형 웰(11)에 n형 불순물, 예를 들면 As(비소)를 이온 주입해서 n채널형 MISFET의 n+ 형 반도체 영역(23)(소스, 드레인)을 형성한다. 이것에 의해, 주변 회로 영역에 LDD(Lightly Doped Drain) 구조를 구비한 p채널형 MISFET Qp 및 n채널형 MISFET Qn이 형성된다.

다음에, 도 16에 도시한 바와 같이, 반도체 기판(1) 상에 막 두께 300㎚ 정도의 SOG(Spin On Glass)막(24)을 스핀(회전) 도포한 후, 반도체 기판(1)을 800℃, 1분 정도 열 처리해서 SOG막(24)을 소결한다.

다음에, 도 17에 도시한 바와 같이, SOG막(24)의 상부에 막 두께 600㎚정도의 산화 실리콘막(25)을 퇴적시킨 후, 이 산화 실리콘막(25)을 CMP법에 의해 연마해서 그의 표면을 평탄화한다. 산화 실리콘막(25)은 예를 들면 오존(O_3)과 테트라에톡시실란(TEOS)를 소스가스로 사용한 플라즈마 CVD법에 의해 퇴적시킨다.

이와 같이, 본 실시예에서는 게이트 전극(14A)(워드선WL) 및 게이트 전극(14B, 14C)의 상부에 리플로성이 높은 SOG막(24)을 도포하고, 또 그의 상부에 퇴적된 산화 실리콘막(25)을 CMP법에 의해 평탄화한다. 이것에 의해, 게이트 전극(14A)(워드선WL)끼리의 미세한 간극의 갭 필(gap fill)성이 향상함과 동시에 게이트 전극(14A)(워드선WL) 및 게이트 전극(14B, 14C)의 상부의 절연막의 평탄화를 실현할 수 있다.

다음에, 도 18에 도시한 바와 같이, 산화 실리콘막(25)의 상부에 막 두께 100㎚ 정도의 산화 실리콘막(26)을 퇴적시킨다. 이 산화 실리콘막(26)은 CMP법에 의해 연마되었을 때에 생긴 상기 산화 실리콘막(25)의 표면의 미세한 손상을 보수하기 위해 퇴적시킨다. 산화 실리콘막(26)은 예를 들면 오존(O_3)과 테트라에톡시실란(TEOS)를 소스 가스로 사용한 플라즈마 CVD법에 의해 퇴적한다. 산화 실리콘막(25)의 상부에는 상기 산화 실리콘막(26) 대신에 PSG(Phospho Silicate Glass)막 등을 퇴적시켜도 좋다.

다음에, 도 19에 도시한 바와 같이, 포토레지스트막(27)을 마스크로 한 드라이 에칭에 의해 메모리 셀 선택용 MISFET Qs의 n형 반도체 영역(19)(소스, 드레인)의 상부의 산화 실리콘막(26, 25) 및 SOG막(24)을 제거한다. 이 에칭은 질화 실리콘막(20)에 대한 산화 실리콘막(26, 25) 및 SOG막(24)의 에칭 레이트가 크게 되는 조건에서 실행하고, n형 반도체 영역(19)나 소자 분리홈(5)의 상부를 덮고 있는 질화 실리콘막(20)이 완전하게는 제거되지 않도록 한다.

또한, 도 19에 있어서의 산화 실리콘막(26) 및 레지스트막(27)의 표면은 도 18에 도시한 바와 같은 주변 회로 영역에 있어서의 산화 실리콘막(25)의 표면을 따라 단차 형상을 이루고 있다. 도 19는 그 형상을 생략하고 있다.

계속해서, 도 20에 도시한 바와 같이 상기 포토레지스트막(27)을 마스크로 한 드라이 에칭에 의해 메모리 셀 선택용 MISFET Qs의 n형 반도체 영역(19)(소스, 드레인)의 상부의 질화 실리콘막(20)과 게이트 산화막(13)을 제거하는 것에 의해, n형 반도체 영역(19)(소스, 드레인)의 한쪽의 상부에 콘택트홀(28)을 형성하고, 다른쪽의 상부에 콘택트홀(29)를 형성한다.

이 에칭은 산화 실리콘막(게이트 산화막(13) 및 소자 분리홈(5) 내의 산화 실리콘막(7))에 대한 질화 실리콘막(15)의 에칭 레이트가 크게 되는 조건에서 실행하고, n형 반도체 영역(19)나 소자 분리홈(5)이 깊게 깎이지 않도록 한다. 또, 이 에칭은 질화 실리콘막(20)이 이방적으로 에칭되는 조건에서 실행하고, 게이트 전극(14A)(워드선 WL)의 측벽에 질화 실리콘막

(20)이 남도록 한다. 이것에 의해, 포토리소그래피의 해상 한계 이하의 미세한 직경을 갖는 콘택트홀(28, 29)이 게이트 전극(14A)(워드선 WL)에 대해 자기 정합적으로 형성된다. 콘택트홀(28, 29)을 게이트 전극(14A)(워드선 WL)에 대해 자기 정합적으로 형성하기 위해서는 미리 질화 실리콘막(20)을 이방성 에칭해서 게이트 전극(14A)(워드선 WL)의 측벽에 사이드월 스페이서를 형성해 두어도 좋다.

다음에, 포토레지스트막(27)을 제거한 후, 플루오르화 수소산+ 암모늄프로라이드 혼합액 등의 에칭액을 사용해서 콘택트홀(28, 29)의 바닥부에 노출된 기판 표면의 드라이 에칭 잔사나 포토레지스트 잔사 등을 제거한다. 이 때, 콘택트홀(28, 29)의 측벽에 노출된 SOG막(24)도 에칭액에 노출되지만, SOG막(24)은 상술한 800℃정도의 소결에 의해서 플루오르화 수소산계의 에칭액에 대한 에칭 레이트가 저감되고 있으므로, 이 웨트 에칭 처리에 의해서 콘택트홀(28, 29)의 측벽이 크게 언더커트되는 일은 없다. 이것에 의해 다음의 공정에서 콘택트홀(28, 29)의 내부에 매립되는 플러그끼리의 쇼트를 확실하게 방지할 수 있다.

다음에, 도 21에 도시한 바와 같이, 콘택트홀(28, 29)의 내부에 플러그(30)를 형성한다. 플러그(30)는 산화 실리콘막(26)의 상부에 n형 불순물(예를 들면 P(인))을 도핑한 다결정 실리콘막을 CVD법에 의해 퇴적시킨 후, 이 다결정 실리콘막을 CMP법에 의해 연마해서 콘택트홀(28, 29)의 내부에 남기는 것에 의해 형성한다.

다음에, 도 22에 도시한 바와 같이, 산화 실리콘막(26)의 상부에 막 두께 200㎚ 정도의 산화 실리콘막(31)을 퇴적시킨 후, 반도체 기판(1)을 800℃ 정도에서 열처리한다. 산화 실리콘막(31)은 예를 들면 오존(O_3)과 테트라에톡시실란(TEOS)를 소스 가스로 사용한 플라즈마 CVD법에 의해 퇴적시킨다. 이 열처리에 의해서 플러그(30)를 구성하는 다결정 실리콘막중의 n형 불순물이 콘택트홀(28, 29)의 바닥부에서 메모리 셀 선택용 MISFET Qs의 n형 반도체 영역(19)(소스, 드레인)으로 확산하여 n형 반도체 영역(19)이 저저항화된다.

다음에, 도 23에 도시한 바와 같이, 포토레지스트막(32)을 마스크로 한 드라이 에칭에 의해 상기 콘택트홀(28)의 상부의 산화 실리콘막(31)을 제거해서 플러그(30)의 표면을 노출시킨다. 다음에, 포토레지스트막(32)을 제거한 후, 도 24에 도시한 바와 같이, 포토레지스트막(33)을 마스크로 한 드라이 에칭에 의해 주변 회로 영역의 산화 실리콘막(31, 26, 25), SOG막(24) 및 게이트 산화막(13)을 제거하는 것에 의해, n채널형 MISFET Qn의 n+ 형 반도체 영역(23)(소스, 드레인)의 상부에 콘택트홀(34, 35)을 형성하고, p채널형 MISFET Qp의 p+ 형 반도체 영역(22)(소스, 드레인)의 상부에 콘택트홀(36, 37)을 형성한다.

다음에, 포토레지스트막(33)을 제거한 후, 도 25에 도시한 바와 같이, 산화 실리콘막(31)의 상부에 비트선 BL 및 주변 회로의 제1층 배선(38, 39)을 형성한다. 비트선 BL 및 제1층 배선(38, 39)을 형성하기 위해서는 우선 산화 실리콘막(31)의 상부에 막 두께 50㎚ 정도의 Ti막을 스퍼터링법에 의해 퇴적하고, 반도체 기판(1)을 800℃ 정도에서 열처리한다. 계속해서, Ti막의 상부에 막 두께 50㎚정도의 TiN막을 스퍼터링법에 의해 퇴적하고, 또 그의 상부에 막 두께 150㎚ 정도의 W막과 막 두께 200㎚ 정도의 질화 실리콘막(40)을 CVD법에 의해 퇴적한 후, 포토레지스트막(41)을 마스크로 해서 이들의 막을 패터닝한다.

산화 실리콘막(31)의 상부에 Ti막을 퇴적시킨 후, 반도체 기판(1)을 800℃ 정도에서 열처리하는 것에 의해 Ti막과 하지 Si가 반응하고, n채널형 MISFET Qn의 n+ 형 반도체 영역(23)(소스, 드레인)의 표면과 p채널형 MISFET Qp의 p+ 형 반도체 영역(22)(소스, 드레인)의 표면과 플러그(30)의 표면에 저저항의 $TiSi_2$(티탄 실리사이드)층(42)이 형성된다. 이것에 의해 n+ 형 반도체 영역(23), p+ 형 반도체 영역(22) 및 플러그(30)에 접속되는 배선(비트선 BL, 제1층 배선(38, 39))의 접속 저항을 저감할 수 있다. 또, 비트선 BL을 W막/TiN막/Ti막으로 구성하는 것에 의해, 그의 시트저항을 2Ω/□ 이하로까지 저감시킬 수 있으므로, 정보의 리드 속도 및 라이트 속도를 향상시킬 수 있음과 동시에 비트선 BL과 주변 회로의 제1층 배선(38, 39)을 1개의 공정에 의해 동시에 형성할 수 있으므로, DRAM의 제조 공정을 단축할 수 있다. 또, 주변 회로의 제1층 배선(38, 39)을 비트선 BL과 동일층의 배선으로 구성한 경우에는 제1층 배선을 메모리 셀의 상층의 Aℓ배선으로 구성하는 경우에 비해 주변 회로의 MISFET(n채널형 MISFET Qn, p채널형 MISFET Qp)와 제1층 배선을 접속하는 콘택트홀(34~37)의 애스펙트비가 저감되므로, 제1층 배선의 접속 신뢰성이 향상된다.

비트선 BL은 인접하는 비트선 BL과의 사이에 형성되는 기생 용량을 가능한한 저감해서 정보의 리드 속도 및 라이트 속도를 향상시키기 위해 그의 간격이 그의 폭보다 길어지도록 형성한다. 비트선 BL의 간격은 예를 들면 0. 24㎛ 정도로 하고, 그의 폭은 예를 들면 0. 22㎛ 정도로 한다.

다음에, 포토레지스트막(41)을 제거한 후, 도 26에 도시한 바와 같이 비트선 BL의 측벽과 제1층 배선(38, 39)의 측벽에 사이드월 스페이서(43)를 형성한다. 사이드월 스페이서(43)는 비트선 BL 및 제1층 배선(38, 39)의 상부에 CVD법에 의해 질화 실리콘막을 퇴적시킨 후, 이 질화 실리콘막을 이방성 에칭해서 형성한다.

다음에, 도 27에 도시한 바와 같이, 비트선 BL 및 제1층 배선(38, 39)의 상부에 막 두께 300㎚ 정도의 SOG막(44)을 스핀 도포한다. 다음에, 반도체 기판(1)을 800℃, 1분 정도 열처리해서 SOG막(44)을 소결한다.

SOG막(44)은 BPSG막에 비해 리플로성이 높고, 미세한 배선간의 갭 필성이 우수하므로, 포토리소그래피의 해상 한계 정도까지 미세화된 비트선 BL끼리의 간극을 양호하게 매립할 수 있다. 또, SOG막(44)은 BPSG막에서 필요하게 되는 고온, 장시간의 열처리를 실행하지 않아도 높은 리플로성이 얻어지므로, 비트선 BL의 하층에 형성된 메모리 셀 선택용 MISFET Qs의 소스, 드레인이나 주변 회로의 MISFET(n채널형 MISFET Qn, p채널형 MISFET Qp)의 소스, 드레인에 포함되는 불순물의 열확산을 억제해서 얕은 접합화를 도모할 수 있다. 또, 게이트 전극(14A)(워드선 WL) 및 게이트 전극(14B, 14C)을 구성하는 금속(W막)의 열화를 억제할 수 있으므로, DRAM의 메모리 셀 및 주변 회로를 구성하는 MISFET의 고성능화를 실현할 수 있다. 또, 비트선 BL 및 제1층 배선(38, 39)을 구성하는 Ti막, TiN막, W막의 열화를 억제해서 배선 저항의 저감을 도모할 수 있다.

다음에, 도 28에 도시한 바와 같이, SOG막(44)의 상부에 막 두께 600㎚ 정도의 산화 실리콘막(45)을 퇴적시킨 후, 이 산화 실리콘막(45)을 CMP법에 의해 연마해서 그의 표면을 평탄화한다. 산화 실리콘막(45)는 예를 들면 오존(O_3)과 테트라에톡시실란(TEOS)을 소스 가스로 사용한 플라즈마 CVD법에 의해 퇴적시킨다.

이와 같이 본 실시예에서는 비트선 BL 및 제1층 배선(38, 39)의 상부에 성막직후에도 평탄성이 양호한 SOG막(44)을 도포하고, 또 그의 상부에 퇴적된 산화 실리콘막(45)을 CMP법에 의해 평탄화한다. 이것에 의해 비트선 BL끼리의 미세한 간극의 갭 필성이 향상함과 동시에 비트선 BL 및 제1층 배선(38, 39)의 상부의 절연막의 평탄화를 실현할 수 있다. 또, 고온 및 장시간의 열처리를 실행하지 않으므로 메모리 셀 및 주변 회로를 구성하는 MISFET의 특성 열화를 방지해서 고성능화를 실현할 수 있음과 동시에 비트선 BL 및 제1층 배선(38, 39)의 저저항화를 도모할 수 있다.

다음에, 도 29에 도시한 바와 같이, 산화 실리콘막(45)의 상부에 막 두께 100㎚ 정도의 산화 실리콘막(46)을 퇴적시킨다. 이 산화 실리콘막(46)은 CMP법에 의해 연마되었을 때에 생긴 상기 산화 실리콘막(45)의 표면의 미세한 손상을 보수하기 위해 퇴적시킨다. 산화 실리콘막(46)은 예를 들면 오존(O_3)과 테트라에톡시실란(TEOS)을 소스 가스로 사용한 플라즈마 CVD법에 의해 퇴적시킨다.

다음에, 도 30에 도시한 바와 같이, 포토레지스트막(47)을 마스크로 한 드라이 에칭에 의해 콘택트홀(29)의 상부의 산화 실리콘막(46, 45), SOG막(44) 및 산화 실리콘막(31)을 제거해서 플러그(30)의 표면에 도달하는 스루홀(관통구멍)(48)을 형성한다. 이 에칭은 산화 실리콘막(46, 45, 31) 및 SOG막(44)에 대한 질화 실리콘막의 에칭 레이트가 작아지는 조건에서 실행하고, 스루홀(48)과 비트선 BL의 맞춤 어긋남이 생긴 경우에도 비트선 BL의 상부의 질화 실리콘막(40)이나 사이드월 스페이서(43)가 깊게 깎이지 않도록 한다. 이것에 의해, 스루홀(48)이 비트선 BL에 대해 자기 정합적으로 형성된다.

다음에, 포토레지스트막(47)을 제거한 후, 플루오르화수소산+ 암모늄프로라이드 혼압액 등의 에칭액을 사용해서 스루홀(48)의 바닥부에 노출된 플러그(30)의 표면의 드라이 에칭 잔사나 포토레지스트 잔사 등을 제거한다. 이 때, 스루홀(48)의 측벽에 노출된 SOG막(48)도 에칭액에 노출되지만, SOG막(44)은 상기 800℃ 정도의 소결에 의해서 플루오르화 수소산계의 에칭액에 대한 에칭 레이트가 저감되어 있으므로, 이 웨트 에칭 처리에 의해서 스루홀(48)의 측벽이 크게 언더커트되는 일은 없다. 이것에 의해 다음 공정에서 스루홀(48)의 내부에 매립되는 플러그와 비트선 BL의 쇼트를 확실하게 방지할 수 있다. 또, 플러그와 비트선 BL을 충분히 이간(離間)시킬 수 있으므로, 비트선 BL의 기생 용량의 증가를 억제할 수 있다.

다음에, 도 31에 도시한 바와 같이, 스루홀(48)의 내부에 플러그(49)를 형성한다. 플러그(49)는 산화 실리콘막(46)의 상부에 n형 불순물(예를 들면 P(인))을 도핑한 다결정 실리콘막을 CVD법에 의해 퇴적시킨 후, 이 다결정 실리콘막을 에치백해서 스루홀(48)의 내부에 남기는 것에 의해 형성한다.

다음에, 도 32에 도시한 바와 같이, 플러그(49) 및 산화 실리콘막(46)의 상부에 질화 티탄막(50) 및 이산화 루테늄(RuO_2)막(51)을 퇴적시킨다. 질화 티탄막(50) 및 이산화 루테늄막(51)은 후에 블로킹층 및 하층 전극으로 되는 것이다. 질화 티탄

막(50)의 막 두께는 수㎚～50㎚ 정도로 할 수 있다. 또, 이산화 루테늄막(51)의 막 두께는 예를 들면 0.5㎛로 할 수 있다. 단, 이 0.5㎛라는 값은 후에 설명하는 하부 전극의 높이를 규정하는 것이며, 하부 전극의 면적 즉 확보하고자 하는 용량값에 따라 조정할 수 있다.

질화 티탄막(50)은 스퍼터법 또는 CVD법에 의해 형성할 수 있다.

이산화 루테늄막(51)은 이산화 루테늄(RuO_2)을 타겟으로 하는 스퍼터법에 의해 퇴적시킬 수 있다. 이와 같이 금속 루테늄을 타겟으로 하는 루테늄(Ru)막을 퇴적시킨 후에 그것을 산화 처리해서 산화 루테늄막을 형성하는 방법이 아니라, 이산화 루테늄(RuO_2)을 출발재료로 하여 이산화 루테늄막(51)을 퇴적시키는 것에 의해 도 38의 (b)에 도시한 바와 같이 그의 표면을 평탄화할 수 있다. 이와 같은 이산화 루테늄막(51)의 제조 방법에 의해 그의 표면의 표면 거칠음을 중심선 평균 거칠음(Ra)로 나타낸 값으로 1㎚ 이하로 하는 것이 가능하다. 그 결과, 이후 설명하는 하부 전극의 표면 거칠음(Ra)을 1㎚ 이하로 저감시켜 평탄성을 향상시키고, 용량 절연막의 내전압을 향상시켜 정보 축적용 용량 소자의 신뢰성을 향상시킬 수 있다.

도 38은 본 발명자들의 실험검토에 의해 얻어진 이산화 루테늄막의 표면 상태를 도시한 전자 현미경 사진으로서, 도 38의 (a)는 루테늄 금속막을 퇴적시킨 후에 산화처리를 실행해서 얻어진 이산화 루테늄막의 표면을 도시한 도면이고, 도 38의 (b)는 본 실시예의 방법 즉 이산화 루테늄(RuO_2)을 출발 재료로 하여 스퍼터법에 의해 퇴적시킨 이산화 루테늄막의 표면을 도시한 도면이다. 도 38의 (b)의 스퍼터법의 퇴적조건은 DC(직류) 전원 전력 0.6kW, 반응 압력 0.5Pa, 산소 분압 0.4Pa, 아르곤 분압 0.1Pa이다. 루테늄 금속막을 퇴적시킨 후에 산화 처리를 실행해서 얻어진 이산화 루테늄막의 표면은 도 38의 (a)에 도시한 바와 같이 그의 표면 거칠음이 중심선 평균 거칠음(Ra)로 나타낸 값으로 20㎚ 이상으로 되어 본 실시예에 비해 요철이 현저하다.

또한, 이산화 루테늄을 타겟 재료로 하는 스퍼터법에 의해 이산화 루테늄막(51)을 퇴적시킬 때에는 그의 분위기를 산화성, 예를 들면 산소 가스를 함유하는 스퍼터링으로 할 수 있다. 이것에 의해 이산화 루테늄막(51)의 산소 결함을 저감시킬 수 있다. 또, 산화성 분위기에서의 스퍼터링에 의해 다결정 실리콘막으로 이루어지는 플러그(49)의 표면 산화에 의해 절연체인 산화 실리콘의 형성이 문제로 되지만, 본 실시예에서는 질화 티탄막(50)이 형성되어 있으므로, 플러그(49)의 산화를 방지할 수 있다. 그 결과, 플러그(49)와 정보 축적용 용량 소자의 하부 전극의 계면에 있어서의 전기적 접속의 신뢰성을 향상시킬 수 있다.

또한, 스퍼터법으로서는 DC(Direct Current) 또는 RF(Radio Frequency) 스퍼터법을 예시할 수 있다.

다음에, 도 33에 도시한 바와 같이, 이산화 루테늄막(51) 상에 포토레지스트막(52)을 형성하고, 이 포토레지스트막(52)을 마스크로 해서 이산화 루테늄막(51) 및 질화 티탄막(50)을 예를 들면 RIE(Reactive Ion Etching)법을 사용해서 에칭하고 제거한다. 이와 같이 해서 질화 티탄막(50)으로 이루어지는 블로킹층(53) 및 이산화 루테늄막(51)으로 이루어지는 하부 전극(54)을 형성한다. 블로킹층(53)은 이후 설명하는 용량 절연막의 산화성 분위기에서의 열처리시의 산소의 침입을 저지하는 작용을 갖는다.

이와 같이 이산화 루테늄막(51)으로 이루어지는 하부 전극(54)을 형성하는 것에 의해 이후 설명하는 용량 절연막의 산화성 분위기에 있어서의 열 처리시에도 하부 전극(54)의 표면의 산화에 의해 유전율이 낮은, 예를 들면 산화 실리콘과 같은 물질이 형성되지 않는다. 이것에 의해 용량 절연막의 실질적인 막 두께의 증가와 유전율의 저하를 억제해서 정보 축적용 용량 소자의 축적 용량을 크게 하고 극히 미세한 가공이 요구되는 256Mbit 이상의 DRAM의 정보 축적용 용량 소자를 형성할 수 있게 된다.

또, 상기한 바와 같이, 본 실시예의 하부 전극(54)은 종래의 미세 가공에 대응하기 위해 채용할 수 밖에 없던 크라운 형상(왕관 형상) 또는 핀 형상 등에 비해 현저히 단순한 형상을 갖는 것이다. 이 때문에, 하부 전극(54)의 제조 공정을 상기와 같이 단순화할 수 있다. 이 제조 공정의 단순화는 더욱 미세한 가공이 요구되는 현상에 있어서는 프로세스 마진을 향상시킬 수 있고, 결과적으로 DRAM의 제조효율 및 신뢰성을 향상시킬 수 있다는 이점을 갖는 점에서 특히 의의가 있다.

다음에, 포토레지스트막(52)을 제거한 후, 도 34에 도시한 바와 같이, 반도체 기판(1)의 전면에 막 두께 10㎚ 정도의 산화 탄탈막(55)을 퇴적시킨다. 산화 탄탈막(55)의 퇴적은 펜타알킬탄탈($Ta(C_nH_{2n+1})_5$), 예를 들면 $Ta(C_2H_5)_5$ 및 산소(O_2)를 함유하는 가스를 원료 가스로 하고, 500℃ 이하(예를 들면 450℃)의 감압 상태(예를 들면 400 mTorr)에 있어서의 열CVD법에 의해 형성할 수 있다. 이와 같이, 산화 탄탈막(55)를 열 CVD법에 의해 퇴적시키는 것에 의해, 스텝 커버리지가 우수

한 산화 탄탈막(55)으로 할 수 있다. 또한, 이 단계에서는 산화 탄탈막(55)은 비정질(아몰퍼스) 상태로서 유전율은 낮다. 또, 상기와 같이 유기 탄탈 가스를 사용하므로 산화 탄탈막(55)에는 수%의 탄소가 함유된다. 이 탄소의 존재는 도 41에 도시한 바와 같은 내압의 저하를 초래하며 많은 탄소가 함유되는 것은 바람직하지 않다. 그래서, $Ta(C_2H_5)_5$를 $Ta(CH_3)_5$로 대체하거나 또는 반응 온도를 더욱 낮게 하는 것이 가능하다. 이것에 의해, 용량 절연막의 내압을 향상시킬 수 있다. 또한, 도 41은 산화 탄탈막(55) 내에 함유되는 탄소 농도와 내압의 관계를 도시한 그래프로서, 본 발명자들에 의한 실험 검토에 의해 얻어진 것이다. 내압은 누설 전류가 10nA/㎠으로 되는 전압을 MV/㎝의 단위로 나타낸 것이다. 본 데이타는 산화 탄탈막(55)이 퇴적된 직후의 상태, 즉 애즈데포(as depo) 상태에서의 데이타를 나타낸 것이므로, 내압의 절대값은 일반적으로 요구되는 내압(예를 들면 4MV/㎝)보다는 낮지만, 이후 설명하는 바와 같은 열처리에 의해 내압은 상승한다. 그러나, 탄소 농도의 증가에 의해 내압이 저하하는 경향은 열처리에 의해서도 유지된다.

다음에, 산화 탄탈막(55)에 열 처리를 실시하고 다결정의 오산화 이탄탈(Ta_2O_5)막(56)을 형성한다. 산화 탄탈막(55)의 열처리는 예를 들면 산소 분위기로 유지한 노(爐) 내에서의 750℃, 10분간의 열처리(어닐)로 할 수 있다. 이와 같은 열처리에 의해 비정질의 산화 탄탈 다결정인 오산화 탄탈막에 고상(固相) 성막한다. 또한, 산화 탄탈막(55)의 열처리는 산소 분위기에 있어서의 800℃, 3분간의 열처리로 할 수도 있다. 750℃, 10분간의 열처리에서는 본 공정 전에 형성한 선택 MISFET 등의 디바이스로의 영향을 최소한으로 억제할 수 있고 그 반면, 800℃, 3분간의 열처리에서는 오산화 이탄탈막(56)을 구성하는 각 결정의 입자 직경을 작게 해서 입자직경이 균일한 오산화 이탄탈막(56)을 형성할 수 있다는 이점이 있다.

이와 같이 다결정의 오산화 이탄탈막(56)은 이후에 용량 절연막으로 되는 것이지만, 용량 절연막으로서 다결정의 오산화 탄탈을 사용하는 것에 의해 그의 유전율을 크게 해서 정보 축적용 용량 소자의 축적 용량을 크게 할 수 있다. 종래 산화 탄탈막으로서 산화성 분위기에서 열처리를 실행하고 산소 개질 처리를 실시한 것이 알려져 있지만, 이와 같은 산화 탄탈막은 비유전율이 20~25이며 실리콘 산화막으로 환산한 소위 환산막 두께로 표현하여 2. 5㎚ 이상인 것이다. 한편, 본 실시예의 오산화 이탄탈막(56)은 비유전율이 40~50이며 환산막 두께로 표현하여 1㎚ 정도의 것으로 된다.

또, 본 공정은 산소 분위기, 즉 산화성 분위기에서 실행되는 것이지만, 하부 전극(54)의 재료로서 이산화 루테늄이 사용되고 있으므로, 열처리의 공정 중에 산소가 산화 탄탈막(55)을 통과해서 하부 전극(54)의 표면에 도달하여도 산화 실리콘막과 같은 저유전율의 절연체는 형성되지 않는다. 그 결과, 용량 절연막의 실질적인 막 두께는 증가하지 않고 또 용량 절연막의 유전율을 높게 유지할 수 있다.

또, 상기한 바와 같이, 질화 티탄막으로 이루어지는 블로킹층(53)이 형성되어 있으므로, 본 열 처리 공정에 있어서 산소가 산화 탄탈막(55) 및 하부 전극(54)을 통과해서 플러그(49)에 도달하는 일은 없고, 또 하부 전극(54)을 구성하는 이산화 루테늄 중의 산소와 플러그(49)를 구성하는 실리콘이 반응해서 절연체인 실리콘 산화막이 형성되는 일이 없다. 그 결과, 플러그(49)와 하부 전극(54)의 접속 저항을 저감해서 정보 축적용 용량 소자의 성능을 향상시킬 수 있음과 동시에 플러그(49)와 하부 전극(54)의 전기적인 접속의 신뢰성을 향상시킬 수 있다.

다음에, 오산화 이탄탈막(56) 상에 질화 티탄막을 퇴적시키고, 도 35에 도시한 바와 같이, 상기 질화 티탄막 상에 포토레지스트막(57)을 형성하고, 이 포토레지스트막(57)을 마스크로 해서 상기 질화 티탄막 및 오산화 이탄탈막(56)을 에칭하여 용량 절연막(58) 및 상부 전극(59)을 형성한다. 질화 티탄막의 퇴적에는 예를 들면 CVD법을 사용할 수 있다. 이와 같이 해서 이산화 루테늄으로 이루어지는 하부 전극(54), 다결정의 오산화 이탄탈로 이루어지는 용량 절연막(58) 및 질화 티탄막으로 이루어지는 상부 전극(59)으로 구성되는 정보 축적용 용량 소자 C를 형성한다. 이것에 의해 메모리 셀 선택용 MISFET Qs와 이것에 직렬로 접속된 정보 축적용 용량 소자 C로 구성되는 DRAM의 메모리 셀이 완성된다.

다음에, 포토레지스트막(57)을 제거한 후, 도 36에 도시한 바와 같이, 정보 축적용 용량 소자 C의 상부에 막 두께 40㎚ 정도의 산화 실리콘막(60)을 퇴적시킨다. 산화 실리콘막(60)은 예를 들면 오존(O_3)과 테트라에톡시실란(TEOS)을 소스 가스로 사용한 플라즈마 CVD법에 의해 퇴적시킨다. 또, SOG막(61)을 도포해서 메모리 셀이 형성된 영역을 평탄화함과 동시에 주변 회로 영역과의 단차를 완화시킨다. 본 실시예의 DRAM에서는 용량 절연막(58)에 유전율이 높은 다결정의 오산화 이탄탈을 사용하므로, 하부 전극(54)의 높이를 특히 높게 형성할 필요는 없다. 이 때문에, SOG막(61)만으로 메모리 셀 영역과 주변 회로 영역의 단차를 완화시킬 수 있다. 그 결과, 상기 단차를 해소하기 위한 복잡한 공정을 채용하지 않고 프로세스를 단순화할 수 있다.

다음에, 도 37에 도시한 바와 같이, 포토레지스트막을 마스크로 한 드라이 에칭에 의해 주변 회로의 제1층 배선(38)의 상부의 SOG막(61), 산화 실리콘막(60), (53), 산화 실리콘막(46), 산화 실리콘막(45), SOG막(44) 및 질화 실리콘막(40)을 제거하는 것에 의해 스루홀(62)을 형성한다. 또, 마찬가지로 상부 전극(59)의 상부의 SOG막(61), 산화 실리콘막(60)을 제거하는 것에 의해 스루홀(63)을 형성한다. 그 후, 스루홀(62, 63)의 내부에 플러그(64)를 형성하고, 계속해서 SOG막(61)

의 상부에 제1층 배선(65)을 형성한다. 플러그(64)는 SOG막(61)의 상부에 스퍼터링법에 의해 막 두께 100㎚ 정도의 TiN막을 퇴적시키고, 또 그의 상부에 CVD법에 의해 막 두께 500㎚ 정도의 W막을 퇴적시킨 후, 이들의 막을 에치백해서 스루홀(62, 63)의 내부에 남기는 것에 의해 형성한다. 제2층 배선(65)은 SOG막(61)의 상부에 스퍼터링법에 의해 막 두께 50㎚ 정도의 TiN막, 막 두께 500㎚ 정도의 Aℓ(알루미늄)막, 막 두께 50㎚ 정도의 Ti막을 퇴적시킨 후, 포토레지스트막을 마스크로 한 드라이 에칭에 의해 이들의 막을 패터닝해서 형성한다.

그 후, 층간 절연막을 거쳐서 제3층 배선을 형성하고, 그의 상부에 산화 실리콘막과 질화 실리콘막으로 구성된 비활성화막(패시베이션막)을 퇴적시키지만, 그의 도시는 생략한다. 이상의 공정에 의해 본 실시예의 DRAM이 대략 완성된다.

또한, 제3층 배선 및 이것에 인접하는 플러그는 제2층 배선의 경우와 마찬가지로 형성할 수 있고, 층간 절연막은 예를 들면 막 두께 300㎚ 정도의 산화 실리콘막, 막 두께 400㎚ 정도의 SOG막 및 막 두께 300㎚ 정도의 산화 실리콘막으로 구성할 수 있다. 산화 실리콘막은 예를 들면 오존(O_3)과 테트라에톡시실란(TEOS)을 소스 가스로 사용한 플라즈마 CVD법에 의해 퇴적시킬 수 있다.

본 실시예에 의하면, 하부 전극(54)을 이산화 루테늄으로 구성하고, 용량 절연막(58)을 다결정의 오산화 이탄탈로 구성하는 것에 의해, 정보 축적용 용량 소자 C의 축적 용량을 증가시켜 256Mbit 이후의 DRAM을 용이한 공정에 의해 제조할 수 있게 된다. 또한, 본 실시예에 의해 제조되는 용량 절연막(58)을 구성하는 다결정 오산화 이탄탈막의 막 두께와 실리콘 산화막의 환산막 두께의 관계를 도 39에 도시한다. 또, 하부 전극(54)의 높이가 0. 5㎛인 경우로서 축적 용량(Cs)이 25fF를 만족시키는 조건의 오산화 이탄탈막 두께와 셀 면적의 관계를 도 40에 도시한다. 도 40중에 도시한 바와 같이, 상기 조건하에서는 256Mbit DRAM에 요구되는 실리콘 산화막 환산막 두께는 약 1.15㎚이고, 1Gbit DRAM에 요구되는 실리콘 산화막 환산막 두께는 약 0.85㎚이다. 본 실시예의 다결정 오산화 이탄탈막으로 이루어지는 용량 절연막(58)을 사용하면, 그의 막 두께는 각각 12㎚, 8㎚로서, 256Mbit 이후의 DRAM에 충분히 대응할 수 있다는 것을 알 수 있다. 또한, 하부 전극(54)의 높이의 조정 또는 요구되는 축적 용량의 최적화에 의해 용량 절연막(58)의 막 두께는 15㎚ 정도까지 두껍게 하는 것이 가능하고, 한편, 용량 절연막(58)의 막 두께는 절연 내력(耐力)의 요구에 따라 5㎚ 정도까지는 얇게 하는 것이 가능하다.

또한, 상기 실시예에서는 하부 전극(54)을 구성하는 이산화 루테늄막(51)의 퇴적을 이산화 루테늄을 타겟으로 하는 스퍼터법에 의해 실행하는 방법을 예시하였지만, 루테늄 금속을 타겟으로 하고, 산소를 함유하는 반응성 스퍼터법에 의해 이산화 루테늄막을 퇴적시키는 방법에 의해 이산화 루테늄막(51)을 형성해도 좋다. 이 경우에도 상기 실시예와 마찬가지로 평탄한 표면의 이산화 루테늄막(51)을 형성하는 것이 가능하다.

또, 이산화 루테늄막(51)은 CVD법에 의해 퇴적시켜도 좋다. 이 CVD법은 유기 루테늄 가스와 산소를 함유하는 가스를 원료 가스로 한 CVD법을 예시할 수 있다. 유기 루테늄 가스로서는 트리스 디피발로일 메탄아토 루테늄($Ru((CH_3)_3CCOCHCOC(CH_3)_3)_3$)을 예시할 수 있다. 그 밖의 조건은 예를 들면 반응온도를 600℃, 반응 압력을 10Torr, 산소 유량을 1slm, 아르곤 유량을 0. 3slm으로 할 수 있다.

또, 상기 실시예에서는 상부 전극(59)으로서 질화 티탄막의 경우를 예시하였지만, 루테늄, 산화 루테늄, 텅스텐, 질화 텅스텐으로 이루어지는 막이어도 좋다. 이 경우, 루테늄 또는 텅스텐은 탄탈보다 잘 산화되지 않고 따라서 용량 절연막(58)을 구성하는 오산화 이탄탈막에서 산소를 빼내는 일이 적다. 이것에 반해 티탄은 탄탈보다 산화되기 쉽고, 용량 절연막(58)을 구성하는 오산화 이탄탈막에서 산소를 빼낼 확률이 높아진다. 즉, 열적으로는 질화 티탄막을 오산화 이탄탈막에 접해서 형성하는 것보다도 루테늄, 산화 루테늄, 텅스텐 또는 질화 텅스텐으로 이루어지는 피막을 오산화 이탄탈막에 접해서 형성하는 쪽이 안정하게 된다. 그러나, 상부 전극(59)은 미세하게 가공된 하부 전극(54) 상에 형성하는 것으로서, CVD법에 의해 형성할 수 있는 질화 티탄막을 사용하는 쪽이 스텝 커버리지의 점에서 유리하다. 또, 질화 티탄막을 CVD법에 의해 형성하는 경우에는 성막 조건, 예를 들면 성막 온도를 조정하는 것에 의해 퇴적 피막의 내부 응력을 조정하는 것이 가능하고, CVD법에 의해 형성할 수 있는 질화 티탄막에 의해 상부 전극(59)의 응력을 저감시켜 용량 절연막(58)에 가해지는 응력을 저감하고 누설 전류를 적게 할 수 있다는 가능성이 있다. 그래서, 오산화 이탄탈막으로 이루어지는 용량 절연막(58)에 접해서 형성되는 루테늄, 산화 루테늄, 텅스텐 또는 질화 텅스텐으로 이루어지는 피막을 제1층으로 하고, CVD법에 의해 형성되는 질화 티탄막을 제2층으로 하는 적층막으로 이루어지는 상부 전극(59)으로 할 수도 있다. 이와 같은 상부 전극(59)에 의해 열적으로 안정하고 또한 복잡한 하지 형상에 대해서도 스텝 커버리지 좋게 형성되는 상부 전극(59)로 할 수 있다. 또, 상부 전극(59)에 의한 응력을 완화시켜 용량 절연막(58)에 가해지는 응력을 저감하고 정보 축적용 용량 소자 C의 누설 전류를 저감시켜 그의 성능을 향상시키고 또 그의 신뢰성을 향상시킬 수 있다.

<실시예 2>

도 42~도 45는 본 발명의 다른 실시예인 DRAM의 제조 방법을 그의 공정순으로 도시한 단면도이다.

본 실시예의 DRAM은 실시예 1의 DRAM과 거의 마찬가지의 구성을 갖는 것으로서, 다결정 실리콘막으로 이루어지는 플러그(49) 대신 산화 루테늄으로 이루어지는 플러그(66)를 갖는 것이다. 따라서, 그 이외의 실시예 1과 마찬가지의 구성에 대해서는 설명을 생략한다.

본 실시예 2의 DRAM은 이하의 공정에 의해 제조된다. 본 실시예 2의 제조 공정은 실시예 1에 있어서의 도 30까지의 공정에 대해서는 마찬가지이다.

실시예 1의 도 30에 있어서의 스루홀(48)의 형성 후, 도 42에 도시한 바와 같이, 스루홀(48)의 내부에 산화 루테늄으로 이루어지는 플러그(66)를 형성한다. 플러그(66)는 산화 루테늄을 출발 재료로 하는 스퍼터법에 의해 산화 루테늄막을 퇴적시킨 후, 이것을 에치백해서 스루홀(48) 내에 산화 루테늄을 남기는 것에 의해 형성한다.

또한, 산화 루테늄막의 퇴적전에 블로킹층으로서 질화 티탄막을 퇴적시켜도 좋다.

다음에, 도 43에 도시한 바와 같이, 플러그(66)가 형성된 산화 실리콘막(46)의 상부에 이산화 루테늄(RuO_2)막(67)을 퇴적시킨다. 이산화 루테늄막(67)은 실시예 1의 이산화 루테늄막(51)과 마찬가지로 퇴적시킬 수 있다.

또한, 플러그(66)가 산화 루테늄으로 구성되어 있으므로, 블로킹층을 형성할 필요는 없다.

다음에, 실시예 1과 마찬가지로 도 44에 도시한 바와 같이 포토레지스트막(52)을 형성하고, 이 포토레지스트막(52)을 마스크로 해서 이산화 루테늄막(67)을 예를 들면 RIE(Reactive Ion Etching)법을 사용해서 에칭하여 제거한다. 이와 같이 해서 이산화 루테늄막(67)으로 이루어지는 하부 전극(68)을 형성한다.

다음에, 실시예 1과 마찬가지로 포토레지스트막(52)을 제거한 후, 도 45에 도시한 바와 같이, 반도체 기판(1)의 전면에 막두께 10㎚ 정도의 산화 탄탈막(55)을 퇴적시킨다. 또, 산화 탄탈막(55)을 열처리해서 다결정의 오산화 이탄탈막(56)을 형성한다.

이 후의 공정은 실시예 1과 마찬가지이므로 설명을 생략한다.

본 실시예 2에 의하면, 플러그(66)가 산화 루테늄으로 이루어지므로, 플러그(66)와 하부 전극(68)의 계면에 블로킹층을 형성할 필요가 없고 접속 저항이 낮은 정보 축적용 용량 소자 C로 하여 그 신뢰성을 향상시킬 수 있다.

<실시예 3>

도 46 및 도 47은 본 발명의 또 다른 실시예인 DRAM의 공정을 도시한 단면도이다.

본 실시예 3의 DRAM은 정보 축적용 용량 소자 C를 구성하는 용량 절연막(69)이 하층 절연막(69a)과 상층 절연막(69b)의 2층 구성으로 되어 있는 것이다. 그 밖의 구성에 대해서는 실시예 1과 마찬가지이므로 설명을 생략한다.

본 실시예 3의 DRAM의 제조 공정은 실시예 1에 있어서의 도 33의 공정까지에 대해서는 마찬가지이다.

하부 전극(54)을 형성한 후, 도 46에 도시한 바와 같이, 우선 하층 절연막(69a)을 형성한다. 그 후, 상층 절연막(69b)을 형성한다. 하층 절연막(69b)의 형성은 실시예 1에 있어서의 오산화 이탄탈막(56)의 형성과 마찬가지이다.

즉, 우선 비정질의 산화 탄탈막을 CVD법에 의해 퇴적시키고, 이것을 산소 분위기에서 열처리해서 다결정화한다.

그 후의 상층 절연막(69b)의 형성은 다결정화된 오산화 이탄탈로 이루어지는 하층 절연막(69a) 상에 하층 절연막(69a)의 형성과 마찬가지로 비정질의 산화 탄탈막을 CVD법에 의해 퇴적시키고, 이것을 산소 분위기에서 열처리해서 다결정화하고, 다결정화된 오산화 이탄탈로 이루어지는 상층 절연막(69b)을 형성한다.

이와 같이 해서 형성된 2층 구조의 용량 절연막(69)은 도 47에 도시한 바와 같이, 그의 입자 경계(70)가 하층 절연막(69a)과 상층 절연막(69b)의 쌍방에 형성되지만, 하층 절연막(69a)의 입자 경계(70)와 상층 절연막(69b)의 입자 경계(70)는 상이한 위치에 형성된다.

또한, 이후의 공정은 실시예 1과 마찬가지이므로 설명을 생략한다.

이와 같은 용량 절연막(69)에 의하면, 정보 축적용 용량 소자 C의 누설 전류를 저감할 수 있다. 일반적으로 다결정막의 절연 내압은 그의 입자 경계 부분에서 가장 약해지고, 다결정 오산화 이탄탈막에 있어서도 이것을 용량 절연막에 사용한 경우에는 입자 경계 부분에서 누설 전류가 발생한다고 생각되지만, 본 실시예 3에서는 입자 경계(70)가 막 두께 방향으로 관통해서 형성되는 일이 없고, 하층 절연막(69a)의 입자 경계(70)에 의해 누설 전류가 발생했다고 해도 상층 절연막(69b)에서 이것을 저지하고, 또 상층 절연막(69b)의 입자 경계(70)에 의해 누설 전류가 발생했다고 해도 하층 절연막(69a)에서 이것을 저지할 수 있다.

또한, 용량 절연막(69)의 막 두께는 하층 절연막(69a)과 상층 절연막(69b)을 합해서 5㎚～15㎚로 할 수 있다.

이상, 본 발명자에 의해서 이루어진 발명을 발명의 실시예에 따라 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위에서 여러가지로 변경가능한 것은 물론이다.

예를 들면, 상부 전극(59)의 재료로서는 상기한 재료에 한정되지 않고, 다결정 실리콘막이어도 좋다. 또, 티탄, 텅스텐, 루테늄 이외의 고융점 금속, 예를 들면 탄탈, 니오브, 몰리브덴, 크롬, 이리듐, 니켈, 팔라듐, 백금 등을 사용할 수 있다. 또, 그것이 도전체이면 상기한 금속의 산화물, 질화물이어도 좋다.

발명의 효과

본원에 있어서 개시되는 발명 중, 대표적인 것에 의해서 얻어지는 효과를 간단히 설명하면 다음과 같다.

[1] 256Mbit DRAM 이후의 메모리 셀의 캐패시터의 축적 용량을 확보할 수 있다.

[2] 정보 축적용 용량 소자의 용량 절연막에 산화 탄탈막을 사용하고, 산소 분위기에 있어서의 열 처리를 실시해도 실효적인 용량 절연막의 유전율의 저하 및 막 두께의 증가를 초래하지 않는 기술을 제공할 수 있다.

[3] 정보 축적용 용량 소자의 하부 전극 표면을 평탄화할 수 있고, 정보 축적용 용량 소자의 신뢰성을 향상시킬 수 있다.

[4] 하부 전극의 형상을 단순화할 수 있으며 그의 형성 공정을 간략화할 수 있다.

[5] 정보 축적용 용량 소자의 용량 절연막의 절연성을 향상시키고, 누설 전류의 저감을 도모할 수 있다. 또, 정보 축적용 용량 소자의 성능과 신뢰성을 향상시킬 수 있다.

[6] 정보 축적용 용량 소자의 상부 전극의 재료를 최적화할 수 있고, 신뢰성이 높은 정보 축적용 용량 소자를 제공할 수 있다.

[7] 정보 축적용 용량 소자의 축적 전하량을 증가하고, DRAM의 리플레시 마진을 증가시켜 반도체 집적 회로 장치의 저전압화 및 저전력화를 도모할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 일실시예인 DRAM을 형성한 반도체 칩의 전체 평면도,

도 2는 본 발명의 일실시예인 DRAM의 등가 회로도,

도 3은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 4는 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 5는 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 6은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 7은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 8은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 9는 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 10은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 11은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 12는 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 13은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 14는 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 15는 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 16은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 17은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 18은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 19는 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 20은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 21은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 22는 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 23은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 24는 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 25는 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 26은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 27은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 28은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 29는 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 30은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 31은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 32는 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 33은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 34는 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 35는 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 36은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 37은 본 발명의 일실시예인 DRAM의 제조 공정의 일례를 공정순으로 도시한 단면도,

도 38은 본 발명자들의 실험 검토에 의해 얻어진 이산화 루테늄막의 표면 상태를 도시한 전자 현미경 사진으로서, 도 38의 (a)는 루테늄 금속막을 퇴적시킨 후에 산화 처리를 실행해서 얻어진 이산화 루테늄막의 표면을 도시한 도면이고, 도 38의 (b)는 본 발명의 일실시예인 제조 방법을 사용해서 형성한 이산화 루테늄막의 표면을 도시한 도면,

도 39는 다결정 오산화 이탄탈막의 막 두께와 실리콘 산화막의 환산막 두께의 관계를 도시한 그래프,

도 40은 오산화 이탄탈막 두께와 셀 면적의 관계를 도시한 그래프,

도 41은 산화 탄탈막 내에 함유되는 탄소 농도와 내압의 관계를 도시한 그래프,

도 42는 본 발명의 다른 실시예인 DRAM의 제조 방법을 그 공정순으로 도시한 단면도,

도 43은 본 발명의 다른 실시예인 DRAM의 제조 방법을 그 공정순으로 도시한 단면도,

도 44는 본 발명의 다른 실시예인 DRAM의 제조 방법을 그 공정순으로 도시한 단면도,

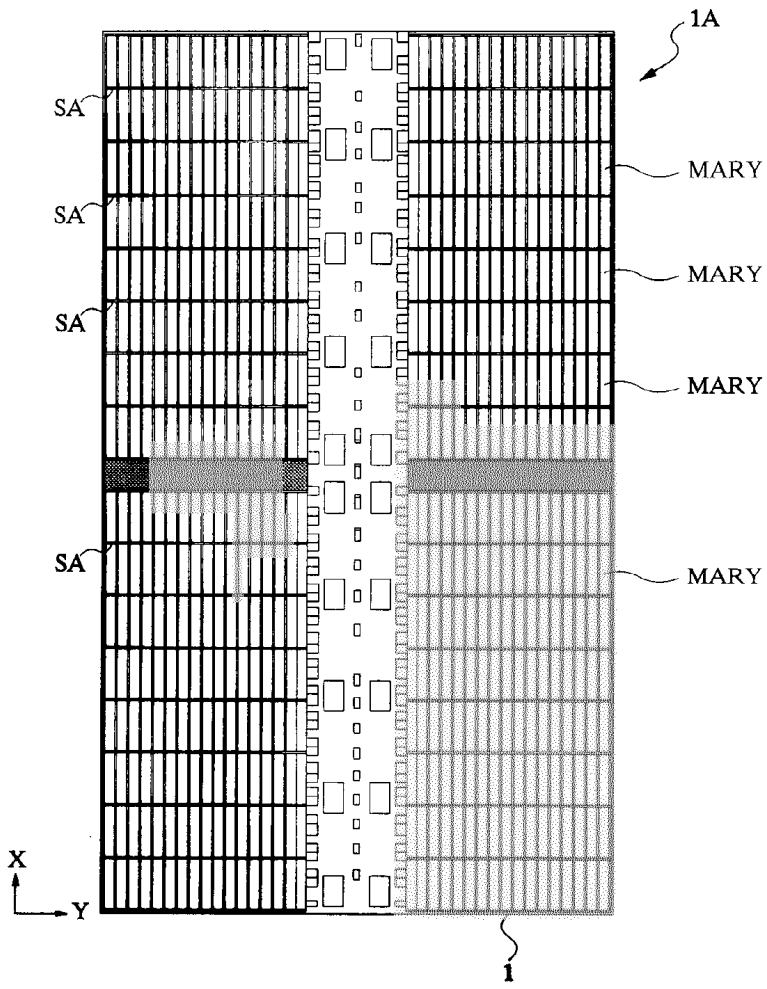
도 45는 본 발명의 다른 실시예인 DRAM의 제조 방법을 그 공정순으로 도시한 단면도,

도 46은 본 발명의 또 다른 실시예인 DRAM의 제조 공정을 도시한 단면도,

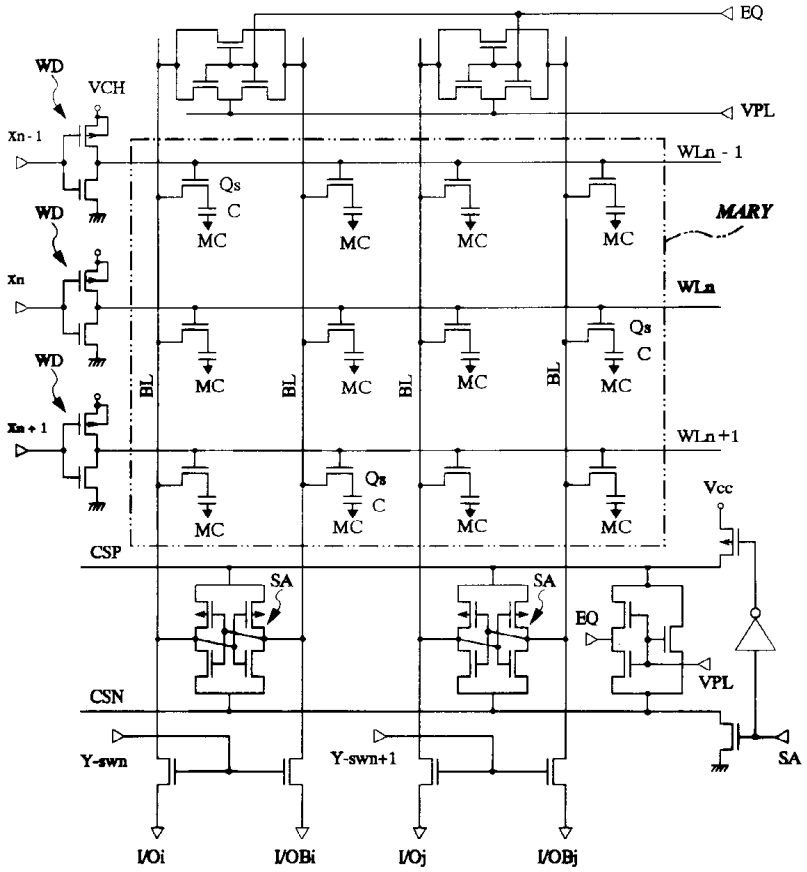
도 47은 본 발명의 또 다른 실시예인 DRAM의 제조 공정을 도시한 단면도.

도면

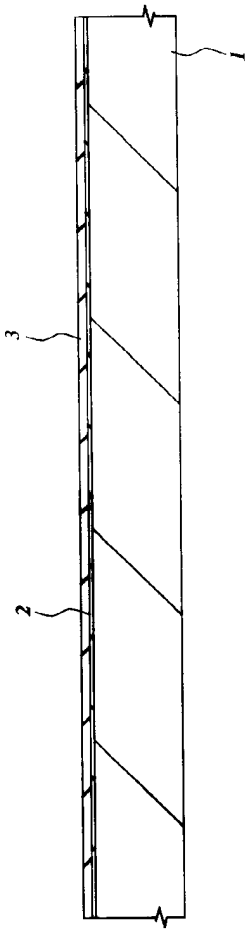
도면1



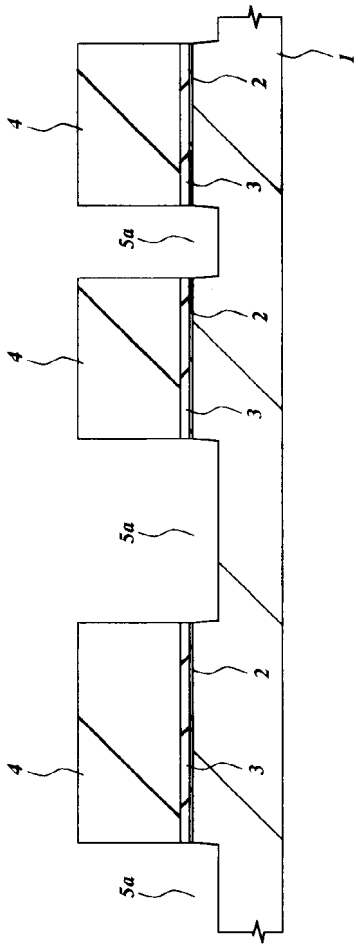
도면2


EQ
VPL
WD
VCH
Xn - 1
WLn - 1
Qs
C
MC
MARY
WD
Xn
WLn
WD
BL
Xn + 1
WLn+1
Vcc
CSP
SA
SA
EQ
VPL
CSN
SA
Y-swn
Y-swn+1
I/Oi
I/OBi
I/Oj
I/OBj

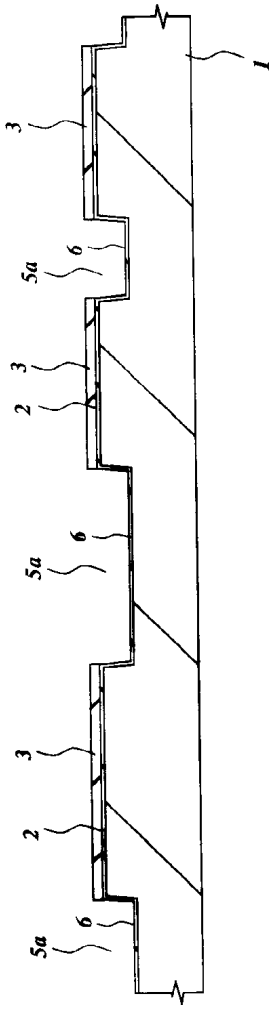
도면3



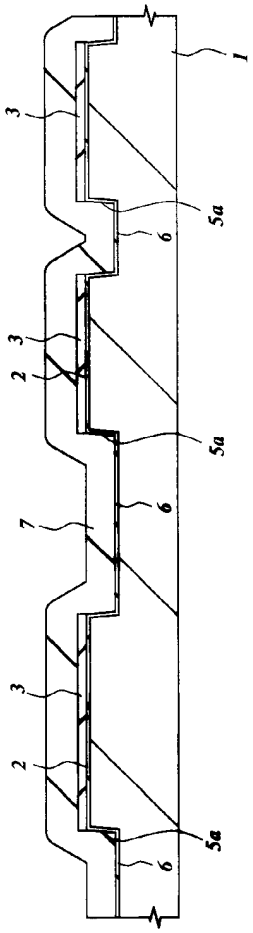
도면4



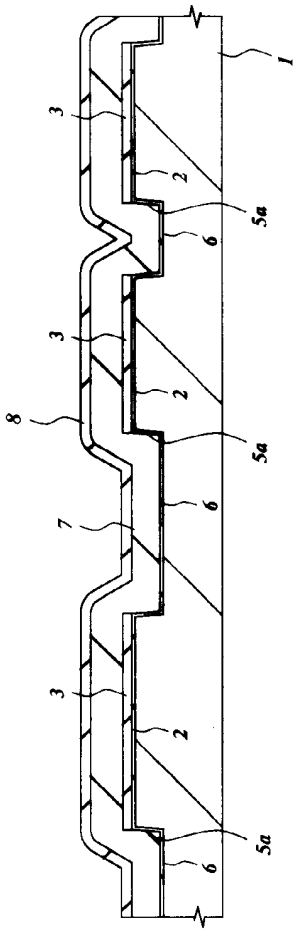
도면5



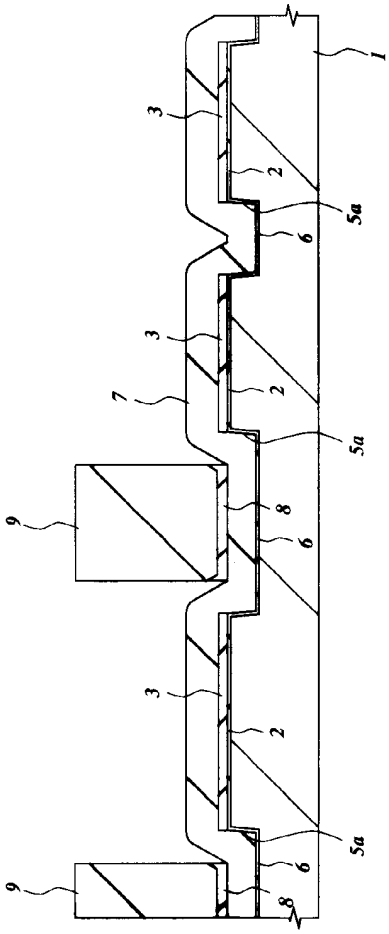
도면6



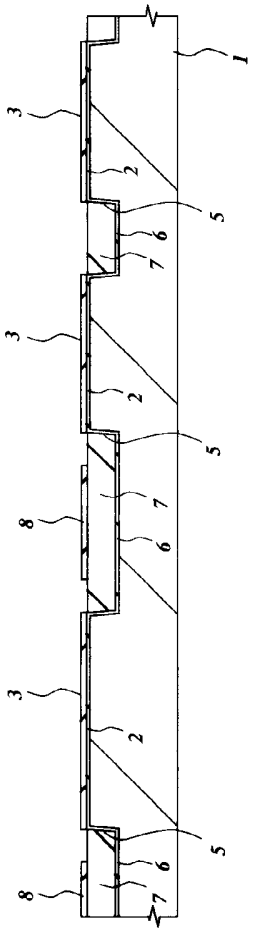
도면7



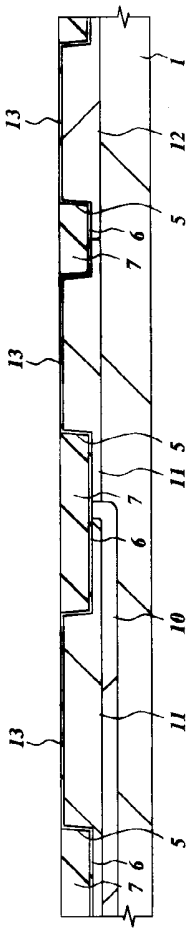
도면8



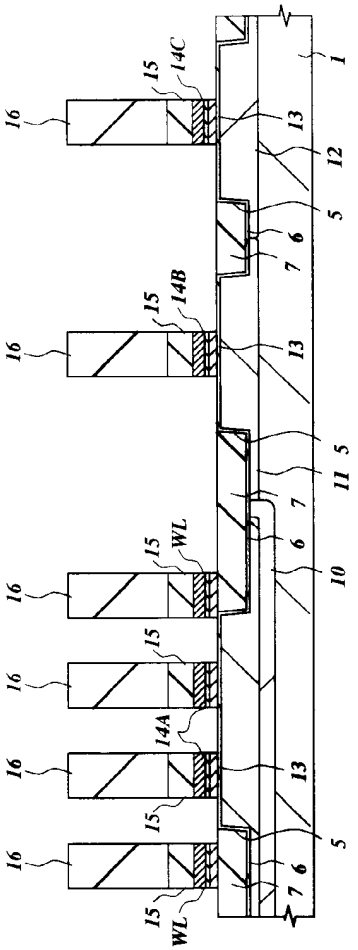
도면9



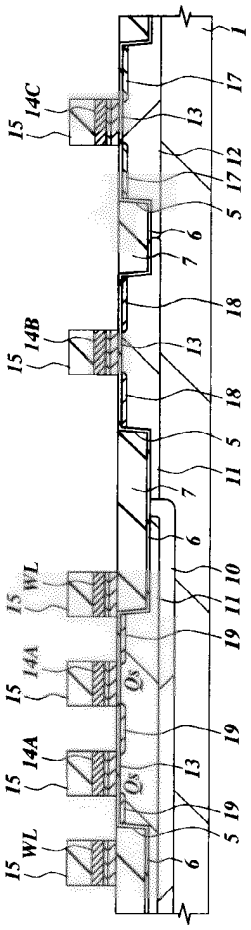
도면10



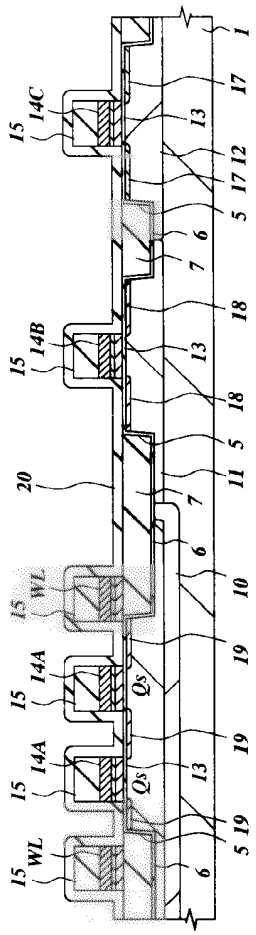
도면11



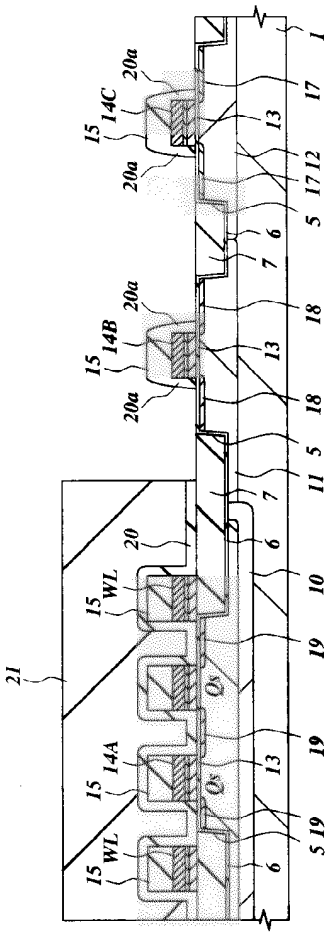
도면12


1
17
13
12
17
5
6
7
18
13
18
5
11
7
6
10
11
19
19
13
19
5
6
15
14C
14B
WL
14A
14A
WL

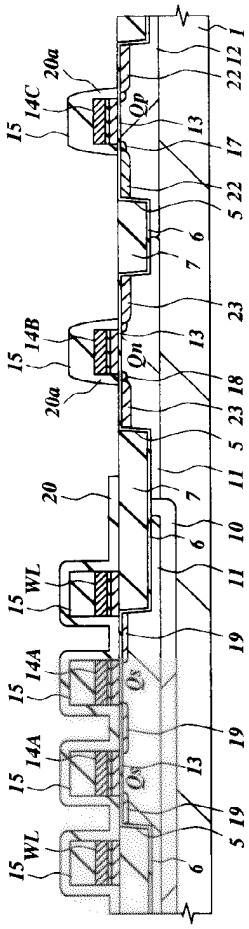
도면13


1
17
13
12
17
5
6
7
18
13
18
5
11
7
6
10
19
19
13
19
5
6
15
14C
15
14B
20
15
WL
15
14A
Qs
15
14A
Qs
15
WL

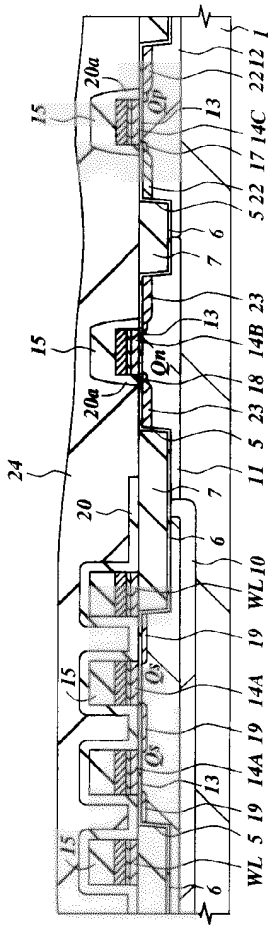
도면14


1
17
13
12
17
5
6
7
18
13
18
5
11
7
6
10
19
19
13
5 19
6
20a
14C
15
20a
20a
14B
15
20a
20
15
WL
21
Os
Os
14A
15
15
WL

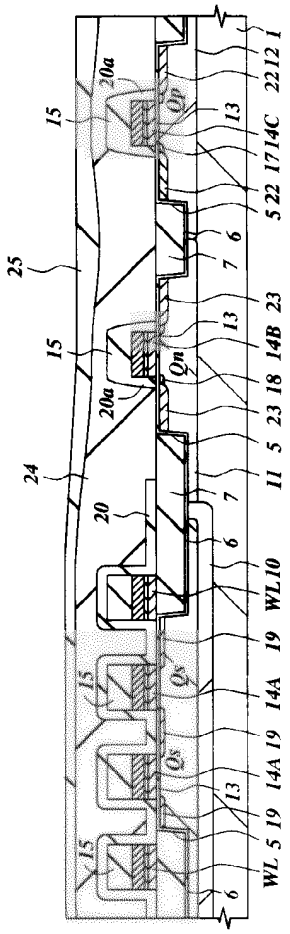
도면15


15
14C
20a
Qp
13
17
22
5
6
7
23
15
14B
Qn
13
20a
18
23
5
11
20
7
10
6
15
WL
11
19
15
14A
Qs
19
15
14A
Qs
13
19
5
15
WL
6

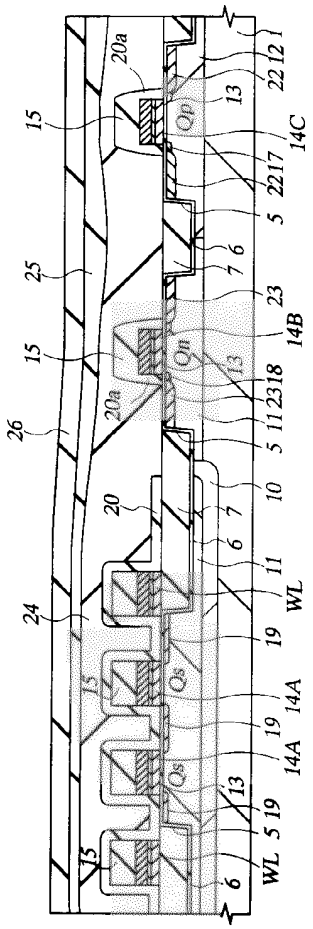
도면16


1
12
22
14C
17
22
5
6
7
23
14B
18
23
5
11
7
6
WL
10
19
14A
19
14A
19
5
WL
6
13
Qn
Qs
Qp
15
20a
20
24

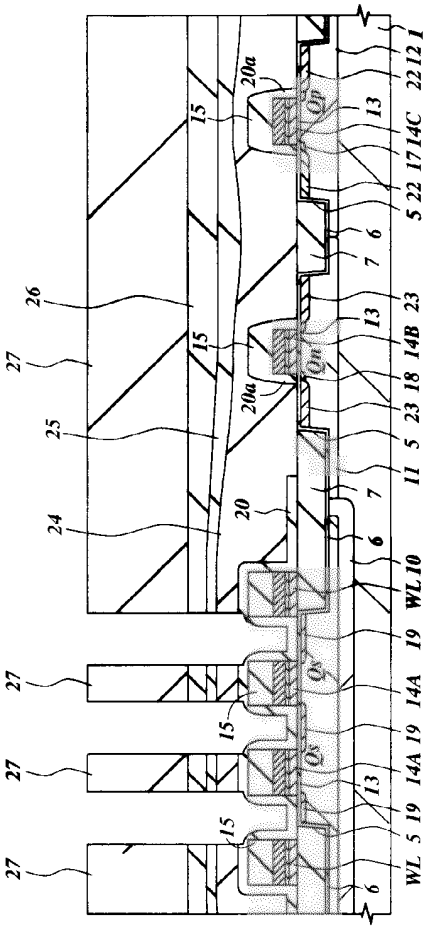
도면17


1
22
12
14C
17
22
5
6
7
23
14B
18
23
5
11
7
6
WL
10
19
14A
19
14A
19
5
WL
6
15
20a
Qp
13
25
15
20a
Qn
24
20
15
Qs
15
Qs
13
15

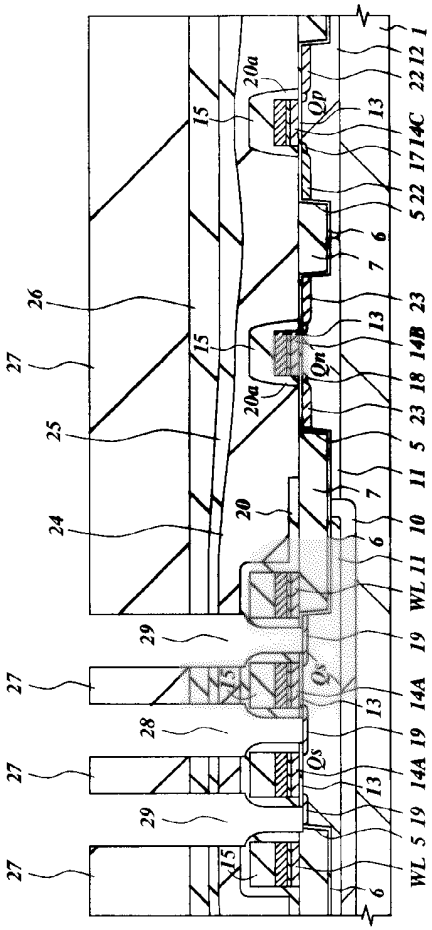
도면18


1
12
22
13
14C
17
22
5
6
7
23
14B
13
18
23
11
5
10
7
6
11
WL
19
14A
19
14A
13
19
5
WL
6
15
15
15
20a
20a
20
24
25
26

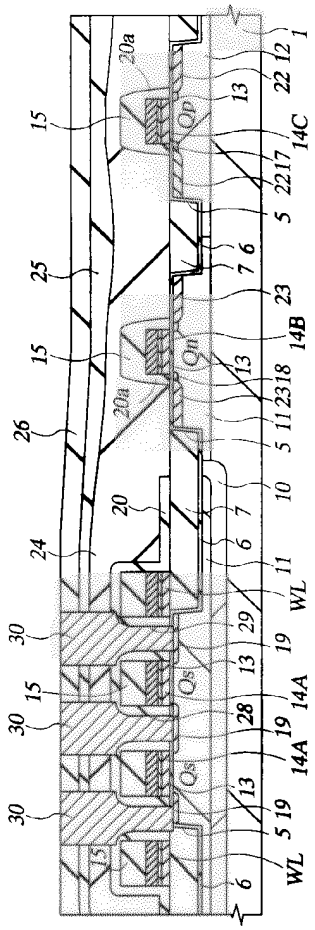
도면19


1
12
22
13
14C
17
22
5
6
7
23
13
14B
18
23
5
11
7
6
WL 10
19
14A
19
14A
13
19
5
WL
6
20a
15
26
27
25
24
20
Qp
Qn
Qs
Qs

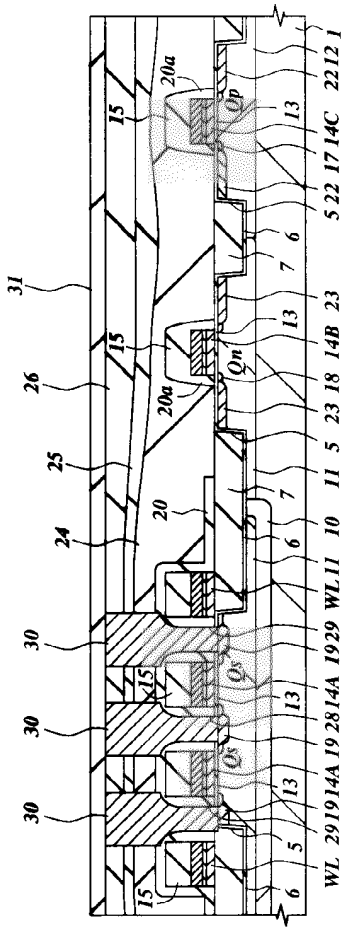
도면20


1
12
22
14C
17
22
5
6
7
23
14B
18
23
5
11
10
11
WL
19
14A
19
14A
19
5
WL
6
13
Qp
Qn
Qs
Qs
20a
20a
15
15
15
15
20
24
25
26
27
27
27
27
28
29
29

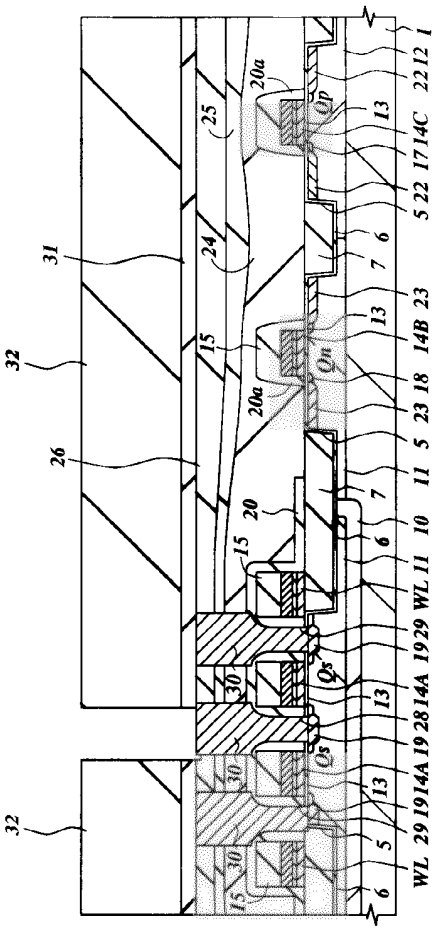
도면21


1
12
22
13
14C
17
22
5
6
7
23
14B
18
23
11
5
10
7
6
11
WL
29
19
13
14A
28
19
14A
13
19
5
WL
6
15
30
30
30
15
24
20
26
15
25
15
20a
20a
Qp
Qn
Qs
Qs

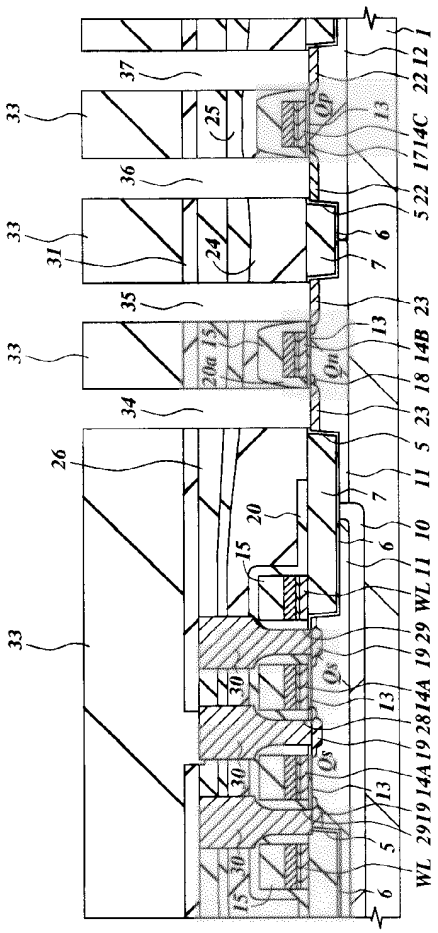
도면22


31
26
25
24
30
30
30
15
20a
20
Qp
Qn
Qs
WL 29 19 14A 19 28 14A 19 29 WL 11 10 11 5 23 18 14B 23 5 22 17 14C 13 22 12 1
13
5
6
7

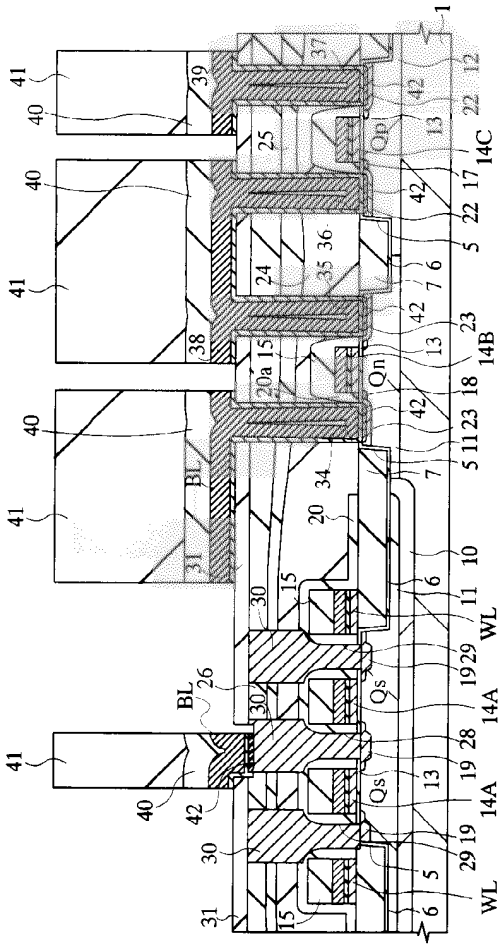
도면23


1
12
22
14C
17
22
5
6
7
23
14B
18
23
5
11
10
11
WL
29
19
14A
28
19
14A
29
WL
6
5
13
13
13
13
13
13
Qp
Qn
Qs
Qs
20a
20a
20
15
15
15
24
25
26
30
30
30
31
32
32

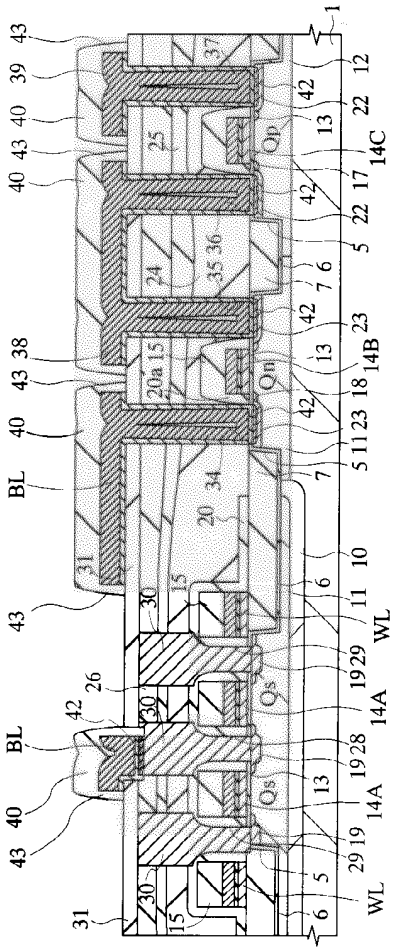
도면24


1
12
22
14C
17
5
22
6
7
23
14B
18
23
5
11
10
WL
11
29
19
14A
28
19
14A
19
29
WL
6
5
13
13
13
13
Qp
Qn
Qs
Qs
20a
15
15
20
15
30
30
30
30
33
33
33
33
33
34
35
31
36
37
24
25
26

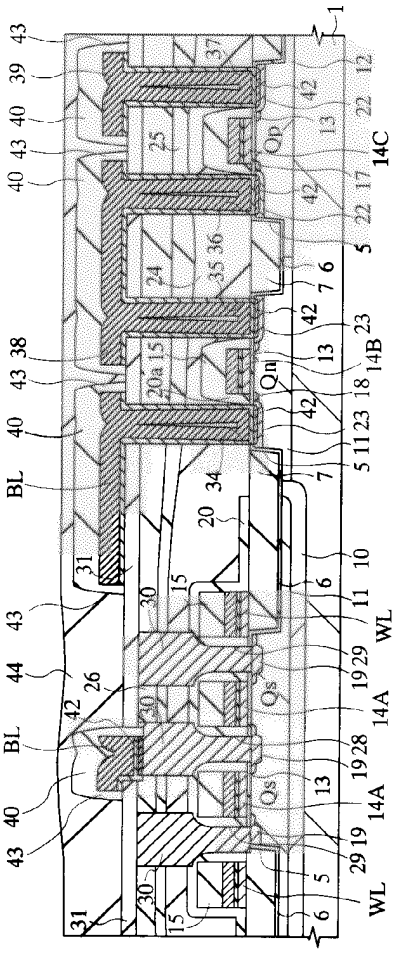
도면25


1
12
22
13
14C
17
42
22
5
6
7
23
14B
18
11
5
7
10
6
11
WL
19
29
14A
28
19
13
14A
19
29
5
6
WL
15
31
30
26
BL
42
40
41
38
39
37
25
24
35
36
20a
15
Qn
Qp
Qs
Qs
34
20
30
15
BL
31
40
41
40
41
40
41

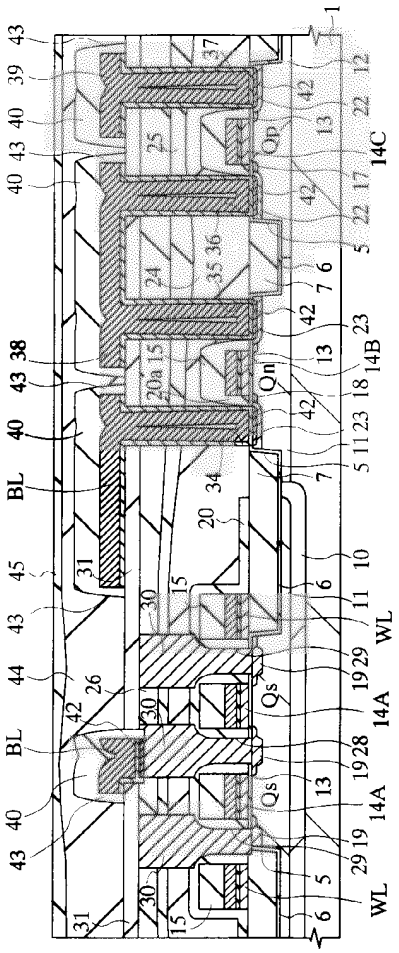
도면26


1
12
22
13
14C
17
22
5
6
7
23
14B
18
23
11
5
7
10
6
11
WL
29
19
14A
28
19
13
14A
19
29
5
6
WL
43
39
40
43
40
38
43
40
BL
43
BL
40
43
31
37
42
25
Qp
24
35
36
20a
15
Qn
34
20
31
30
15
26
42
30
Qs
Qs
30
15
31

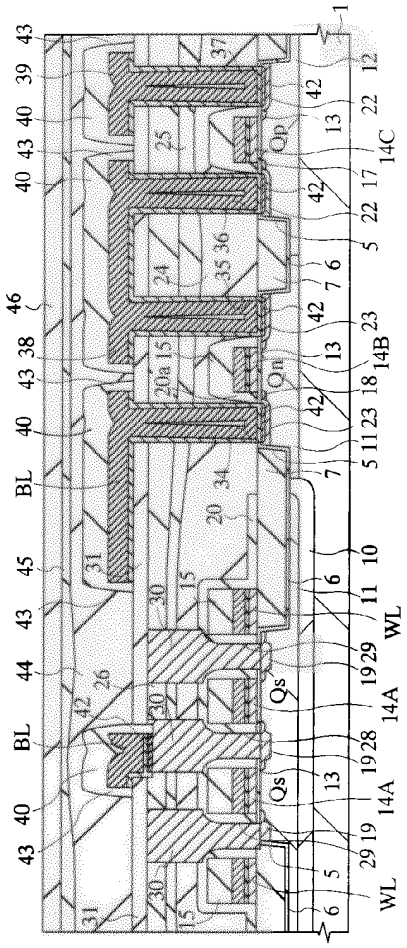
도면27


1
43
39
40
43
40
37
12
42
22
13
25
Qp
14C
17
42
22
5
24
35
36
6
7
42
23
38
43
15
20a
13
14B
Qn
18
42
40
23
11
5
BL
34
7
20
10
31
30
15
6
11
WL
43
44
26
19
29
42
30
Qs
14A
BL
19
28
13
Qs
14A
40
43
19
29
5
30
WL
31
15
6

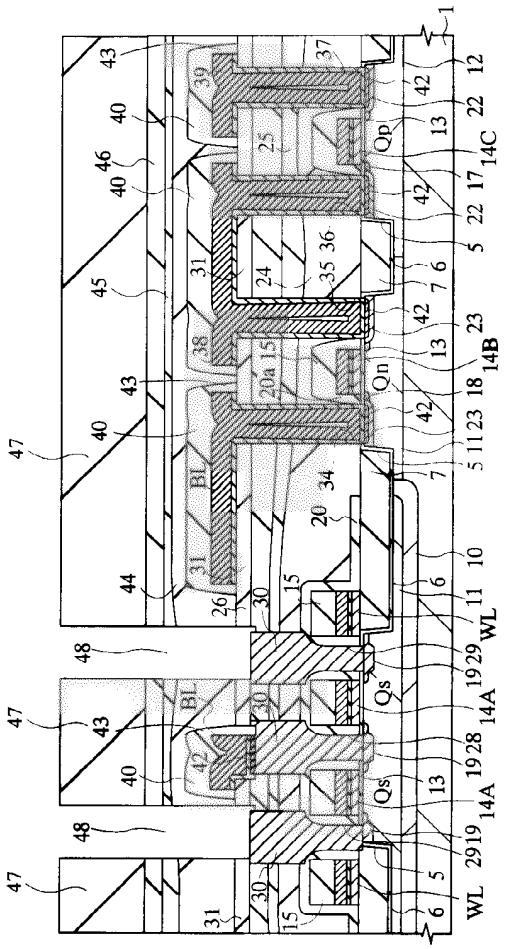
도면28



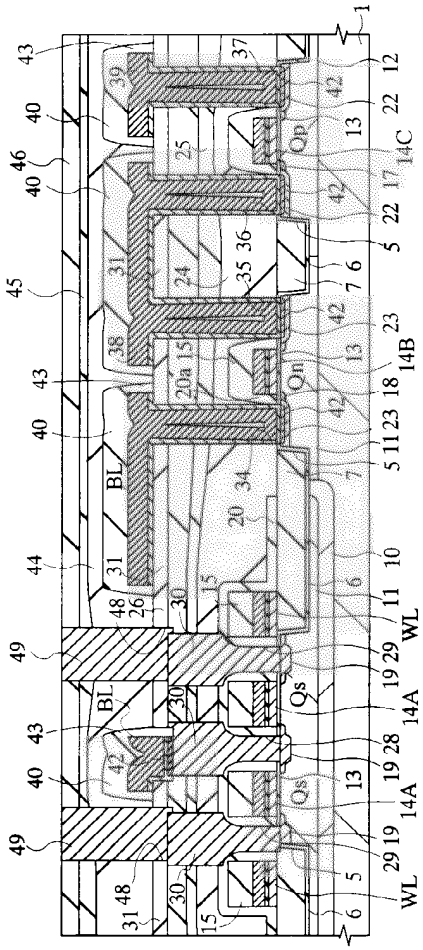
도면29



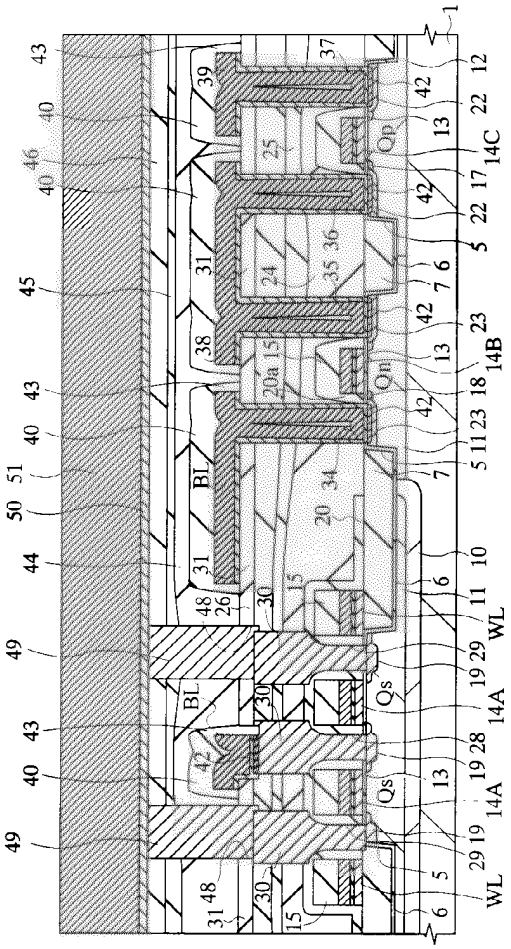
도면30


1
43
40
46
40
45
43
40
47
44
48
47
43
40
48
47
31
39
37
25
24
35
36
38
15
20a
34
20
26
30
15
BL
31
30
15
42
42
42

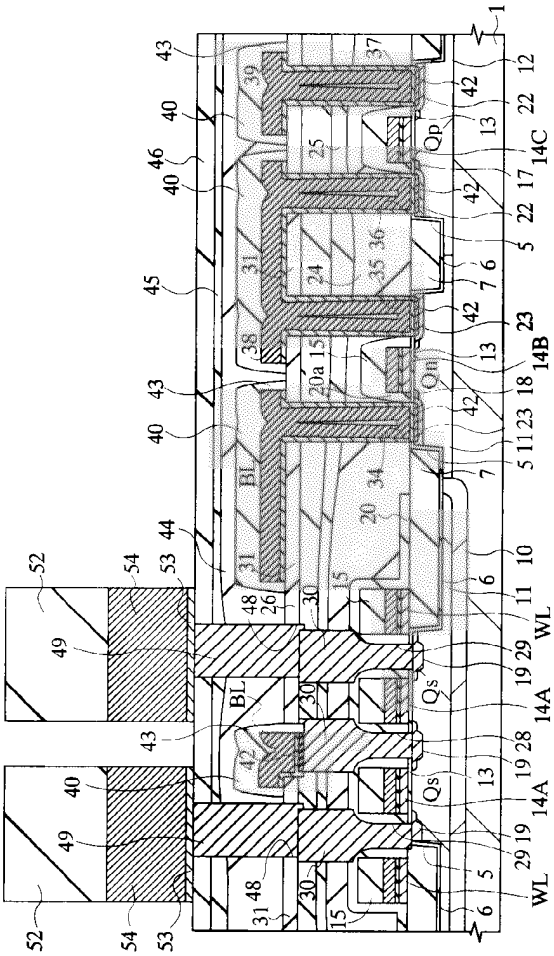
도면31


1
12
22
13
14C
17
22
5
6
7
23
14B
18
23
11
5
10
11
WL
29
19
14A
28
19
13
14A
19
29
5
WL
6
43
40
46
40
45
43
40
44
49
43
40
49
37
39
42
25
Qp
42
36
35
24
31
38
15
20a
Qn
42
13
42
7
34
20
BL
31
48
26
30
15
6
BL
30
Qs
42
Qs
30
48
31
15

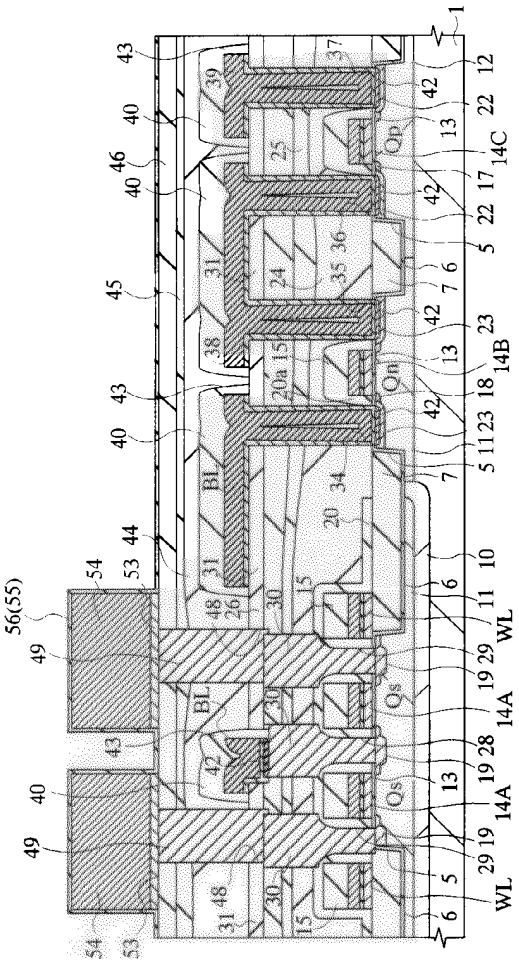
도면32


1
12
22
13
14C
17
22
5
6
7
23
14B
18
23
11
5
7
10
6
11
WL
29
19
14A
28
19
13
14A
29
19
5
6
WL
43
40
46
40
45
43
40
51
50
44
49
43
40
49
37
39
25
Qp
24
35
36
31
38
20a
15
Qn
BL
34
20
31
48
26
30
15
Qs
BL
30
42
Qs
48
31
30
15

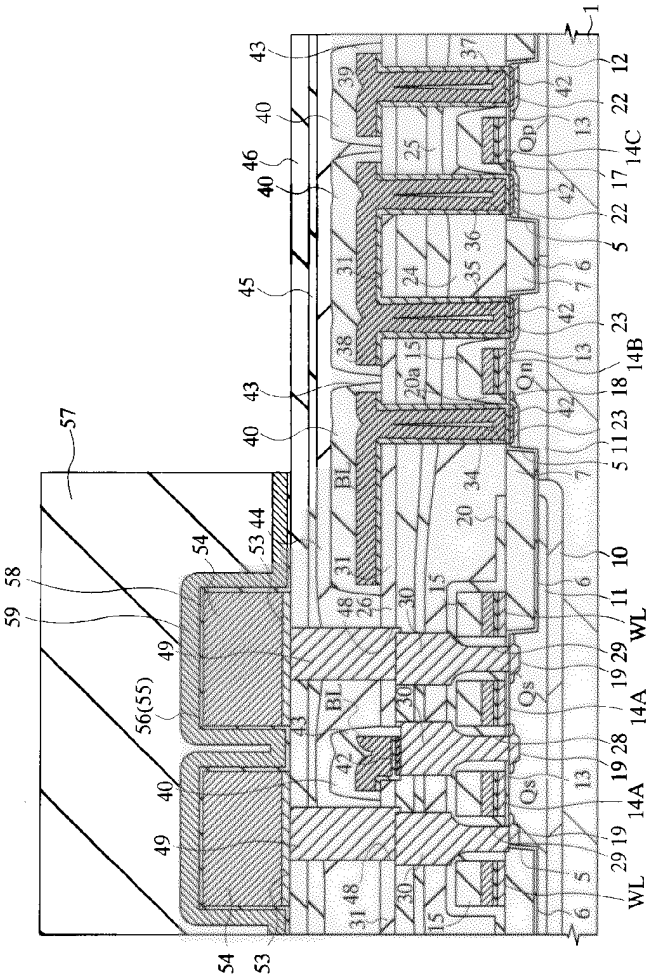
도면33


1
12
22
13
14C
17
22
5
6
7
23
14B
18
23
11
5
7
10
6
11
WL
29
19
14A
28
19
13
14A
19
29
5
6
WL
43
40
46
40
45
43
40
44
52
54
53
49
43
40
49
52
54
53
48
26
30
15
31
BL
42
30
Qs
Qs
Qn
Qp
20a
15
20
34
24
35
36
25
37
39
38
31
48
30
15

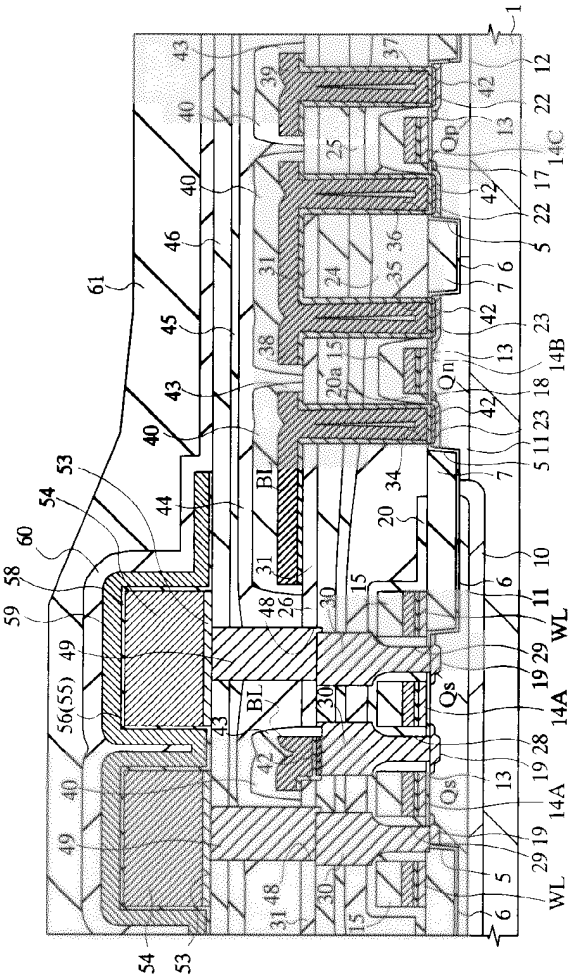
도면34



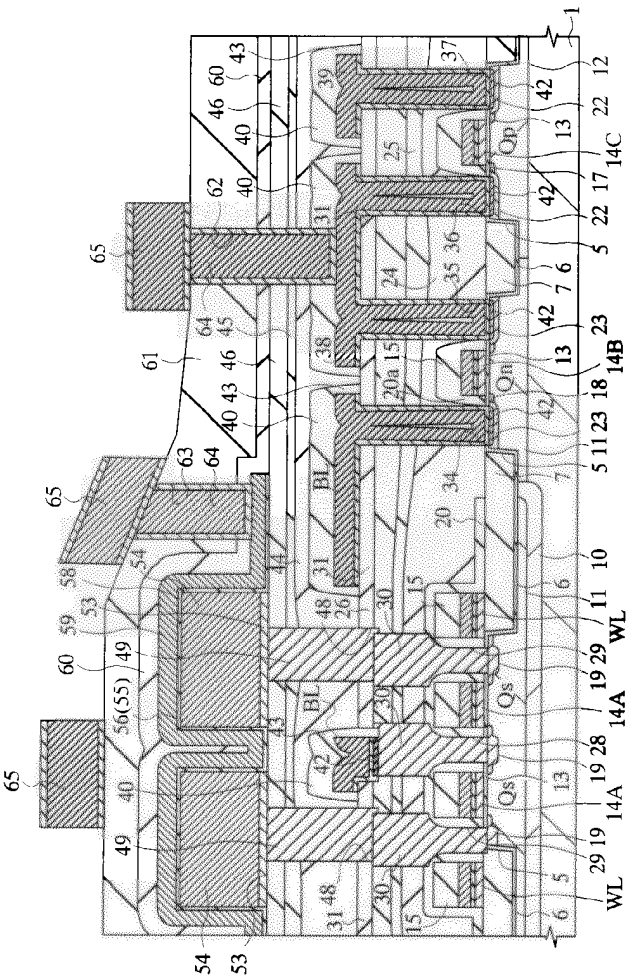
도면35


1
5
6
7
10
11
12
13
14A
14B
14C
15
17
18
19
20
20a
22
23
24
25
26
28
29
30
31
34
35
36
37
38
39
40
42
43
44
45
46
48
49
53
54
56(55)
57
58
59
WL
BL
Qs
Qn
Qp

도면36

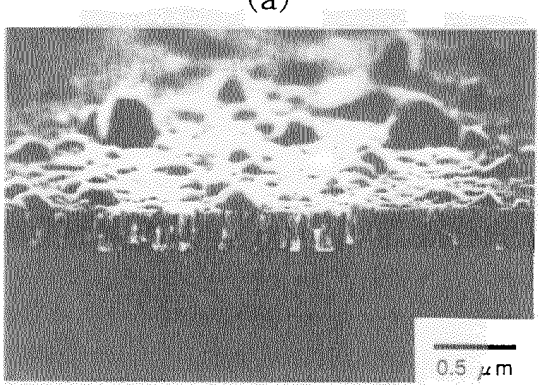

1
12
22
13
14C
17
22
5
6
7
23
14B
18
23
5
11
7
10
6
11
WL
29
19
14A
28
19
13
14A
29
19
5
WL
6
54
53
60
58
59
49
56(55)
40
49
54
53
61
46
45
43
40
44
43
40
39
37
42
25
Qp
24
35
36
31
38
20a
15
Qn
34
20
BL
31
48
26
30
15
BL
30
Qs
42
Qs
31
48
30
15

도면37

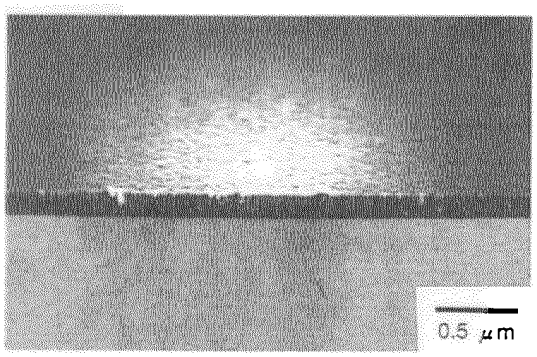

1
12
22
13
14C
17
22
5
6
7
23
14B
18
23
11
5
7
10
11
WL
29
19
14A
28
19
14A
19
29
WL
6
5
6
15
30
31
48
26
44
31
BL
43
42
40
49
54
53
65
60
59
53
58
54
63
64
61
64
45
46
40
43
40
62
65
60
46
40
43
39
37
25
Qp
24
35
36
38
15
20a
Qn
34
20
Qs
Qs
13
42
56(55)
49
60
65

도면38

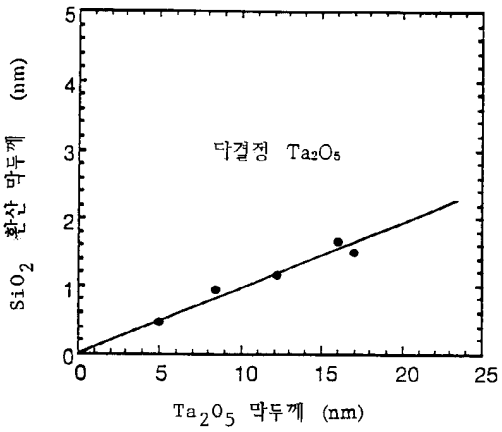
(a)


0.5 μm

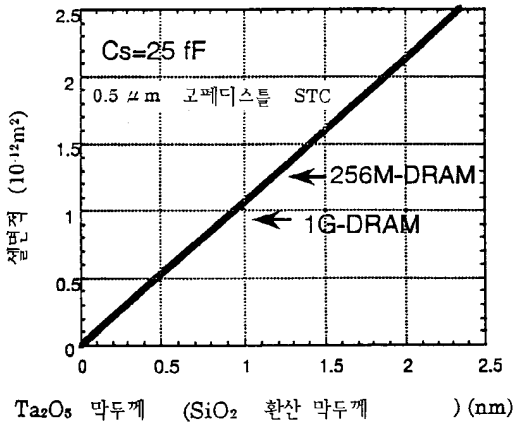
(b)


0.5 μm

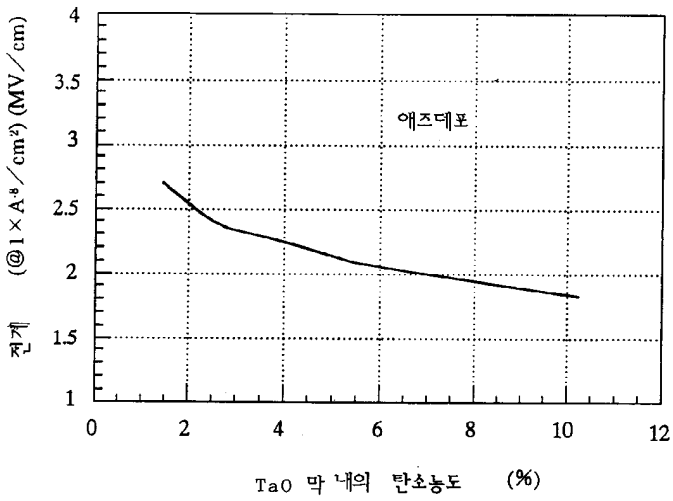
도면39


다결정 Ta2O5
SiO2 환산 막두께 (nm)
Ta2O5 막두께 (nm)
0
1
2
3
4
5
0
5
10
15
20
25

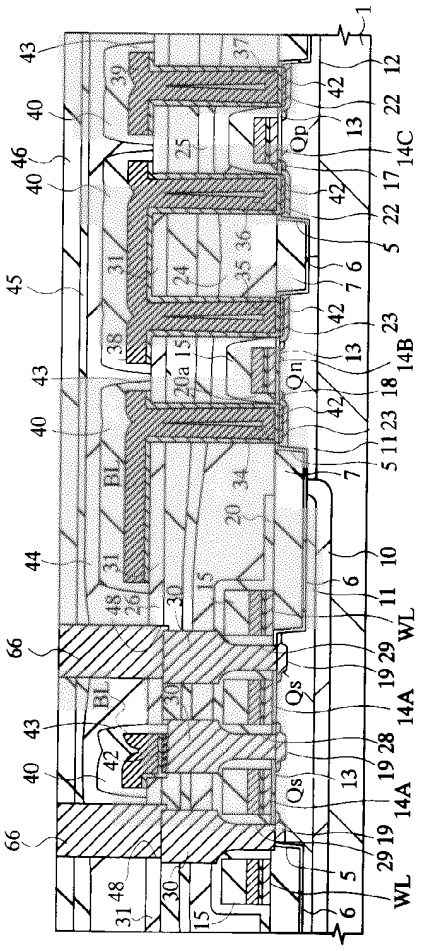
도면40


Cs=25 fF
0.5 μm 고페디스틀 STC
256M-DRAM
1G-DRAM
셀면적 ($10^{-12}m^2$)
2.5
2
1.5
1
0.5
0
0
0.5
1
1.5
2
2.5
Ta_2O_5 막두께 (SiO_2 환산 막두께) (nm)

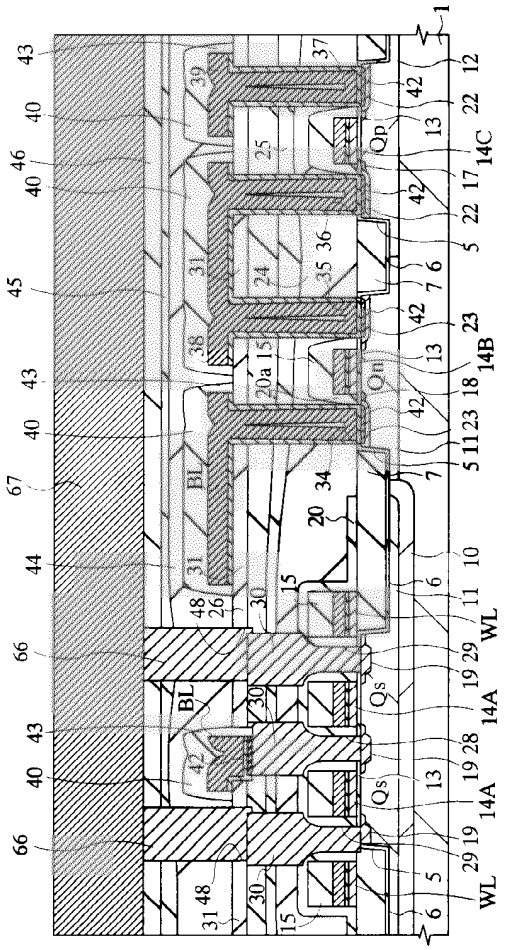
도면41


애즈데포
전계 (@1×A⁻⁸/cm²) (MV/cm)
4
3.5
3
2.5
2
1.5
1
0
2
4
6
8
10
12
TaO 막 내의 탄소농도 (%)

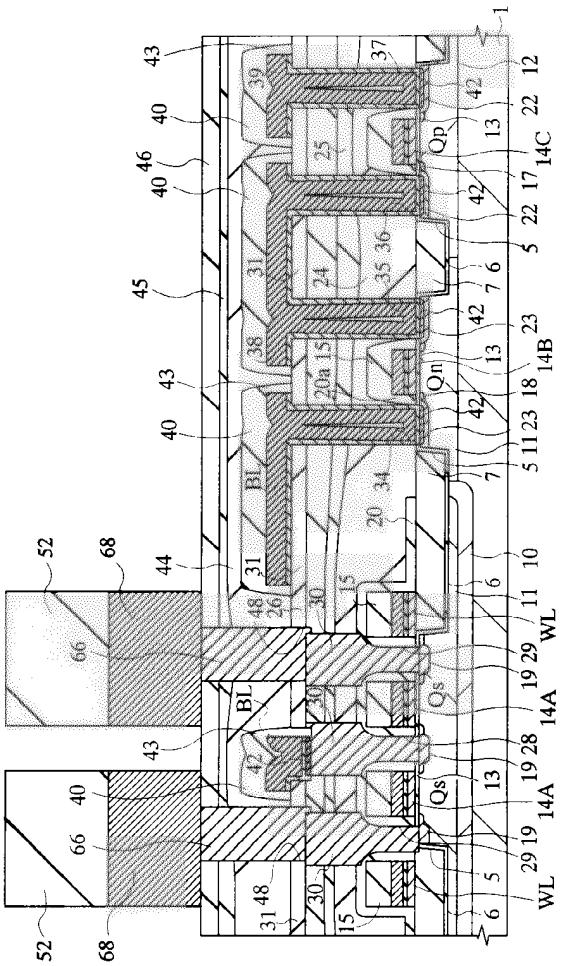
도면42



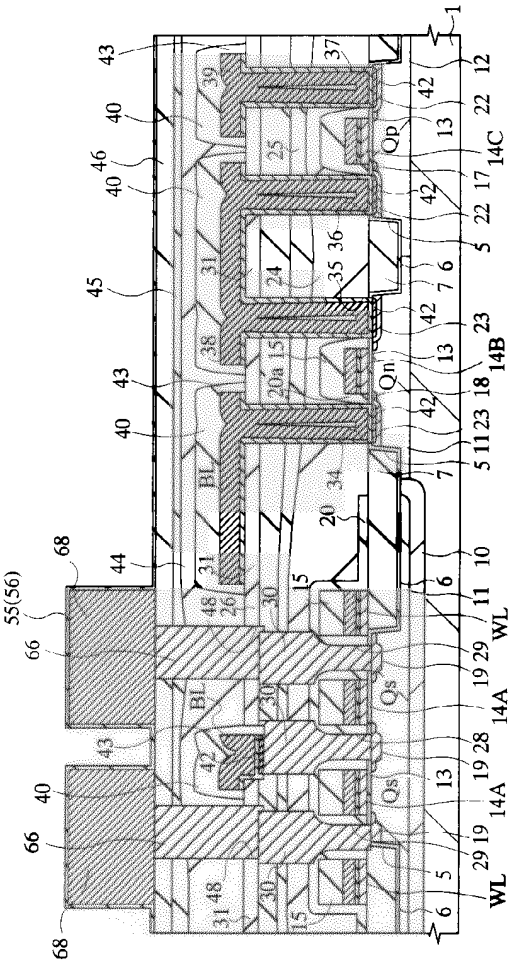
도면43


1
12
22
13
14C
17
22
5
6
7
23
14B
18
23
11
5
7
10
6
11
WL
29
19
14A
28
19
13
14A
19
29
5
6
WL
43
40
46
40
45
43
40
67
44
66
43
40
66
37
39
25
24
35
36
31
38
20a
15
Qp
Qn
BL
34
20
15
30
48
26
BL
30
Qs
Qs
42
31
48
30
15

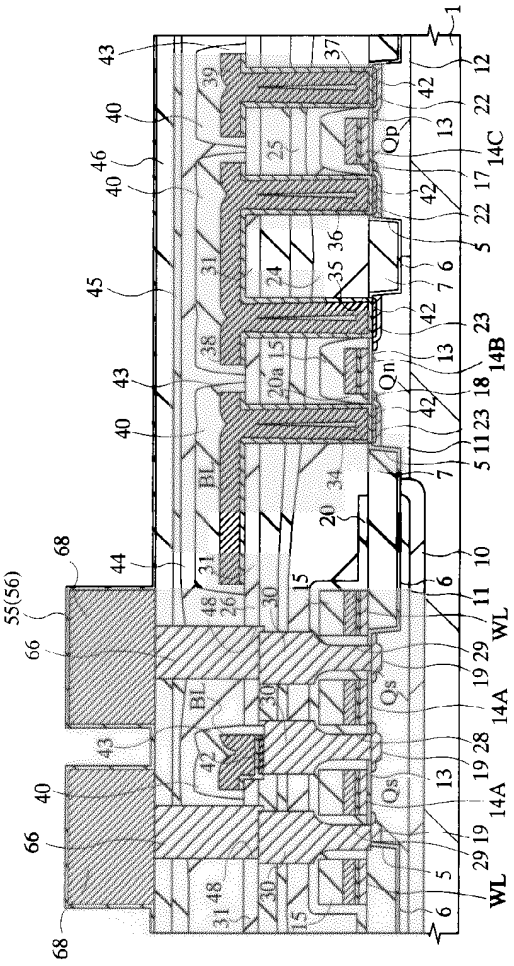
도면44


1
12
22
13
14C
17
22
5
6
7
23
14B
18
23
11
5
7
10
6
11
WL
29
19
14A
28
19
13
14A
19
29
5
6
WL
43
40
46
40
45
43
40
44
52
68
66
BL
BL
Qp
Qn
Qs
Qs
37
39
25
24
35
36
31
38
15
20a
34
20
31
48
26
30
15
42
42
42
42
42
42
30
30
31
48
15
66
68
52

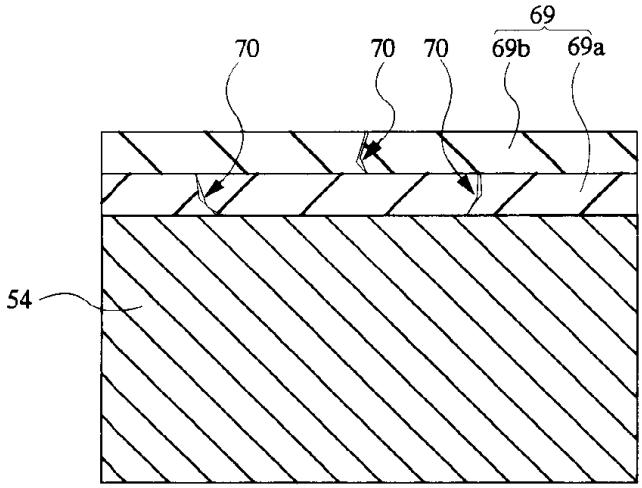
도면45


1
12
22
13
14C
17
5
6
7
23
14B
18
11
10
WL
29
19
14A
28
Qp
Qn
Qs
BL
20
20a
15
24
25
26
30
31
34
35
36
37
38
39
40
42
43
44
45
46
48
55(56)
66
68

도면46


1
12
22
13
14C
17
22
5
6
7
23
14B
18
23
11
5
7
10
6
11
WL
29
19
14A
28
19
13
14A
19
29
5
6
WL
43
40
46
40
45
43
40
44
68
55(56)
66
43
40
66
68
37
39
42
Qp
25
36
35
24
31
38
15
20a
Qn
BL
34
20
31
48
26
30
15
Qs
BL
30
42
Qs
48
31
30
15

도면47


69
70
70
70
69b
69a
54