



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I664712 B

(45)公告日：中華民國 108 (2019) 年 07 月 01 日

(21)申請案號：105136941

(22)申請日：中華民國 99 (2010) 年 10 月 19 日

(51)Int. Cl. : **H01L27/092 (2006.01)**

(30)優先權：2009/10/21 日本

2009-242689

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；小山潤 KOYAMA, JUN (JP)；今井馨太
郎 IMAI, KEITARO (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 2002-368226A

US 5112765

US 2007/0072439A1

US 2009/0078939A1

審查人員：邱青松

申請專利範圍項數：14 項 圖式數：11 共 73 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

本發明之目的為提供具有新結構的半導體裝置。所揭示的是包含第一電晶體和第二電晶體的半導體裝置，該第一電晶體包含在含有半導體材料基板上的通道形成區、將該通道形成區夾雜於其間所形成的雜質區、在該通道形成區之上的第一閘極絕緣層、在該第一閘極絕緣層之上的第一閘極電極、及電連接至該雜質區的第一源極電極和第一汲極電極；該第二電晶體包含在該含有半導體材料基板上的第二閘極電極、在該第二閘極電極之上的第二閘極絕緣層、在該第二閘極絕緣層之上的氧化物半導體層、及電連接至該氧化物半導體層的第二源極電極和第二汲極電極。

An object of the present invention is to provide a semiconductor device with a new structure. Disclosed is a semiconductor device including a first transistor which includes a channel formation region on a substrate containing a semiconductor material, impurity regions formed with the channel formation region interposed therebetween, a first gate insulating layer over the channel formation region, a first gate electrode over the first gate insulating layer, and a first source electrode and a first drain electrode which are electrically connected to the impurity region; and a second transistor which includes a second gate electrode over the substrate containing a semiconductor material, a second gate insulating layer over the second gate electrode, an oxide semiconductor layer over the second gate insulating layer, and a second source electrode and a second drain electrode which are electrically connected to the oxide semiconductor layer.

指定代表圖：

154a . . . 電極

- 154b . . . 電極
- 154c . . . 電極
- 160 . . . p 型電晶體
- 162 . . . n 型電晶體

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

本發明之技術領域關於半導體裝置及半導體裝置之製造方法。應注意的是，此處半導體裝置指的是利用半導體特性運作的一般元件和裝置。

【先前技術】

金屬氧化物種類繁多，且金屬氧化物有各種應用。氧化銦是已知的材料，且被用於液晶顯示裝置等中所需的透明電極。

某些金屬氧化物具有半導體特性。具有半導體特性之金屬氧化物的範例有：氧化鎢、氧化錫、氧化銦、氧化鋅等。具有由任何此種金屬氧化物所製成之通道形成區的薄膜電晶體已被描述（例如，參見專利文獻 1 至 4 及非專利文獻 1 等）。

順帶一提，不只單一成分氧化物，多成分氧化物亦被稱為金屬氧化物。例如，同系化合物 $\text{InGaO}_3(\text{ZnO})_m$ （ m 為自然數）為已知的包含 In、Ga 及 Zn 的多成分氧化物（例如，參見非專利文獻 2 至 4 等）。

具有此種 In-Ga-Zn 基氧化物的氧化物半導體亦已知適用於薄膜電晶體的通道形成層（例如，參見專利文獻 5、非專利文獻 5 及 6 等）。

[參考文獻]

[專利文獻]

[專利文獻 1] 日本公開專利申請案號第 S60-198861 號

[專利文獻 2] 日本公開專利申請案號第 H8-264794 號

[專利文獻 3] PCT 國際申請案第 H11-505377 號之日文翻譯

[專利文獻 4] 日本公開專利申請案號第 2000-150900 號

[專利文獻 5] 日本公開專利申請案號第 2004-103957 號

[非專利文獻 1] M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor", Appl. Phys. Lett., 17 June 1996, Vol. 68, p. 3650-3652

[非專利文獻 2] M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the In_2O_3 - Ga_2ZnO_4 -ZnO System at 1350°C", J. Solid State Chem., 1991, Vol. 93, p. 298-315

[非專利文獻 3] Kimizuka, M. Isobe, and M.

Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m = 7, 8, 9$, and 16) in the In_2O_3 - ZnGa_2O_4 - ZnO System", J. Solid State Chem., 1995, Vol. 116, p. 170-178

[非專利文獻 4] M. Nakamura, N. Kimizuka, T. Mohri, and M. Isobe, "Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides ($\text{InFeO}_3(\text{ZnO})_m$) (m :natural number) and related compounds", KOTAI BUTSURI (SOLID STATE PHYSICS), 1993, Vol. 28, No. 5, p. 317-327

[非專利文獻 5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", SCIENCE, 2003, Vol. 300, p. 1269-1272

[非專利文獻 6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", NATURE, 2004, Vol. 432 p. 488-492

【發明內容】

場效電晶體，其為半導體裝置的典型範例，通常使用

例如矽的材料來形成。然而，使用矽等的半導體裝置並不具有適當的開關特性；例如，問題為，在 CMOS 反相器電路的製造情況中，半導體裝置因為顯著高的流過電流而損壞，且因為顯著高的流過電流而使電力消耗增加。

此外，使用矽等的半導體裝置的關閉狀態電流（亦稱為漏電流）並未低至實質零。因此，不論半導體裝置的預期行為，產生輕微電流的流動，且因此在電荷保留半導體裝置，例如記憶體或液晶顯示，的製造情形中，很難確保電荷保留的適當周期。另一個問題為，電力消耗因為關閉狀態電流而增加。

有鑑於此，本發明之一實施例的目的為提供具有新結構的半導體裝置；其可解決上述問題。

本發明之一實施例為半導體裝置，其具有使用氧化物半導體的電晶體及使用氧化物半導體之外的材料的電晶體的堆疊。例如，半導體裝置可採用下列結構。

本發明之一實施例為包含第一電晶體和第二電晶體的半導體裝置，該第一電晶體包含在含有半導體材料基板中的通道形成區、將該通道形成區夾雜於其間所形成的雜質區、在該通道形成區之上的第一閘極絕緣層、在該第一閘極絕緣層之上的第一閘極電極、及電連接至該雜質區的第一源極電極和第一汲極電極；該第二電晶體包含在該含有半導體材料基板上的第二閘極電極、在該第二閘極電極之上的第二閘極絕緣層、在該第二閘極絕緣層之上的氧化物半導體層、及電連接至該氧化物半導體層的第二源極電極

和第二汲極電極。

較佳為，在上述結構中，第一閘極電極和第二閘極電極彼此電連接，且第一源極電極或第一汲極電極之其中一者電連接至第二源極電極或第二汲極電極之其中一者。此外，較佳為，第一電晶體為 p 型電晶體（p 通道電晶體），第二電晶體為 n 型電晶體（n 通道電晶體）。

或者，在上述結構中，第一閘極電極電連接至第二源極電極或第二汲極電極。

較佳為，在上述結構中，包含半導體材料的基板為單晶半導體基板或 SOI 基板。特別是，半導體材料較佳為矽。

較佳為，在上述結構中，氧化物半導體層包含 In-Ga-Zn-O 基氧化物半導體材料。特別是，氧化物半導體層較佳包含 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 晶體。此外，較佳為，氧化物半導體層的氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 或更少。此外，較佳為，第二電晶體的關閉狀態電流為 $1 \times 10^{-13} \text{ A}$ 或更少。

在上述結構中，第二電晶體可被設置於與第一電晶體重疊的區域中。

應注意第一源極電極或第一汲極電極可使用與第二源極電極或第二汲極電極相同的導電層來形成。換句話說，第二源極電極或第二汲極電極可部分作用如同第一源極電極或第一汲極電極，第一源極電極或第一汲極電極可部分作用如同第二源極電極或第二汲極電極。

應注意在此說明書中，於描述元件之間的具體關係

時，「之上」及「之下」的詞並不一定表示「正上方」及「正下方」。例如，「第一閘極電極在閘極絕緣層之上」的描述可對應於在閘極絕緣層和第一閘極電極之間有額外元件的情形。「之上」及「之下」的詞僅用於方便描述且可互換，除非另有規定。

在此說明書中，「電極」或「佈線」的詞並不限於元件的功用。例如，可使用「電極」作為部分的「佈線」，且可使用「佈線」作為部分的「電極」。此外，「電極」或「佈線」的詞亦可表示例如複數的「電極」和「佈線」的組合。

通常，「SOI 基板」的詞表示具有矽半導體層於絕緣表面之上的基板。在此說明書中，「SOI 基板」的詞亦表示具有使用矽以外的材料的半導體層於絕緣表面之上的基板。換句話說，包含於「SOI 基板」中的半導體層並不侷限於矽半導體層。此外，「SOI 基板」中的基板並不侷限於例如矽晶圓的半導體基板，且可以是非半導體基板，例如玻璃基板、石英基板、藍寶石基板和金屬基板。換句話說，「SOI 基板」亦包含具有絕緣表面的導電基板或具有半導體材料層於絕緣基板之上的基板。此外，在此說明書等中，「半導體基板」表示僅有半導體材料的基板，亦表示包含半導體材料之材料的傳統基板。換句話說，在此說明書中，「SOI 基板」亦包含於半導體基板的廣泛類別中。

本發明之一實施例提供半導體裝置，其包含使用氧化

物半導體之外的材料的電晶體 在其下部，使用氧化物半導體的電晶體在其上部。

使用氧化物半導體之外的材料的電晶體和使用氧化物半導體的電晶體的組合，允許需要不同於使用氧化物半導體的電晶體的電特性之電特性的半導體裝置的製造（例如，載體特性的差異，其對元素行為具有影響）。

此外，使用氧化物半導體的電晶體具有好的開關特性，使得可利用此特性製造優良的半導體裝置。例如，CMOS 反相器電路可降低流過電流至足夠的程度，藉此減少半導體裝置的電力消耗，及防止因為大電流造成的半導體裝置的損害。此外，使用氧化物半導體的電晶體具有極低的關閉狀態電流，且因此使用此電晶體可降低半導體裝置的電力消耗。

【圖式簡單說明】

圖 1A 為顯示半導體裝置的橫截面圖，圖 1B 為其平面圖。

圖 2 為顯示半導體裝置的電路圖。

圖 3A 為顯示半導體裝置的橫截面圖，圖 3B 為其平面圖。

圖 4A 至 4H 為顯示半導體裝置之製造方法的橫截面圖。

圖 5A 至 5G 為顯示半導體裝置之製造方法的橫截面圖。

圖 6A 至 6D 為顯示半導體裝置之製造方法的橫截面圖。

圖 7A 為顯示半導體裝置的橫截面圖，圖 7B 為其平面圖。

圖 8 為顯示顯示半導體裝置的電路圖。

圖 9A 為顯示半導體裝置的橫截面圖，圖 9B 為其平面圖。

圖 10 顯示半導體裝置的電路圖。

圖 11A 至 11F 為說明使用半導體裝置之電子機器的圖示。

【實施方式】

下文中，將參照圖示說明本發明之實施例。應注意的是本發明並不侷限於以下的說明，且熟習此技藝者將可輕易瞭解各式改變及修改可在沒有偏離本發明的精神及範圍下被實施。因此，本發明不應受限於下面的實施例之描述。

應注意在某些例子中，為了便於理解，圖示中之各元件的位置、大小、範圍並非實際的位置、大小、範圍。

應注意在此說明書中，為了避免元件間的混淆，使用例如「第一」、「第二」和「第三」之序數詞，該等詞並不使用數字表示地限制該等元件。

（實施例 1）

在此實施例中，將參照圖 1A 及 1B、圖 2、圖 3A 及 3B、圖 4A 至 4H、圖 5A 至 5G、和圖 6A 至 6D，說明依據本發明之一實施例的半導體裝置的結構及製造方法。

< 半導體裝置的結構 >

圖 1A 顯示依據此實施例之半導體裝置的橫截面圖。圖 1B 顯示依據此實施例之半導體裝置的平面圖。此處，圖 1A 對應於圖 1B 中所示之 A1-A2 區及 D1-D2 區。圖 1A 及 1B 中所示之半導體裝置包含 p 型電晶體 160 在其下部及使用氧化物半導體的 n 型電晶體 162 在其上部。

p 型電晶體 160 包括通道形成區 116 在包含半導體材料的基板 100 中；雜質區 114 及重摻雜區 120，雜質區 114 及重摻雜區 120 的組合可單純被稱為雜質區，在雜質區之間夾雜通道形成區 116；閘極絕緣層 108a 在通道形成區 116 之上；閘極電極 110a 在閘極絕緣層 108a 之上；源極或汲極電極 130a 電連接至在通道形成區 116 之一側上的第一雜質區 114；源極或汲極電極 130b 電連接至在通道形成區 116 之另一側上的第二雜質區 114。

此處，側壁絕緣層 118 形成於閘極電極 110a 側之上。此外，當由上看時，至少部分之側壁絕緣層 118 被包含於形成在基板 100 之區域中的重摻雜區 120 之間，且金屬化合物區 124 存在於重摻雜區 120 之上。此外，形成元件絕緣絕緣層 106 於基板 100 之上以圍繞 p 型電晶體 160，且形成層間絕緣層 126 和層間絕緣層 128 以覆蓋 p

型電晶體 160。經由層間絕緣層 126 和層間絕緣層 128 中的開孔，源極或汲極電極 130a 電連接至在通道形成區 116 之一側上的第一金屬化合物區 124，源極或汲極電極 130b 電連接至在通道形成區 116 之另一側上的第二金屬化合物區 124。換句話說，源極或汲極電極 130a 經由在通道形成區 116 之一側上的第一金屬化合物區 124，電連接至在通道形成區 116 之一側上的第一重摻雜區 120 及第一雜質區 114，源極或汲極電極 130b 經由在通道形成區 116 之另一側上的第二金屬化合物區 124 電連接至在通道形成區 116 之另一側上的第二重摻雜區 120 及第二雜質區 114。

n 型電晶體 162 包括在層間絕緣層 128 之上的閘極電極 136c；在閘極電極 136c 之上的閘極絕緣層 138；在閘極絕緣層 138 之上的氧化物半導體層 140；及在氧化物半導體層 140 之上且電連接至氧化物半導體層 140 的源極或汲極電極 142a 及源極或汲極電極 142b。

此處，形成 n 型電晶體 162 之閘極電極 136c，以被嵌入於在層間絕緣層 128 之上的絕緣層 132 中。此外，與閘極電極 136c 之情況相同，形成電極 136a 及電極 136b，以位於 p 型電晶體 160 之源極及汲極電極 130a 及 130b 上。

形成保護絕緣層 144 於 n 型電晶體 162 之上，以與氧化物半導體層 140 之部分接觸。形成層間絕緣層 146 於保護絕緣層 144 之上。此處，保護絕緣層 144 及層間絕緣層

146 設置有到達源極或汲極電極 142a 及源極或汲極電極 142b 的開孔。電極 150c 及電極 150d 之各者經由開孔與源極或汲極電極 142a 及源極或汲極電極 142b 之其中一者接觸。與電極 150c 及電極 150d 之情況相同，形成電極 150a 及電極 150b，經由閘極絕緣層 138、保護絕緣層 144 和層間絕緣層 146 中的開孔，分別與電極 136a 及電極 136b 接觸。

氧化物半導體層 140 較佳具有高純度，藉由適當地去除例如氫的雜質而製成。具體地，氧化物半導體層 140 的氫濃度係 5×10^{19} atoms/cm³ 或更低。較佳地，氧化物半導體層 140 的氫濃度係 5×10^{18} atoms/cm³ 或更低，且更佳地係 5×10^{17} atoms/cm³ 或更低。藉由使用以適當的降低氫濃度製成之具有高純度的氧化物半導體層 140，n 型電晶體 162 可具有優良的關閉狀態電流特性。例如，當汲極電壓 V_d 為 +1 或 +10 V 且閘極電壓 V_g 在 -20 至 -5 V 的範圍之間，關閉狀態電流係 1×10^{-13} A 或更少。因此，藉由使用以適當的降低氫濃度製成之具有高純度的氧化物半導體層 140，n 型電晶體 162 的關閉狀態電流被降低，藉此導致半導體裝置具有優良的特性。應注意上述氧化物半導體層的氫濃度係由 SIMS（二次離子質譜儀）所測量。

形成絕緣層 152 於層間絕緣層 146 之上。形成電極 154a、電極 154b 及電極 154c 已被嵌入於絕緣層 152 之中。此處，電極 154a 與電極 150a 接觸，電極 154b 與電極 150b 及 150c 接觸，以及電極 154c 與電極 150d 接觸。

換句話說，在圖 1A 及 1B 中所示之半導體裝置中，p 型電晶體 160 之源極或汲極電極 130b 經由電極 136b、電極 150b、電極 154b 及電極 150c，電連接至 n 型電晶體 162 之源極或汲極電極 142a。

此外，p 型電晶體 160 之閘極電極 110a 經由置於層間絕緣層 126 及層間絕緣層 128 中的電極，電連接至 n 型電晶體 162 之閘極電極 136c。

應注意 p 型電晶體 160 之源極或汲極電極 130a，經由電極 154a、電極 150a 和電極 136a，電連接至電源供應線以供應第一電位。n 型電晶體 162 之源極或汲極電極 142b，經由電極 154c 和電極 150d，電連接至電源供應線以供應第二電位。

圖 2 顯示 CMOS 反相器電路的等效電路，該 CMOS 反相器電路中 p 型電晶體 160 以互補的方式連接到 n 型電晶體 162。圖 2 顯示描繪於圖 1A 和 1B 中的半導體裝置的範例，該半導體裝置中，施加正電位 VDD 至電極 154a，且施加接地電位 GND 至電極 154c。應注意接地電位 GND 亦可被稱為負電位 VDL。

接著，將參考圖 3A 和 3B 說明具有與上述半導體裝置之基板相同的基板之半導體裝置，該半導體裝置中僅單獨使用 n 型電晶體或 p 型電晶體。圖 3A 顯示在下部中的 p 型電晶體 164 之橫截面圖，和在上部中使用氧化物半導體的 n 型電晶體 166。圖 3B 顯示相同的平面圖。應注意圖 3A 係顯示圖 3B 中的 B1-B2 區域和 C1-C2 區域的橫截

面圖。在圖 3A 和 3B 中，與圖 1A 和 1B 中相同之元件以相同於圖 1A 和 1B 中的標號來標號。

首先，將說明 p 型電晶體 164 之結構和電連接。p 型電晶體 164 的源極或汲極電極 130c 及源極或汲極電極 130d 分別電連接至電極 136d 及電極 136e，電極 136d 及電極 136e 被形成以將它們嵌入絕緣層 132 之中。電極 136d 及電極 136e 分別電連接至電極 150e 及電極 150f，電極 150e 及電極 150f 被形成以嵌入於閘極絕緣層 138、保護絕緣層 144 和層間絕緣層 146 之中。電極 150e 及電極 150f 分別電連接至電極 154d 及電極 154e，電極 154d 及電極 154e 被形成以嵌入於絕緣層 152 之中。因此，p 型電晶體 164 的源極或汲極電極 130c，經由電極 136d、電極 150e 和電極 154d，電連接至供應第一電位的電源供應線，且源極或汲極電極 130d 經由電極 136e、電極 150f 和電極 154e 電連接至供應第二電位的電源供應線。因此，p 型電晶體 164 可被單獨使用。

接著，將說明 n 型電晶體 166 之結構和電連接。形成閘極絕緣層 108b 於元件絕緣絕緣層 106 之上。設置閘極佈線 110b 於閘極絕緣層 108b 之上。閘極佈線 110b 電連接至電極 130e，電極 130e 被形成以嵌入於層間絕緣層 126 和層間絕緣層 128 之中。電極 130e 電連接至閘極電極 136f，閘極電極 136f 被形成以嵌入於絕緣層 132 之中。因此，n 型電晶體 166 的閘極電極 136f 經由電極 130e 電連接至閘極佈線 110b，使得 n 型電晶體 166 可被

單獨使用。

< 半導體裝置之製造方法 >

接著，將描述上述半導體裝置之製造方法的範例。首先，將描述在下部之 p 型電晶體的製造方法，然後描述在上部之 n 型電晶體的製造方法。

< P 型電晶體之製造方法 >

首先，準備包含半導體材料的基板 100（見圖 4A）。可使用矽、碳矽等的單晶半導體基板；微晶半導體基板；矽鍺等的化合物半導體基板；SOI 基板等，作為包含半導體材料的基板 100。此處，說明使用單晶矽基板作為包含半導體材料的基板 100 之情況的範例。應注意，通常，"SOI 基板"意指具有矽半導體層在其絕緣表面上之半導體基板。在本說明書中，"SOI 基板"亦指具有使用矽以外之材料的半導體層在其絕緣表面上之基板。換句話說，包含於"SOI 基板"中的半導體層並不局限於矽半導體層。SOI 基板之範例包含絕緣基板，例如具有半導體層在其表面上之玻璃，具有絕緣層於半導體層及絕緣基板之間。

形成作為遮罩用以形成絕緣元件絕緣層之保護層 102 於基板 100 之上（見圖 4A）。例如，可使用氧化矽、氮化矽、氮氧化矽等的絕緣層作為保護層 102。應注意在此步驟之前和之後，可添加供給 n 型導電性的雜質元素或供給 p 型導電性的雜質元素至基板 100，以控制電晶體的臨

界電壓。在使用矽作為半導體的情況中，可使用磷、砷等作為供給 n 型導電性的雜質。另一方面，可使用硼、鋁、鎵等作為供給 p 型導電性的雜質。

接著，使用保護層 102 來蝕刻基板 100 之未被保護層 102 覆蓋的區域（暴露區）作為遮罩。因此，形成絕緣半導體區 104（見圖 4B）。雖然較佳採用乾蝕刻作為蝕刻，亦可採用濕蝕刻作為蝕刻。可依據待被蝕刻之層的材質來選擇蝕刻氣體和蝕刻劑。

接著，形成絕緣層以覆蓋半導體區 104，且選擇性地蝕刻覆蓋半導體區 104 的絕緣層區域，形成元件絕緣絕緣層 106（見圖 4B）。使用氧化矽、氮化矽、氮氧化矽等形成絕緣層。移除半導體區 104 之上的絕緣層的方法包括蝕刻、拋光，例如 CMP 等，且任一方法係可實施的。應注意在形成半導體區 104 之後，或在形成元件絕緣絕緣層 106 之後，移除保護層 102。

接著，形成絕緣層於半導體區 104 之上，以及形成包含導電物質之層於該絕緣層之上。

建議將成為閘極絕緣層的絕緣層具有單層結構或膜的層狀結構，包含氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、氧化鋇等，由 CVD、濺鍍等所獲得。或者，可藉由高密度電漿處理或熱氧化處理，氧化或氮化半導體區 104 之表面來形成絕緣層。例如，可使用例如 He、Ar、Kr 或 Xe 的稀有氣體以及氧、氧化氮、氮、氮、氫的混合氣體來實施高密度電漿處理。絕緣層的厚度並無特別限

制；例如，絕緣層的厚度可在 1 至 100 nm 之範圍內。

可使用金屬材料，例如鋁、銅、鈦、鉭和鎢，來形成包含導電材料之層。或者，可使用半導體材料，例如包含導電材料的多晶矽，來形成包含導電材料之層。形成包含導電材料之層的方法並無特別限制；各種沉積方法，例如汽相沉積、CVD、濺鍍和旋轉塗佈係可實施的。應注意在此實施例中，說明使用金屬材料形成包含導電材料之層的情況的範例。

在那之後，選擇性蝕刻絕緣層和包含導電材料之層，藉以形成閘極絕緣層 108a 及閘極電極 110a（見圖 4C）。應注意可在此處相同的形成步驟中，形成圖 3A 和 3B 中所示之閘極佈線 110b。

接著，形成覆蓋閘極電極 110a 的絕緣層 112（見圖 4C）。然後，將硼（B）、鋁（Al）等添加到半導體區 104，形成具有淺接面深度的雜質區 114（見圖 4C）。應注意藉由形成雜質區 114，半導體區 104 之在閘極絕緣層 108a 之下的一部分成為通道形成區 116（見圖 4C）。此處，可適當地設定添加雜質的濃度；濃度較佳係依據半導體元素之微型化的程度提高。此處，採用在絕緣層 112 形成之後形成雜質區 114 之處理；或者，採用在形成雜質區 114 之後形成絕緣層 112 之處理。

接著，形成側壁絕緣層 118（見圖 4D）。可藉由形成覆蓋絕緣層 112 之絕緣層且在該絕緣層上實施高度各向異性蝕刻，自我對準地形成側壁絕緣層 118。此處，部分蝕

刻絕緣層 112，使得閘極電極 110a 之頂表面和雜質區 114 之頂表面被暴露。

接著，形成絕緣層以覆蓋閘極電極 110a、雜質區 114、側壁絕緣層 118 等。然後，將硼（B）、鋁（Al）等添加到絕緣層與雜質區 114 接觸之區域，藉此形成重摻雜區 120（見圖 4E）。在那之後，移除絕緣層，且形成金屬層 122 以覆蓋閘極電極 110a、側壁絕緣層 118、重摻雜區 120 等（見圖 4E）。可以各種方法形成金屬層 122，例如汽相沉積、濺鍍和旋轉塗佈。較佳是使用金屬材料形成金屬層 122，該金屬材料可能藉由與包含在半導體區 104 中的半導體材料起反應而成爲具有低電阻的金屬化合物。此種金屬材料的範例包括鈦、鋁、鎢、鎳、鈷和鉑金。

接著，實施熱處理，使得金屬層 122 與半導體材料起反應。因此，形成與重摻雜區 120 接觸的金屬化合物區 124（見圖 4F）。應注意當多晶矽等被用於閘極電極 110a 時，在閘極電極 110a 與金屬層 122 接觸之部分中亦形成金屬化合物區。

例如，可將閃光燈之照射用於上述熱處理。當然，可接受其他熱處理；爲了改善有關金屬化合物之形成的化學反應的可控性，較佳地使用實現短暫熱處理的方法。應注意金屬化合物區具有充分的高導電性，因爲其藉由金屬材料和半導體材料之反應而形成。金屬化合物區能充分降低電阻和改善元素特性。應注意在形成金屬化合物區 124 之後，移除金屬層 122。

接著，形成層間絕緣層 126 及層間絕緣層 128 以覆蓋在上述步驟中形成的元素（見圖 4G）。可使用包含無機絕緣材料，例如氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁和氧化鋇，的材料形成層間絕緣層 126 和 128。或者，可使用有機絕緣材料，例如聚醯亞胺和丙烯酸。雖然此處層間絕緣層 126 和層間絕緣層 128 形成兩層結構，層間絕緣層的結構並不侷限於此。在形成層間絕緣層 128 之後，較佳藉由 CMP、蝕刻等平坦其表面。

在下一步驟中，在層間絕緣層中形成到達金屬化合物區 124 的開孔，且在開孔中形成源極或汲極電極 130a 及源極或汲極電極 130b（其各者亦稱為源極佈線或汲極佈線）（見圖 4H）。例如，以下列方式形成源極或汲極電極 130a 及源極或汲極電極 130b：藉由 PVD、CVD 等在包含開孔的區域中形成導電層，然後，藉由蝕刻或 CMP 部分地移除導電層。

應注意在藉由移除部分導電層，形成源極或汲極電極 130a 及源極或汲極電極 130b 的情況中，較佳係將其表面處理成平坦的。例如，在已於包含開孔的區域中形成薄鈦膜或薄氮化鈦膜之後，形成嵌入於開孔中的鎢膜的情況中，之後實施的 CMP 可移除鎢膜、鈦膜、氮化鈦膜等之不需要的部分，並改善表面之平坦。藉由改善源極或汲極電極 130a 及源極或汲極電極 130b 之表面的平坦，可在之後的步驟中形成適當的電極、佈線、絕緣層、半導體層等。

雖然此處僅顯示與金屬化合物區 124 接觸的源極或汲極電極 130a 及源極或汲極電極 130b，可在相同的形成步驟中形成待與閘極電極 110a 等接觸的佈線。此外，同時，可形成連接電極 130e，其與示於圖 3A 和 3B 中的閘極佈線 110b 接觸。源極或汲極電極 130a 及源極或汲極電極 130b 的材料並沒有特別的限制；可應用各種導電材料。例如，可應用導電材料，例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳和鈳。

上述處理允許形成使用包含半導體材料之基板 100 的 p 型電晶體。在上述處理之後，可形成額外的佈線等。使用層間絕緣層及導電層之層狀結構的多層互連結構提供高度集成的半導體裝置。

< N 型電晶體之製造方法 >

接著，將參考圖 5A 至 5G 和圖 6A 至 6D 說明 n 型電晶體形成於層間絕緣層 128 之上的過程。圖 5A 至 5G 和圖 6A 至 6D 說明 n 型電晶體的製造方法，且顯示沿著圖 1A 和 1B 中之 A1-A2 區和 D1-D2 區的橫截面圖。應注意在圖 5A 至 5G 和圖 6A 至 6D 中，省略在 n 型電晶體之下的 p 型電晶體。

首先，形成絕緣層 132 於層間絕緣層 128、源極或汲極電極 130a 及源極或汲極電極 130b 之上（見圖 5A）。可藉由 PVD、CVD 等形成絕緣層 132。可使用包含無機絕緣材料，例如氧化矽、氮氧化矽、氮化矽、氧化鋁、氧化

鋁、和氧化鋁，的材料形成絕緣層 132。

接著，在絕緣層 132 中形成到達源極或汲極電極 130a 之開孔，和到達源極或汲極電極 130b 之開孔。當時，在將形成閘極電極之區域中形成額外的開孔。然後，形成導電層 134 以填補該等開孔（見圖 5B）。可使用遮罩以蝕刻等形成該等開孔。例如，可使用光罩藉由曝光形成遮罩。可使用濕蝕刻或乾蝕刻作為蝕刻；基於精細圖案化，乾蝕刻係較佳的。可藉由沉積法，例如 PVD 和 CVD，形成導電層 134。用於導電層 134 之材料的範例包括導電材料，例如鋁、鈦、鉻、鋇、鎢、鋁、銅、鈳、和鈳；以及任何此等材料之合金及化合物（例如，氮化物）。

具體地，該方法可採用在包含開孔之區域中藉由 PVD 形成的薄鈦膜、藉由 CVD 形成的薄氮化鈦膜、和形成以填補該等開孔的鎢膜。此處，藉由 PVD 形成的鈦膜具有在具有較低電極（此處為源極或汲極電極 130a 或源極或汲極電極 130b）之介面減少氧化物膜的功能，且因此減少較低電極的接觸電阻。稍後將形成的氮化鈦膜具有阻擋導電材料擴散的屏障功能。

在形成導電層 134 之後，藉由蝕刻或 CMP 移除部分的導電層 134，且因此暴露絕緣層 132，藉此形成電極 136a、電極 136b 和閘極電極 136c（見圖 5C）。應注意當藉由移除部分的導電層 134 來形成電極 136a、電極 136b 及閘極電極 136c 時，絕緣層 132、電極 136a、電極 136b

及閘極電極 136c 的表面被處理成平坦的係較佳的。藉由改善絕緣層 132、電極 136a、電極 136b 及閘極電極 136c 之表面的平坦，可在之後的步驟中形成適當的電極、佈線、絕緣層、半導體層等。

接著，形成閘極絕緣層 138 以覆蓋絕緣層 132、電極 136a、電極 136b 及閘極電極 136c（見圖 5D）。可藉由 CVD，濺鍍等形成閘極絕緣層 138。閘極絕緣層 138 較佳包含氧化矽、氮化矽、氮氧化矽、氮氧化矽、氧化鋁等。應注意閘極絕緣層 138 具有單層結構或層狀結構。例如，可使用矽烷（ SiH_4 ）、氧氣、和氮氣作為來源氣體，藉由電漿 CVD 形成氮氧化矽的閘極絕緣層 138。閘極絕緣層 138 的厚度並沒有特別的限制；例如，厚度可在 20 至 500 nm 的範圍內。當採用層狀結構時，閘極絕緣層 138 較佳具有厚度在 50 至 200 nm 之間的第一閘極絕緣層，和厚度在 5 至 300 nm 之間的第二閘極絕緣層，該第二閘極絕緣層在第一閘極絕緣層之上。

藉由移除雜質（高純度氧化物半導體）所得到的 i 型或實質 i 型氧化物半導體對於介面態位密度或介面電荷極度敏感。因此，在氧化物半導體層和閘極絕緣層之間的介面，在此種氧化物半導體被用於氧化物半導體層的情況中是重要因子。換句話說，與高純度氧化物半導體層接觸的閘極絕緣層 138 需要是高品質的。

例如，使用微波（2.45 GHz）的高密度電漿 CVD 係較佳的，因為其產生高耐壓的緊密高品質閘極絕緣層

138。這是因爲在高純度氧化物半導體層和高品質閘極絕緣層之間的緊密接觸減少介面態位密度且產生適當的介面特性。

當然，即使當使用高純度氧化物半導體層時，若可以產生高品質的閘極絕緣層，可應用其他例如濺鍍和電漿 CVD 的方法。或者，藉由沉積絕緣層之後實施的熱處理，可形成絕緣層使得閘極絕緣層的品質或閘極絕緣層和氧化物半導體層之間的介面特性可被改善。在任何情況中，只要是可用於閘極絕緣層、可減少閘極絕緣層和氧化物半導體層之間的介面態位密度、且可提供良好的介面的層是可被接受的。

此外，當雜質被包含在氧化物半導體中時，在 85℃、長達 12 小時、電場強度爲 2×10^6 V/cm 的偏壓溫度測試（BT 測試）中，雜質和氧化物半導體之主要元件之間的鍵結藉由強電場（B：偏壓）和高溫（T：溫度）被切斷，因此產生導致臨界電壓（ V_{th} ）飄移的懸空鍵。

另一方面，本發明之一實施例藉由移除氧化物半導體中的雜質，特別是氫氣或水，和提供良好的閘極絕緣層和氧化物半導體層之間的介面特性，如上所述，可提供即使當接受 BT 測試時仍穩定的電晶體。

接著，形成氧化物半導體層以覆蓋閘極絕緣層 138，且藉由使用遮罩等的蝕刻來處理該氧化物半導體層，形成島形氧化物半導體層 140（見圖 5E）。

此氧化物半導體層較佳爲一氧化物半導體層，特別是

非晶氧化物半導體層，其使用 In-Ga-Zn-O 為基質的氧化物半導體、In-Sn-Zn-O 為基質的氧化物半導體、In-Al-Zn-O 為基質的氧化物半導體、Sn-Ga-Zn-O 為基質的氧化物半導體、Al-Ga-Zn-O 為基質的氧化物半導體、Sn-Al-Zn-O 為基質的氧化物半導體、In-Zn-O 為基質的氧化物半導體、Sn-Zn-O 為基質的氧化物半導體、Al-Zn-O 為基質的氧化物半導體、In-O 為基質的氧化物半導體、Sn-O 為基質的氧化物半導體和 Zn-O 為基質的氧化物半導體之其中之一者。在此實施例中，藉由使用 In-Ga-Zn-O 為基質的氧化物半導體靶材的濺鍍來形成非晶氧化物半導體層作為氧化物半導體層。添加矽到非晶氧化物半導體層抑制了該層的結晶化；因此，可使用包含在 2 至 10 wt.% 的 SiO₂ 的靶材來形成氧化物半導體層。

用於藉由濺鍍形成氧化物半導體層的此種靶材，可為適用於氧化物半導體之沉積且其主成分為氧化鋅的靶材，或為適用於氧化物半導體之沉積且其包含 In、Ga 和 Zn（其組成比例為 In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 1（摩爾比））的靶材。適用於氧化物半導體之沉積且其包含 In、Ga 和 Zn 的靶材的組成比例可為 In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 2（摩爾比）或 In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 4（摩爾比）。適用於氧化物半導體之沉積的靶材的填充係數為 90 至 100%，且較佳為 95 至 99.9%。適用於氧化物半導體之沉積的具有高填充係數的靶材產生緊密的氧化物半導體層。

用於沉積的氛圍較佳為稀有氣體（典型為氬氣）氛圍、氧氣氛圍、或稀有氣體（典型為氬氣）和氧氣的混合氛圍。具體地，其中將例如氫氣、水氣、羥基和氫化物的雜質的濃度降低至大約百萬分之幾（較佳為數十億分之幾）的高純度氣體係較佳的。

至於氧化物半導體層的沉積，基板被設置於降低壓力的處理室中，且基板溫度被設定為在 100 和 600℃ 之間，且較佳在 200 和 400℃ 之間組成。當加熱基板時沉積，減少包含在沉積的氧化物半導體層中的雜質濃度，亦減少因為濺鍍對於層的損害。然後，在將其中移除氫氣和濕氣的濺鍍氣體導入使用金屬氧化物作為靶材的處理室的同時，移除殘留在處理室中的濕氣，藉此形成氧化物半導體層。為了移除殘留在處理室中的濕氣，較佳使用吸附真空泵。可使用低溫泵、離子泵或鈦昇華泵。抽空單元可為設置有冷凝捕集器的渦輪泵。當使用低溫泵排空時，從沉積室移除氫原子、包含氫原子的化合物，例如水（ H_2O ）（較佳的亦有包含碳原子的化合物）等，從而減少形成於沉積室中的該氧化物半導體層的雜質濃度。

例如，沉積條件如下：基板和靶材之間的距離為 100 mm，壓力為 0.6 Pa，直流（DC）電源為 0.5 kW，且氛圍係氧氣氛圍（氧氣流量比中的氧氣比例為 100%）。應注意較佳係使用脈衝直流（DC）電源，因為其減少於沉積時產生的粉末物質（亦稱為粒子或塵埃），且可均勻化薄膜厚度。該氧化物半導體層的厚度較佳為在 5 至 200 nm

的範圍中，且更佳為 5 至 30 nm。應注意適當厚度係依據使用的氧化物半導體材料改變，且可依據使用的材料選擇該厚度。

應注意在藉由濺鍍形成該氧化物半導體層之前，較佳係以反向濺鍍移除附著在閘極絕緣層 138 表面的灰塵，該反向濺鍍中電漿係藉由氬氣氣體的導入而產生。此處該反向濺鍍意指藉由離子撞擊表面之改善表面品質的方法，而一般濺鍍係藉由離子撞擊濺鍍靶材而達成。使離子撞擊表面的方法包括，其中在氬氣氛圍下，施加高頻電壓至表面且在基板的周圍產生電漿的方法。應注意可使用氮氣氛圍、氬氣氛圍、氧氣氛圍等替代氬氣氛圍。

氧化物半導體層的蝕刻可以是乾蝕刻或濕蝕刻。當然，該蝕刻亦可以是乾蝕刻和濕蝕刻的組合。依據該材料適當調整蝕刻條件（例如蝕刻氣體、蝕刻劑、蝕刻時間和溫度），使得可將該材料蝕刻為想要的形狀。

例如，可採用包含氯（以氯為基質的氣體，例如氯氣（ Cl_2 ）、氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）或四氯化碳（ CCl_4 ））的氣體作為乾蝕刻的蝕刻氣體。或者，可使用包含氟的氣體（以氟為基質的氣體，例如四氟化碳（ CF_4 ）、氟化硫（ SF_6 ）、氟化氮（ NF_3 ）或三氟甲烷（ CHF_3 ））；溴化氫（ HBr ）；氧氣（ O_2 ）；加入稀有氣體例如氦氣（ He ）或氬氣（ Ar ）的任何這些氣體等。

可採用平行板 RIE（反應性離子蝕刻）或 ICP（電感式耦合電漿）蝕刻作為乾蝕刻。為了將薄膜蝕刻成想要的

形狀，適當調整蝕刻條件（施加於線圈狀電極的電量、施加於基板側上電極的電量、基板側上電極的溫度等）。

可使用磷酸、醋酸和硝酸等的混合溶液作為用於濕蝕刻的蝕刻劑。或者，可使用 ITO07N（由 KANTO CHEMICAL CO., INC. 所生產）。

接著，該氧化物半導體層接受第一熱處理。該第一熱處理允許將氧化物半導體層脫水或脫氫。第一熱處理的溫度在 300 和 750℃ 之間，且較佳為高於或等於 400℃ 且低於基板的應變點。例如，導入基板於使用電阻加熱元件等的電爐中，在氮氣氛圍中於 450℃ 將該氧化物半導體層 140 實施熱處理一小時。在該處理期間，該氧化物半導體層 140 並不暴露於空氣中以防止空氣中的水和氫氣的污染。

熱處理設備並不侷限於電爐；熱處理設備可為使用由例如加熱氣體等之媒介所提供的熱傳導或熱輻射來加熱物體的裝備。例如，可使用 RTA（快速熱退火）設備，例如 GRTA（氣體快速熱退火）設備或 LRTA（燈快速熱退火）設備。LRTA 設備係以發射自燈（例如鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈或高壓汞燈）的光輻射（電磁波）來加熱物體的設備。GRTA 設備係使用高溫氣體實施熱處理的設備。使用即使在熱處理期間，亦不與物體產生反應的惰性氣體，例如氮氣或稀有氣體，例如氬氣。

例如，第一熱處理可採用 GRTA，其中移動基板至已

被加熱到 650 至 700°C 高溫的惰性氣體中，且加熱數分鐘，然後將基板從惰性氣體中取出。GRTA 在短時間內致能高溫熱處理。此外，即使在超過基板的應變點的溫度，此種短時間熱處理是可實施的。

應注意的是在第一熱處理中，較佳係使用包含氮氣或稀有氣體（例如氮氣、氖氣或氬氣等）作為其主成分的氛圍，且該氛圍不包含水、氫氣等。例如，導入熱處理設備之氮氣或稀有氣體（例如氮氣、氖氣或氬氣）的純度較佳為 6N（99.9999%）或更高，且較佳為 7N（99.99999%）或更高（即，雜質濃度為 1 ppm 或更低，較佳為 0.1 ppm 或更低）。

依據第一熱處理的條件和氧化物半導體層的組成，結晶化該氧化物半導體層為微晶或多晶。例如，結晶化該氧化物半導體層成為具有結晶度 90% 或更多、或 80% 或更多的微晶半導體層。並且，依據第一熱處理的條件和氧化物半導體層的組成，該氧化物半導體層成為不包含結晶成分的非晶氧化物半導體層。

在某些情況中，該氧化物半導體層成為其中將微晶部分（具有 1 至 20 nm 的晶粒直徑，典型為 2 至 4 nm）混合入非晶氧化物半導體的氧化物半導體層（例如，該氧化物半導體層的表面）。例如，在使用適合於氧化物半導體之沉積的以 In-Ga-Zn-O 為基質的靶材來形成該氧化物半導體層的情況中，該氧化物半導體層的電特性可藉由提供微晶部分被改變，在該微晶部分中具有電各向異性的

$\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶粒係對準的。藉由形成微晶部分，在該微晶部分中具有電各向異性的 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶粒在該氧化物半導體層的表面係對準的，該氧化物半導體層在平行於該表面的方向中展現增強的電導性，且在與該表面垂直的方向中展現增強的電阻率。此外，此種微晶部分具有防止雜質，例如水和氫氣，進入該氧化物半導體層的功能。應注意上述氧化物半導體層可藉由以 GRTA 加熱該氧化物半導體層的表面而獲得。包含比 Zn 更多的 In 或 Ga 的濺鍍靶材的使用，允許上述氧化物半導體層以較佳的方式被形成。

在氧化物半導體層 140 上實施的第一熱處理，可在尚未被處理成島形氧化物半導體層 140 的氧化物半導體層上實施。在此情況中，在第一熱處理之後從熱處理設備取出基板，然後接受微影製程。

應注意該第一熱處理亦可稱為脫水或脫氫處理，因為具有將該氧化物半導體層 140 脫水或脫氫的效果。可在形成氧化物半導體層之後、在氧化物半導體層 140 之上形成源極或汲極電極層之後、或在源極或汲極電極之上形成保護絕緣層之後，實施此脫水或脫氫處理。可以進行一次以上的此脫水或脫氫處理。

接著，形成源極或汲極電極 142a 及源極或汲極電極 142b 以與氧化物半導體層 140 接觸（見圖 5F）。藉由形成導電層來形成源極或汲極電極 142a 及源極或汲極電極 142b，使得該導電層覆蓋該氧化物半導體層 140，然後選

擇性地蝕刻該導電層。

可藉由 PVD，例如濺鍍或 CVD（例如電漿 CVD），形成導電層。導電層之材料的範例包括選自鋁、鉻、銅、鉭、鈦、鉬及鎢的元素；及包括任何這些元素作為成份的合金。可替代地使用選自錳、鎂、鋅、鈹和鈦的一或多個材料用於該導電層。或者，鋁和選自鈦、鉭、鎢、鉬、鉻、鈹和鈦的一或多個元素的組合可被用於該導電層。該導電層可具有單層結構或二或多層的層狀結構。可提供包含矽的鋁膜的單層結構，其中鈦膜疊層於鋁膜上的兩層結構，其中依第一鈦膜、鋁膜和第二鈦膜順序疊層的三層結構等作為範例。

此處，較佳使用紫外線、KrF 雷射光或 ArF 雷射光於形成蝕刻遮罩的曝光。電晶體的通道長度（L）取決於在氧化物半導體層 140 上源極或汲極電極 142a 和源極或汲極電極 142b 分開的距離。在該通道長度（L）係短於 25 nm 的情況中，在數奈米至數十奈米之極短波長的極紫外線範圍中實施製造遮罩的曝光。在極紫外線範圍中的曝光導致高解析度和大焦點深度。因此，將於稍後形成的電晶體的通道長度（L）可被設定為 10 nm 至 1000 nm，且因此可增加電路的操作速率。並且，因為關閉狀態電流極低，即使在精細圖案化的情況中亦不增加電力消耗。

適當調整各材料和蝕刻條件，使得當蝕刻該導電層時，該氧化物半導體層 140 不被移除。在此步驟中，可依據該氧化物半導體層的組成和蝕刻條件，部分蝕刻氧化物

半導體層 140 以成為具有凹槽（低陷部分）的氧化物半導體層。

可將氧化物導電層形成在氧化物半導體層 140 及源極或汲極電極 142a 之間，或在氧化物半導體層 140 及源極或汲極電極 142b 之間。可連續形成氧化物導電層和將成為源極或汲極電極 142a 或源極或汲極電極 142b 的金屬層（連續沉積）。該氧化物導電層可作用為源極區域或汲極區域。此氧化物導電層導致源極區域或汲極區域之電阻的降低，且因此達到電晶體的高速操作。

為了減少使用的光罩數目和製作步驟的數目，可使用由灰階遮罩製成的抗蝕遮罩實施蝕刻，該灰階遮罩為曝光遮罩使得由遮罩所傳輸的光具有多種強度。由灰階遮罩製成的抗蝕遮罩具有多種厚度，且可進一步藉由實施灰化來改變形狀；因此，在複數蝕刻步驟中可使用此種抗蝕遮罩以提供不同的圖案。換句話說，適用於至少二或多種不同圖案的抗蝕遮罩可以單一灰階遮罩製成。此減少曝光遮罩的數目，亦減少對應的微影步驟的數目，從而簡化製程。

應注意較佳係在上述過程之後實施使用氣體例如 N_2O 、 N_2 或 Ar 的電漿處理。該電漿處理移除附著於該氧化物半導體層之曝光表面的水等。該電漿處理可使用氧氣和氬氣的混合氣體。

接著，在形成步驟中，形成與氧化物半導體層 140 接觸的保護絕緣層 144，而不需暴露於空氣中（見圖 5G）。

可使用適當的方法，例如濺鍍法，（該方法讓例如水

或氫氣的雜質不會進入保護絕緣層 144) 形成厚度為 1 nm 或更多的保護絕緣層 144。保護絕緣層 144 之材料的範例包括氧化矽、氮化矽、氮氧化矽和氮氧化矽。其結構可為單層結構或層狀結構。用於保護絕緣層 144 之沉積的基板溫度較佳為室溫或更高，且為 300°C 或更低。用於保護絕緣層 144 之沉積的氛圍較佳為稀有氣體（典型為氬氣）氛圍、氧氣氛圍或稀有氣體（典型為氬氣）和氧氣的混合氛圍。

將氬氣混合入保護絕緣層 144 造成氧化物半導體層被氬氣污染，由於氬氣之由氧化物半導體層的氧氣剝離等，藉此可能降低氧化物半導體層之反向通道的電阻，且可形成寄生通道。因此，重要的是當形成保護絕緣層 144 時，不使用氬氣，以將保護絕緣層 144 中的氬氣進入最小化。

當移除殘留在處理室中的濕氣時，形成保護絕緣層 144 係較佳的。這是為了防止氬氣、羥基或水進入氧化物半導體層 140 和保護絕緣層 144。

為了移除殘留在處理室中的濕氣，較佳使用吸附真空泵。可使用低溫泵、離子泵或鈦昇華泵。抽空單元可為設置有冷凝捕集器的渦輪泵。當使用低溫泵排空時，從沉積室移除氬原子、包含氬原子的化合物，例如水（ H_2O ）等，從而減少形成於沉積室中的保護絕緣層 144 的雜質濃度。

用於保護絕緣層 144 之沉積的濺鍍氣體較佳為其中將例如氬氣、水氣、羥基和氬化物的雜質濃度降低至大約百

萬分之幾（較佳為數十億分之幾）的高純度氣體。

接著，實施第二熱處理，較佳係在惰性氣體氛圍或氧氣氣體氛圍中（較佳於 200 至 400℃，例如 250 至 350℃）。例如，在氮氣氛圍中於 250℃ 實施第二熱處理一小時。該第二熱處理可減少電晶體在電特性中的變異。

可於 100 至 200℃ 在空氣氛圍中實施熱處理一小時至 30 小時。可以固定的加熱溫度或者依照自室溫重複增加到 100 至 200℃ 的加熱溫度，然後自加熱溫度降低至室溫的溫度循環來實施此熱處理。可在減壓下於保護絕緣層之沉積之前實施此熱處理。減壓下的熱處理可縮短加熱時間。應注意可實施此熱處理替代第二熱處理或在第二熱處理之後。

接著，形成層間絕緣層 146 於保護絕緣層 144 之上（見圖 6A）。可以 PVD、CVD 等形成層間絕緣層 146。此外，可使用包含無機絕緣材料，例如氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁和氧化鋇，的材料形成層間絕緣層 146，較佳係藉由 CMP、蝕刻等使其表面平坦。

接著，在層間絕緣層 146、保護絕緣層 144 和閘極絕緣層 138 中形成到達電極 136a、電極 136b、源極或汲極電極 142a 及源極或汲極電極 142b 的開孔。然後，形成導電層 148 以被嵌入於開孔中（見圖 6B）。可藉由使用遮罩的蝕刻形成該等開孔。例如，可使用光罩藉由曝光形成遮罩。可使用濕蝕刻或乾蝕刻作為蝕刻；基於精細圖案化，乾蝕刻係較佳的。可藉由沉積法，例如 PVD 和

CVD，形成導電層 148。用於導電層 148 之材料的範例包括導電材料，例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳、和鈦；以及任何此等材料之合金及化合物（例如，氮化物）。

具體地，該方法可採用在包含開孔之區域中藉由 PVD 形成的薄鈦膜、藉由 CVD 形成的薄氮化鈦膜、和形成以填補該等開孔的鎢膜。此處，藉由 PVD 形成的鈦膜具有在具有較低電極（此處為電極 136a、電極 136b、源極或汲極電極 142a 或源極或汲極電極 142b）之介面減少氧化物膜的功能，且因此減少較低電極的接觸電阻。稍後將形成的氮化鈦膜具有阻擋導電材料擴散的屏障功能。

在形成導電層 148 之後，藉由蝕刻或 CMP 移除部分的導電層 148，且因此暴露層間絕緣層 146，藉此形成電極 150a、電極 150b、電極 150c 和電極 150d（見圖 6C）。應注意當藉由移除部分的導電層 148 來形成電極 150a、電極 150b、電極 150c 和電極 150d 時，表面被處理成平坦的係較佳的。藉由改善層間絕緣層 146、電極 150a、電極 150b、電極 150c 和電極 150d 之表面的平坦，可在之後的步驟中形成適當的電極、佈線、絕緣層、半導體層等。

此外，形成絕緣層 152，且在絕緣層 152 中形成到達電極 150a、電極 150b、電極 150c 和電極 150d 的開孔。然後，形成導電層以填補該等開孔。在那之後，藉由蝕刻或 CMP 移除部分的導電層，因此暴露絕緣層 152，藉此

形成電極 154a、電極 154b 和電極 154c（見圖 6D）。此處理相同於前述之形成電極 150a 等的處理，因此省略其細節。

當以上述方式形成 n 型電晶體 162 時，氧化物半導體層 140 的氫濃度為 5×10^{19} atoms/cm³ 或更低，n 型電晶體 162 的關閉狀態電流為 1×10^{-13} A 或更少，較佳為 100 zA/ μ m 或更少。藉由適當降低氫濃度所產生之具有高純度的氧化物半導體層 140 的使用，產生具有優良特性之 n 型電晶體 162，且亦產生具有優良特性之半導體裝置，該半導體裝置具有 p 型電晶體在其下部，和使用氧化物半導體的 n 型電晶體在其上部。

使用氧化物半導體之外的材料的電晶體和使用氧化物半導體的電晶體的組合，允許需要電特性不同於使用氧化物半導體的電晶體的電特性之半導體裝置的產生（例如，載子特性的不同，其對元素的行為具有影響）。

使用氧化物半導體的電晶體具有好的開關特性，使得可利用此特性製造優良的半導體裝置。例如，CMOS 反相器電路可適當地降低流過電流，藉此減少半導體裝置的電力消耗，及防止因為大電流造成的半導體裝置的損害。另一方面，使用氧化物半導體的電晶體具有極低的關閉狀態電流，藉此降低半導體裝置的電力消耗。

應注意雖然在此實施例中說明 p 型電晶體 160 與 n 型電晶體 162 疊層的情況作為範例，依據此實施例之半導體裝置並不侷限於此；可在相同基板上形成 p 型電晶體 160

和 n 型電晶體 162。此外，雖然在此實施例中說明 p 型電晶體 160 的通道長度方向係垂直於 n 型電晶體 162 的通道長度方向的情況作為範例，p 型電晶體 160 和 n 型電晶體 162 之間的物理關係並不侷限於此。此外，p 型電晶體 160 和 n 型電晶體 162 可彼此重疊。

此實施例中描述的方法和結構可與其他實施例中所述之任何方法和結構做適當結合。

（實施例 2）

在此實施例中，參考圖 7A 和 7B 及圖 8 說明依據已揭示之發明的其他實施例的半導體裝置的結構。應注意在此實施例中，說明可作為記憶體元件之半導體裝置的結構。

圖 7A 顯示依據此實施例之半導體裝置的橫截面圖。圖 7B 顯示依據此實施例之半導體裝置的平面圖。此處，圖 7A 顯示圖 7B 之 E1-E2 區域和 F1-F2 區域。圖 7A 和 7B 中所示之半導體裝置包括使用氧化物半導體之外的材料所形成的電晶體 260 在其下部，和使用氧化物半導體所形成的電晶體 262 在其上部。

使用氧化物半導體之外的材料的電晶體 260 包括：通道形成區 216 在包含半導體材料的基板 200 中、雜質區 214 和重摻雜區 220，合併簡稱為雜質區，其間插入有通道形成區 216 的雜質區、在通道形成區 216 之上的閘極絕緣層 208a；在閘極絕緣層 208a 之上的閘極電極 210a；電

連接至在通道形成區 216 之一側的第一雜質區 214 的源極或汲極電極 230a；及電連接至在通道形成區 216 之另一側的第二雜質區 214 的源極或汲極電極 230b。應注意，較佳為，源極或汲極電極 230a 經由在通道形成區 216 之一側的第一金屬化合物區 224 電連接至在通道形成區 216 之一側的第一雜質區 214，且源極或汲極電極 230b 經由在通道形成區 216 之另一側的第二金屬化合物區 224 電連接至在通道形成區 216 之另一側的第二雜質區 214。如上述，電晶體 260 的結構相同於實施例 1 中所述之 p 型電晶體 160 的結構。應注意電晶體 260 可為 p 型電晶體或 n 型電晶體。

使用氧化物半導體的電晶體 262 包括：在絕緣層 228 之上的閘極電極 236c、在閘極電極 236c 之上的閘極絕緣層 238、在閘極絕緣層 238 之上的氧化物半導體層 240、和在氧化物半導體層 240 之上且電連接至氧化物半導體層 240 的源極或汲極電極 242a 及 242b。如上述，電晶體 262 的結構相同於實施例 1 中所述之 n 型電晶體 162 的結構，因此電晶體 262 的其他細節可見於實施例 1 中。應注意電晶體 262 可為 n 型電晶體或 p 型電晶體。

接著，將描述電晶體 260 和電晶體 262 的電連接。電晶體 260 中的源極或汲極電極 230a 經由電極 236a、電極 250a、電極 254a 等電連接至第一佈線。電晶體 260 中的源極或汲極電極 230b 經由電極 236b、電極 250b、電極 254b 等電連接至第二佈線。

電晶體 262 的源極或汲極電極 242a 經由電極 250d、電極 254c、電極 250c、電極 236b 和電極 230c 電連接至電晶體 260 的閘極電極 210a。電晶體 262 的源極或汲極電極 242b 經由電極 250e、電極 254d 等電連接至第三佈線。

應注意在圖 7A 和 7B 中，元件隔離絕緣層 206 對應於實施例 1 中的元件絕緣絕緣層 106；側壁絕緣層 218 對應於實施例 1 中的側壁絕緣層 118；層間絕緣層 226 對應於實施例 1 中的層間絕緣層 126；絕緣層 232 對應於實施例 1 中的絕緣層 132；保護絕緣層 244 對應於實施例 1 中的保護絕緣層 144；層間絕緣層 246 對應於實施例 1 中的層間絕緣層 146；及絕緣層 252 對應於實施例 1 中的絕緣層 152。

圖 8 顯示使用上述半導體裝置作為記憶體元件的電路圖的範例。

使用氧化物半導體之外的材料的電晶體 260 的源極電極電連接至第一源極佈線（源極 1）。使用氧化物半導體之外的材料的電晶體 260 的汲極電極電連接至汲極佈線（汲極）。使用氧化物半導體之外的材料的電晶體 260 的閘極電極電連接至使用氧化物半導體的電晶體 262 的汲極電極。

使用氧化物半導體之電晶體 262 的源極電極電連接至第二源極佈線（源極 2）。使用氧化物半導體之電晶體 262 的閘極電極電連接至閘極佈線（閘極）。

此處，使用氧化物半導體之電晶體 262 的特點是極低的關閉狀態電流。因此，當電晶體 262 位於關閉狀態中時，電晶體 260 的閘極電極的電位可極長時間被保持。

藉由利用電晶體 262 之保持閘極電極的電位的特性，例如藉由執行下列操作，半導體裝置可作為記憶體元件。首先，閘極佈線（閘極）的電位成為開啓電晶體 262 的電位，然後電晶體 262 被開啓。此允許第二源極佈線（源極 2）的電位被施加至電晶體 260 的閘極電極（寫入操作）。在那之後，閘極佈線（閘極）的電位成為關閉電晶體 262 的電位，然後電晶體 262 被關閉。

因為電晶體 262 的關閉狀態電流極低，因此電晶體 260 的閘極電極的電位可被保持極長的時間。具體地，例如，當電晶體 260 的閘極電極的電位為開啓電晶體 260 的電位時，電晶體 260 長時間被保持在開啓狀態。另一方面，當電晶體 260 的閘極電極的電位為關閉電晶體 260 的電位時，電晶體 260 長時間被保持在關閉狀態。

因此，汲極佈線（汲極）的電位值依據電晶體 260 的閘極電極所保持的電位而改變。例如，當電晶體 260 的閘極電極的電位微開啓電晶體 260 的電位時，電晶體 260 被保持在開啓狀態，使得汲極佈線（汲極）的電位變成與第一源極佈線（源極 1）的電位相等。如上述，汲極佈線（汲極）的電位值依據電晶體 260 的閘極電極的電位而改變，且該半導體裝置藉由讀入此改變值（寫入操作）作為記憶體元件。

依據此實施例可使用半導體裝置作為實質的非揮發記憶體元件，因為半導體裝置使用電晶體 262 的關閉狀態電流特性，致能資料可被極長時間保持。

應注意雖然在此實施例中，為了容易了解，僅描述記憶體元件的基本單元，半導體裝置的結構並不侷限於此。亦可能使具有複數記憶體元件之更發達的半導體裝置彼此適當地互連。例如，可能藉由使用超過一種上述之記憶體元件而製成 NAND 型或 NOR 型半導體裝置。此外，佈線連接並不侷限於圖 8 中所示之佈線連接，且可適當地改變。

如上述，本發明之一實施例使用電晶體 262 的關閉狀態電流特性，形成實質的非揮發記憶體元件。因此，本發明之一實施例提供具有新結構的半導體裝置。

此實施例中描述的方法和結構可與其他實施例中所述之任何方法和結構做適當結合。

（實施例 3）

在此實施例中，參考圖 9A 和 9B 和圖 10 說明依據已揭示之發明的其他實施例的半導體裝置的結構。應注意在此實施例中，說明可作為記憶體元件之半導體裝置的結構。

圖 9A 顯示依據此實施例之半導體裝置的橫截面圖。圖 9B 顯示依據此實施例之半導體裝置的平面圖。此處，圖 9A 顯示圖 9B 之 G1-G2 區域和 H1-H2 區域。圖 9A 和

9B 中所示之半導體裝置包括使用氧化物半導體之外的材料所形成的 p 型電晶體 460 和 n 型電晶體 464 在其下部，以及包括使用氧化物半導體的電晶體 462 在其上部。

使用氧化物半導體之外的材料所形成的 p 型電晶體 460 和 n 型電晶體 464 具有與實施例 1 和 2 中的 p 型電晶體 160、電晶體 260 等相同的結構。使用氧化物半導體的電晶體 462 具有與實施例 1 和 2 中的 n 型電晶體 162、電晶體 262 等相同的結構。因此，這些電晶體的元件亦以實施例 1 和 2 中的電晶體的元件為基礎。細節可見於實施例 1 和 2 之中。

應注意在圖 9A 和 9B 中，基板 400 對應於實施例 1 中的基板 100；元件隔離絕緣層 406 對應於實施例 1 中的元件絕緣絕緣層 106；閘極絕緣層 408a 對應於實施例 1 中的閘極絕緣層 108a；閘極電極 410a 對應於實施例 1 中的閘極電極 110a；閘極佈線 410b 對應於實施例 1 中的閘極佈線 110b；雜質區 414 對應於實施例 1 中的雜質區 114；通道形成區 416 對應於實施例 1 中的通道形成區 116；側壁絕緣層 418 對應於實施例 1 中的側壁絕緣層 118；重摻雜區 420 對應於實施例 1 中的重摻雜區 120；金屬化合物區 424 對應於實施例 1 中的金屬化合物區 124；層間絕緣層 426 對應於實施例 1 中的層間絕緣層 126；層間絕緣層 428 對應於實施例 1 中的層間絕緣層 128；源極或汲極電極 430a 對應於實施例 1 中的源極或汲極電極 130a；源極或汲極電極 430b 對應於實施例 1 中的

源極或汲極電極 130b；以及源極或汲極電極 430c 對應於實施例 1 中的源極或汲極電極 130e。

此外，絕緣層 432 對應於實施例 1 中的絕緣層 132；電極 436a 對應於實施例 1 中的電極 136a；電極 436b 對應於實施例 1 中的電極 136b；閘極電極 436c 對應於實施例 1 中的閘極電極 136c；閘極絕緣層 438 對應於實施例 1 中的閘極絕緣層 138；氧化物半導體層 440 對應於實施例 1 中的氧化物半導體層 140；源極或汲極電極 442a 對應於實施例 1 中的源極或汲極電極 142a；源極或汲極電極 442b 對應於實施例 1 中的源極或汲極電極 142b；保護絕緣層 444 對應於實施例 1 中的保護絕緣層 144；層間絕緣層 446 對應於實施例 1 中的層間絕緣層 146；電極 450a 對應於實施例 1 中的電極 150a；電極 450b 對應於實施例 1 中的電極 150b；電極 450c 對應於實施例 1 中的電極 150b；電極 450d 對應於實施例 1 中的電極 150c；電極 450e 對應於實施例 1 中的電極 150d；絕緣層 452 對應於實施例 1 中的絕緣層 152；電極 454a 對應於實施例 1 中的電極 154a；電極 454b 對應於實施例 1 中的電極 154b；電極 454c 對應於實施例 1 中的電極 154b；以及電極 454d 對應於實施例 1 中的電極 154c。

依據此實施例的半導體裝置與依據實施例 1 或 2 的半導體裝置之不同處在於使電晶體 462 的汲極電極、p 型電晶體 460 的閘極電極、和 n 型電晶體 464 的閘極電極彼此電連接（見圖 9A 和 9B）。此結構允許暫時維持 CMOS

反相器電路的輸入信號（輸入）。

此實施例中描述的方法和結構可與其他實施例中所述之任何方法和結構做適當結合。

（實施例 4）

在此實施例中，參考圖 11A 至 11F 說明依據實施例 1、2 及 3 之任一者的配置有半導體裝置的電子機器的範例。依據實施例 1、2 及 3 之任一者的半導體裝置包括具有良好開關特性之使用氧化物半導體的電晶體，因此可降低電子機器的電力消耗。此外，具有新結構之使用氧化物半導體特性的半導體裝置（例如，記憶體元件）允許具有新結構之設備的達成。應注意依據實施例 1、2 及 3 之任一者的半導體裝置可單獨或與其他元件結合的被安裝在電路基板等之上，因此被內建於電子機器中。

在許多例子中，整合半導體裝置於其中的積體電路包括各種電路元件，例如電阻器、電容器、及線圈，除了依據實施例 1、2 及 3 之任一者的半導體裝置以外。積體電路之一範例為一電路，其中高度整合有算術電路、轉換器電路、放大器電路、記憶體電路、及關於任何這些電路的電路。MPU（微處理器單元）和 CPU（中央處理單元）可以說是上述的典型範例。

該半導體裝置適用於顯示裝置中的開關元件等。在此情況中，該半導體裝置和驅動器電路較佳係設置於相同基板之上。當然亦可能使用僅用於顯示裝置之驅動電路的半

導體裝置。

圖 11A 顯示包括依據實施例 1、2 及 3 之任一者的半導體裝置的筆記型電腦。該筆記型電腦包括主體 301、外殼 302、顯示部 303、鍵盤 304 等。

圖 11B 顯示包括依據實施例 1、2 及 3 之任一者的半導體裝置的個人數位助理（PDA）。該個人數位助理包括主體 311，其設置有顯示部 313、外部介面 315、操作鍵 314 等。此外，該個人數位助理包括電筆 312，其係用於操作的配件。

圖 11C 顯示電子書 320 作為包括依據實施例 1、2 及 3 之任一者的半導體裝置之電子紙的範例。電子書 320 包括兩個外殼：外殼 321 和外殼 323。外殼 321 藉由樞紐 337 與外殼 323 結合，使得電子書 320 可使用樞紐 337 作為轉軸來打開和關閉。此結構允許電子書 320 與紙質圖書的使用相同。

外殼 321 包括顯示部 325，外殼 323 包括顯示部 327。顯示部 325 及顯示部 327 可顯示連續影像或不同的影像。用於顯示不同影像的結構致能文字被顯示於右邊的顯示部上（圖 11C 中的顯示部 325），且影像被顯示於左邊的顯示部上（圖 11C 中的顯示部 327）。

圖 11C 顯示外殼 321 包括操作部的情況的範例。例如，外殼 321 包括電源按鈕 331、控制鍵 333、揚聲器 335 等。控制鍵 333 允許翻頁。應注意可將鍵盤、指向裝置等設置在與顯示部相同的表面上。進一步，外部連接端

子（耳機端子、USB 端子、可連接至各種例如 AC 轉接器及 USB 線等的電線的端子）、記錄媒體插入部等可被設置於外殼的背表面或側表面上。電子書 320 亦可作為電子字典。

此外，電子書 320 可無線傳送及接收資訊。經由無線傳輸，可自電子書伺服器購買或下載想要的書籍資料等。

應注意可將電子紙用於各種領域中的電子機器，只要它能顯示資料。例如，可將電子紙用於除了電子書之外的海報、交通工具（例如火車）中的廣告、例如信用卡的各種卡等等，以顯示資料。

圖 11D 顯示包括依據實施例 1、2 及 3 之任一者的半導體裝置的行動電話。該行動電話包括兩個外殼：外殼 340 及外殼 341。外殼 341 包括顯示面板 342、揚聲器 343、麥克風 344、指向裝置 346、相機鏡頭 347、外部連接端子 348 等。外殼 340 包括將行動電話充電的太陽能電池 349、外部記憶體插槽 350 等。外殼 341 鐘內建天線。

顯示面板 342 包括觸控面板。被顯示為影像之複數控制鍵 345 以虛線示於圖 11D 中。應注意該行動電話包括用於將輸出自太陽能電池 349 的電壓增加至各電路所需之電壓的升壓電路。除了上述結構之外，該行動電話亦可能具有其中形成有非接觸 IC 晶片、小型記錄裝置等的結構。

顯示面板 342 的顯示方向依據應用模式而適當地改變。此外，相機鏡頭 347 被設置於與顯示面板 342 相同的面上，使得該行動電話可被用作視訊電話。揚聲器 343 和

麥克風 344 可被用於視訊電話通話、記錄、及播放聲音等，以及語音通話。此外，在圖 11D 中顯示為打開的外殼 340 和 341 可藉由滑動而彼此重疊。因此，該行動電話可具有適合攜帶使用的適當尺寸。

外部連接端子 348 可連接至 AC 轉接器及例如 USB 線之各種電線，其致能該行動電話的充電，以及該行動電話和個人電腦等之間的資料通訊。此外，可藉由插入記錄媒體到外部記憶體插槽 350，儲存和移除大量資料。除了上述，該行動電話可紅外線通訊、電視接收等。

圖 11E 顯示包括依據實施例 1、2 及 3 之任一者的半導體裝置的數位相機。該數位相機包括主體 361、顯示部 A 367、觀景窗 363、操作開關 364、顯示部 B 365、電池 366 等。

圖 11F 顯示包括依據實施例 1、2 及 3 之任一者的半導體裝置的電視機。電視機 370 具有包含顯示部 373 的外殼 371。可顯示影像於顯示部 373 上。此處，以腳座 375 支撐外殼 371。

可藉由包含在外殼 371 中的操作開關或遙控器 380 操作電視機 370。可藉由包含在遙控器 380 中的控制鍵 379 控制頻道和音量，因此可控制顯示於顯示部 373 的影像。此外，遙控器 380 可設置有顯示部 377，其顯示來自遙控器 380 的資料。

應注意電視機 370 較佳包含有接收器、數據機等。該接收器允許電視機 370 接收一般電視節目。此外，當經由

數據機以有線或無線連接至通訊網路時，電視機 370 可執行單向（自傳送器至接收器）或雙向（傳送器與接收器之間，或接收器之間）的資訊通訊。

此實施例中描述的方法和結構可與其他實施例中所述之任何方法和結構做適當結合。

本申請案係以於 2009 年 10 月 21 日向日本專利局申請之日本專利申請案第 2009-242689 號為基礎，藉由參照納入該申請案之全部內容。

【符號說明】

100：基板

102：保護層

104：半導體區

106：元件絕緣絕緣層

108a：閘極絕緣層

108b：閘極絕緣層

110a：閘極電極

110b：閘極佈線

110c：佈線

112：絕緣層

114：雜質區

116：通道形成區

118：側壁絕緣層

120：重摻雜區

- 122：金屬層
- 124：金屬化合物區
- 126：層間絕緣層
- 128：層間絕緣層
- 130a：源極或汲極電極
- 130b：源極或汲極電極
- 130c：源極或汲極電極
- 130d：源極或汲極電極
- 130e：電極
- 132：絕緣層
- 134：導電層
- 136a：電極
- 136b：電極
- 136c：閘極電極
- 136d：電極
- 136e：電極
- 136f：閘極電極
- 138：閘極絕緣層
- 140：氧化物半導體層
- 142a：源極或汲極電極
- 142b：源極或汲極電極
- 144：保護絕緣層
- 146：層間絕緣層
- 148：導電層

150a：電極

150b：電極

150c：電極

150d：電極

150e：電極

150f：電極

152：絕緣層

154a：電極

154b：電極

154c：電極

154d：電極

154e：電極

160：p 型電晶體

162：n 型電晶體

164：p 型電晶體

166：n 型電晶體

200：基板

206：元件隔離絕緣層

208a：閘極絕緣層

210a：閘極電極

214：雜質區

216：通道形成區

218：側壁絕緣層

220：重摻雜區

224：金屬化合物區
 226：層間絕緣層
 228：絕緣層
 230a：源極或汲極電極
 230b：源極或汲極電極
 230c：電極
 232：絕緣層
 236a：電極
 236b：電極
 236c：閘極電極
 238：閘極絕緣層
 240：氧化物半導體層
 242a：源極或汲極電極
 242b：源極或汲極電極
 244：保護絕緣層
 246：層間絕緣層
 250a：電極
 250b：電極
 250c：電極
 250d：電極
 250e：電極
 252：絕緣層
 254a：電極
 254b：電極

254c：電極

254d：電極

260：電晶體

262：電晶體

301：主體

302：外殼

303：顯示部

304：鍵盤

311：主體

312：電筆

313：顯示部

314：操作鍵

315：外部介面

320：電子書

321：外殼

323：外殼

325：顯示部

327：顯示部

331：電源按鈕

333：控制鍵

335：揚聲器

337：樞紐

340：外殼

341：外殼

- 342 : 顯示面板
- 343 : 揚聲器
- 344 : 麥克風
- 345 : 控制鍵
- 346 : 指向裝置
- 347 : 相機鏡頭
- 348 : 外部連接端子
- 349 : 太陽能電池
- 350 : 外部記憶體插槽
- 361 : 主體
- 363 : 觀景窗
- 364 : 操作開關
- 365 : 顯示部 B
- 366 : 電池
- 367 : 顯示部 A
- 370 : 電視機
- 371 : 外殼
- 373 : 顯示部
- 375 : 腳座
- 377 : 顯示部
- 379 : 控制鍵
- 380 : 遙控器
- 400 : 基板
- 406 : 元件隔離絕緣層

- 408a：閘極絕緣層
- 410a：閘極電極
- 410b：閘極佈線
- 414：雜質區
- 416：通道形成區
- 418：側壁絕緣層
- 420：重摻雜區
- 424：金屬化合物區
- 426：層間絕緣層
- 428：層間絕緣層
- 430a：源極或汲極電極
- 430b：源極或汲極電極
- 430c：源極或汲極電極
- 432：絕緣層
- 436a：電極
- 436b：電極
- 436c：閘極電極
- 438：閘極絕緣層
- 440：氧化物半導體層
- 442a：源極或汲極電極
- 442b：源極或汲極電極
- 444：保護絕緣層
- 446：層間絕緣層
- 450a：電極

450b : 電 極

450c : 電 極

450d : 電 極

450e : 電 極

452 : 絕 緣 層

454a : 電 極

454b : 電 極

454c : 電 極

454d : 電 極

460 : p 型 電 晶 體

462 : 電 晶 體

464 : n 型 電 晶 體

I664712

發明摘要

※申請案號：105136941（由99135593分割）

※申請日：099年10月19日

※IPC分類：H01L 27/092 (2006.01)

【發明名稱】（中文/英文）

半導體裝置

Semiconductor device

【中文】

本發明之目的為提供具有新結構的半導體裝置。所揭示的是包含第一電晶體和第二電晶體的半導體裝置，該第一電晶體包含在含有半導體材料基板上的通道形成區、將該通道形成區夾雜於其間所形成的雜質區、在該通道形成區之上的第一閘極絕緣層、在該第一閘極絕緣層之上的第一閘極電極、及電連接至該雜質區的第一源極電極和第一汲極電極；該第二電晶體包含在該含有半導體材料基板上的第二閘極電極、在該第二閘極電極之上的第二閘極絕緣層、在該第二閘極絕緣層之上的氧化物半導體層、及電連接至該氧化物半導體層的第二源極電極和第二汲極電極。

【 英文 】

An object of the present invention is to provide a semiconductor device with a new structure. Disclosed is a semiconductor device including a first transistor which includes a channel formation region on a substrate containing a semiconductor material, impurity regions formed with the channel formation region interposed therebetween, a first gate insulating layer over the channel formation region, a first gate electrode over the first gate insulating layer, and a first source electrode and a first drain electrode which are electrically connected to the impurity region; and a second transistor which includes a second gate electrode over the substrate containing a semiconductor material, a second gate insulating layer over the second gate electrode, an oxide semiconductor layer over the second gate insulating layer, and a second source electrode and a second drain electrode which are electrically connected to the oxide semiconductor layer.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

100：基板	106：元件絕緣絕緣層
108a：閘極絕緣層	110a：閘極電極
114：雜質區	116：通道形成區
118：側壁絕緣層	120：重摻雜區
124：金屬化合物區	126：層間絕緣層
128：層間絕緣層	130a：源極或汲極電極
130b：源極或汲極電極	132：絕緣層
136a：電極	136b：電極
136c：閘極電極	138：閘極絕緣層
140：氧化物半導體層	142a：源極或汲極電極
142b：源極或汲極電極	144：保護絕緣層
146：層間絕緣層	150a：電極
150b：電極	150c：電極
150d：電極	152：絕緣層
154a：電極	154b：電極
154c：電極	160：p型電晶體
162：n型電晶體	

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
無

圖 1A

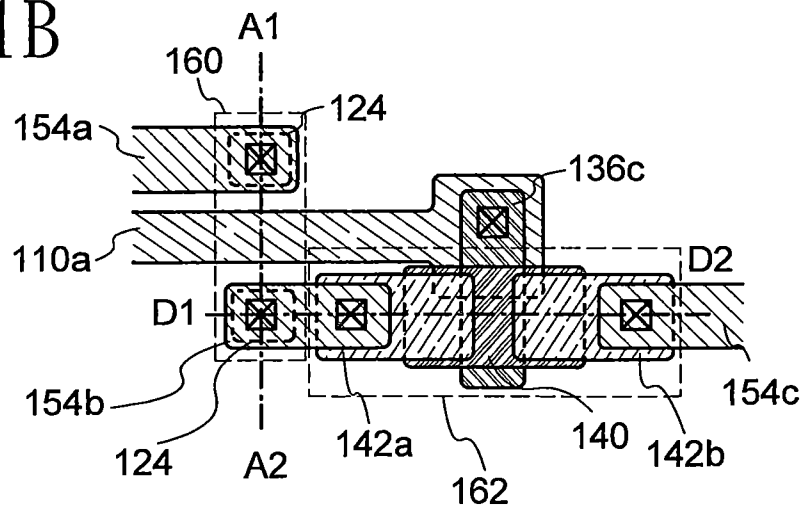


圖2

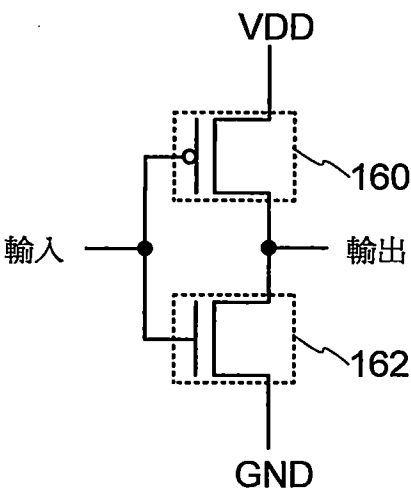


圖 3A

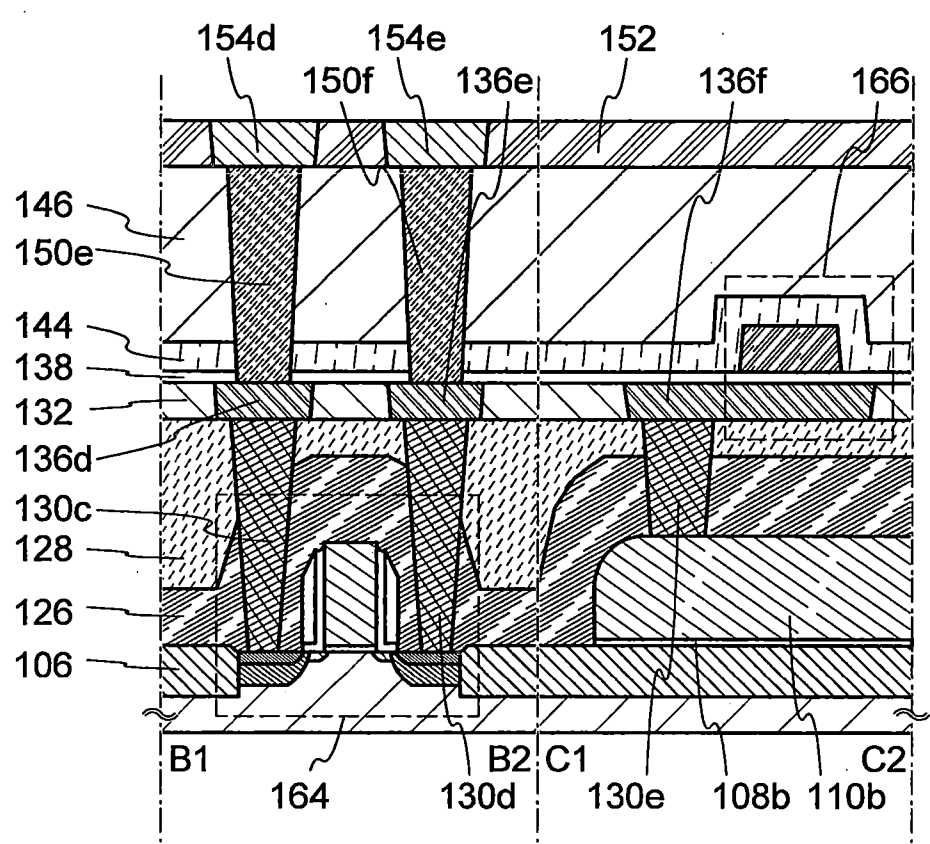


圖 3B

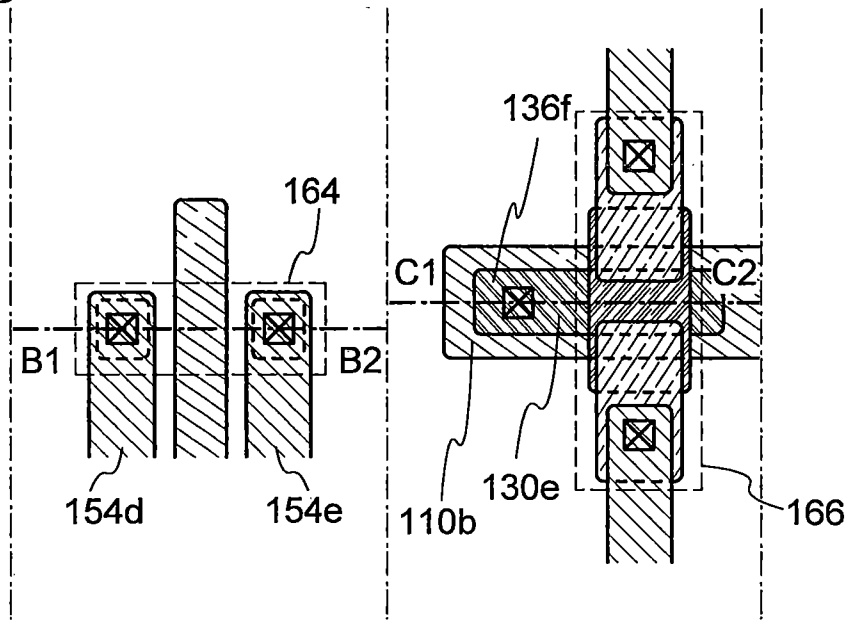


圖 4A

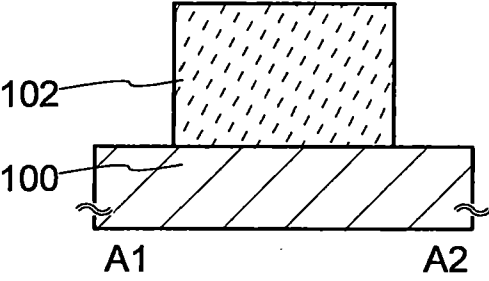


圖 4E

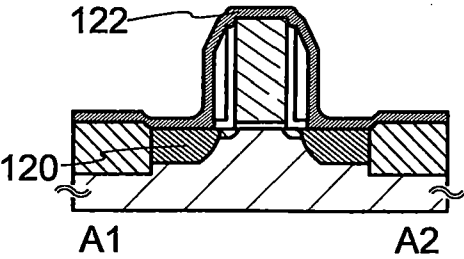


圖 4B

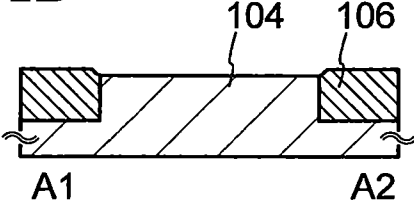


圖 4F

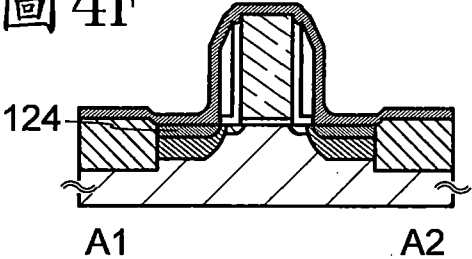


圖 4C

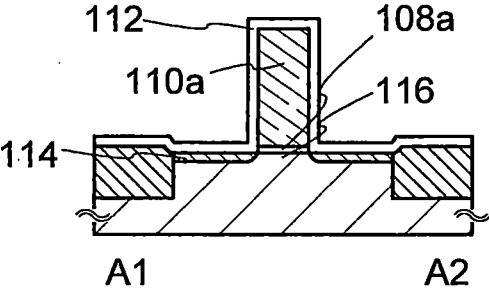


圖 4G

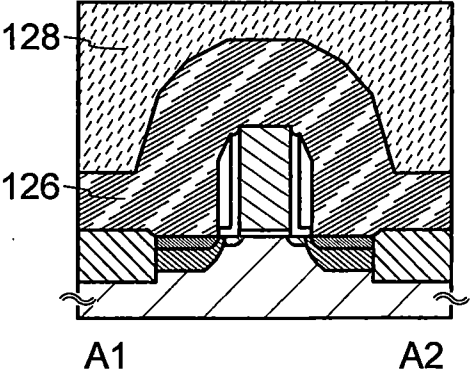


圖 4D

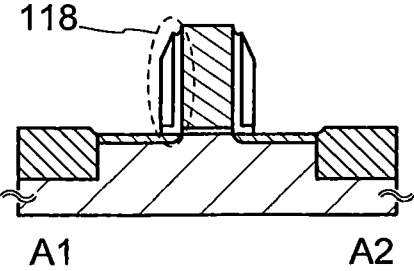
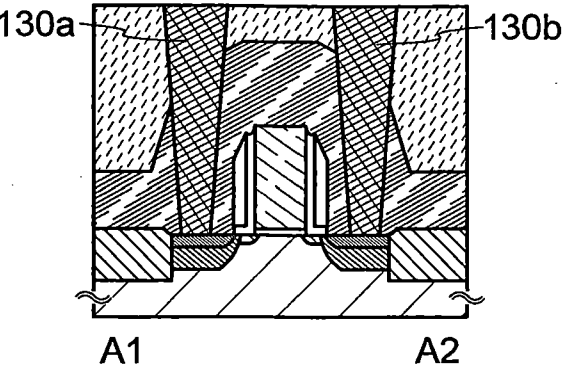


圖 4H



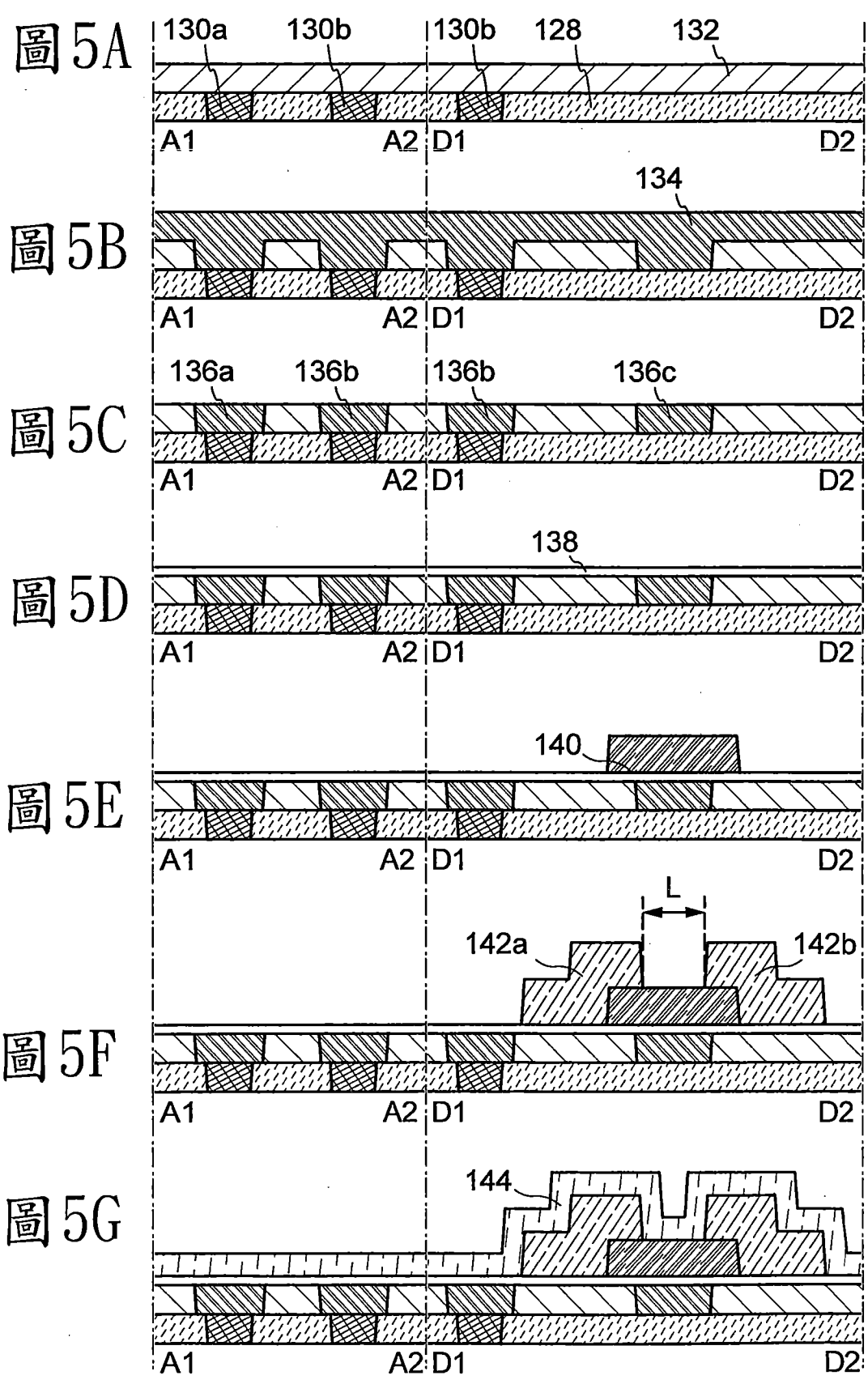


圖 6A

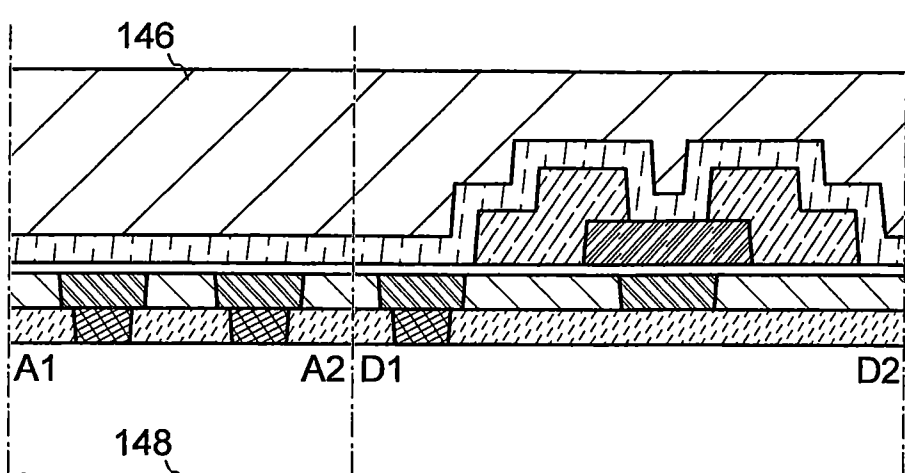


圖 6B

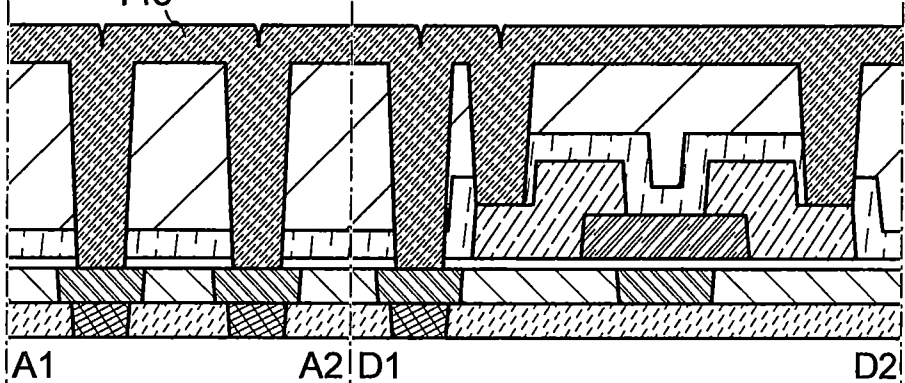


圖 6C

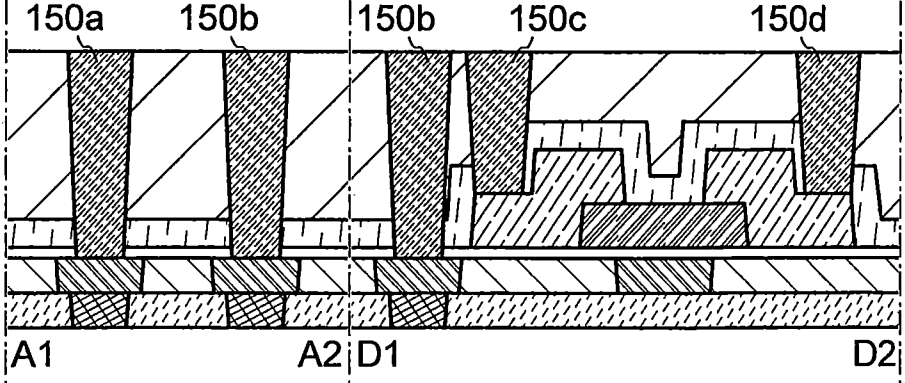


圖 6D

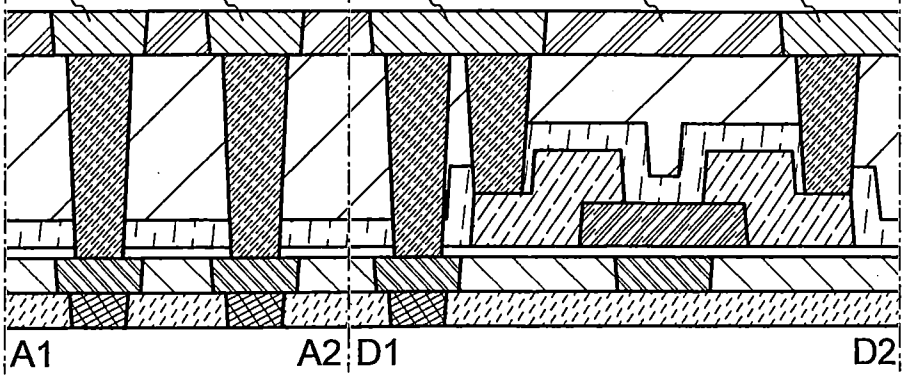


圖 7A

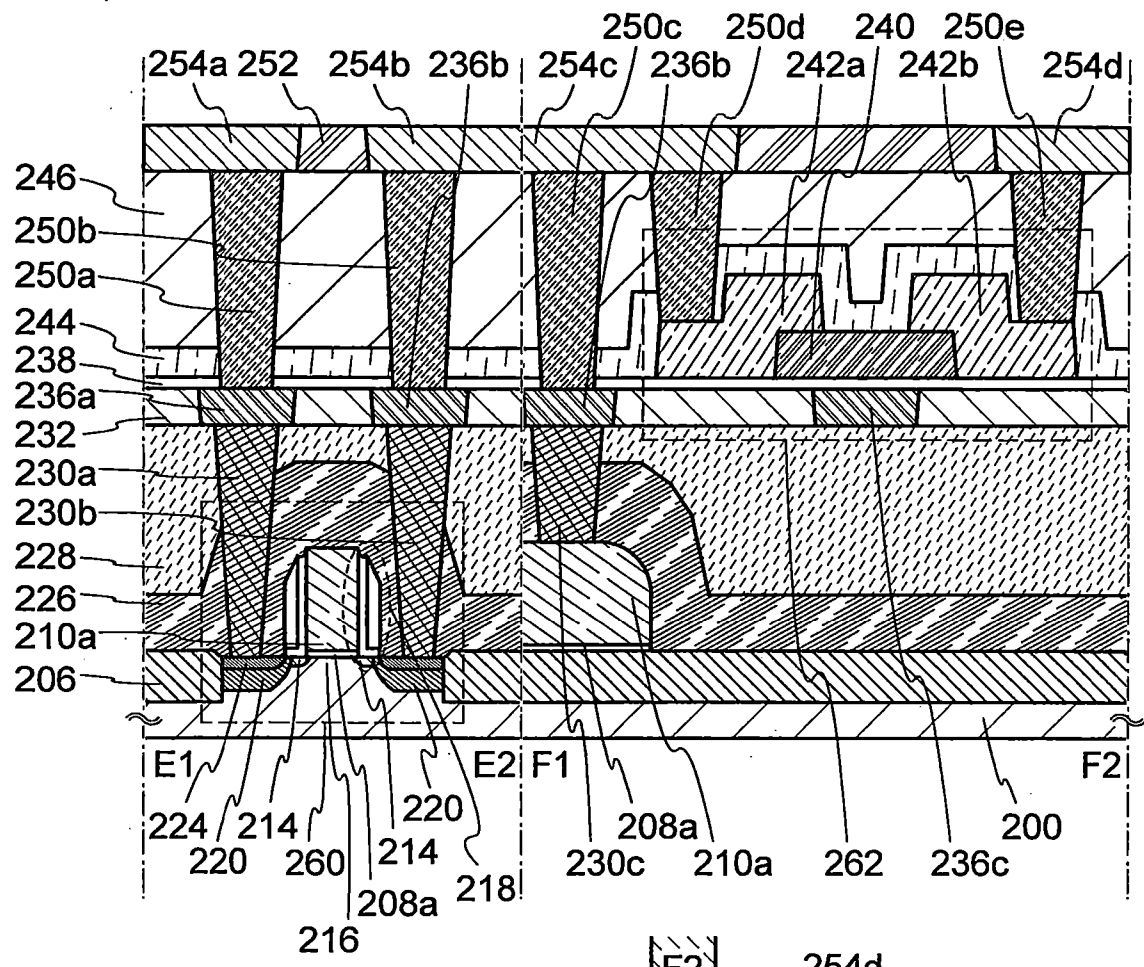


圖 7B

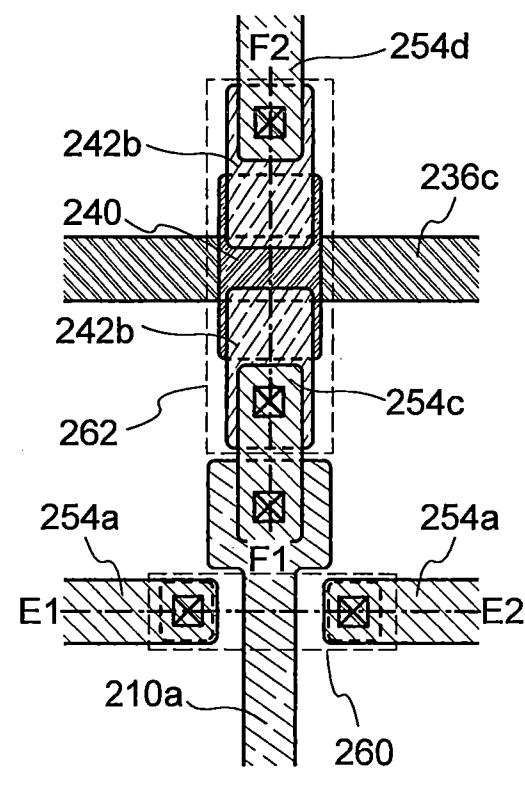


圖 8

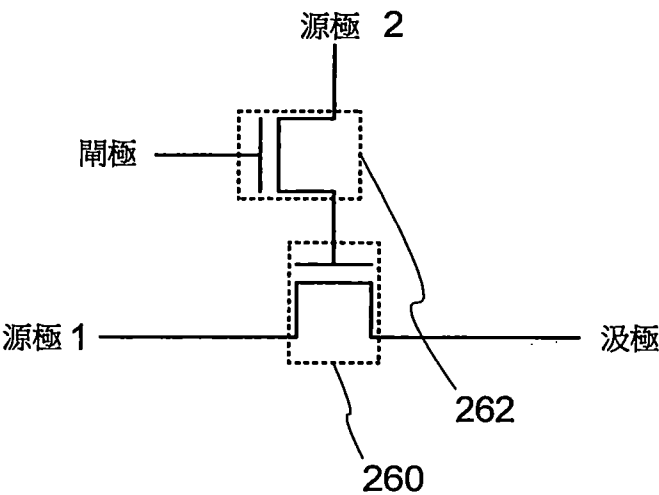


圖 9A

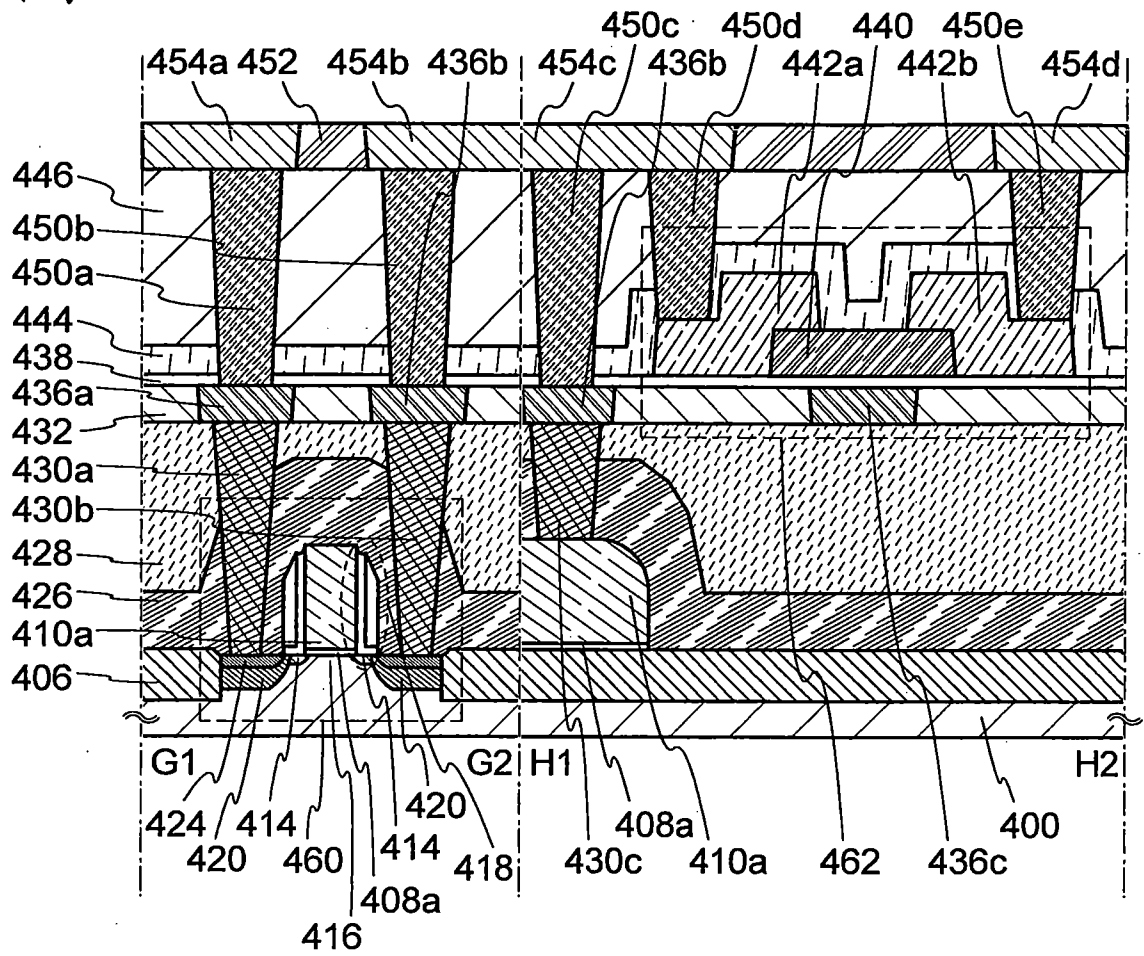


圖 9B

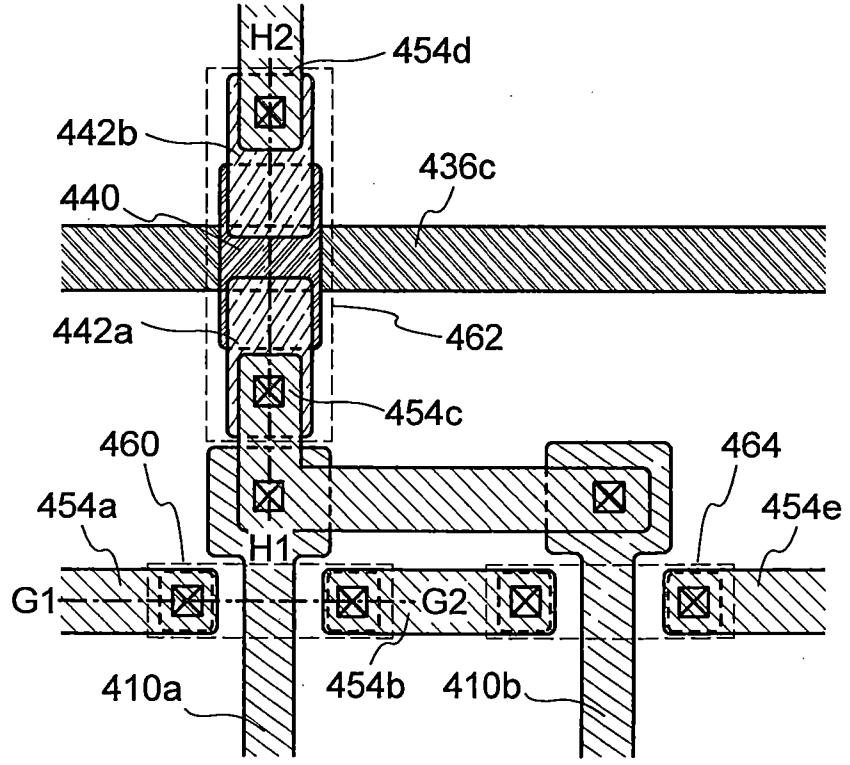


圖 10

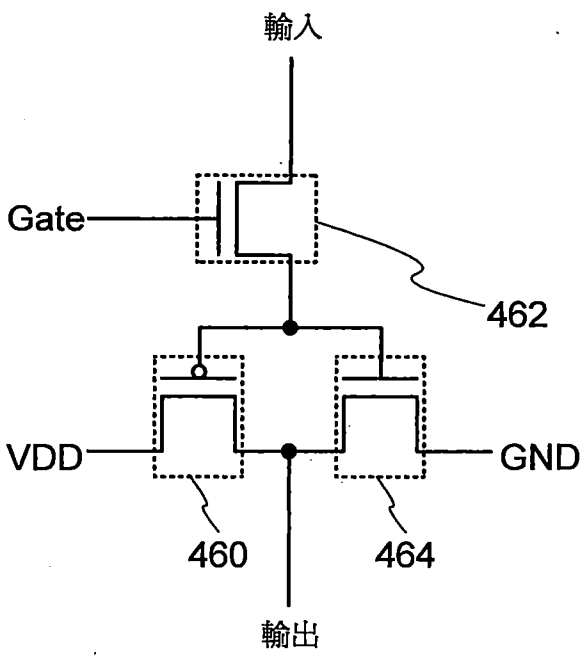


圖 11A

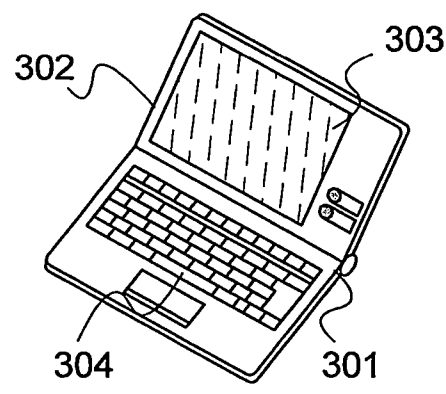


圖 11D

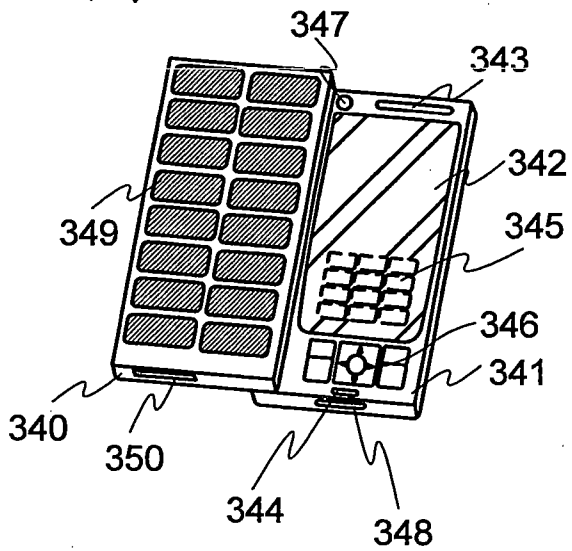


圖 11B

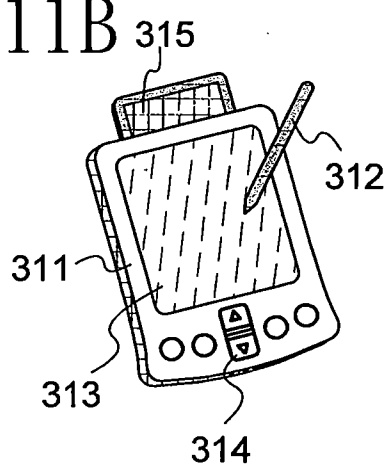


圖 11E

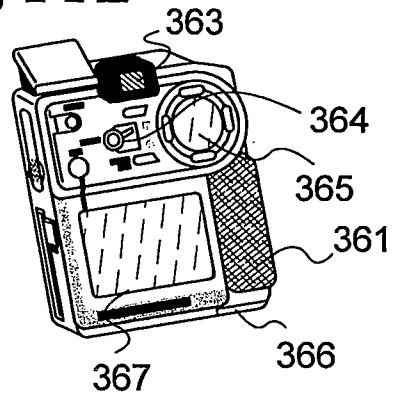


圖 11C

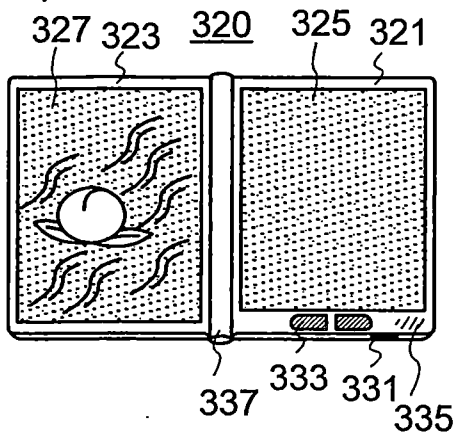
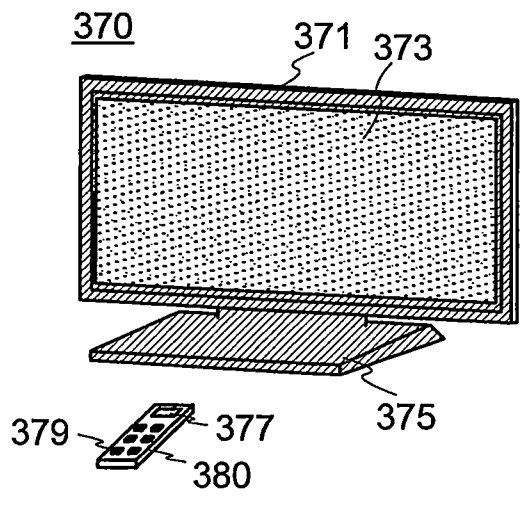


圖 11F



申請專利範圍

1. 一種半導體裝置，包含：

基板，其包含矽半導體材料；

第一電晶體，其包含通道形成區、第一雜質區、第二雜質區以及閘極電極，該通道形成區、該第一雜質區以及該第二雜質區之各者形成於該基板中；

第一絕緣層，其在該閘極電極之上；

第二絕緣層，其在該第一絕緣層之上；

第三絕緣層，其在該第二絕緣層之上；

嵌入導電層，其被嵌入於該第二絕緣層中；

電極層各者係架構以藉由該第一絕緣層電連接該閘極電極、該第一雜質區以及該第二雜質區之其中一者至對應的該等嵌入導電層之其中一者；以及

半導體層，其以該第三絕緣層夾於其間重疊該等嵌入導電層之其中一者，

其中該半導體層包含氧化物半導體，該氧化物半導體包括銦、鎵及鋅，以及

其中該氧化物半導體包含微晶部分，該微晶部分具有 20 nm 或更小的晶粒直徑。

2. 如申請專利範圍第 1 項之半導體裝置，

其中被該半導體層重疊的該嵌入導電層電連接至該閘極電極。

3. 如申請專利範圍第 1 項之半導體裝置，

其中該閘極電極藉由包含該等電極層之其中一者和該

等嵌入導電層之其中一者的串連連接電連接至該半導體層。

4. 一種半導體裝置，包含：

基板，其包含矽半導體材料；

第一電晶體，其包含通道形成區、第一雜質區、第二雜質區以及閘極電極，該通道形成區、該第一雜質區以及該第二雜質區之各者形成於該基板中；

第一絕緣層，其在該閘極電極之上；

第二絕緣層，其在該第一絕緣層之上；

第三絕緣層，其在該第二絕緣層之上；

第一嵌入導電層，其被嵌入於該第二絕緣層中；

第一電極層各者係架構以藉由該第一絕緣層電連接該閘極電極、該第一雜質區以及該第二雜質區之其中一者至對應的該等第一嵌入導電層之其中一者；

半導體層，其以該第三絕緣層夾於其間重疊該等第一嵌入導電層之其中一者；

源極電極和汲極電極各者電連接至該半導體層；

第四絕緣層，其在該半導體層、該源極電極以及該汲極電極之上；

第五絕緣層，其在該第四絕緣層之上；

第二嵌入導電層，其被嵌入於該第五絕緣層中；以及

第二電極層各者係架構以藉由該第四絕緣層電連接該閘極電極、該第一雜質區、該第二雜質區、該源極電極和該汲極電極之其中一者至對應的該等第二嵌入導電層之其

中一者，

其中該半導體層包含氧化物半導體，該氧化物半導體包括銦、鎵及鋅，以及

其中該氧化物半導體包含微晶部分，該微晶部分具有 20 nm 或更小的晶粒直徑。

5. 如申請專利範圍第 4 項之半導體裝置，

其中該閘極電極藉由設置在該等第一電極層之其中一者中的連接電連接至該等第一嵌入導電層之該其中一者。

6. 如申請專利範圍第 4 項之半導體裝置，

其中該閘極電極藉由包含該等第一電極層之其中一者、該等第一嵌入導電層之其中一者、該等第二電極層之第一者、該等第二嵌入導電層之其中一者、該等第二電極層之第二者和該源極電極和該汲極電極之其中一者的串連接電連接至該半導體層。

7. 如申請專利範圍第 1 項或第 4 項之半導體裝置，

其中包含該矽半導體材料的該基板係單晶半導體基板或 SOI 基板。

8. 一種記憶體元件，包含：

第一電晶體，其包含：

通道形成區，其包含單晶矽；

第一閘極絕緣層，其在該通道形成區之上；以及

第一閘極電極，其在該第一閘極絕緣層之上；

絕緣層，其在該第一電晶體之上；

第二電晶體，其在該絕緣層之上，該第二電晶體包

含：

氧化物半導體層；

第二閘極電極；以及

第二閘極絕緣層，其在該氧化物半導體層與該第二閘極電極之間，

其中該第一閘極電極電連接至該氧化物半導體層，

其中該氧化物半導體層包含銦、鎵及鋅，以及

其中該氧化物半導體層包含微晶部分，該微晶部分具有 20 nm 或更小的晶粒直徑。

9. 一種記憶體元件，包含：

基板，其包含單晶矽；

第一電晶體，其包含：

包含矽的通道形成區，其在該基板中；

第一閘極絕緣層，其在該基板上且重疊該通道形成區；以及

第一閘極電極，其在該第一閘極絕緣層之上；

絕緣層，其在該第一電晶體之上；

第二電晶體，其在該絕緣層之上，該第二電晶體包含：

氧化物半導體層；

第二閘極電極；以及

第二閘極絕緣層，其在該氧化物半導體層與該第二閘極電極之間，

其中該第一閘極電極電連接至該氧化物半導體層，

其中該氧化物半導體層包含銮、鎳及鋅，以及
其中該氧化物半導體層包含微晶部分，該微晶部分具有 20 nm 或更小的晶粒直徑。

10. 一種記憶體元件，包含：

基板，其包含單晶矽；

第一電晶體，其包含：

包含矽的通道形成區，其在該基板中；

第一閘極絕緣層，其在該基板上且重疊該通道形成區；以及

第一閘極電極，其在該第一閘極絕緣層之上；

絕緣層，其在該第一電晶體之上；

第二電晶體，其在該絕緣層之上，該第二電晶體包含：

氧化物半導體層；

第二閘極電極；

第二閘極絕緣層，其在該氧化物半導體層與該第二閘極電極之間；以及

源極電極和汲極電極，其電連接至該氧化物半導體層，

其中該第一閘極電極藉由該源極電極和該汲極電極之其中一者電連接至該氧化物半導體層，

其中該氧化物半導體層包含銮、鎳及鋅，以及

其中該氧化物半導體層包含微晶部分，該微晶部分具有 20 nm 或更小的晶粒直徑。

11. 如申請專利範圍第 8 至 10 項之任一項的記憶體元件，其中該晶粒直徑為 4 nm 或更小。

12. 如申請專利範圍第 8 至 10 項之任一項的記憶體元件，其中該微晶部分包括在該氧化物半導體層的表面係對準的結晶。

13. 如申請專利範圍第 8 至 10 項之任一項的記憶體元件，其中該氧化物半導體層的氫濃度為 5×10^{19} atoms/cm³ 或更少。

14. 如申請專利範圍第 8 至 10 項之任一項的記憶體元件，其中該第二電晶體的關閉狀態電流為 1×10^{-13} A 或更少。