(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL DE LA PROPRIÉTÉ INDUSTRIELLE

COURBEVOIE

(11) **N° de publication :** **3 097 341**

(à n'utiliser que pour les commandes de reproduction)

(21) **N° d'enregistrement national :** **19 06456**

(51) Int Cl[8] : ***G 06 F 1/26*** *(2019.01)*

(12) DEMANDE DE BREVET D'INVENTION A1

(22) **Date de dépôt :** 17.06.19.

(30) **Priorité :**

(43) **Date de mise à la disposition du public de la demande :** 18.12.20 Bulletin 20/51.

(56) **Liste des documents cités dans le rapport de recherche préliminaire :** *Se reporter à la fin du présent fascicule*

(60) **Références à d'autres documents nationaux apparentés :**

◯ **Demande(s) d'extension :**

(71) **Demandeur(s) :** *STMICROELECTRONICS (GRENOBLE 2) SAS Société par actions simplifiée* — FR.

(72) **Inventeur(s) :** CLIQUENNOIS Sebastien.

(73) **Titulaire(s) :** STMICROELECTRONICS (GRENOBLE 2) SAS Société par actions simplifiée.

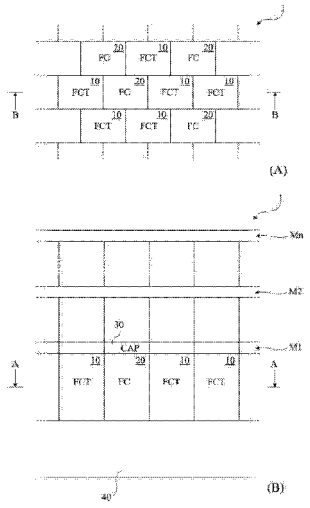
(74) **Mandataire(s) :** CABINET BEAUMONT.

(54) Structure capacitive.

(57) Structure capacitive

La présente description concerne un circuit intégré numérique (1) comprenant : des premières zones (10) intégrant des fonctions numériques ; et une ou plusieurs premières capacités (30), constituées de structures métal-isolant-métal interdigitées, situées à l'aplomb d'une ou de plusieurs deuxièmes zones (20) comblant un ou plusieurs espaces entre les premières zones (10).

Figure pour l'abrégé : Fig. 1



FR 3 097 341 - A1

Description

Titre de l'invention : *Structure capacitive*

Domaine technique

[0001] La présente description concerne de façon générale les dispositifs électroniques et, plus particulièrement, les circuits intégrés numériques.

Technique antérieure

[0002] Des chutes de tension d'alimentation sont souvent préjudiciables au fonctionnement de composants d'un circuit intégré numérique. Pour pallier ce problème, la plupart des circuits intégrés numériques comportent des condensateurs. Les condensateurs permettent en effet, par leur décharge en cas de chute de tension, de stabiliser ou lisser la tension d'alimentation des composants du circuit auxquels ils sont associés.

[0003] Ces condensateurs sont typiquement localisés dans des zones appelées « cellules de remplissage » (filler cells), qui sont noyées au milieu de cellules numériques, c'est-à-dire de zones du circuit intégrant des fonctions numériques. De telles cellules de remplissage sont alors désignées par le terme de « cellules de remplissage capacitives » (filler caps). Plus la capacité électrique de ces cellules de remplissage capacitives est grande, plus la tension d'alimentation reste stable en cas d'appel de courant.

Résumé de l'invention

[0004] Il existe un besoin d'augmenter la capacité électrique des cellules de remplissage capacitives actuelles.

[0005] Un mode de réalisation pallie tout ou partie des inconvénients des cellules de remplissage capacitives connues.

[0006] Un mode de réalisation prévoit un circuit intégré numérique comprenant :

des premières zones intégrant des fonctions numériques ; et

une ou plusieurs premières capacités, constituées de structures métal-isolant-métal interdigitées, situées à l'aplomb d'une ou de plusieurs deuxièmes zones comblant un ou plusieurs espaces entre les premières zones.

[0007] Un mode de réalisation prévoit un procédé de fabrication d'un circuit intégré numérique, consistant à :

réaliser des premières zones intégrant des fonctions numériques ; et

réaliser, à l'aplomb d'une ou de plusieurs deuxièmes zones comblant un ou plusieurs espaces entre les premières zones, une ou plusieurs premières capacités constituées de structures métal-isolant-métal interdigitées.

[0008] Selon un mode de réalisation, la ou les premières capacités sont associées et à l'aplomb d'une ou de plusieurs deuxièmes capacités constituées d'au moins un

transistor.

[0009] Selon un mode de réalisation, la ou les deuxièmes capacités sont constituées de deux transistors à grille flottante.

[0010] Selon un mode de réalisation, la ou les premières capacités sont constituées :

d'une première électrode comportant des premiers doigts parallèles entre eux ;

d'une deuxième électrode comportant des deuxièmes doigts parallèles entre eux et parallèles aux premiers doigts, cette deuxième électrode étant interdigitée avec la première électrode ; et

d'un isolant intercalé entre la première électrode et la deuxième électrode.

[0011] Selon un mode de réalisation, la première électrode et la deuxième électrode forment une structure plane, parallèle à une surface supérieure du circuit.

[0012] Selon un mode de réalisation, tout ou partie des premiers doigts et tout ou partie des deuxièmes doigts forment, en outre, une structure interdigitée selon une direction non parallèle aux premiers doigts et aux deuxièmes doigts.

[0013] Selon un mode de réalisation :

la première électrode est portée à un potentiel d'alimentation ; et

la deuxième électrode est portée à un potentiel de référence.

[0014] Selon un mode de réalisation, les premiers doigts et les deuxièmes doigts présentent une largeur égale à environ 70 nm, de préférence égale à 70 nm.

[0015] Selon un mode de réalisation, les premiers doigts sont séparés des deuxièmes doigts par une distance comprise entre environ 70 nm et environ 80 nm, de préférence comprise entre 70 nm et 80 nm.

[0016] Selon un mode de réalisation, la ou les premières capacités présentent une longueur égale à environ un nombre entier de fois une distance de centre à centre minimale entre des pistes du circuit, de préférence égale à un nombre entier de fois une distance de centre à centre minimale entre des pistes du circuit.

[0017] Un mode de réalisation prévoit un circuit ou un procédé tel que décrit comportant, sur un substrat dans lequel sont formés des composants actifs, plusieurs niveaux de métallisation superposés avec interposition de niveaux isolants, la ou les premières capacités étant réalisées dans le niveau de métallisation le plus proche du substrat.

Brève description des dessins

[0018] Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

[0019] [fig.1] la figure 1 représente, de façon très schématique par des vues en coupe (A) et (B), un mode de réalisation d'un circuit intégré numérique ;

[0020] [fig.2] la figure 2 représente un mode de réalisation d'une structure capacitive ;

[0021] [fig.3] la figure 3 représente un autre mode de réalisation d'une structure capacitive ; et

[0022] [fig.4] la figure 4 représente, de façon schématique, un mode de réalisation d'une cellule de remplissage capacitive.

Description des modes de réalisation

[0023] De mêmes éléments ont été désignés par de mêmes références dans les différentes figures. En particulier, les éléments structurels et/ou fonctionnels communs aux différents modes de réalisation peuvent présenter les mêmes références et peuvent disposer de propriétés structurelles, dimensionnelles et matérielles identiques.

[0024] Par souci de clarté, seuls les étapes et éléments utiles à la compréhension des modes de réalisation décrits ont été représentés et sont détaillés. En particulier, les zones intégrant les fonctions numériques ne sont pas détaillées, ces zones étant compatibles avec les applications usuelles des circuits intégrés numériques.

[0025] Sauf précision contraire, lorsque l'on fait référence à deux éléments connectés entre eux, cela signifie directement connectés sans éléments intermédiaires autres que des conducteurs, et lorsque l'on fait référence à deux éléments reliés ou couplés entre eux, cela signifie que ces deux éléments peuvent être connectés ou être reliés ou couplés par l'intermédiaire d'un ou plusieurs autres éléments.

[0026] Dans la description qui suit, lorsque l'on fait référence à des qualificatifs de position absolue, tels que les termes "avant", "arrière", "haut", "bas", "gauche", "droite", etc., ou relative, tels que les termes "dessus", "dessous", "supérieur", "inférieur", etc., ou à des qualificatifs d'orientation, tels que les termes "horizontal", "vertical", etc., il est fait référence sauf précision contraire à l'orientation des figures.

[0027] Sauf précision contraire, les expressions "environ", "approximativement", "sensiblement", et "de l'ordre de" signifient à 10 % près, de préférence à 5 % près.

[0028] La figure 1 représente, de façon très schématique par des vues en coupe (A) et (B), un mode de réalisation d'un circuit intégré numérique 1.

[0029] La vue (A) correspond à une vue de dessus et en coupe, selon le plan AA visible en vue (B), du circuit intégré numérique 1. La vue (B) correspond à une vue de côté et en coupe, selon le plan BB visible en vue (A), du circuit intégré numérique 1.

[0030] Selon ce mode de réalisation, le circuit intégré numérique 1 comporte :

des premières zones 10 (FCT) intégrant des fonctions numériques ; et

des deuxièmes zones 20 (FC) comblant un ou plusieurs espaces ou intervalles entre les premières zones 10.

[0031] Ces premières zones 10 et ces deuxièmes zones 20 du circuit numérique 1 sont, vues de dessus, organisées sous forme de lignes ou rangées.

[0032] Les premières zones 10 comportent tout type de circuit numérique, par exemple, des

bascules, des éléments de mémorisation, etc., ainsi que des portes logiques (non représentées) permettant de réaliser des fonctions logiques (ET, OU, NON, OU exclusif (XOR), etc.) spécifiques à une application donnée. Ces premières zones 10 sont également appelées cellules fonctionnelles (functional cells) 10, ou encore cellules standard (standard cells) 10.

[0033] Dans l'exemple de la figure 1, les deuxièmes zones 20 permettent de combler des espaces entre les premières zones 10 non jointives. En d'autres termes, les deuxièmes zones 20 du circuit 1 ne participent pas à la réalisation des fonctions logiques spécifiques à l'application. Ces deuxièmes zones 20 sont également appelées cellules de remplissage (filler cells) 20.

[0034] Le circuit numérique 1 comporte un substrat 40 dans et sur lequel sont formés des composants actifs et plusieurs niveaux de métallisation M1, M2, Mn superposés avec interposition de niveaux isolants. Certaines cellules de remplissage comportent, par exemple, des éléments de connexion (non représentés) permettant d'établir une continuité électrique entre plusieurs niveaux de métallisation parmi les niveaux de métallisation M1, M2 et/ou Mn (vue (B)) du circuit intégré numérique 1. Cela permet, par exemple, de véhiculer un signal ou potentiel d'alimentation, noté VDD, et un signal ou potentiel de référence, par exemple la masse, notée GND, entre les différents niveaux de métallisation M1, M2 et Mn.

[0035] D'autres cellules de remplissage comportent un ou plusieurs condensateurs. Ces cellules de remplissage sont alors appelées cellules de remplissage capacitives (filler caps). Ces cellules de remplissage capacitives permettent de stabiliser ou lisser localement la tension d'alimentation des cellules fonctionnelles 10 du circuit 1 qui se trouvent à proximité.

[0036] Pour simplifier, on suppose par la suite que toutes les cellules de remplissage 20 du circuit 1 sont des cellules de remplissage capacitives.

[0037] Selon un mode de réalisation préféré, une première capacité 30 (CAP, vue (B)) est située à l'aplomb de chaque cellule de remplissage capacitive 20. Cette première capacité 30 est, toujours selon ce mode de réalisation préféré, localisée dans le niveau de métallisation M1 du circuit 1. Le niveau de métallisation M1 est, dans l'exemple de la figure 1, le niveau de métallisation le plus proche du substrat 40 du circuit 1.

[0038] Chaque cellule de remplissage capacitive 20 comporte, de préférence, une deuxième capacité (non représentée). Cette deuxième capacité est, par exemple, constituée d'un ou de plusieurs transistors intégrés à l'intérieur de la deuxième zone 20. En d'autres termes, la première capacité 30 est empilée sur la cellule de remplissage capacitive 20.

[0039] La première capacité 30 permet d'augmenter la capacité électrique de la cellule de remplissage capacitive 20 d'environ 20 %. Les cellules fonctionnelles 10 du circuit 1 situées à proximité des cellules de remplissage capacitives 20 sont ainsi moins

impactées par des variations de tension d'alimentation. Cela améliore, par conséquent, le fonctionnement global du circuit 1.

[0040] Pour un circuit numérique intégré 1 comportant un grand nombre n de niveaux de métallisation (M1 à Mn), par exemple, à partir de cinq niveaux de métallisation (M1 à M5), la présence des premières capacités 30 dans le niveau M1 est prise en compte au moment du routage. On tire alors profit des niveaux de métallisation supérieurs (c'est-à-dire M2 à Mn) pour effectuer le routage, ce qui permet d'interconnecter les premières zones 10 et les deuxièmes zones 20 même si le niveau M1 est partiellement occupé par des premières capacités 30.

[0041] La figure 2 représente un mode de réalisation d'une structure capacitive 5. La figure 2 est une vue de dessus d'un niveau de métallisation dans lequel est réalisée une capacité 30.

[0042] Selon le mode de réalisation de la figure 2, la structure capacitive 5 est constituée d'une première électrode 51 et d'une deuxième électrode 53. La première électrode 51 comporte des premiers doigts 511, 513, 515 et 517 parallèles entre eux. La deuxième électrode 53 comporte des deuxièmes doigts 531, 533, 535 et 537 parallèles entre eux. Les deuxièmes doigts 531, 533, 535 et 537 sont, en outre, parallèles aux premiers doigts 511, 513, 515 et 517. Un isolant 55 est intercalé entre la première électrode 51 et la deuxième électrode 53.

[0043] Les premiers doigts 511, 513, 515 et 517 de la première électrode 51 et les deuxièmes doigts 531, 533, 535 et 537 de la deuxième électrode 53 s'interpénètrent ou, autrement dit, s'imbriquent les uns dans les autres. En d'autres termes, la structure capacitive 5 forme, vue de dessus, un double peigne d'électrodes 51 et 53 interdigitées. L'isolant 55 sépare ainsi les premiers doigts 511, 513, 515 et 517 des deuxièmes doigts 531, 533, 535 et 537. L'isolant 55 constitue ainsi le diélectrique de la capacité entre les deux électrodes 51 et 53.

[0044] On suppose que la structure capacitive 5 constitue la première capacité 30 située à l'aplomb de la cellule de remplissage capacitive 20 comme exposé en relation avec la figure 1. La structure capacitive 5 correspond ainsi à un mode de réalisation de la première capacité 30 (figure 1), vue de dessus en figure 2. La première électrode 51 et la deuxième électrode 53 forment, dans ce cas, une structure plane, parallèle à une surface supérieure du circuit (en haut du circuit 1, en figure 1).

[0045] On fait alors en sorte que la structure capacitive 5 possède des dimensions adaptées en fonction de la cellule de remplissage capacitive (20, en figure 1) à laquelle elle est associée. La structure capacitive 5 possède, de préférence, une longueur, notée L, et une largeur, notée W, telles que la structure capacitive 5 recouvre totalement une surface supérieure (non représentée) de la cellule de remplissage capacitive associée. En d'autres termes, les dimensions de la structure capacitive 5 correspondent aux di-

mensions latérales et longitudinales de la cellule de remplissage capacitive qui lui est associée.

[0046] On note P une distance de centre à centre minimale entre des pistes métalliques du circuit 1 (figure 1). La distance P est appelée « pas » (pitch) du circuit 1. Le pas P correspond environ, dans l'exemple de la figure 2, à une distance centre à centre minimale entre deux doigts voisins. Ce pas P peut également s'exprimer comme étant, dans la technologie utilisée, la somme de la largeur minimale d'une piste métallique et de l'écart minimal entre deux pistes (ou la somme de la largeur minimale d'un doigt et de l'écart minimal entre deux doigts voisins, dans l'exemple de la figure 2). La longueur L de la structure capacitive 5, mesurée selon une direction parallèle aux doigts, est environ égale, de préférence égale, à un nombre entier de fois le pas P du circuit.

[0047] La largeur W de la structure capacitive 5, mesurée selon une direction perpendiculaire aux doigts, est environ égale, de préférence égale, à une hauteur de ligne ou rangée formée par les premières zones 10 et les deuxièmes zones 20, comme illustré en relation avec la figure 1.

[0048] La structure capacitive 5 possède, de préférence, une épaisseur égale à l'épaisseur du niveau de métallisation dans lequel elle est réalisée (le niveau de métallisation M1, dans le cas de la première capacité 30 représentée en figure 1).

[0049] Selon un mode de réalisation, les premiers doigts 511, 513, 515 et 517 et les deuxièmes doigts 531, 533, 535 et 537 possèdent une largeur, notée LC, identique. Pour un circuit réalisé grâce à une technologie de gravure à 40 nm, les premiers doigts 511, 513, 515 et 517 et les deuxièmes doigts 531, 533, 535 et 537 possèdent une largeur égale à environ 70 nm, de préférence égale à 70 nm.

[0050] Selon un mode de réalisation, certains premiers et/ou deuxièmes doigts possèdent une largeur supérieure à la largeur des autres doigts. Cela permet, par exemple, de connecter la structure capacitive 5 à des contacts de la cellule de remplissage capacitive 20 située à l'aplomb de la structure 5. Cela permet aussi, par exemple, de se ramener à un nombre total de premiers et de deuxièmes doigts qui soit un nombre pair, donc de maximiser la capacité électrique de la structure 5.

[0051] Selon un mode de réalisation, les premiers doigts 511, 513, 515 et 517 sont séparés des deuxièmes doigts 531, 533, 535 et 537 par une distance, notée LI, comprise entre environ 70 nm et environ 80 nm, de préférence comprise entre 70 nm et 80 nm. En d'autres termes, l'isolant 55 forme, entre la première électrode 51 et la deuxième électrode 53, une zone d'une largeur LI.

[0052] Afin d'optimiser la capacité électrique de la structure capacitive 5, on fait en sorte que les électrodes interdigitées 51 et 53 comportent un nombre maximal de premiers et de deuxièmes doigts. De préférence, on réalise ainsi la structure capacitive 5 afin :

que les premiers et les deuxièmes doigts possèdent tous la plus petite largeur LC possible ; et

que la distance LI entre deux doigts voisins soit la plus petite possible en tenant compte, le cas échéant, de contraintes d'intégration (provenant, par exemple, de contacts destinés à connecter la structure 5 à la cellule de remplissage capacitive 20).

[0053] On maximise également la capacité électrique de la structure capacitive 5 en faisant en sorte que les premiers et les deuxièmes doigts soient les plus longs possible.

[0054] En d'autres termes, on fait en sorte :

que les peignes interdigités formés par les deux électrodes 51 et 53 comportent un maximum de premiers et de deuxièmes doigts ; et

que la largeur LI de l'isolant 55 séparant les deux électrodes 51 et 55 soit la plus petite possible.

[0055] Selon un mode de réalisation, la largeur d'un ou de plusieurs doigts, parmi les premiers doigts 511, 513, 515 et 517 et les deuxièmes doigts 531, 533, 535 et 537, est supérieure à celle des autres doigts. Le doigt 535 possède, dans l'exemple de la figure 2, une largeur légèrement supérieure à celle des autres doigts. Cela permet d'optimiser la capacité électrique de la structure capacitive 5 en fonction de la largeur W disponible.

[0056] En figure 2, la première électrode 51 est portée au potentiel VDD d'alimentation du circuit tandis que la deuxième électrode 53 est mise à la masse GND. En variante, la première électrode 51 est mise à la masse GND tandis que la deuxième électrode 53 est portée au potentiel VDD d'alimentation du circuit. Les doigts 511 et 531 forment, en figure 2, des rails d'alimentation réalisés dans le niveau de métallisation M1. En d'autres termes, les doigts 511 et 531 se prolongent tous deux latéralement (c'est-à-dire vers la droite et vers la gauche, en figure 2) pour connecter d'autres cellules voisines.

[0057] Les électrodes 51 et 53 sont, par exemple, réalisées par gravure de la couche de métallisation M1 du circuit 1 (figure 1). Les électrodes 51 et 53 forment alors, conjointement avec l'isolant 55, une structure métal-isolant-métal (Metal-Insulator-Metal, MIM) interdigitée. Dans le cas où l'isolant est un oxyde, par exemple, un oxyde de silicium, on dit que la structure capacitive 5 est une structure métal-oxyde-métal (Metal-Oxide-Metal, MOM) interdigitée.

[0058] La figure 3 représente un autre mode de réalisation d'une structure capacitive 6.

[0059] La structure capacitive 6 de la figure 3 comprend des éléments communs avec la structure capacitive 5 de la figure 2. Ces éléments communs ne seront pas détaillés à nouveau ci-après.

[0060] La structure capacitive 6 de la figure 3 diffère de la structure capacitive 5 de la figure 2 principalement en ce que l'un des premiers doigts (le premier doigt 517, en figure 3)

et l'un des deuxièmes doigts (le deuxième doigt 531, en figure 3) forment, en outre, une structure interdigitée selon une direction non parallèle aux premiers doigts et aux deuxièmes doigts, de préférence selon une direction perpendiculaire aux premiers doigts et aux deuxièmes doigts. Selon le mode de réalisation de la figure 3, le premier doigt 517 possède des doigts 5171 parallèles entre eux. De même, le deuxième doigt 531 possède des doigts 5311 parallèles entre eux et parallèles aux doigts 5171. Les doigts 5171 et 5311 sont, en figure 3, perpendiculaires aux premiers doigts 511, 513, 515 et 517 et aux deuxièmes doigts 531, 533, 535 et 537.

[0061] Les doigts 5171 de la première électrode 51 et les deuxièmes doigts 5311 de la deuxième électrode 53 s'interpénètrent ou, autrement dit, s'imbriquent les uns dans les autres. En d'autres termes, la structure capacitive 5 forme, vue de dessus, un double peigne d'électrodes 51 et 53 interdigitées selon deux directions perpendiculaires.

[0062] On suppose que la largeur W de la structure capacitive n'est pas égale à n.(LI + LC) + LC, où n est un nombre entier. Au lieu d'augmenter la largeur LC de certains premiers ou deuxièmes doigts, la structure interdigitée formée par les doigts 5171 et 5311 permet alors d'optimiser encore davantage la capacité électrique de la structure 6 en tirant profit de l'espace disponible restant.

[0063] La figure 4 représente, de façon schématique, un mode de réalisation d'une cellule de remplissage capacitive.

[0064] Selon ce mode de réalisation, une cellule de remplissage capacitive, par exemple, la cellule de remplissage capacitive 20 comme exposé en relation avec la figure 1, est constituée de deux transistors 201 et 203. Les deux transistors 201 et 203 sont, par exemple, deux transistors MOS. Dans l'exemple de la figure 4, le transistor 201 est un transistor MOS à canal P tandis que le transistor 203 est un transistor MOS à canal N. Les deux transistors 201 et 203 possèdent, toujours dans l'exemple de la figure 4, une grille G commune. La grille G des transistors MOS 201 et 203 n'étant reliée à aucune borne d'application d'un signal de commande, on dit que la grille G est une grille flottante.

[0065] Les deux transistors 201 et 203 de la cellule de remplissage capacitive 20 forment conjointement une deuxième capacité 200. Cette deuxième capacité 200 est, de préférence, associée en parallèle à la première capacité 30 surmontant la cellule de remplissage capacitive 20. Des conducteurs, ou des pistes conductrices, véhiculant respectivement le signal d'alimentation VDD et le signal de référence GND sont ainsi reliés par la première capacité 30 et par la deuxième capacité 200, montée en parallèle de la capacité 30.

[0066] On augmente ainsi, grâce à la première capacité 30, une capacité électrique de la cellule de remplissage 20 par rapport à celle d'une cellule de remplissage 20 qui ne comporterait que la deuxième capacité 200. Cela permet de mieux stabiliser ou lisser la

tension d'alimentation des composants (non représentés) reliés ou connectés entre les conducteurs portés aux potentiels VDD et GND.

[0067] Ce qui a été exposé ci-dessus en relation avec un mode de réalisation prenant pour exemple deux transistors MOS à grille flottante n'est toutefois pas limitatif et s'applique également à une cellule de remplissage capacitive 20 comportant une ou plusieurs capacités d'une technologie quelconque, en particulier des transistors d'une technologie quelconque (MOS de type p, MOS de type n, association en parallèle d'un MOS de type p et d'un MOS de type n, etc.).

[0068] Divers modes de réalisation et variantes ont été décrits. L'homme de l'art comprendra que certaines caractéristiques de ces divers modes de réalisation et variantes pourraient être combinées, et d'autres variantes apparaîtront à l'homme de l'art. En particulier, les modes de réalisation décrits font état d'une cellule de remplissage capacitive 20 associée à une seule première capacité 30 et possédant une seule deuxième capacité 200, mais tout ou partie des cellules de remplissage capacitives 20 du circuit 1 peuvent posséder un nombre quelconque de deuxièmes capacités 200 et/ou être associées à un nombre quelconque de premières capacités 30.

[0069] Enfin, la mise en œuvre pratique des modes de réalisation et variantes décrits est à la portée de l'homme du métier à partir des indications fonctionnelles données ci-dessus.

Revendications

[Revendication 1] Circuit intégré numérique (1) comprenant :
des premières zones (10) intégrant des fonctions numériques ; et
une ou plusieurs premières capacités (30), constituées de structures métal-isolant-métal interdigitées (5 ; 6), situées à l'aplomb d'une ou de plusieurs deuxièmes zones (20) comblant un ou plusieurs espaces entre les premières zones (10).

[Revendication 2] Circuit selon la revendication 1, dans lequel la ou les premières capacités (30) sont associées et à l'aplomb d'une ou de plusieurs deuxièmes capacités (200) comprenant au moins un transistor (201, 203).

[Revendication 3] Circuit selon la revendication 1 ou 2, dans lequel la ou les deuxièmes capacités (200) sont constituées de deux transistors (201, 203) à grille flottante.

[Revendication 4] Circuit selon l'une quelconque des revendications 1 à 3, dans lequel la ou les premières capacités (30) comprennent :
une première électrode (51) comportant des premiers doigts (511, 513, 515, 517) parallèles entre eux ;
une deuxième électrode (53) comportant des deuxièmes doigts (531, 533, 535, 537) parallèles entre eux et parallèles aux premiers doigts (511, 513, 515, 517), cette deuxième électrode (53) étant interdigitée avec la première électrode (51) ; et
un isolant (55) intercalé entre la première électrode (51) et la deuxième électrode (53).

[Revendication 5] Circuit selon la revendication 4, dans lequel la première électrode (51) et la deuxième électrode (53) forment une structure plane, parallèle à une surface supérieure du circuit (1).

[Revendication 6] Circuit selon la revendication 4 ou 5, dans lequel tout ou partie des premiers doigts (511, 513, 515, 517) et tout ou partie des deuxièmes doigts (531, 533, 535, 537) forment, en outre, une structure interdigitée (5171, 5311) selon une direction non parallèle aux premiers doigts (511, 513, 515, 517) et aux deuxièmes doigts (531, 533, 535, 537).

[Revendication 7] Circuit selon l'une quelconque des revendications 4 à 6, dans lequel :
la première électrode (51) est portée à un potentiel d'alimentation (VDD) ; et
la deuxième électrode (53) est portée à un potentiel de référence (GND).

[Revendication 8] Circuit selon l'une quelconque des revendications 4 à 7, dans lequel les

premiers doigts (511, 513, 515, 517) et les deuxièmes doigts (531, 533, 535, 537) présentent une largeur (LC) égale à environ 70 nm, de préférence égale à 70 nm.

[Revendication 9] Circuit selon l'une quelconque des revendications 4 à 8, dans lequel les premiers doigts (511, 513, 515, 517) sont séparés des deuxièmes doigts (531, 533, 535, 537) par une distance (LI) comprise entre environ 70 nm et environ 80 nm, de préférence comprise entre 70 nm et 80 nm.

[Revendication 10] Circuit selon l'une quelconque des revendications 1 à 9, dans lequel la ou les premières capacités (30) présentent une longueur (L) égale à environ un nombre entier de fois une distance (P) de centre à centre minimale entre des pistes du circuit (1), de préférence égale à un nombre entier de fois une distance (P) de centre à centre minimale entre des pistes du circuit (1).

[Revendication 11] Circuit selon l'une quelconque des revendications 1 à 10, comportant, sur un substrat (40) dans lequel sont formés des composants actifs, plusieurs niveaux de métallisation (M1, M2, Mn) superposés avec interposition de niveaux isolants, la ou les premières capacités (30) étant réalisées dans le niveau de métallisation (M1) le plus proche du substrat (40).

[Revendication 12] Procédé de fabrication d'un circuit intégré numérique (1) selon l'une quelconque des revendications 1 à 11, comprenant des étapes consistant à :

réaliser les premières zones (10) intégrant des fonctions numériques ; et

réaliser, à l'aplomb de la ou des deuxièmes zones (20) comblant le ou les espaces entre les premières zones (10), la ou les premières capacités (30) constituées de structures métal-isolant-métal interdigitées (5 ; 6).

[Fig. 1]

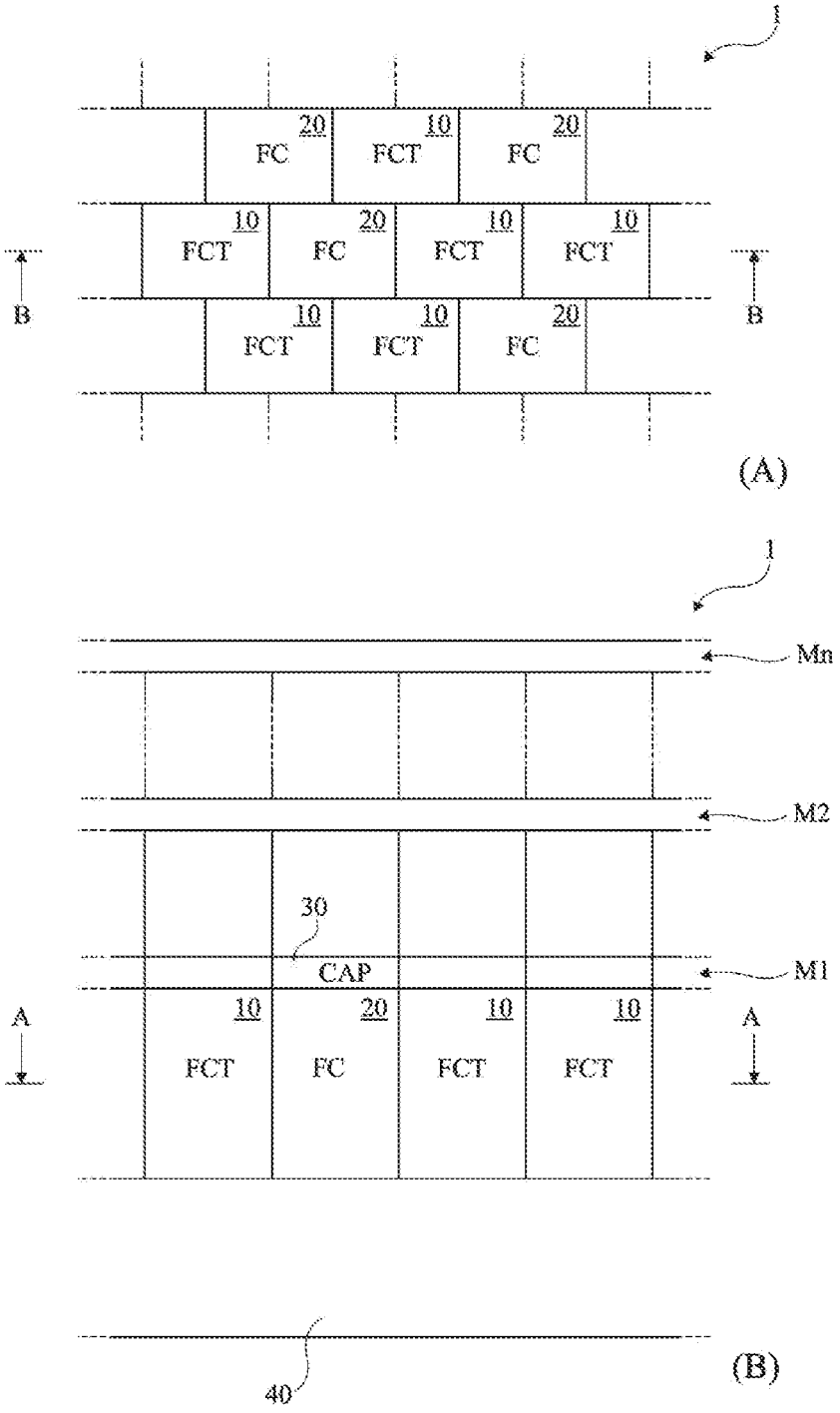

1
20
FC
10
FCT
20
FC
10
FCT
20
FC
10
FCT
10
FCT
B
B
(A)
1
Mn
M2
30
CAP
M1
A
A
10
FCT
20
FC
10
FCT
10
FCT
40
(B)

Fig 1

[Fig. 2]

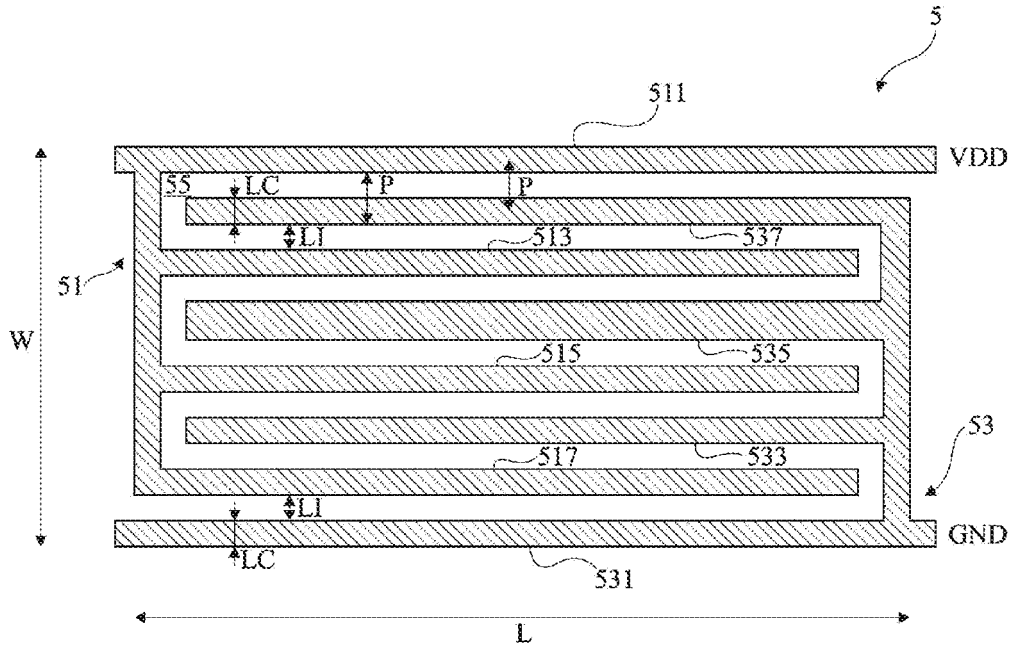


Fig 2

[Fig. 3]

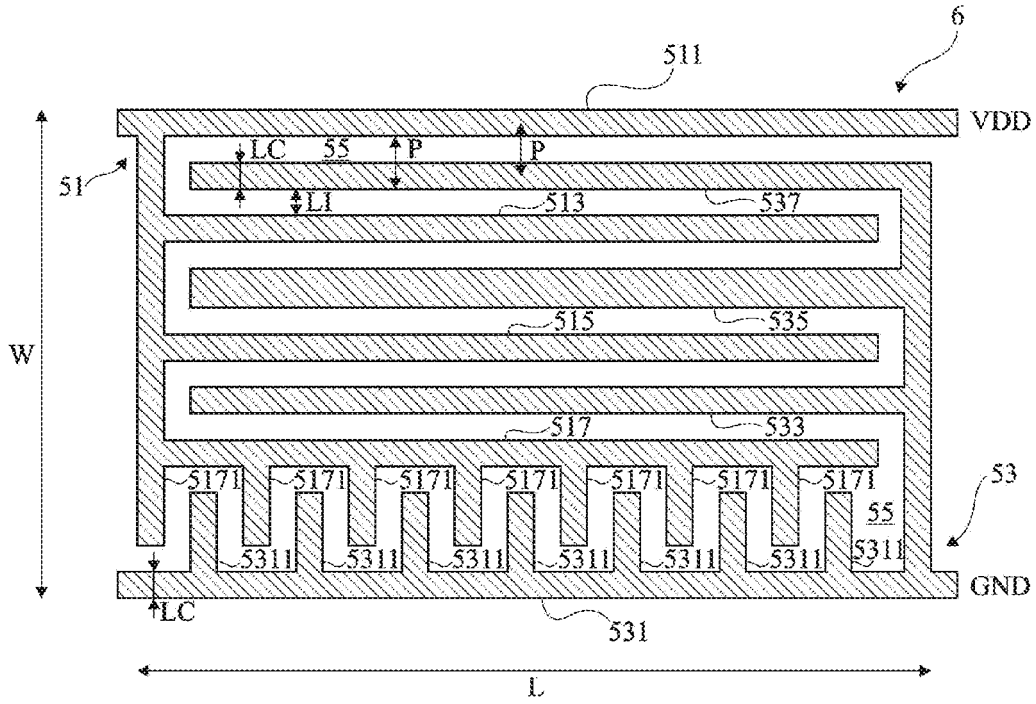


Fig 3

[Fig. 4]

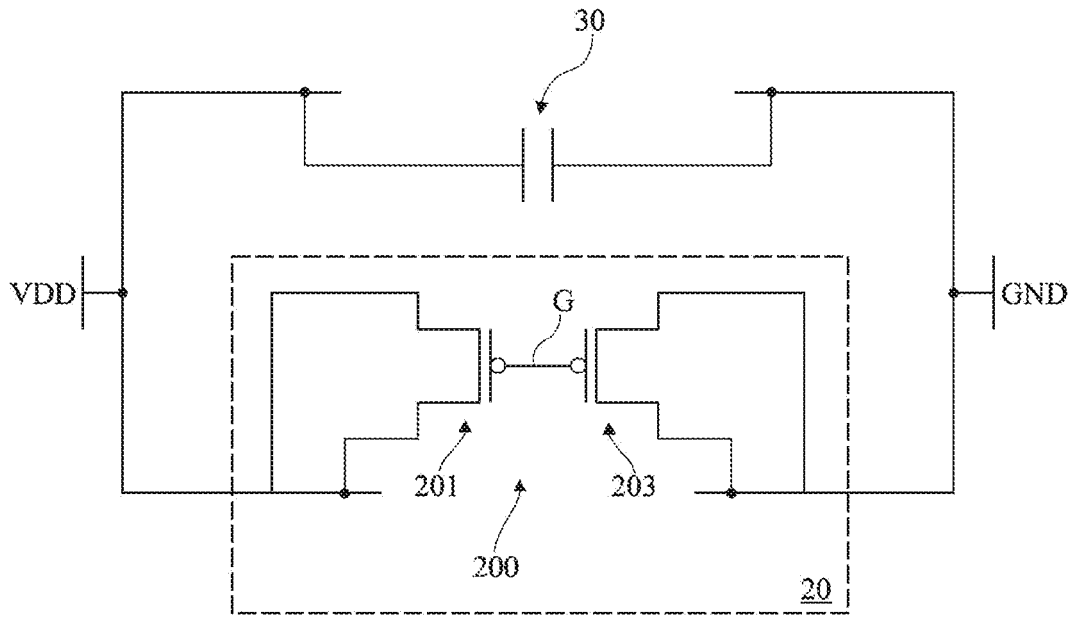


Fig 4

RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL DE LA PROPRIÉTÉ INDUSTRIELLE

RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications déposées avant le commencement de la recherche

N° d'enregistrement national

FA 870947
FR 1906456

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2003/148578 A1 (KU JOSEPH W [US] ET AL) 7 août 2003 (2003-08-07) * alinéas [0001] - [0049]; revendications 1-20; figures 1-4 *	1-12	G06F1/26
A	US 2005/167702 A1 (BOOTH RICHARD [US] ET AL) 4 août 2005 (2005-08-04) * alinéa [0014] - alinéa [0049]; revendications 1-18; figures 1-4 *	1-12	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L

Date d'achèvement de la recherche	Examinateur
19 mars 2020	Norga, Gerd

CATÉGORIE DES DOCUMENTS CITÉS

X : particulièrement pertinent à lui seul
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie
A : arrière-plan technologique
O : divulgation non-écrite
P : document intercalaire

T : théorie ou principe à la base de l'invention
E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.
D : cité dans la demande
L : cité pour d'autres raisons

.....

& : membre de la même famille, document correspondant

EPO FORM 1503 12.99 (P04C14)

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1906456 FA 870947

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 19-03-2020
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2003148578 A1	07-08-2003	AUCUN	
US 2005167702 A1	04-08-2005	US 2005167702 A1	04-08-2005
		US 2006124972 A1	15-06-2006

EPO FORM P0465