I813464

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I813464 B**

(45)公告日： 中華民國 112 (2023) 年 08 月 21 日

(21)申請案號：111138124 (22)申請日： 中華民國 111 (2022) 年 10 月 07 日

(51)Int. Cl.： ***H01L31/0352(2006.01)*** ***H01L31/107 (2006.01)***
H01L27/14 (2006.01) ***G01J1/42 (2006.01)***

(30)優先權：2022/03/16 世界智慧財產權組織 PCT/JP2022/011878

(71)申請人：日商Ｏｐｔｏｈｕｂ股份有限公司 (日本) OPTOHUB CO., LTD (JP)
日本

(72)發明人：倉知郁生 KURACHI, IKUO (JP) ；高野紘 TAKANO, HIROSHI (JP) ；鹿島保昌 KASHIMA, YASUMASA (JP)

(74)代理人：卓俊傑；鮑亞嵐；卓孟儀

(56)參考文獻：

TW 200627635A US 2005/0167709A1

審查人員：林聖傑

申請專利範圍項數：4 項 圖式數：6 共 45 頁

(54)名稱

光檢測裝置

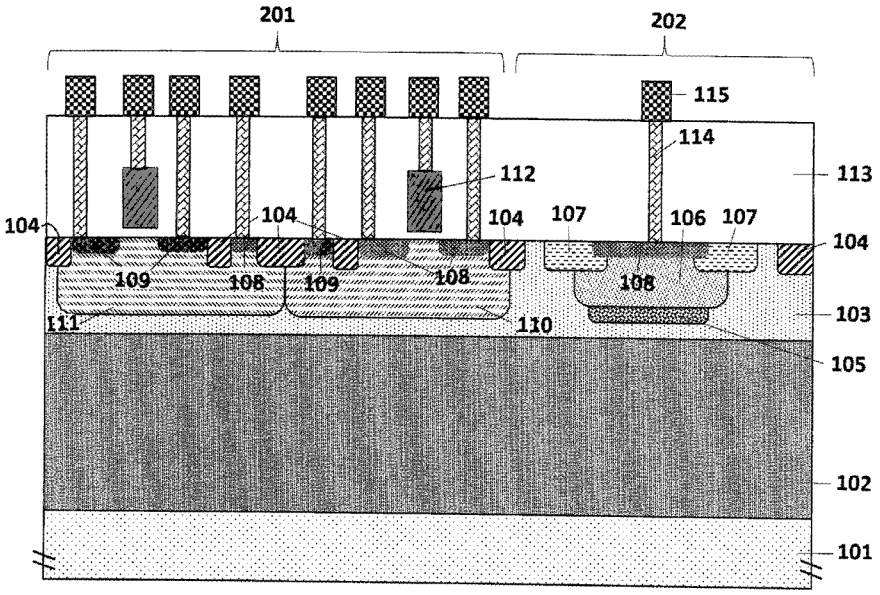
(57)摘要

本發明提供一種包括 SPAD 的光檢測裝置及其製造方法，所述光檢測裝置與 InGaAs 相比將基板製作成本抑制得充分低，且剩餘脈衝也少，DCR 也得到抑制。本發明的光檢測裝置檢測來自對象物的入射光，且包括：（i）P 型矽（Si）基板；（ii）P 型鍺（Ge）層，在所述 P 型矽（Si）基板的成為表面的第一面通過磊晶成長而形成；以及（iii）P 型薄膜矽（Si）層，形成於所述 P 型鍺（Ge）層上，並且（iv）所述 P 型薄膜矽（Si）層通過淺槽隔離（Shallow Trench Isolation）而劃分為第一區域與第二區域，在所述第一區域形成有經排列成陣列狀的多個單光子檢測二極體（SPAD），在所述第二區域形成有驅動所述 SPAD 的 CMOS 電晶體電路。

To provide a photo detection device and a manufacturing method thereof, the photo detection device comprising a SPAD in which a substrate-manufacturing cost is kept sufficiently low compared to InGaAs, afterpulsing is less and DCR is also reduced.

A photo detection device detecting an incident light from an object, comprising: (i) a P-type silicon (Si) substrate; (ii) a P-type germanium (Ge) layer formed by epitaxial growth on a first surface serving as a front surface of the P-type silicon (Si) substrate; and (iii) a P-type thin film silicon (Si) layer formed on the P-type germanium (Ge) layer, (iv) wherein the P-type thin film silicon (Si) layer is divided into a first region and a second region by a Shallow Trench Isolation (STI), multiple single photon avalanche diodes (SPADs) arranged in an array are formed in the first region, and a CMOS transistor circuit driving the SPADs is formed in the second region.

指定代表圖：



【圖2】

符號簡單說明：

101:P 型矽基板

102:P 型鍺磊晶層

103:P 型薄膜矽層

104:STI 層

105:APD P 井層

106:APD N 井層

107:保護環 N 井層

108:N^+擴散層

109:P^+擴散層

110、111:井層

112:柵極電極

113:層間絕緣膜

114:電極插塞

115:金屬配線

201:CMOS 電晶體電路

202:光電二極體

專利案號：111138124

公告本

I813464

【發明摘要】

【中文發明名稱】光檢測裝置

【英文發明名稱】PHOTO DETECTION DEVICE

【中文】

本發明提供一種包括 SPAD 的光檢測裝置及其製造方法，所述光檢測裝置與 InGaAs 相比將基板製作成本抑制得充分低，且剩餘脈衝也少，DCR 也得到抑制。本發明的光檢測裝置檢測來自對象物的入射光，且包括：(i) P 型矽（Si）基板；(ii) P 型鍺（Ge）層，在所述 P 型矽（Si）基板的成為表面的第一面通過磊晶成長而形成；以及 (iii) P 型薄膜矽（Si）層，形成於所述 P 型鍺（Ge）層上，並且 (iv) 所述 P 型薄膜矽（Si）層通過淺槽隔離（Shallow Trench Isolation）而劃分為第一區域與第二區域，在所述第一區域形成有經排列成陣列狀的多個單光子檢測二極體（SPAD），在所述第二區域形成有驅動所述 SPAD 的 CMOS 電晶體電路。

【英文】

To provide a photo detection device and a manufacturing method thereof, the photo detection device comprising a SPAD in which a substrate-manufacturing cost is kept sufficiently low compared to InGaAs, afterpulsing is less and DCR is also reduced.

A photo detection device detecting an incident light from an object, comprising: (i) a P-type silicon (Si) substrate; (ii) a P-type

germanium (Ge) layer formed by epitaxial growth on a first surface serving as a front surface of the P-type silicon (Si) substrate; and (iii) a P-type thin film silicon (Si) layer formed on the P-type germanium (Ge) layer, (iv) wherein the P-type thin film silicon (Si) layer is divided into a first region and a second region by a Shallow Trench Isolation (STI), multiple single photon avalanche diodes (SPADs) arranged in an array are formed in the first region, and a CMOS transistor circuit driving the SPADs is formed in the second region.

【指定代表圖】圖2。

【代表圖之符號簡單說明】

101：P 型矽基板

102：P 型鍺磊晶層

103：P 型薄膜矽層

104：STI 層

105：APD P 井層

106：APD N 井層

107：保護環 N 井層

108：N^+擴散層

109：P^+擴散層

110、111：井層

112：柵極電極

113：層間絕緣膜

114：電極插塞

115：金屬配線

201：CMOS 電晶體電路

202：光電二極體

【特徵化學式】

無

【發明說明書】

【中文發明名稱】光檢測裝置

【英文發明名稱】PHOTO DETECTION DEVICE

【技術領域】

【0001】 本發明涉及一種光檢測裝置，內置有多個光檢測元件和驅動所述光檢測元件的驅動電路，所述多個光檢測元件檢測來自對象物的入射光、特別是波長為 0.9 μm～1.6 μm 左右的紅外光的單光子。

【先前技術】

【0002】 以往，可檢測單光子的光檢測元件通常以使用矽的單光子雪崩二極體（Single Photon Avalanche Diode，SPAD）的形式實現（參照專利文獻 1）。

但是此時，由於矽固有的帶隙（Eg≒1.12 eV）而導致僅可檢測波長（λ）比 1 μm 左右更短的光子。為了檢測具有 1 μm 以上的波長的紅外線的光子，需要將帶隙比矽更窄的半導體用作檢測元件。因此，通常為了檢測 1 μm 以上的波長的紅外線的光子而使用銦鎵砷（InGaAs）或鍺（Ge）。

【0003】 關於前者的 InGaAs，已知其結晶缺陷多，尤其形成有深能級的陷阱（trap），因而在作為雪崩光電二極體（APD）運行時，大量產生剩餘脈衝（after pulse）（“雜訊”）這一不良。

而且，InGaAs 無法以單晶形式製造，通常是在 InP 基板上通

過金屬有機物化學氣相反應（金屬有機化學氣相沉積（Metal Organic Chemical Vapor Deposition，MOCVD））進行磊晶成長而形成。

因此，有基板製作成本變得昂貴的缺點。

進而，難以充分提高結晶品質。

【0004】 而且，無法將用來放大或處理來自 APD 的信號的驅動電路與 APD 一體化地在同一晶片內構成。

關於後者的 Ge，必須在 Ge 內形成雪崩區域，Ge 由於帶隙如上文所述那樣窄，因而容易產生經熱激發的載流子（carrier），由所述載流子引起雪崩倍增，在並無光的“暗”情況下也進行“光子”計數。這被稱為暗計數率（Dark Count Rate，DCR），有 DCR 變高的問題。

而且，在將光檢測裝置用作長距離被攝體探測系統（雷射成像檢測與測距（Laser Imaging Detection and Ranging，LiDAR））的情況等下，需要二維的距離信息，必須將多個 SPAD 排列配置成陣列狀。但是，使用 InGaAs 或 Ge 的檢測裝置的場合下，難以將多個 SPAD 在同一晶片內排列成陣列狀。

【0005】 非專利文獻 1 中公開了在形成於矽基板上的鍺（Ge）層形成單光子檢測二極體（SPAD）。

非專利文獻 2 中公開了一種包含 Ge 吸收層和 Si 倍增層且由 p 摻雜 Si 電荷層分離而構成的倍增雪崩光電二極體（SACM-APD）。

但是，非專利文獻 1、2 所公開的 SPAD 為單一二極體的結構，

且並非將多個二極體排列成陣列狀的結構，而且，驅動 SPAD 的電路並未形成在同一基板上。

【0006】 非專利文獻 3 中公開了一種近紅外（Near Infrared，NIR）LiDAR 接收器中使用的 N^+P 單端 SPAD 的主動複位用的電路。但是，關於如何使 SPAD 與複位用的電路構成在同一基板上，未作詳細公開。

非專利文獻 4 中，使鍺（Ge）在 0°及 6°截切矽（001）上磊晶成長，且公開了其特性評價結果。

非專利文獻 5 中，公開了使用二階段製程使鍺（Ge）薄膜在矽（100）上磊晶成長。

【0007】 非專利文獻 4、5 僅對在矽層上磊晶成長的 Ge 層的特性進行了評價，關於光檢測裝置的結構，未作任何公開。

[現有技術文獻]

[專利文獻]

【0008】 專利文獻 1：日本專利特開 2021-150359

[非專利文獻]

【0009】 非專利文獻 1：《高性能矽上平面鍺單光子雪崩二極體探測器（High performance planar germanium-on-silicon single-photon avalanche diode detectors）》，彼得瓦尼斯（Peter Vines）等人，“自然通信（nature communications），（2019）10；1086”

非專利文獻 2：《鍺矽雪崩光電二極體的建模（Modelling Ge/Si Avalanche Photodiodes）》，F.吉迪（F.Gity）等人，“愛爾蘭科學

基金會（Science Foundation Ireland，SFI）項目下（under grand）07/SRC/11173”

非專利文獻 3：《近紅外雷射雷達接收器中使用的 N+P 單端 SPAD 的主動複位（Active-Reset for the N+P Single-Ended SPAD Used in the NIR LiDAR Receivers）》，A.卡茲（A.Katz）等人，“IE3 電子設備交易（IE3 TRANSACTIONS ON ELECTRON DEIVES），Vol.66，No.12，十二月（December）2019”

非專利文獻 4：《0°和 6°截切矽（001）上的鍺磊晶膜的生長和特性的比較研究（Comparative Studies of the Growth and Characterization of Germanium Epitaxial Film on Silicon(001) with 0° and 6° offcut）》，李光宏（Kwang Hong Lee）等人，“電子材料雜誌（Journal of Electronic Materials），vol.42，No.6，2013”

非專利文獻 5：《採用兩步製程在矽（100）上磊晶鍺薄膜（Epitaxial Germanium thin films of Silicon(100) using two-step process）》，薩洛尼喬拉（Saloni Chaurasia）等人，“來自 IEEE Xplore 的 VTC（VTC from IEEE Xplore）”

【發明內容】

【0010】 [發明所要解決的問題]

本發明的目的在於提供一種包括 SPAD 的光檢測裝置及其製造方法，所述光檢測裝置與 InGaAs 相比將基板製作成本抑制得充分低，且剩餘脈衝也少，DCR 也得到抑制。

進而，本發明的目的也在於提供下述光檢測裝置及其製造方

法，所述光檢測裝置可將矽基的互補金屬氧化物半導體（Complementary Metal Oxide Semiconductor，CMOS）電晶體電路排列載置在同一基板上，所述矽基的 CMOS 電晶體電路對經排列成陣列狀的多個 SPAD 進行驅動。

[解決問題的技術手段]

本發明的光檢測裝置檢測來自對象物的入射光，且包括：（i）P 型矽（Si）基板；（ii）P 型鍺（Ge）層，通過磊晶成長而形成在所述 P 型矽（Si）基板的成為表面的第一面；以及（iii）P 型薄膜矽（Si）層，形成在所述 P 型鍺（Ge）層上，（iv）所述 P 型薄膜矽（Si）層通過淺槽隔離（STI：Shallow Trench Isolation）而被劃分為第一區域與第二區域，在所述第一區域形成有經排列成陣列狀的多個作為單光子檢測二極體的單光子雪崩二極體，在所述第二區域形成有驅動所述單光子雪崩二極體的互補金屬氧化物半導體電晶體電路。

【0011】 本發明的光檢測裝置對於 P 型的矽（Si）基板和在所述矽（Si）基板上通過磊晶成長而形成的 P 型的鍺（Ge）層，在所述鍺（Ge）層上通過表面活化接合而接合有 P 型矽（Si），所述 P 型矽（Si）是基於下述結構而製作，即：通過使用氫離子注入的智能剝離（smart cut）技術而薄膜化至 0.8 μm 至 1.2 μm。

在經薄膜化的 P 型矽（Si），通過離子注入而形成有：經排列成陣列狀的多個 SPAD，檢測紅外線；以及 CMOS 電晶體電路，驅動所述 SPAD，對所檢測到的信號進行放大、處理。

在所述 P 型矽（Si）的雪崩二極體部，形成有通過注入硼等 III 族雜質的離子從而經摻雜的 APD P 井層、及通過注入磷等 V 族雜質的離子從而經摻雜的 APD N 井層，在 APD N 井層，為了充分降低接觸電阻而形成有經砷等 V 族雜質高濃度地摻雜的 N^+擴散層。而且，在所述 N^+擴散層周圍，通過離子注入而設置有避免邊緣擊穿（edge breakdown）的 NW 保護環層。

【0012】 在 N 溝道電晶體部，有通過注入硼等 III 族的離子從而形成的 P 井層，在所述 P 井層內，有構成電晶體的源極及汲極的、通過注入砷等 V 族的離子從而形成的 N^+擴散層。進而，也形成有用於與 P 井層接觸的、由硼等所得的 P^+擴散層。同樣地，在 P 溝道電晶體部，通過離子注入而形成有 N 井層、P^+擴散層、N^+擴散層。

【0013】 這些電晶體的形成方法依據現有的邏輯大規模積體電路（Large Scale Integration，LSI）的製造方法，可使本發明的光檢測裝置的製造容易且實現製造成本降低。

[發明的效果]

【0014】 根據本發明的光檢測裝置，可在鍺耗盡層內通過紅外線所致的光電效應而產生載流子，並在高品質的矽內的 PN 接合部發生所述產生的載流子的雪崩，由此可減少作為 SPAD 的雜訊的 DCR，也減少剩餘脈衝。而且，雪崩二極體一個一個地分離，可將多個雪崩二極體配置成陣列狀，能利用一個晶片來製作二維的圖像感測器（image sensor）。

【0015】 進而，可容易地搭載通常的矽 CMOS 電路，因而不僅是感測器二極體，而且可將對從感測器輸出的電信號進行放大、處理的電路搭載於一個晶片內，可實現裝置的尺寸、成本的降低。

此外，本發明的光檢測裝置的製造方法大致依據通常的 CMOS 邏輯製程，確保製造的容易性及成本降低。

【圖式簡單說明】

【0016】

圖 1 為表示本發明的實施方式的光檢測裝置的概略結構的圖，(a) 為平面圖，(b) 為截面圖。

圖 2 為表示圖 1 的(b)所示的截面結構的詳細的示意截面圖。

圖 3 為表示晶圓的製造方法的圖，所述晶圓成為製造本發明的可檢測紅外線單光子的光檢測裝置的、基本材料。

圖 4 (a) 為說明可檢測紅外線單光子的光檢測裝置的晶圓製程的概略截面圖（其一）。

圖 4 (b) 為說明可檢測紅外線單光子的光檢測裝置的晶圓製程的概略截面圖（其二）。

圖 4 (c) 為說明可檢測紅外線單光子的光檢測裝置的晶圓製程的概略截面圖（其三）。

圖 4 (d) 為說明可檢測紅外線單光子的光檢測裝置的晶圓製程的概略截面圖（其四）。

圖 4 (e) 為說明可檢測紅外線單光子的光檢測裝置的晶圓製程的概略截面圖（其五）。

圖 4（f）為說明可檢測紅外線單光子的光檢測裝置的晶圓製程的概略截面圖（其六）。

圖 4（g）為說明可檢測紅外線單光子的光檢測裝置的晶圓製程的概略截面圖（其七）。

圖 4（h）為說明可檢測紅外線單光子的光檢測裝置的晶圓製程的概略截面圖（其八）。

圖 4（i）為說明可檢測紅外線單光子的光檢測裝置的晶圓製程的概略截面圖（其九）。

圖 4（j）為說明可檢測紅外線單光子的光檢測裝置的晶圓製程的概略截面圖（其十）。

圖 4（k）為說明可檢測紅外線單光子的光檢測裝置的晶圓製程的概略截面圖（其十一）。

圖 4（l）為說明可檢測紅外線單光子的光檢測裝置的晶圓製程的概略截面圖（其十二）。

圖 4（m）為說明可檢測紅外線單光子的光檢測裝置的晶圓製程的概略截面圖（其十三）。

圖 4（n）為說明可檢測紅外線單光子的光檢測裝置的晶圓製程的概略截面圖（其十四）。

圖 4（o）為說明可檢測紅外線單光子的光檢測裝置的晶圓製程的概略截面圖（其十五）。

圖 4（p）為說明可檢測紅外線單光子的光檢測裝置的晶圓製程的概略截面圖（其十六）。

圖 5 為表示 APD 的主要部分的、由製程模擬所得的載流子濃度分佈的圖。

圖 6 為入射光的表面照射和背面照射的說明圖。

【實施方式】

【0017】 以下，參照附圖對本發明的實施方式進行詳細說明。

【0018】 圖 1 為表示本發明的實施方式的光檢測裝置 10 的概略結構的圖，（a）表示平面圖，（b）表示截面圖。

本發明的光檢測裝置 10 中，多個單光子檢測二極體（SPAD）的畫素 2 在同一矽晶片 1 上排列成陣列狀，在其周圍形成有 CMOS 電晶體電路 4，此 CMOS 電晶體電路 4 包含驅動所述畫素 2 的行（Row）控制電路 4-1、列（Column）控制電路 4-2 及信號處理電路 4-3 等。

【0019】 矽晶片 1 的表面的薄膜矽（Si）層通過下文將詳細說明的淺槽隔離（Shallow Trench Isolation，STI）而劃分為第一區域與第二區域，在第一區域形成有經排列成陣列狀的畫素 2，在第二區域形成有 CMOS 電晶體電路 4。

各畫素 2 間及畫素 2 與行控制電路 4-1 及列控制電路 4-2 之間由金屬配線 3 連結。

【0020】 圖 2 為表示圖 1 的（b）所示的截面結構的詳細的示意截面圖。

本光檢測裝置將經 P 型摻雜的 P 型鍺磊晶層 102 被經 P 型摻雜的矽基板 101 與 P 型薄膜矽層 103 夾在中間的晶圓用作晶圓製

程的原材料，通過進行離子注入及熱處理，從而構成檢測紅外線單光子的光電二極體（SPAD）202、和將來自光電二極體 202 的信號放大並進行處理的 CMOS 電晶體電路 201。

此外，圖 2 中 CMOS 電晶體電路 201 及光電二極體（SPAD）202 僅例示了單位個數，但實際的光檢測裝置中，如圖 1 所示，構成經排列成陣列狀的多個 SPAD202、和將多個 CMOS 電晶體電路 201 組合而成的 SPAD202 驅動用的 CMOS 電晶體電路。

進而，通過利用現有的製程製造技術來形成光電二極體 202 內的元件、CMOS 電晶體電路 201 內的元件、及光電二極體 202 與 CMOS 電晶體電路 201 間的配線，從而實現包含可進行信號放大的放大器或可進行信號處理的 CMOS 電晶體電路 201 的、一體型的可檢測紅外線單光子的光檢測裝置。

【0021】 光電二極體（SPAD）202 形成在 P 型矽基板 101 上，P 型矽基板 101 為通用的矽晶圓，經硼等 III 族雜質摻雜，其載流子濃度為 1×10^{15} cm^{-3} 至 1×10^{19} cm^{-3}，較理想為 1×10^{18} cm^{-3}。

【0022】 P 型鍺磊晶層 102 為在矽基板 101 上通過磊晶成長而形成的層，經 P 型摻雜，其濃度為 1×10^{15} cm^{-3} 至 1×10^{16} cm^{-3}，較理想為 7×10^{15} cm^{-3}，厚度為 4 μm 至 7 μm，較理想為 5.5 μm。

【0023】 在 P 型鍺磊晶層 102 上，形成有 P 型薄膜矽層 103，此 P 型薄膜矽層 103 的濃度為 1×10^{15} cm^{-3} 至 1×10^{16} cm^{-3}，較理想為 7×10^{15} cm^{-3}，且厚度為 0.8 μm 至 1.2 μm，較理想為 1.0 μm。此 P 型薄膜矽層 103 通過表面活化接合而與 P 型鍺磊晶層 102 在常

溫真空中接合。

而且，P 型薄膜矽層 103 通過使用氫離子注入的智能剝離技術而以薄且均勻的膜厚的形式實現。

【0024】 在光電二極體 202 的部分，在 P 型薄膜矽層 103 中從深處起通過通常的離子注入技術而形成有 APD P 井層 105、APD N 井層 106 及 N^+擴散層 108，以包圍 N^+擴散層 108 的方式配置有保護環 N 井層 107。

【0025】 APD P 井層 105 位於距 P 型薄膜矽層 103 的表面 0.7 μm 至 0.8 μm 的深度，為濃度 1×10^{16} cm^{-3} 至 1×10^{17} cm^{-3}、較理想為 7×10^{16} cm^{-3} 的 P 型的擴散層，通過利用該層以降低 P 型薄膜矽層 103 與 P 型鍺磊晶層 102 的接合部的電場的方式進行控制，從而減少此界面處產生的暗電流。

【0026】 APD N 井層 106 位於距 P 型薄膜矽層 103 的表面 0.2 μm 至 0.7 μm 的深度，為濃度 1×10^{15} cm^{-3} 至 1×10^{16} cm^{-3}、較理想為 7×10^{15} cm^{-3} 的 N 型的擴散層。

【0027】 APD P 井層 105 與 APD N 井層 106 均形成 PN 接合，對其接合部分以可實現雪崩倍增的方式施加充分的高電場。

為了與所述 APD N 井層 106 電連接且以充分低的電阻值與金屬配線 3 接觸，在距 P 型薄膜矽層 103 的表面 0.2 μm 的深度，形成有濃度 1×10^{19} cm^{-3} 至 1×10^{21} cm^{-3} 的 N^+擴散層 108。此 N^+擴散層 108 也可與下文將述的 CMOS 電晶體電路 201 部中所用的 N^+擴散層 108 同時形成。

【0028】 進而，在所述光電二極體的 N^+擴散層 108 的周圍，為了避免邊緣擊穿而配置有濃度 1×10^{17} cm^{-3} 至 1×10^{19} cm^{-3} 的保護環 N 井層 107。

而且，在各光電二極體 202 的周圍，為了進行電性分離而配備有淺槽隔離（Shallow Trench Isolation，STI）層 104。

【0029】 CMOS 電晶體電路 201 基本上是在 P 型薄膜矽層 103 內通過現有的 CMOS 製造技術而製作。

圖 2 的 110 及 111 分別為包含 N 溝道電晶體的 P 井層、及包含 P 溝道電晶體的 N 井層。在各井層內，配置有構成源極汲極的作為高濃度擴散層的 N^+擴散層 108、及 P^+擴散層 109。

而且，N^+擴散層 108 及 P^+擴散層 109 成為以低電阻與井層 110、111 連接的井接觸。金屬氧化物半導體場效電晶體（Metal-Oxide-Semiconductor Field-Effect Transistor，MOSFET）的柵極電極為 112，電晶體的各電極通過電極插塞 114 電連接，由金屬配線 115 形成光檢測裝置的電路結構。

【0030】 圖 3 表示晶圓的製造方法，所述晶圓成為製造本發明的可檢測紅外線單光子的光檢測裝置的、基本材料。

首先，如圖 3 的（a）所示，在現有的以 1×10^{15} cm^{-3} 至 1×10^{19} cm^{-3}、較理想為 1×10^{18} cm^{-3} 的濃度摻雜有硼等 III 族雜質的 P 型矽基板 301，通過磊晶成長而形成 P 型緒磊晶層 302。

此時，P 型緒磊晶層 302 的載流子濃度為 1×10^{15} cm^{-3} 至 1×10^{16} cm^{-3}，較理想為 7×10^{15} cm^{-3}，厚度為 4 μm 至 7 μm，較理想為

5.5 μm。

【0031】 另一方面，如圖 3 的(b)所示，對於現有的以 1×10^{15} cm^{-3} 至 1×10^{16} cm^{-3}、較理想為 7×10^{15} cm^{-3} 的濃度摻雜有硼等 III 族雜質的 P 型矽基板 303，以 1×10^{16} cm^{-3} 至 1×10^{17} cm^{-3}、較理想為 5×10^{16} cm^{-3} 的劑量以能量 110 keV 注入氫離子（H^+）。

【0032】 如圖 3 的（c）所示，利用表面活化接合技術將所述兩個基板 301、303 在真空中接合。所述表面活化接合中，將兩個基板導入至未圖示的真空腔室，利用氬（Ar）離子對各自的表面進行濺鍍後，使各自的表面接合，施加 60 秒左右的 300 N 左右的壓力，由此將兩個基板機械接合。

【0033】 通過將所述經接合的基板在 400℃ 至 600℃ 的溫度進行退火，從而可如圖 3 的（d）所示，在氫離子注入部發生解理，在 P 型鍺磊晶層 302 上形成 1 μm 左右的 P 型矽層 303。

進而，為了使 P 型矽層 303 側的表面平坦化而實施化學機械研磨（CMP），並進行用於去掉表面的損傷的、濕式蝕刻，如圖 3 的（e）所示那樣完成晶圓，此晶圓成為可檢測紅外線單光子的光檢測裝置的晶圓製程的原材料。

【0034】 圖 4 為說明可檢測紅外線單光子的光檢測裝置的晶圓製程的概略截面圖。

將所述鍺 402 經矽 401、403 夾持的晶圓作為起始材料(starting material)。對所述晶圓進行美國無線電公司（Radio Company of America，RCA）等清洗後，通過熱氧化使 10 nm 至 30 nm 的墊氧

化膜 404 成長。進而，利用減壓 CVD 法使 100 nm 至 200 nm 左右的氮化矽膜 405 堆積。然後，利用現有的光微影技術和將光阻劑 406 作為遮罩的蝕刻將氮化矽膜 405 及墊氧化膜 404 圖案化，由此獲得圖 4（a）的結構。

【0035】 然後，除去光阻劑 406，通過將氮化矽膜 405 作為硬遮罩的蝕刻在矽膜 403 形成淺槽。實施 RCA 清洗等後，通過熱氧化在槽表面形成 10 nm 至 20 nm 的氧化矽膜。進而，通過高密度電漿（High Density Plasma，HDP）-CVD 而堆積 500 nm 至 700 nm 的氧化矽膜，通過化學機械研磨（CMP）進行平坦化，由此可形成為了元件分離而嵌埋在槽內的 STI 氧化膜 407，獲得圖 4（b）的截面結構。

【0036】 利用熱磷酸將氮化矽膜 405 除去，利用氫氟酸將墊氧化膜 404 除去並且使 STI 氧化膜的高度與矽表面一致。進而，通過熱氧化而實施 10 nm 至 20 nm 的犧牲氧化，由此獲得圖 4（c）的結構。直到此步驟為止，依據通常的 CMOS 邏輯（LOGIC）製程。此後成為可檢測紅外線單光子的光檢測裝置所特有的追加步驟。

【0037】 首先，為了形成 APD P 井層 409，利用通常的光微影技術，將光阻劑 406 作為遮罩以加速能量 310 keV 且劑量 6×10^{11} cm^{-2} 注入硼離子（圖 4（d））。然後，除去光阻劑 406。

【0038】 同樣地，為了形成 APD N 井層 410，利用通常的光微影技術，將光阻劑 406 作為遮罩以加速能量 330 keV 且劑量 7×10^{11} cm^{-2}、和加速能量 90 keV 且劑量 2×10^{15} cm^{-2} 注入磷離子（圖 4

（e））。然後，除去光阻劑 406。

【0039】 此後，為了形成保護環 N 井層 411，同樣地利用通常的光微影技術，將光阻劑 406 作為遮罩以加速能量 70 keV 且劑量 4 $\times 10^{11}$ cm^{-2}、和加速能量 200 keV 且劑量 4×10^{11} cm^{-2} 注入磷離子（圖 4（f））。然後除去光阻劑 406。

【0040】 從 APD P 井光微影步驟到所述步驟為止，為製造可檢測紅外線單光子的光檢測裝置所需要的、對通常的 CMOS 邏輯製程的追加步驟。所述步驟以後，依序通常的 CMOS 邏輯製程，因而詳細條件省略。

【0041】 首先，為了形成 N 溝道電晶體，也通過通常的光微影技術及以光阻劑 406 作為遮罩進行硼離子注入，從而形成邏輯（Logic）P 井層 412（圖 4（g））。此步驟中也包含調整 N 溝道電晶體的閾值的、硼或 BF2 的離子注入。離子注入後將光阻劑 406 除去。

【0042】 進而，為了形成 P 溝道電晶體，也通過通常的光微影技術及以光阻劑 406 作為遮罩進行磷離子注入，從而形成邏輯 N 井層 413（圖 4（h））。此步驟中，也包含調整 P 溝道電晶體的閾值的、磷離子注入。離子注入後將光阻劑 406 除去。

【0043】 然後，利用氫氟酸等將犧牲氧化膜 408 除去。進行 RCA 等前清洗後，通過熱氧化而形成柵極氧化膜 414。通過減壓 CVD 來堆積成為柵極電極 415 的多晶矽，利用通常的光微影技術和蝕刻技術將柵極電極 415 圖案化，除去光阻劑 406，由此獲得圖 4（i）

的結構。

【0044】 接下來，為了形成用於緩和 N 溝道電晶體的漏區電場及抑制短溝道效應的 n^-部 416，利用通常的光微影技術如圖 4（j）所示那樣形成 N 溝道電晶體部的光阻劑 406 經開口的圖案後，進行砷的離子注入和硼或 BF2 的離子注入，除去光阻劑 406，所述砷的離子注入用來形成用於緩和漏區電場的輕摻雜漏區（Lightly Doped Drain，LDD），所述 BF2 的離子注入用來製作用於緩和短溝道效應的口袋（pocket）。

【0045】 同樣地，為了如圖 4（k）所示那樣形成 p^-部 417，形成 P 溝道電晶體部的光阻劑 406 經開口的圖案後，進行作為 LDD 的 BF2 離子注入和作為口袋的磷離子注入，除去光阻劑 406。然後，利用 CVD 法形成氧化矽膜，通過異向性蝕刻如圖 4（l）所示那樣在柵極電極 415 的側壁形成側壁間隔件 418。

【0046】 接下來，為了形成 N 溝道電晶體的 N^+擴散層 419，如圖 4（m）所示那樣形成 N 溝道電晶體部經開口的光阻劑 406 圖案。此時，為了同時形成 APD 的 N^+擴散層 419，而在 APD 上部也進行光阻劑開口。將此光阻劑 406 作為遮罩注入砷離子，由此形成 N 溝道電晶體的源極汲極及 APD 的 N^+擴散層 419。

【0047】 同樣地，為了形成 P 溝道電晶體的源極汲極及 P^+擴散層 420，如圖 4（n）所示那樣形成 P 溝道電晶體部經開口的光阻劑 406 圖案，將此光阻劑 406 作為遮罩進行 BF2 的離子注入，除去光阻劑 406。進而，利用 CVD 法等在整個面形成氧化矽膜，以隨

後的用於低電阻化的矽化物步驟中不欲形成矽化物的區域中殘留氧化矽膜 422 的方式進行圖案化。

所謂不欲形成矽化物的區域，本發明中具體而言為 APD 部分，但即便為 APD 部分，也以在後續將形成接觸的部分中形成矽化物的方式設為圖 4（o）的結構。

【0048】 然後濺鍍鈷等，在 500℃左右的相對較低溫度使鈷與矽反應，未發生反應的氧化矽膜上的鈷通過選擇蝕刻而除去。進而，通過加以熱處理從而進行矽化物化，製作低電阻的矽化物層。

【0049】 然後，通過現有的層間絕緣膜 423 的形成、接觸及接觸中的鎢插塞 424 的形成、第一層的配線層 425 的形成，而獲得圖 4（p）的結構。此處雖未示，但隨後通過金屬層間膜、通道（via）形成、上層的金屬配線層的形成，而獲得多層金屬配線結構。進而，在最上層的金屬層上，為了保護晶片而形成保護膜，為了實現電性導通而將墊上的保護膜除去，經過這些步驟後，進行將晶圓設為所需厚度的背面研磨，為了背面的低電阻化而進行背面硼注入，形成背面的 P^+擴散層，由此本發明的光檢測裝置的晶圓製程完成。

【0050】 此外，所述實施方式中，P 型薄膜矽層 103 是如圖 3 所示那樣通過表面活化接合技術和利用氫離子注入的智能剝離技術而形成，但本發明不限定於此，也可通過在 P 型鍺磊晶層 102 上使矽磊晶成長 1 μm 左右的方法來形成。

【0051】 圖 5 中表示通過所述製程所形成的 APD 的主要部分的、

由製程模擬所得的載流子濃度分佈。橫軸表示距矽膜 403 表面的深度，縱軸表示擴散層的濃度。可知，圖 2 所示的結構可通過本發明的製造方法大致實現。

【0052】 此外，為了檢測來自對象物的入射光而照射 SPAD 的方法中，有表面照射和背面照射。本發明的 SPAD 中，如圖 6 所示，表面的 n^+接合 108 薄至 0.5 μm，在其下方的 P 型鍺磊晶層 102 內，存在產生光電效應的耗盡層（depletion layer）。P 型薄膜矽層 103 吸收可見光，但僅 0.5 μm 的厚度難以吸收所有可見光。因此，表面照射的情況下，需要用來遮蔽可見光的可見光遮光濾光片 120。

【0053】 接下來，對背面照射的情況進行考察。

P 型鍺磊晶層 102 薄至 5 μm 左右，其下方的 P 型矽基板 101 為了確保晶片的機械強度，最少需要 200 μm 以上的厚度。即便不在背面設置可見光遮光濾光片，所述厚的 P 型矽基板也吸收可見光，不到達形成於 P 型鍺磊晶層 102 的耗盡層。

【0054】 相對於此，波長 1.1 μm 左右的紅外光通過矽（Si），到達耗盡層。因此，即便不存在可見光遮光濾光片，也可實現僅選擇性地感知紅外線的 SPAD。因此，無需製作濾光片的步驟，因而可實現步驟簡化或成本降低。

【符號說明】

【0055】

1：矽晶片

2：畫素

3：金屬配線

4、201：CMOS 電晶體電路

4-1：行控制電路

4-2：列控制電路

4-3：信號處理電路

10：光檢測裝置

101、301：P 型矽基板

102、302：P 型鍺磊晶層

103：P 型薄膜矽層

104：STI 層

105、409：APD P 井層

106、410：APD N 井層

107、411：保護環 N 井層

108、419：N^+擴散層

109、420：P^+擴散層

110、111：井層

112、415：柵極電極

113、423：層間絕緣膜

114：電極插塞

115：金屬配線

120：可見光遮光濾光片

202：光電二極體

303：P 型矽基板、P 型矽層

401：矽

402：鍺

403：矽膜

404：墊氧化膜

405：氮化矽膜

406：光阻劑

407：STI 氧化膜

408：犧牲氧化膜

412：邏輯 P 井層

413：邏輯 N 井層

414：柵極氧化膜

416：n^-部

417：p^-部

418：側壁間隔件

422：氧化矽膜

424：鎢插塞

425：配線層

【發明申請專利範圍】

【請求項1】 一種光檢測裝置，檢測來自對象物的入射光，且包括：

（i）P 型矽（Si）基板；

（ii）P 型鍺（Ge）層，通過磊晶成長而形成在所述 P 型矽（Si）基板的成為表面的第一面；以及

（iii）P 型薄膜矽（Si）層，形成在所述 P 型鍺（Ge）層上，

（iv）所述 P 型薄膜矽（Si）層通過淺槽隔離（STI：Shallow Trench Isolation）而被劃分為第一區域與第二區域，在所述第一區域形成有經排列成陣列狀的多個作為單光子檢測二極體的單光子雪崩二極體，在所述第二區域形成有驅動所述單光子雪崩二極體的互補金屬氧化物半導體電晶體電路。

【請求項2】 如請求項1所述的光檢測裝置，其中，

所述 P 型薄膜矽（Si）層是通過表面活化接合技術及利用氫離子注入的智能剝離技術而形成。

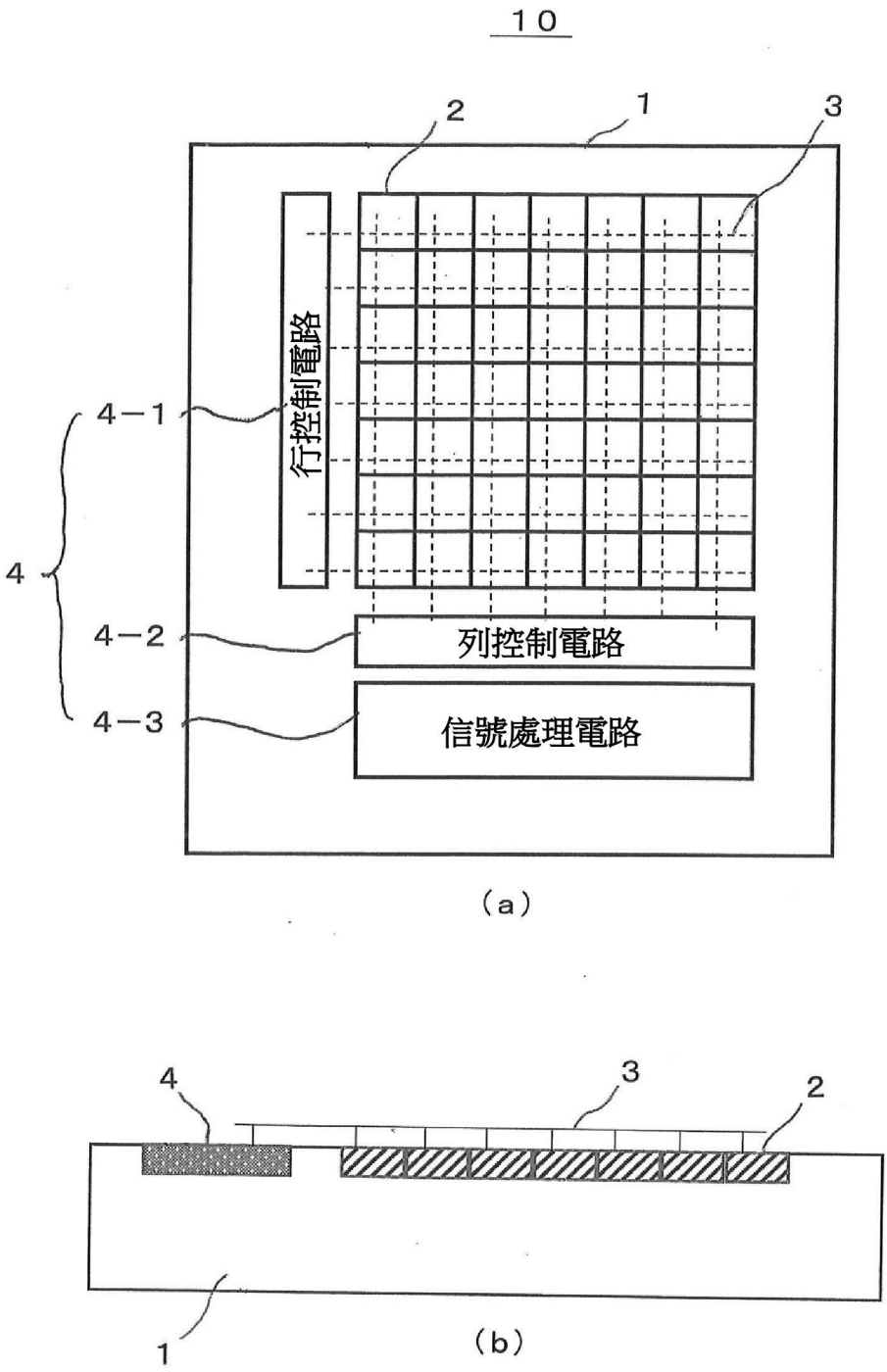
【請求項3】 如請求項1所述的光檢測裝置，其中，

所述 P 型薄膜矽（Si）層是通過矽（Si）的磊晶成長薄膜化而形成在所述 P 型鍺（Ge）層上。

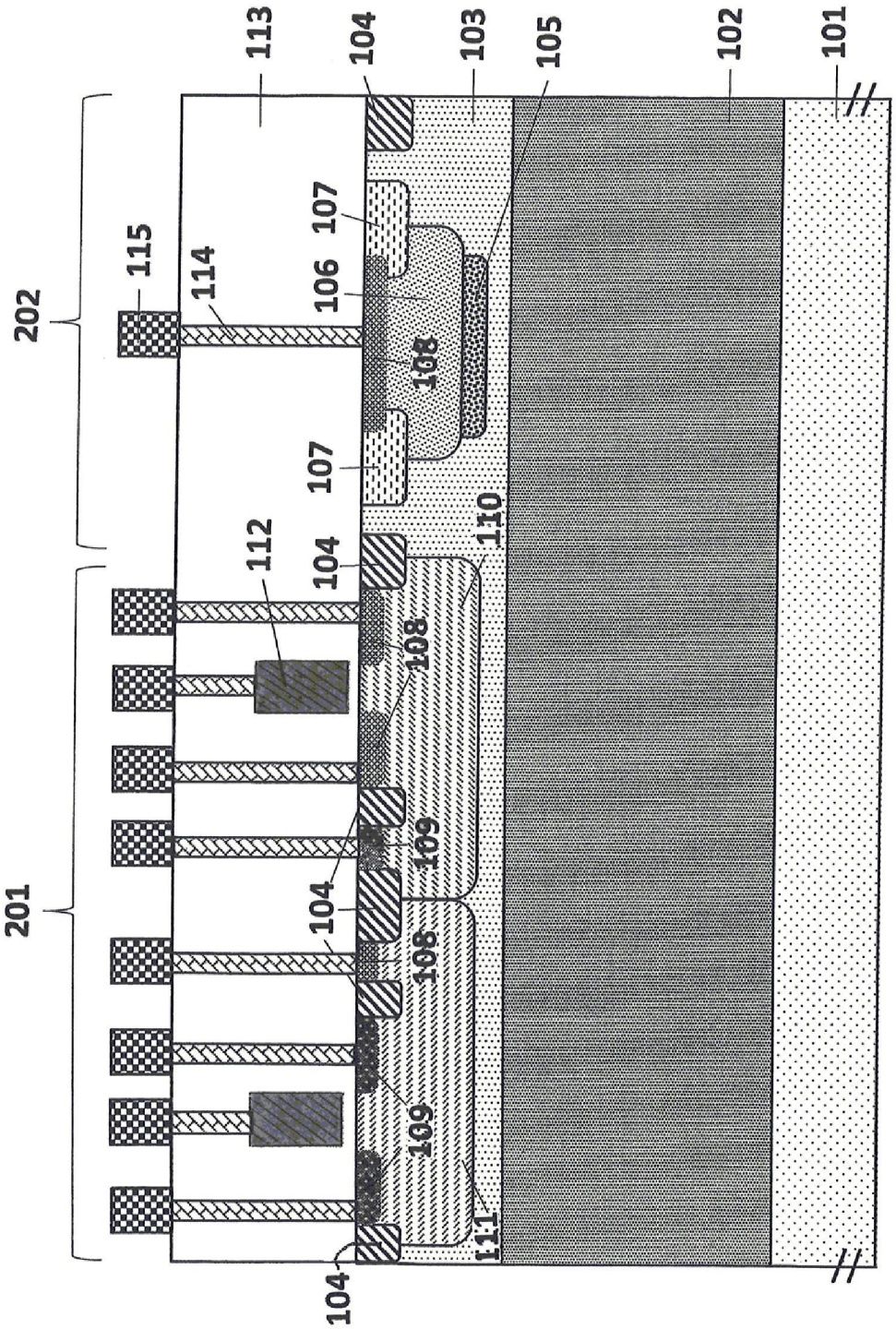
【請求項4】 如請求項1至請求項3中任一項所述的光檢測裝置，其中，

構成為接收來自所述 P 型矽（Si）基板的成為背面的第二面的所述入射光。

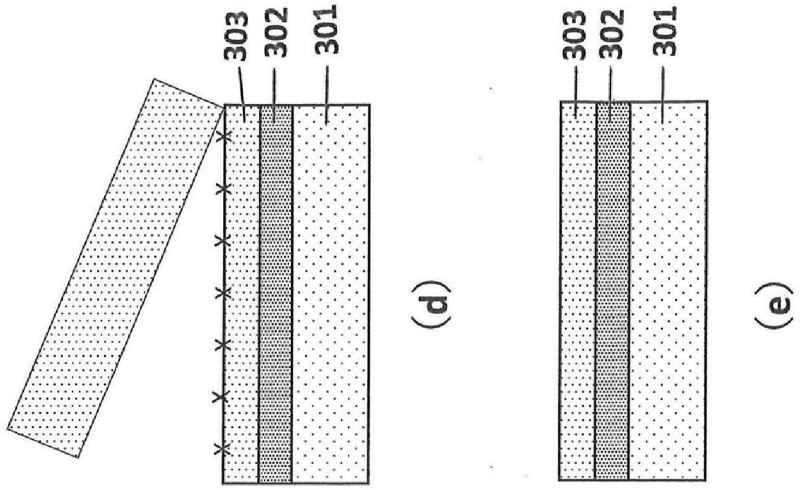
【發明圖式】

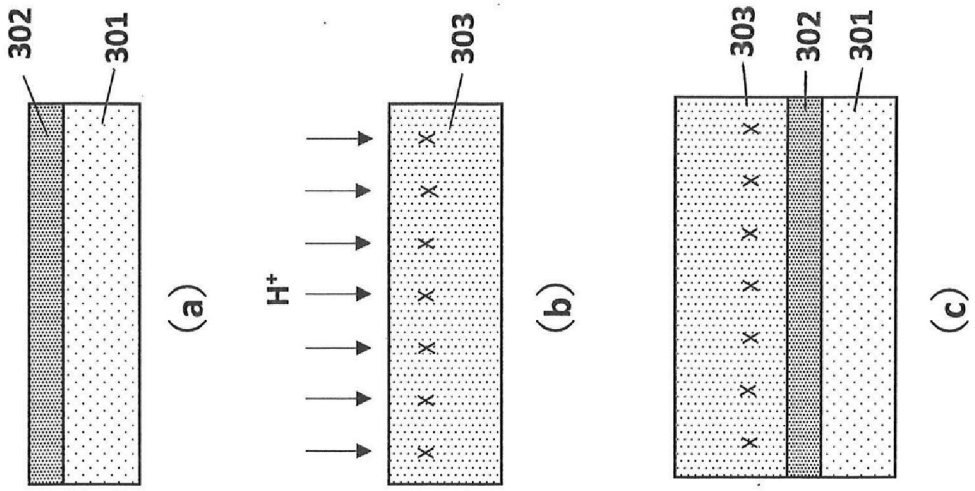


【圖1】

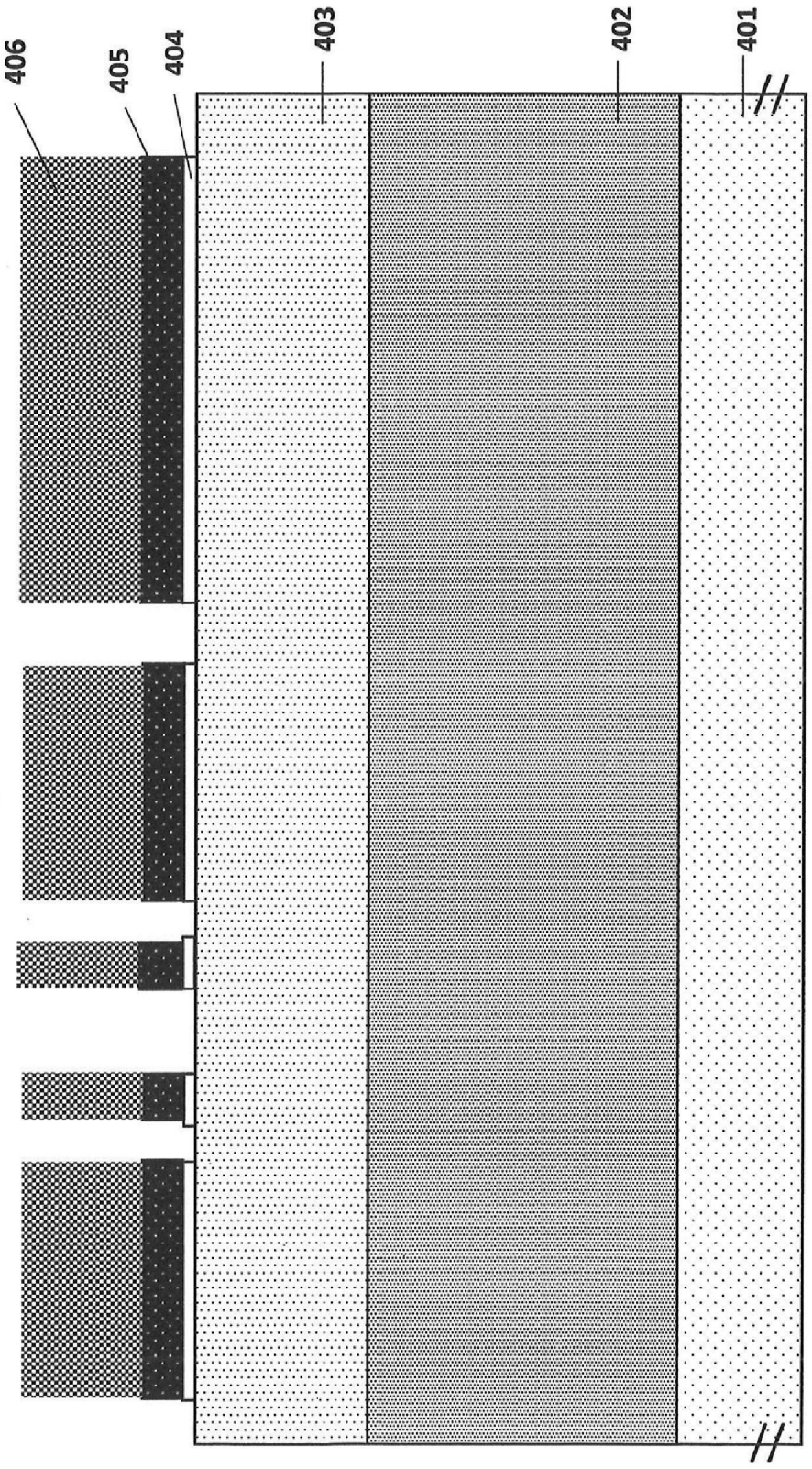

113
104
103
105
102
101
202
115
114
107
106
108
107
110
112
104
108
201
109
104
106
109
111
104

【圖2】



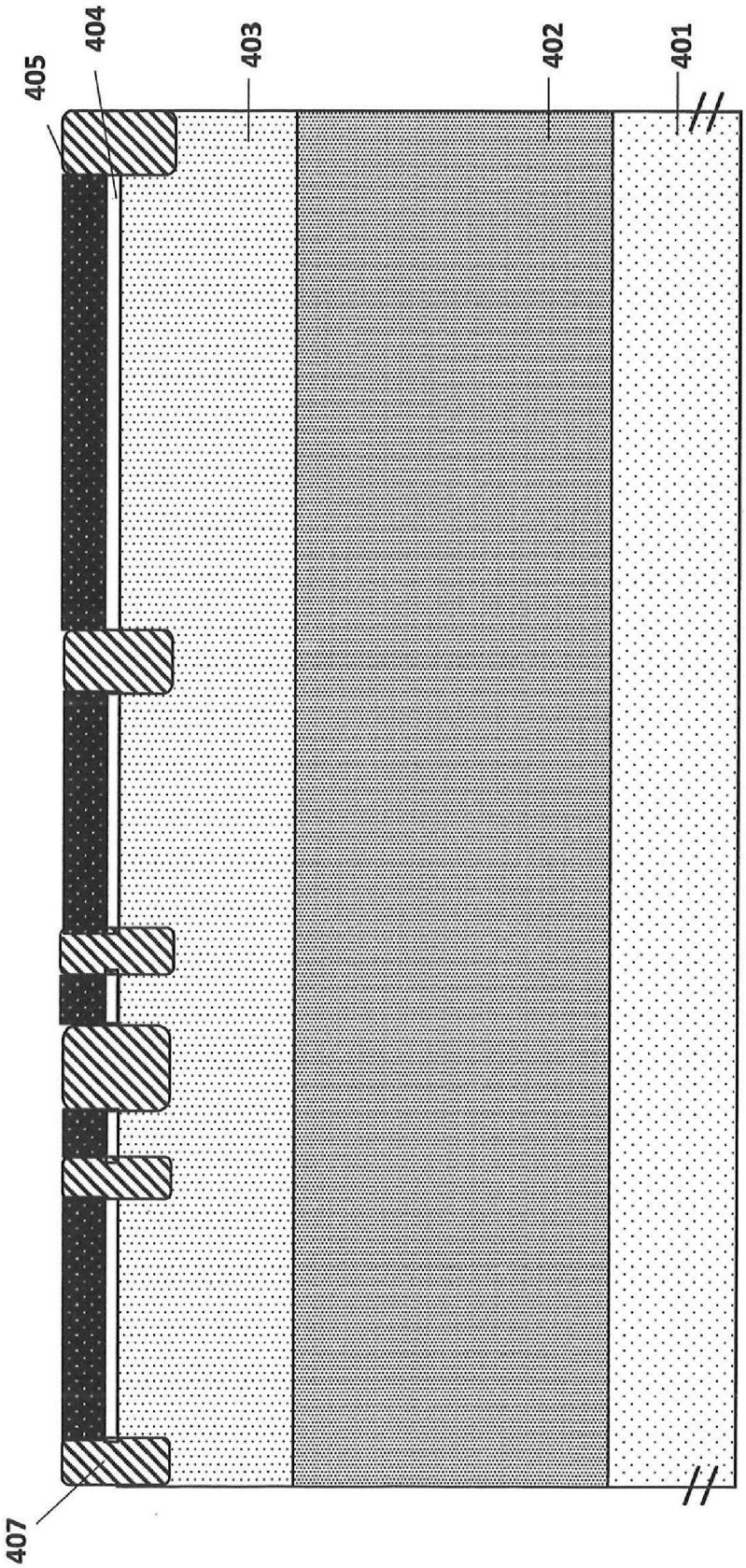


【圖3】



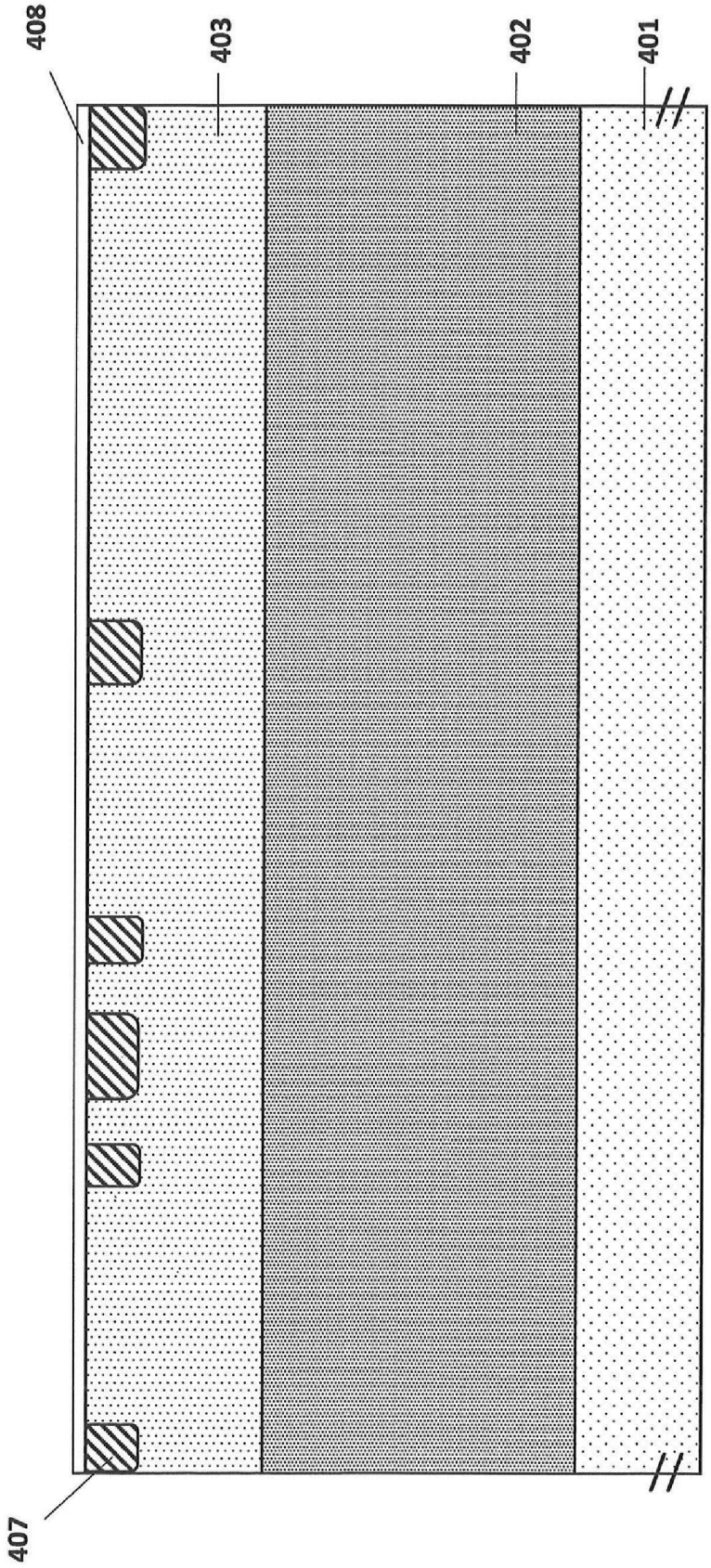
(a)

【圖4(a)】



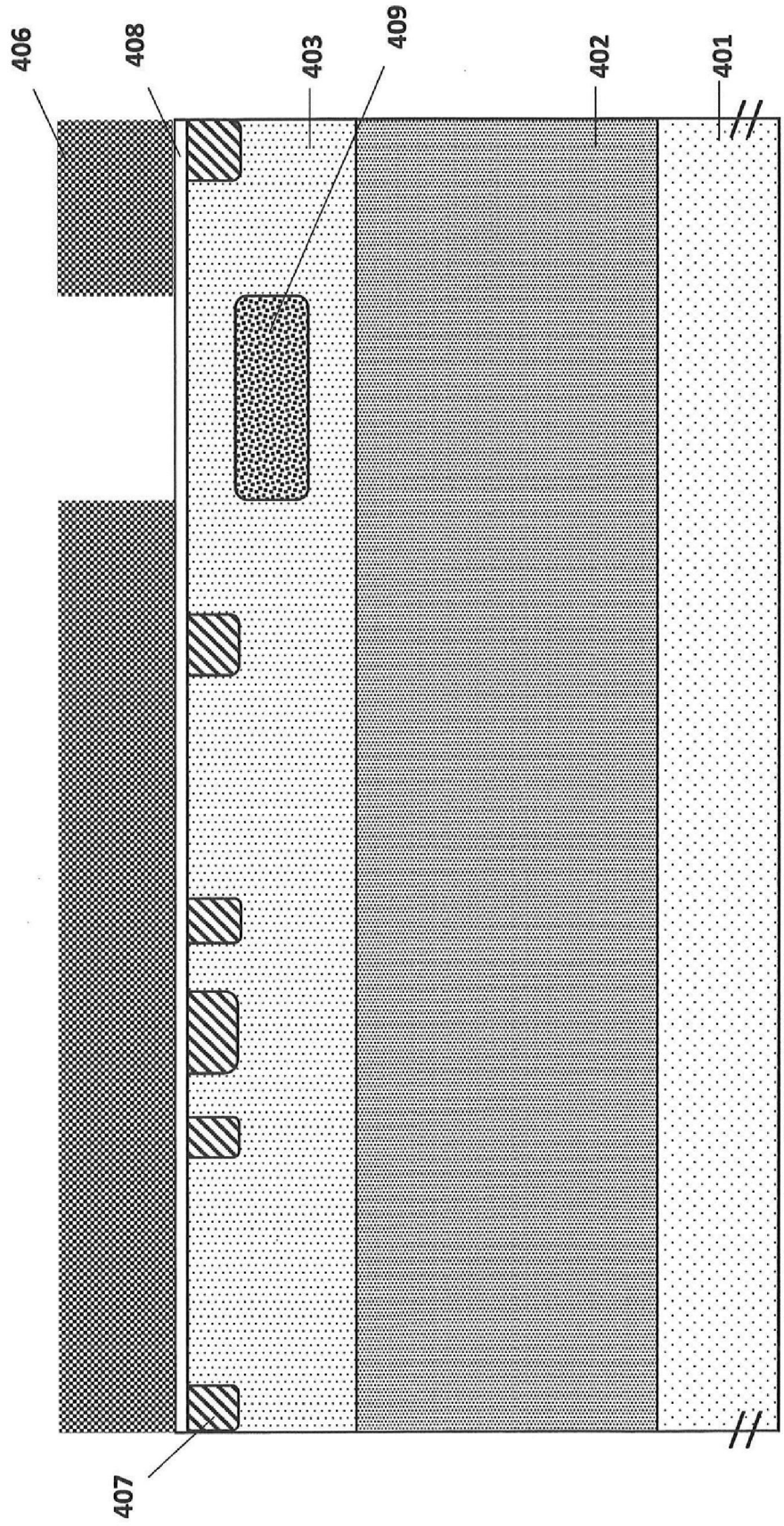
(b)

【圖4(b)】



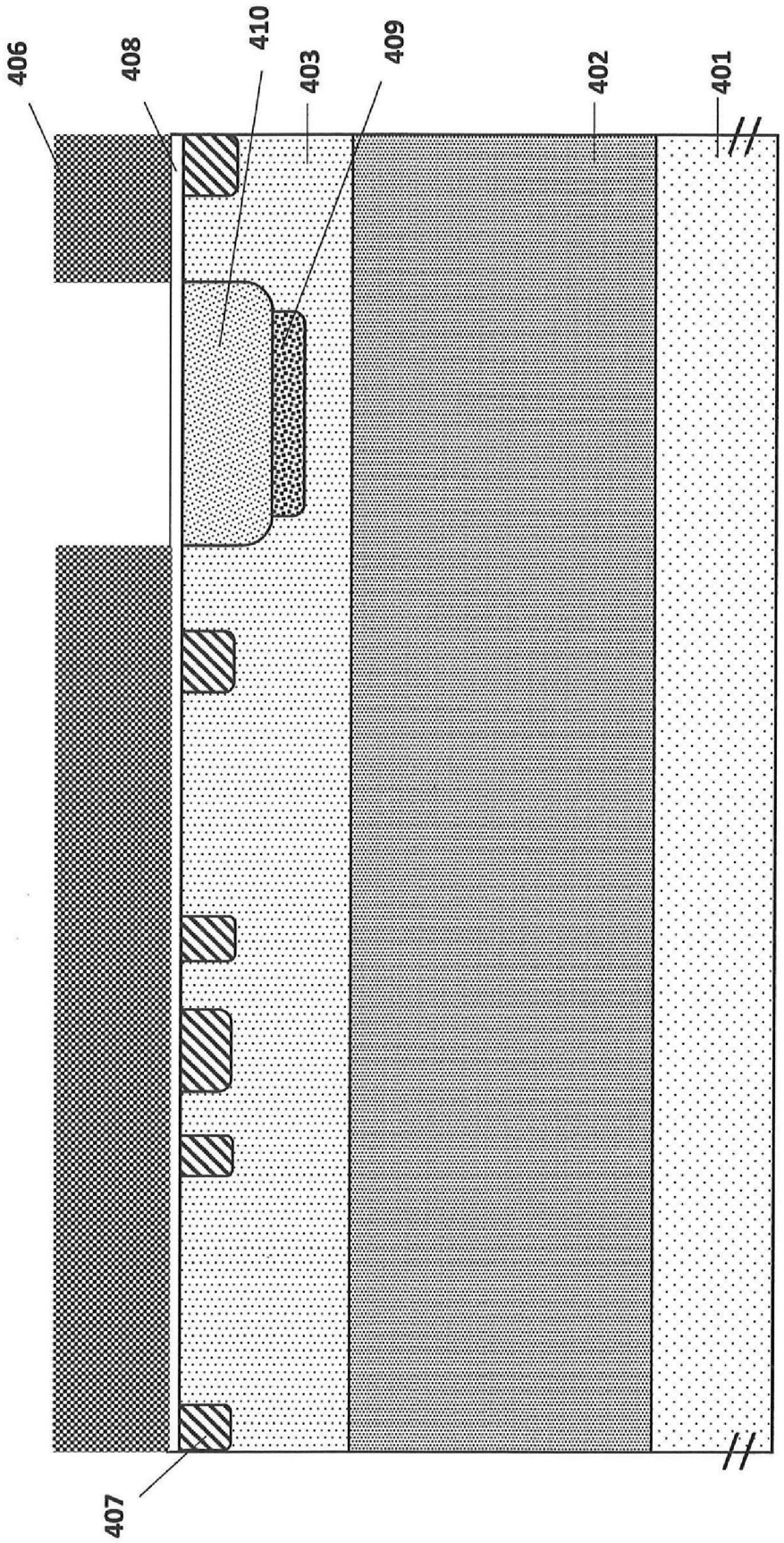
(c)

【圖4(c)】



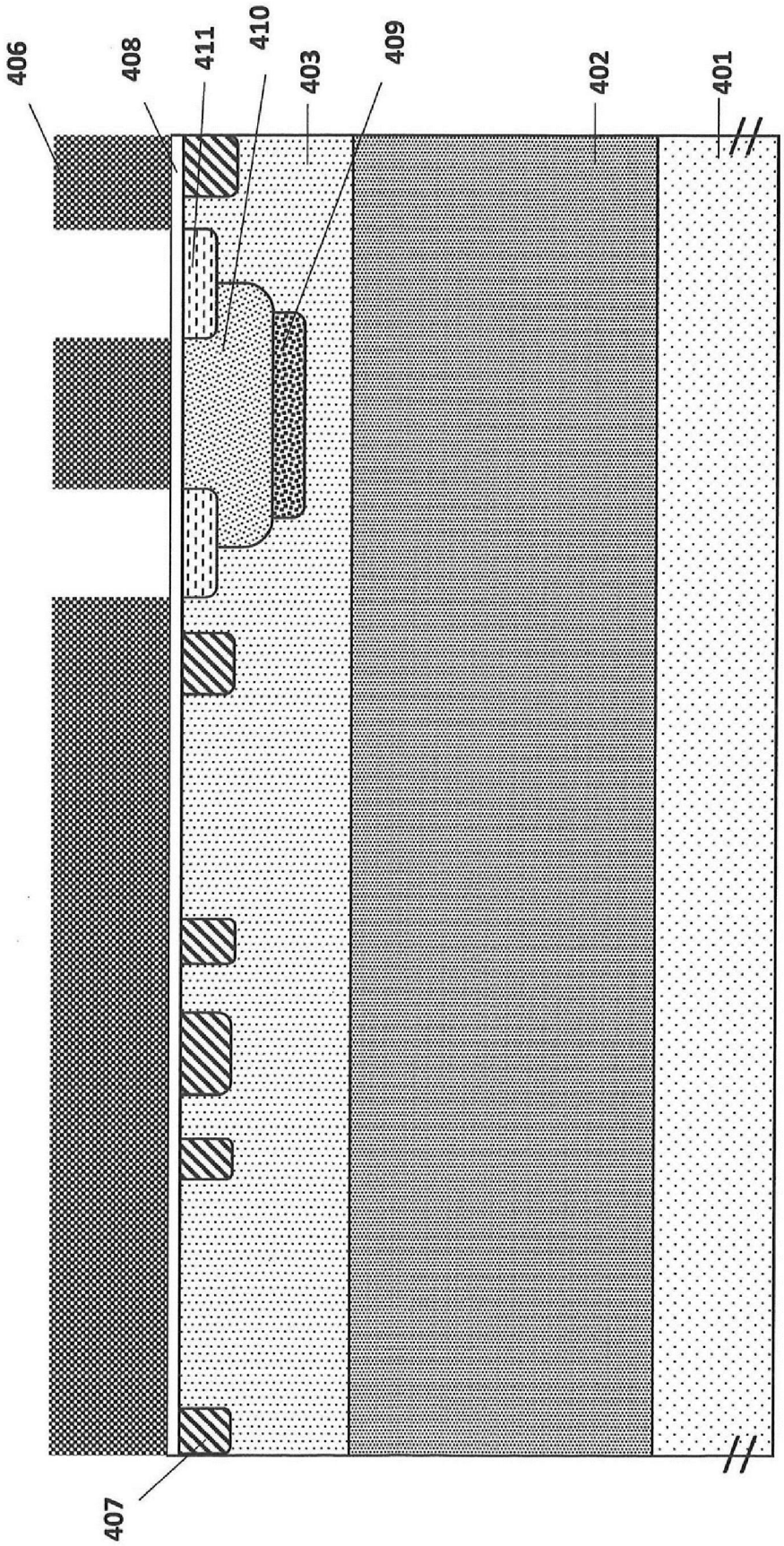
(d)

【圖4(d)】



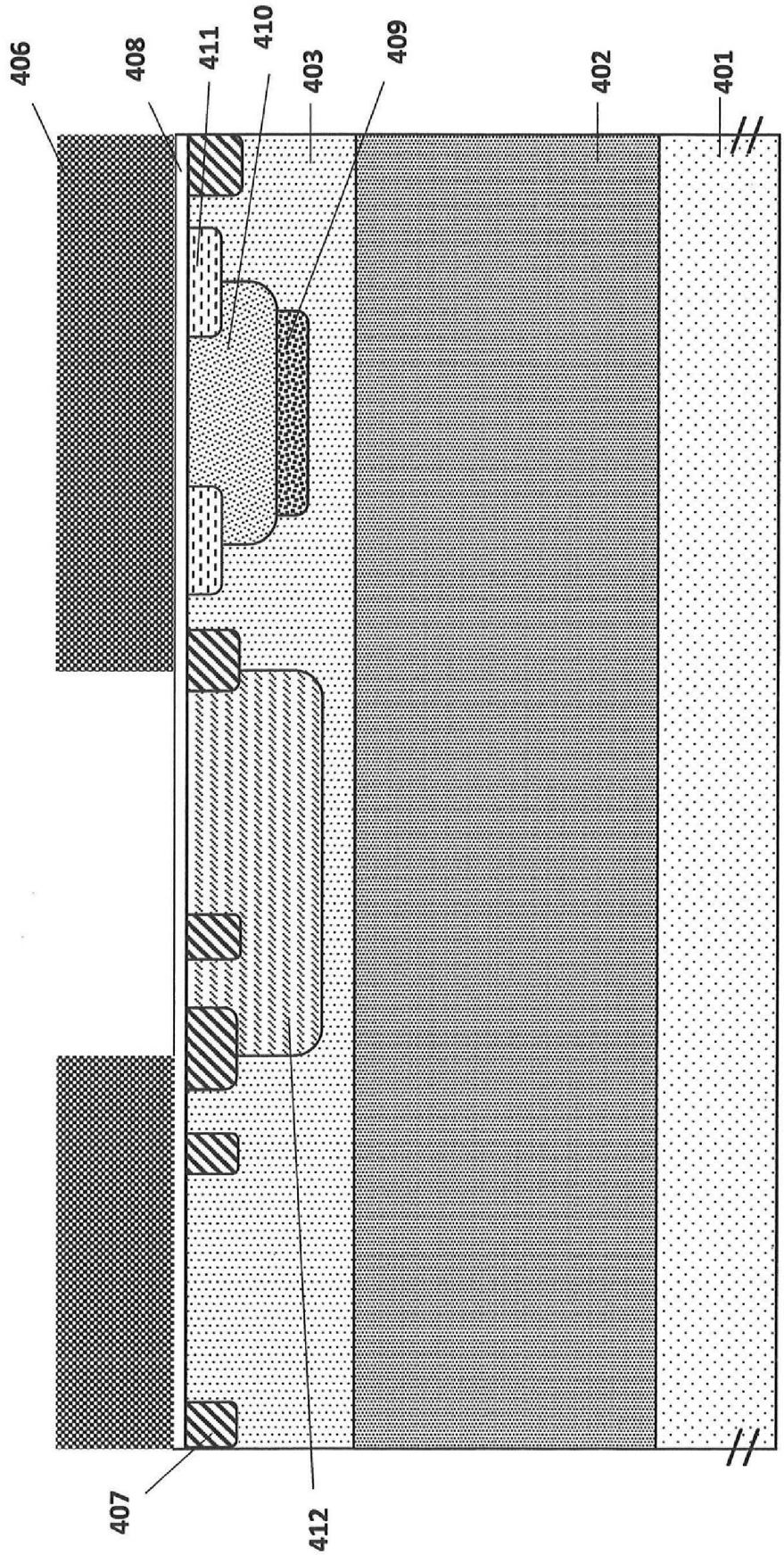
(e)

【圖4(e)】



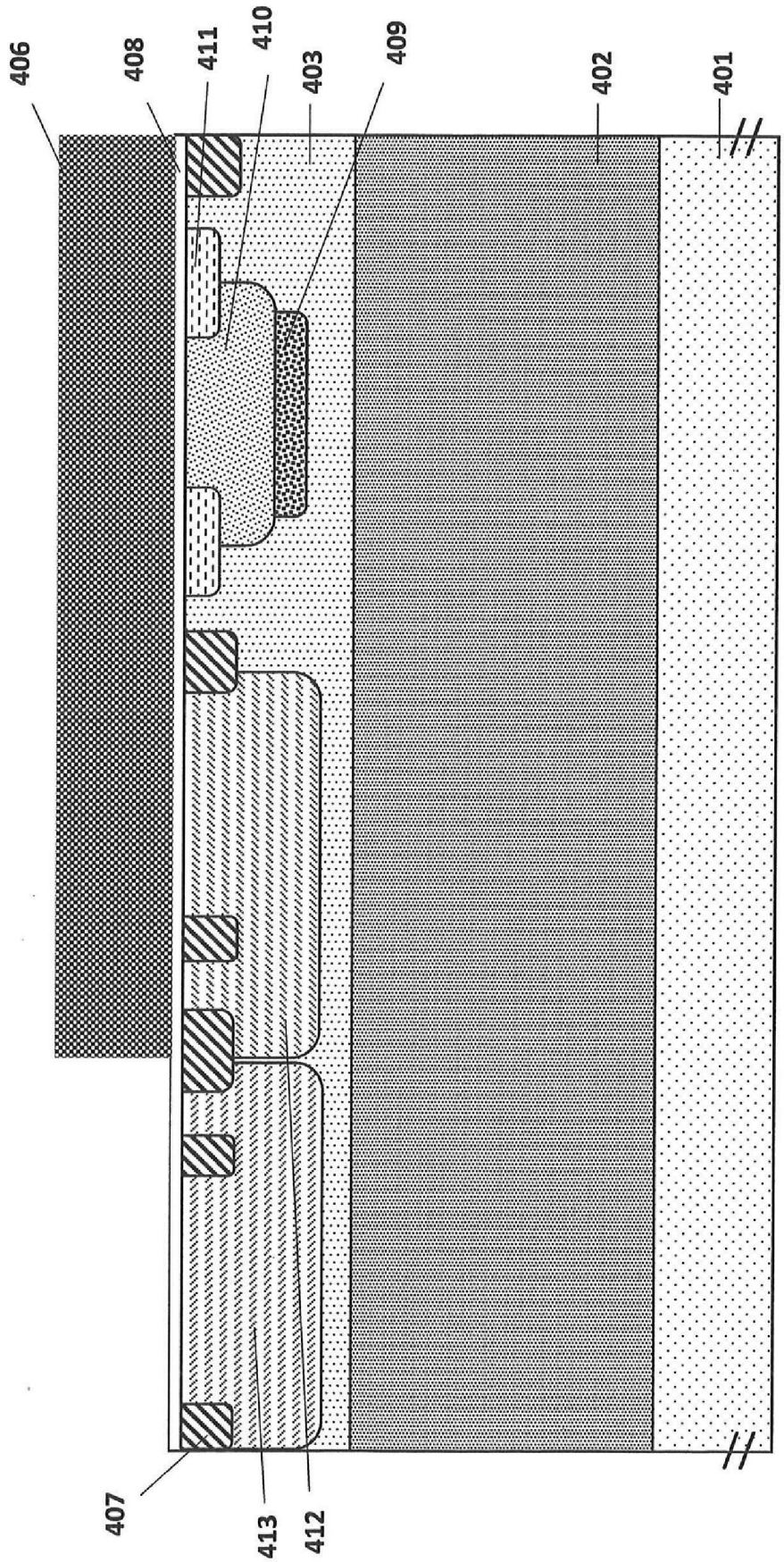
(f)

【圖4(f)】



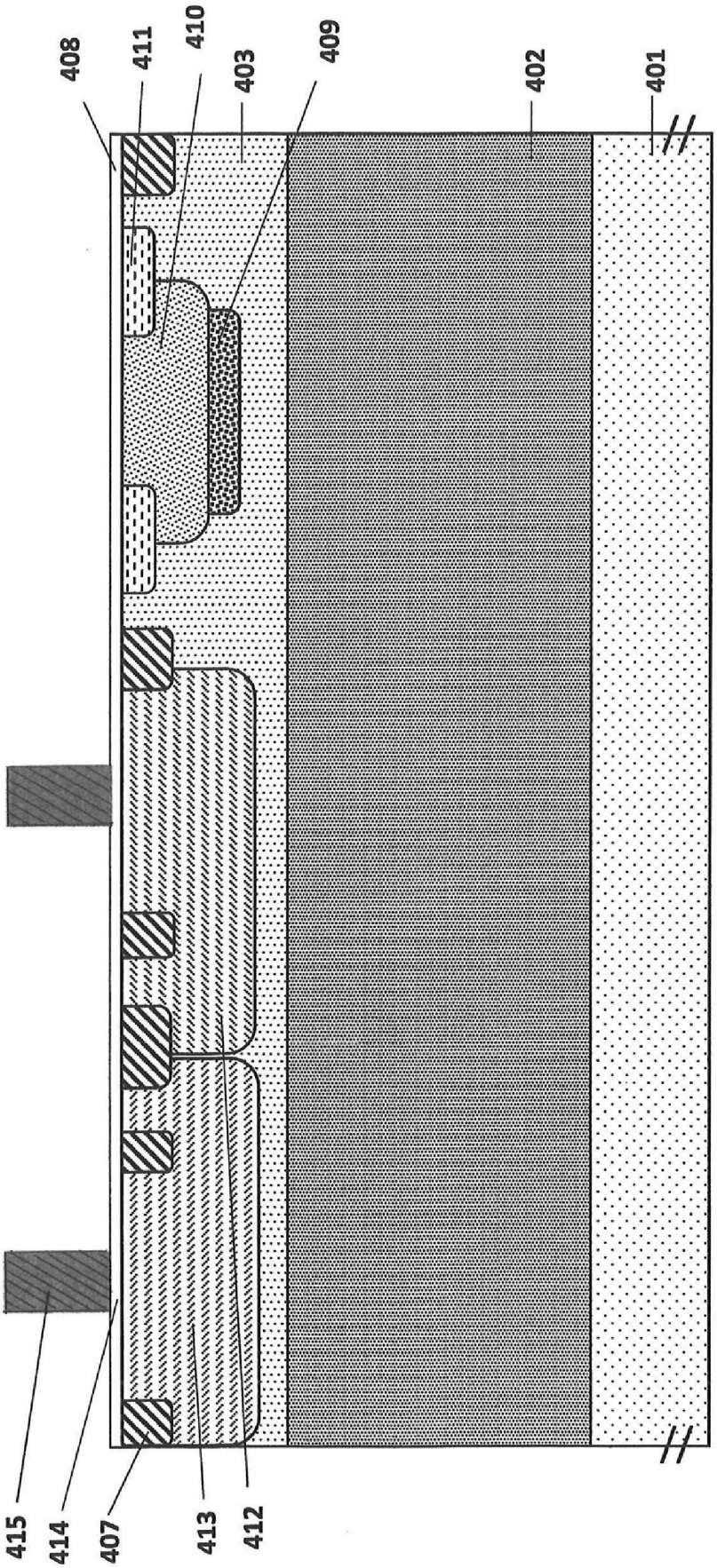
(g)

【圖4(g)】



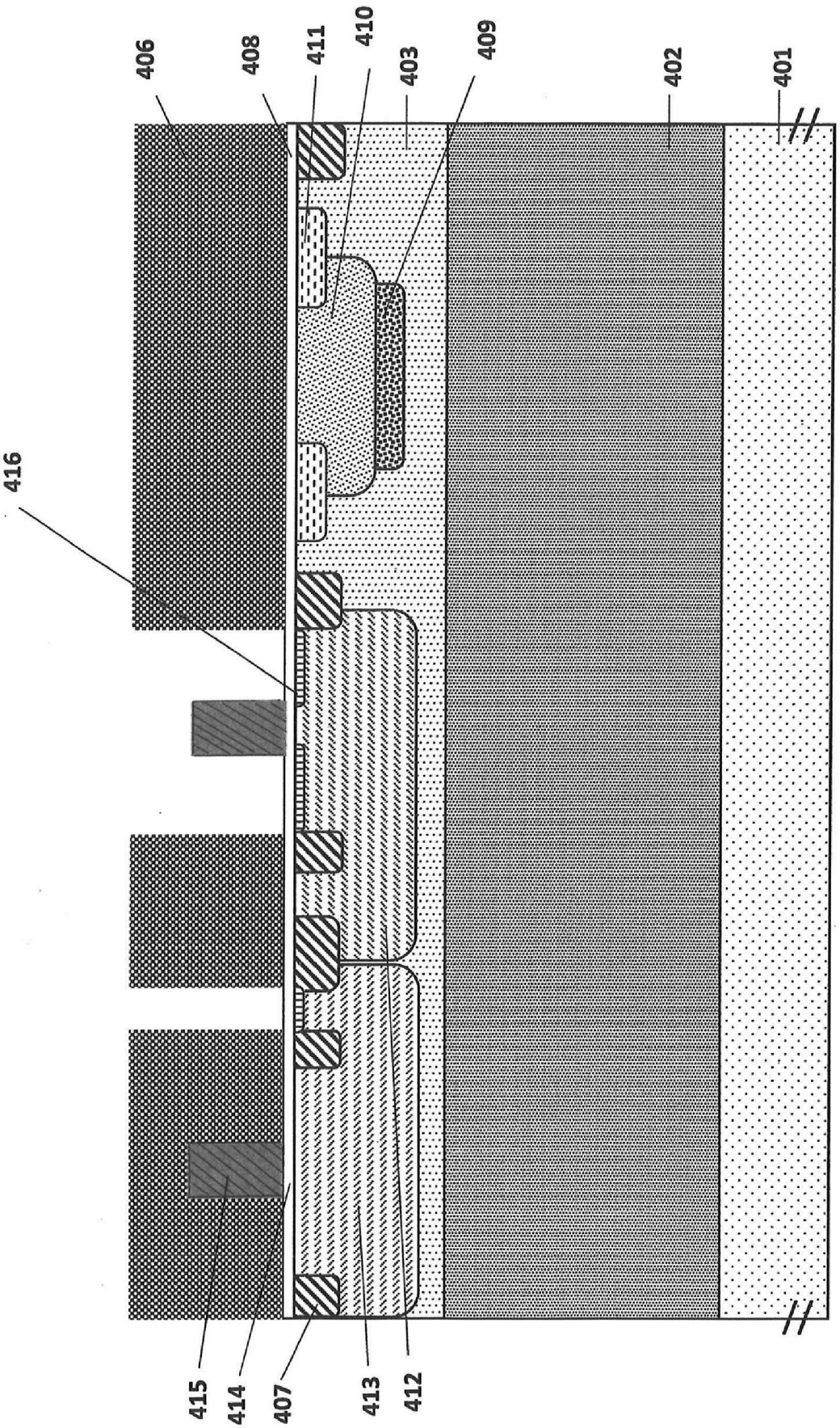
(h)

【圖4(h)】



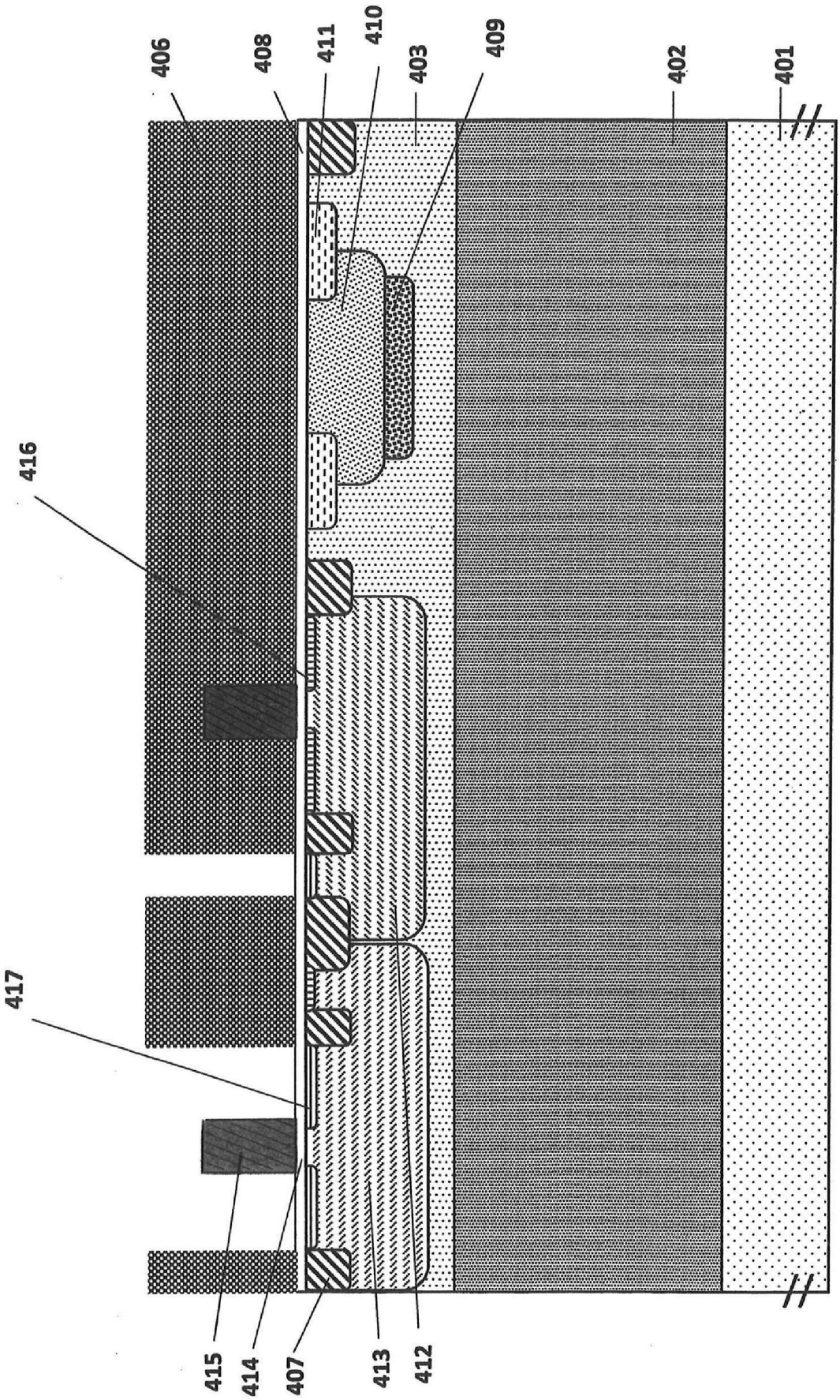
(i)

【圖4(i)】

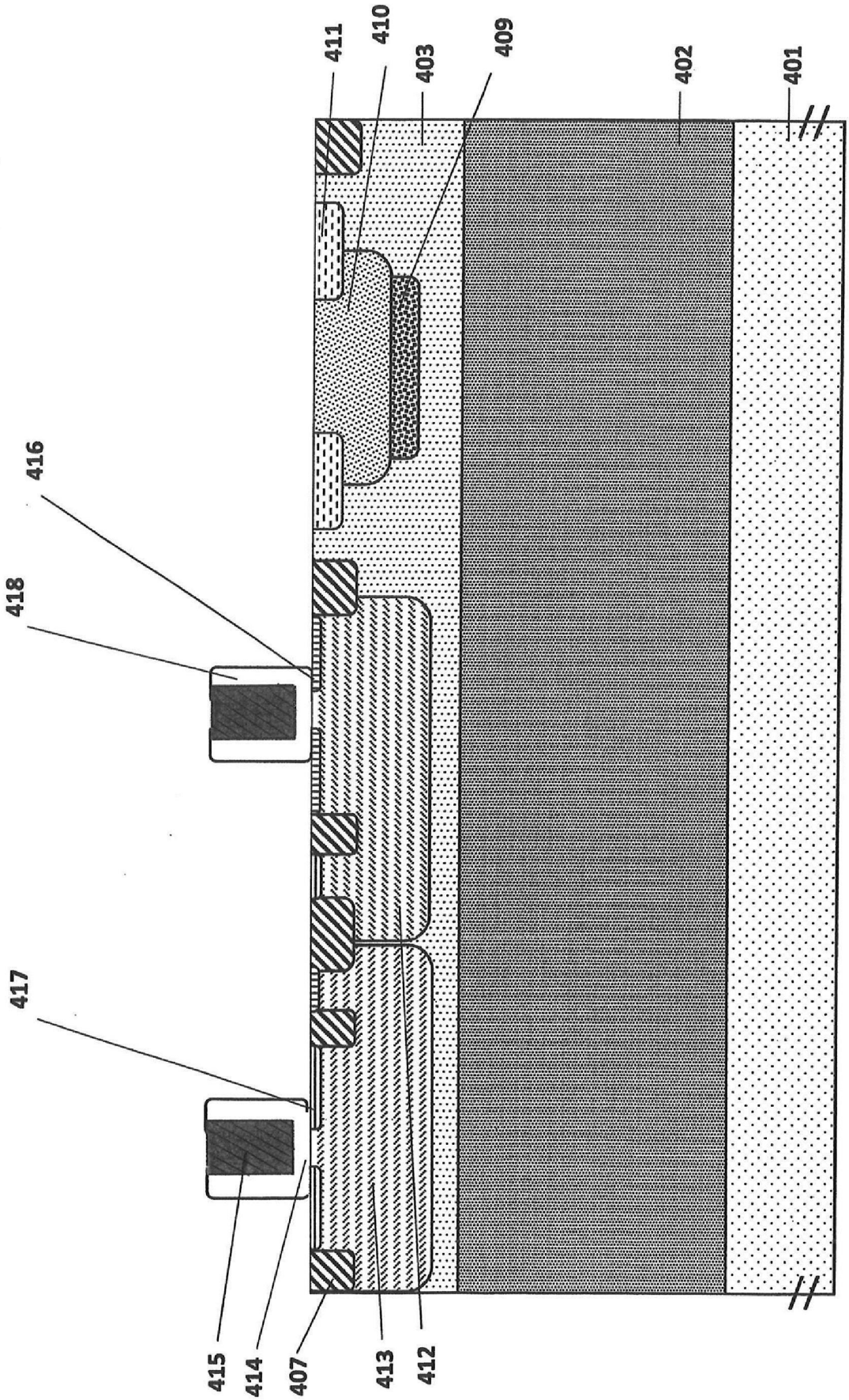


(j)

【圖4(j)】

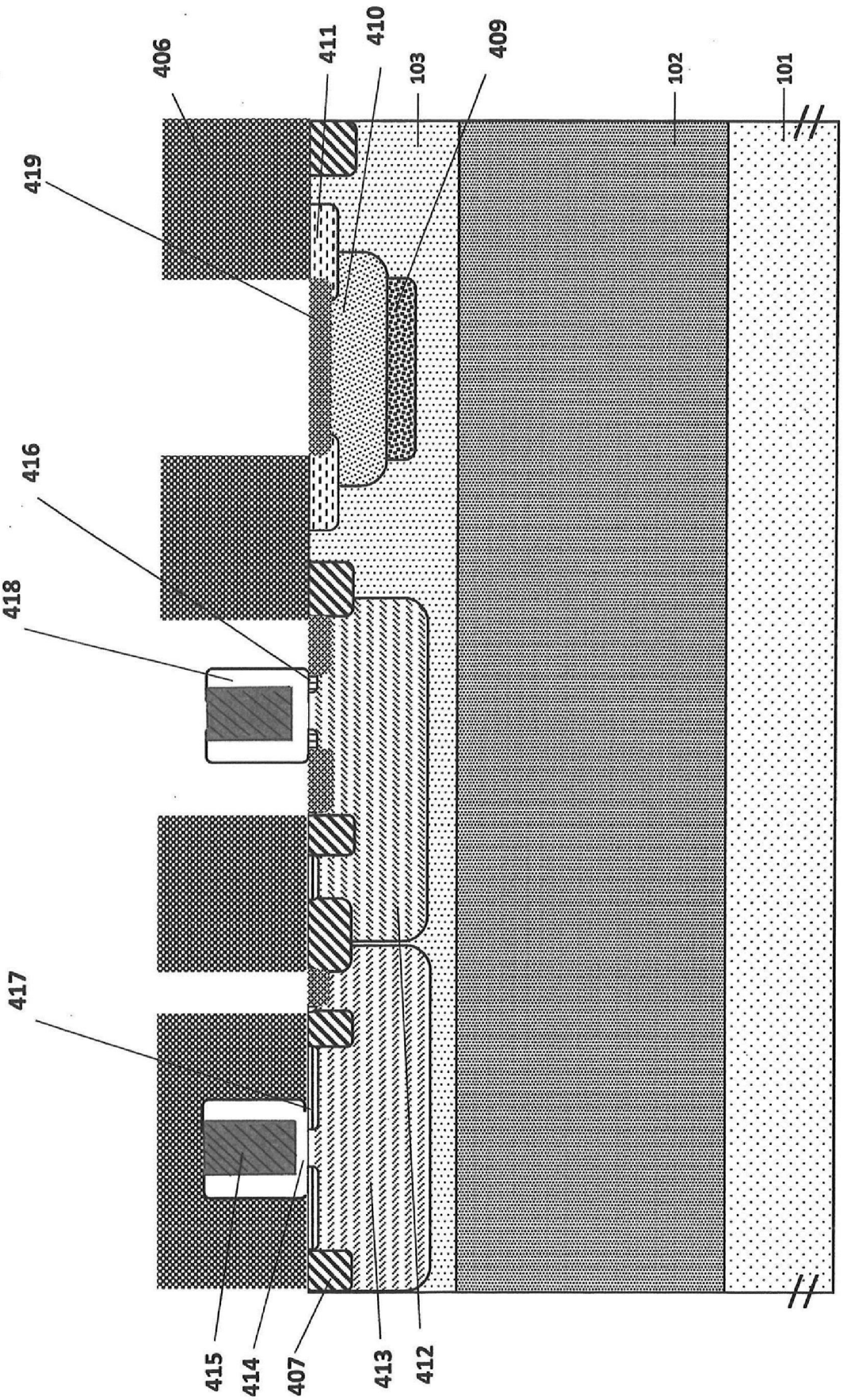


【圖4(k)】



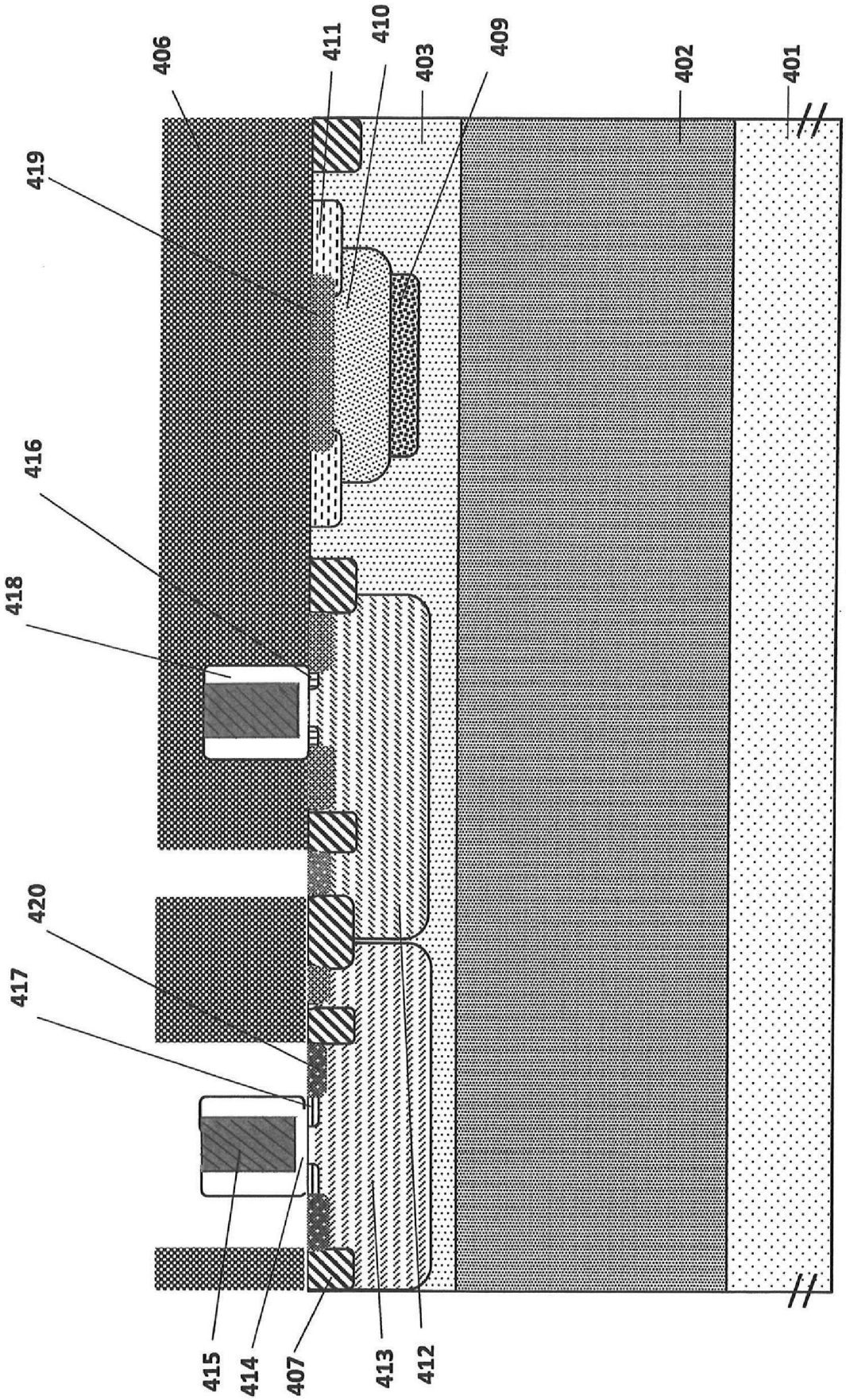
【圖4(I)】

(I)



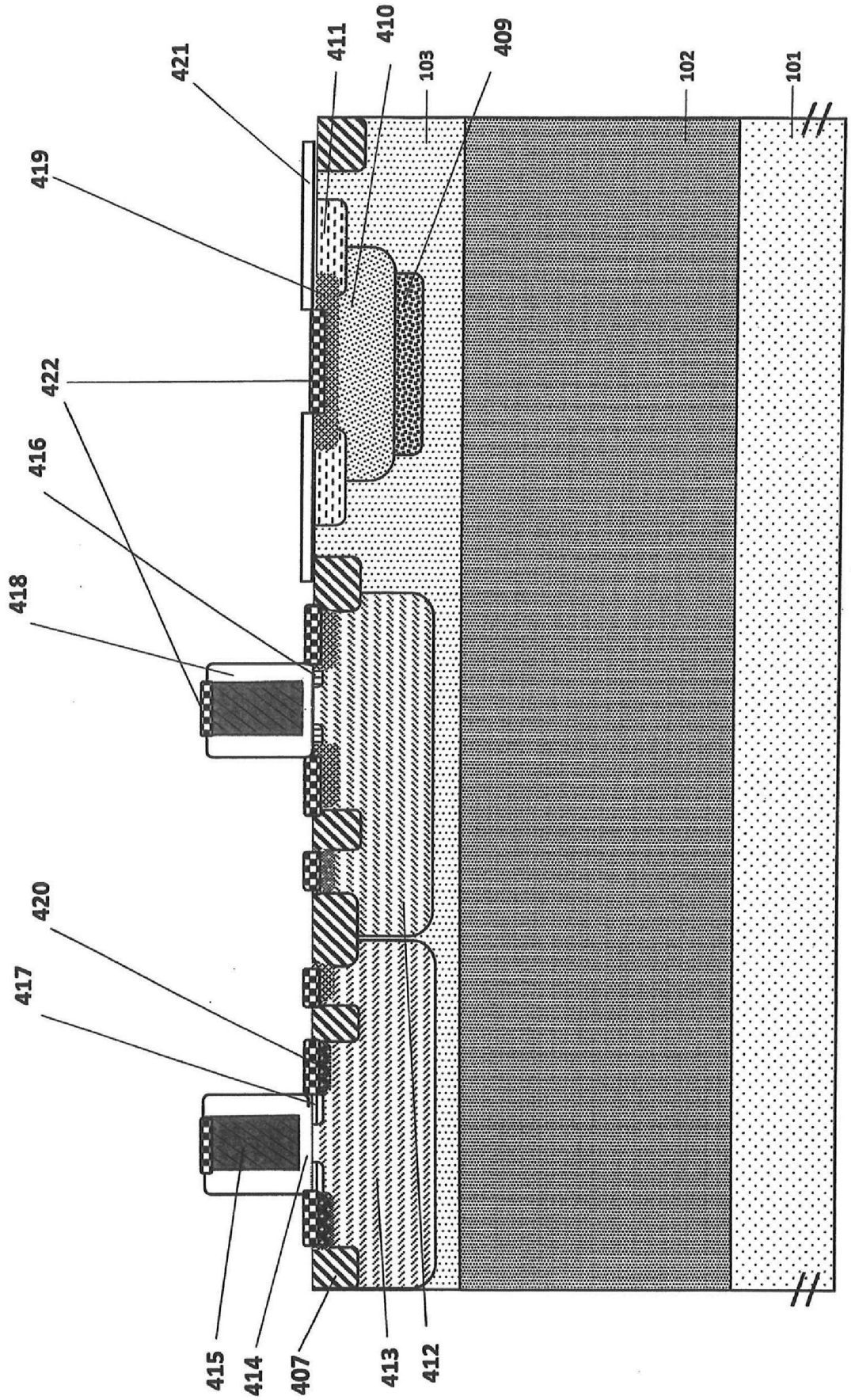
(m)

【圖4(m)】


406
411
410
403
409
402
401
419
416
418
420
417
415
414
407
413
412

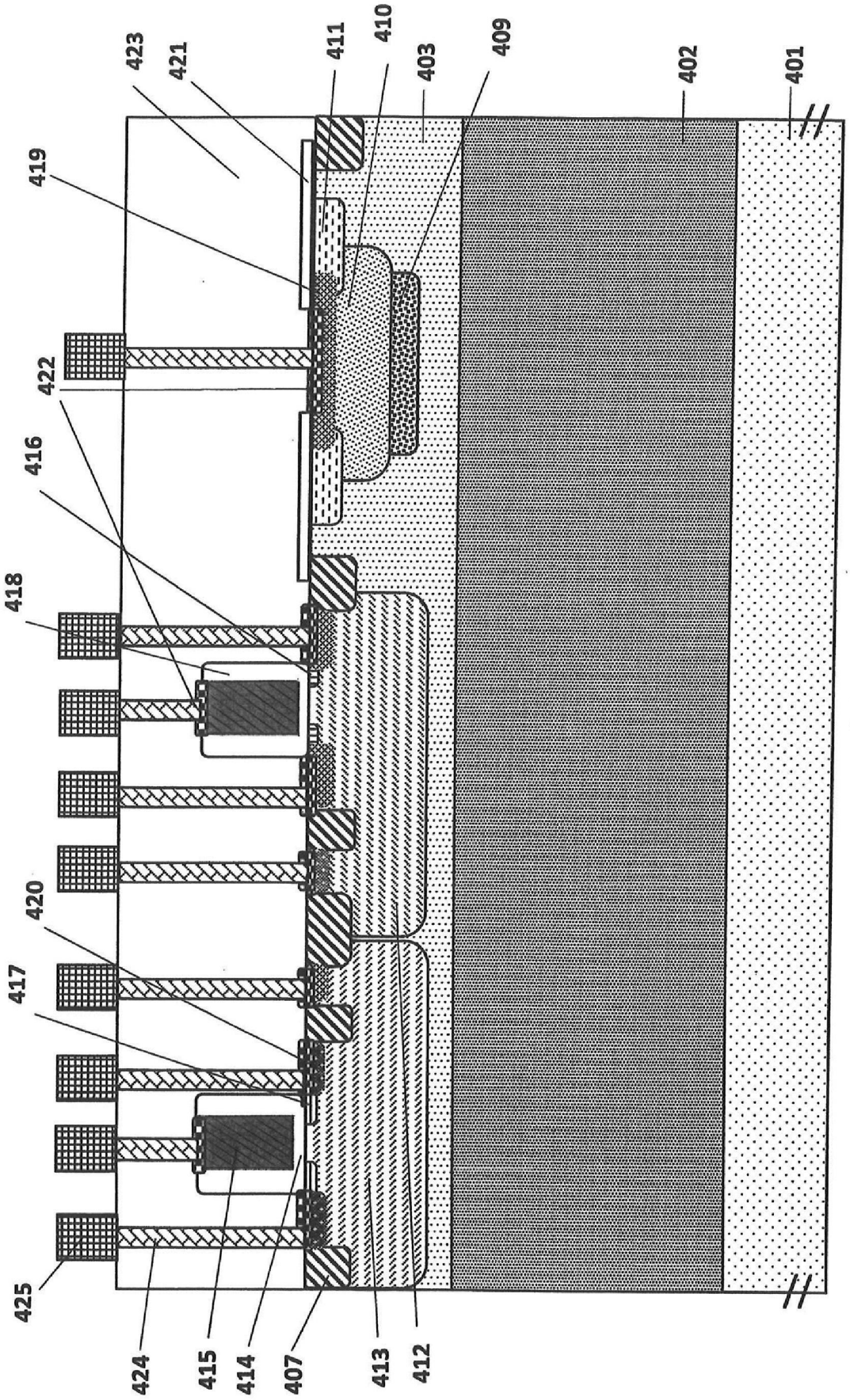
(n)

【圖4(n)】

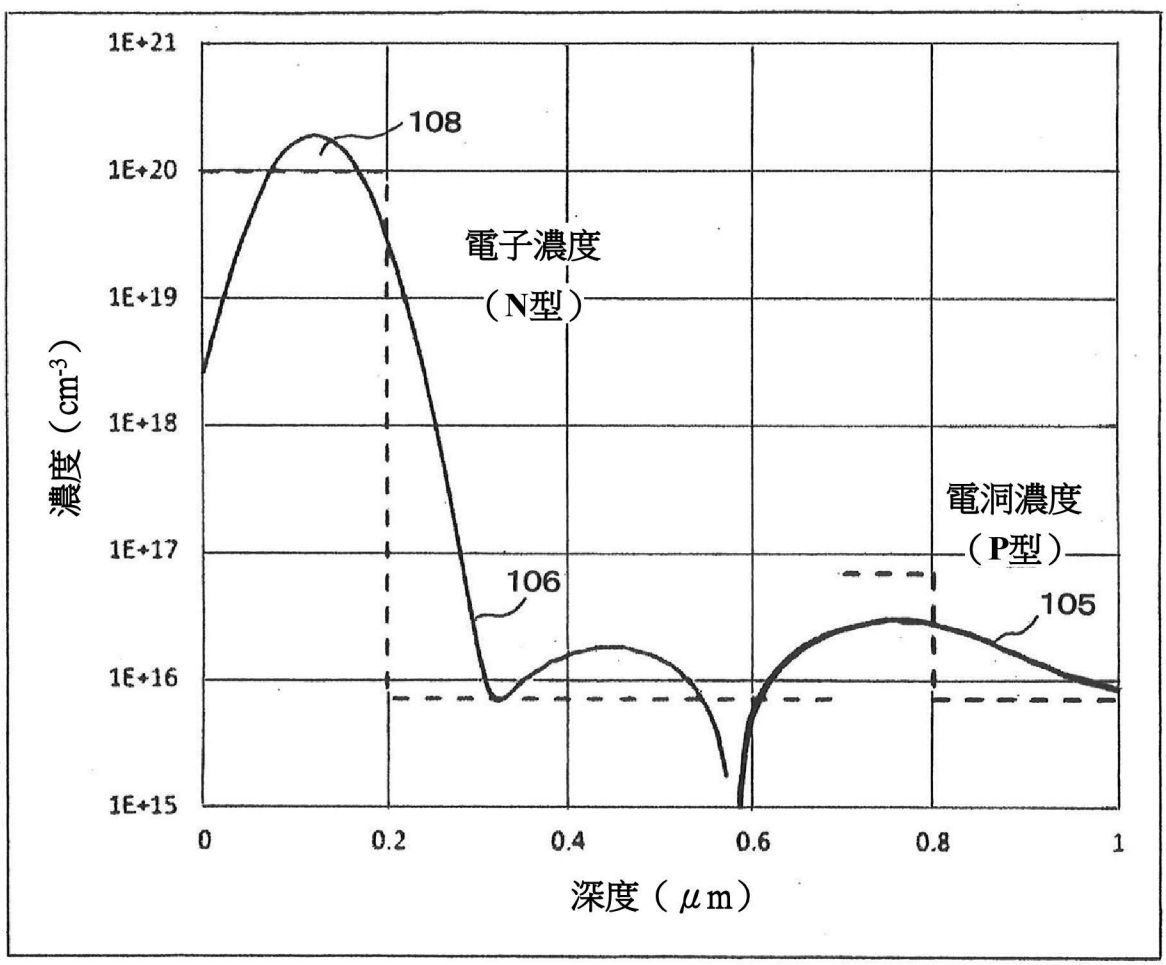

421
411
410
103
409
102
101
419
422
416
418
420
417
415
414
407
413
412

(o)

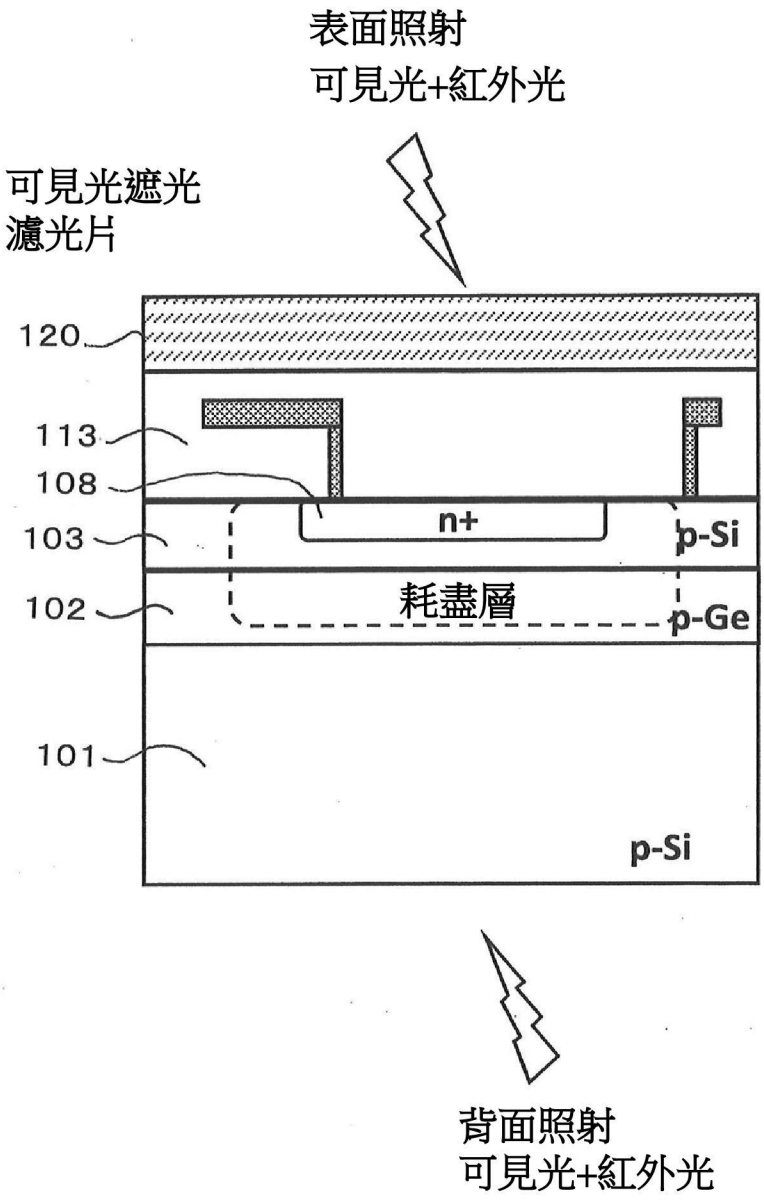
【圖4(o)】


423
421
411
410
403
409
402
401
419
422
416
418
420
417
425
424
415
414
407
413
412
(p)

【圖4(p)】


1E+21
1E+20
1E+19
1E+18
1E+17
1E+16
1E+15
濃度（cm-3）
108
電子濃度
（N型）
106
電洞濃度
（P型）
105
0
0.2
0.4
0.6
0.8
1
深度（μm）

【圖5】


表面照射
可見光+紅外光
可見光遮光
濾光片
120
113
108
103
102
101
n+
p-Si
耗盡層
p-Ge
p-Si
背面照射
可見光+紅外光

【圖6】