

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年3月19日 (19.03.2009)

PCT

(10) 国際公開番号
WO 2009/034863 A1

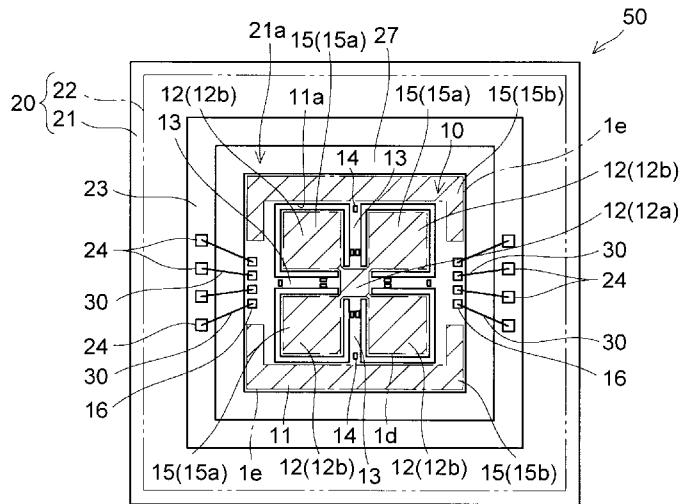
- (51) 国際特許分類: *G01P 15/12* (2006.01) *H01L 29/84* (2006.01) (SUNAGA, Takeshi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1 ローム株式会社内 Kyoto (JP).
- (21) 国際出願番号: PCT/JP2008/065652 (74) 代理人: 佐野 静夫, 外 (SANO, Shizuo et al.); 〒5400032 大阪府大阪市中央区天満橋京町2-6 天満橋八千代ビル別館 Osaka (JP).
- (22) 国際出願日: 2008年9月1日 (01.09.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2007-235269 2007年9月11日 (11.09.2007) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 須永 武史

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1]



(57) Abstract: Provided is a semiconductor device reduced in size. A semiconductor device (50) is provided with a sensor element (10) made of silicon formed by using a MEMS technology, and a package (20) storing the sensor element (10). The sensor element (10) includes a frame section (11), a weight section (12) arranged inside the frame section (11), and a flexible section (13) for swingably supporting the weight section (12) to the frame section (11). In an upper surface region (1d) of the weight section (12) and an upper surface region (1e) of the frame section (11), an integrated circuit (15 (15a, 15b)) electrically connected to the sensor element (10) is formed.

(57) 要約: 小型化を図ることが可能な半導体装置を提供する。この半導体装置 (50) は、MEMS技術を用いて形成されたシリコンからなるセンサ素子 (10) と、センサ素子 (10) を収納するパッケージ (20) とを備えている。そして、センサ素子 (10) は、枠体部 (

[続葉有]



WO 2009/034863 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,

SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

11) と、枠体部 (11) の内側に配置される重り部 (12) と、重り部 (12) を枠体部 (11) に揺動可能に支持する撓み部 (13) とを含んでいる。また、重り部 (12) の上面領域 (1d) および枠体部 (11) の上面領域 (1e) には、センサ素子 (10) と電氣的に接続される集積回路 (15 (15a、15b)) が形成されている。

明 細 書

半導体装置

技術分野

[0001] この発明は、半導体装置に関し、特に、センサ素子を備えた半導体装置に関する。

背景技術

[0002] 従来、加速度を検出する加速度センサ素子(センサ素子)を備えた半導体装置が知られている(たとえば、特許文献1参照)。

[0003] 上記特許文献1には、加速度センサ素子とICチップとが同じ保護ケース(パッケージ)内に収納された加速度センサ(半導体装置)が記載されている。この加速度センサでは、ICチップは、加速度センサ素子の上面上に実装された状態で、保護ケース(パッケージ)内に収納されている。また、加速度センサ素子は、加速度に比例した直流電圧信号を出力する機能を有している。一方、ICチップは、加速度センサ素子から出力された直流電圧信号を増幅して出力する機能を有している。なお、ICチップと加速度センサ素子とは、ボンディングワイヤを介して、互いに電氣的に接続されている。

[0004] このように、上記特許文献1に記載された従来の加速度センサでは、加速度センサ素子とともに、ICチップも保護ケース内に収納されているので、加速度センサ素子から出力された直流電圧信号をICチップで増幅して出力することが可能となる。

[0005] 特許文献1:特開2005-127745号公報

発明の開示

発明が解決しようとする課題

[0006] しかしながら、上記特許文献1に記載された従来の半導体装置では、加速度センサ素子とICチップとが同じ保護ケース内に収納されることによって、保護ケースのサイズが大きくなるという不都合がある。これにより、加速度センサ(半導体装置)の小型化を図ることが困難になるという問題点がある。

[0007] この発明は、上記のような課題を解決するためになされたものであり、この発明の目的は、小型化を図ることが可能な半導体装置を提供することである。

課題を解決するための手段

- [0008] 上記目的を達成するために、この発明の一の局面による半導体装置は、半導体プロセス技術を利用して形成されたシリコンからなるセンサ素子と、センサ素子を収納するパッケージとを備えている。そして、センサ素子は、支持枠と、支持枠の内側に配置される構造体と、構造体を支持枠に揺動可能に支持する梁部とを含み、少なくとも構造体の上面領域の一部には、センサ素子と電氣的に接続される集積回路部が形成されている。
- [0009] この一の局面による半導体装置では、上記のように、少なくとも構造体の上面領域の一部に、センサ素子と電氣的に接続される集積回路部を形成することによって、この集積回路部でセンサ素子からの電気信号を処理して外部に出力することができる。すなわち、上記のように構成することによって、センサ素子からの電気信号を処理するICチップなどをパッケージ内に設けることなく、センサ素子からの電気信号を処理して外部に出力することができる。これにより、ICチップなどをパッケージ内に設けない構成にすることによって、ICチップなどの収納スペースをパッケージ内に確保する必要がなくなるので、その分、半導体装置の小型化を図ることができる。
- [0010] また、一の局面による半導体装置では、上記のように、センサ素子の支持枠の内側に配置される構造体の上面領域に集積回路部を形成することによって、集積回路部を形成するための領域を支持枠の外側に別途設ける場合と異なり、センサ素子に集積回路部を形成したとしても、センサ素子の平面積が大きくなるのを抑制することができる。このため、センサ素子の平面積が大きくなることに起因して、半導体装置の平面積が大きくなるという不都合が生じるのを抑制することができる。したがって、半導体装置の実装面積が大きくなるのを抑制できるとともに、これによっても、半導体装置の小型化を図ることができる。
- [0011] 上記一の局面による半導体装置において、好ましくは、センサ素子の梁部にピエゾ抵抗素子が形成されることによって、センサ素子が、構造体の変位量に応じて加速度を検出するピエゾ抵抗型の加速度センサ素子に構成されている。このように構成すれば、小型化を図ることが可能なピエゾ抵抗型の加速度センサ(半導体装置)を容易に得ることができる。

- [0012] 上記一の局面による半導体装置において、構造体は、梁部を介して支持枠に支持される直方体状の第1構造体と、第1構造体に一体的に連結される直方体状の複数の第2構造体とを含み、集積回路部は、複数の第2構造体の少なくとも1つの上面領域に形成されていてもよい。
- [0013] この場合において、好ましくは、集積回路部は、第1構造体の上面領域および複数の第2構造体の上面領域の各々に形成されている。このように構成すれば、集積回路部の形成領域を容易に確保することができるので、所定の機能を有する集積回路部を容易に形成することができる。
- [0014] 上記第2構造体を備える構成において、好ましくは、支持枠の上面領域には、電極端子部が設けられているとともに、複数の第2構造体の一部と支持枠とは、連結部によって連結されており、連結部は、支持枠の電極端子部と集積回路部とを電気的に接続するための接続経路として機能するように構成されている。このように構成すれば、集積回路部と支持枠の電極端子部とを容易に電気的に接続することができるので、集積回路部によって処理されたセンサ素子からの電気信号を、電極端子部を介して容易に外部に出力することができる。これにより、容易に、ICチップなどをパッケージ内に設けない構成にすることができるので、容易に、半導体装置を小型化することができる。
- [0015] 上記一の局面による半導体装置において、好ましくは、集積回路部は、構造体の上面領域に加えて、支持枠の上面領域にも形成されている。このように構成すれば、集積回路部の形成領域をより容易に確保することができるので、所定の機能を有する集積回路部をより容易に形成することができる。
- [0016] 上記一の局面による半導体装置において、集積回路部は、構造体の動きに基づいて検出される電気的な検出信号を増幅および補正して、物理量に比例した電圧として出力する機能を有するように構成されていてもよい。

発明の効果

- [0017] 以上のように、本発明によれば、小型化を図ることが可能な半導体装置を容易に得ることができる。

図面の簡単な説明

- [0018] [図1]本発明の第1実施形態による半導体装置の平面図である。
- [図2]本発明の第1実施形態による半導体装置を簡略化して示した断面図である。
- [図3]本発明の第1実施形態による半導体装置の分解斜視図である。
- [図4]本発明の第1実施形態による半導体装置のセンサ素子の平面図である。
- [図5]図4の60-60線に沿った断面図である。
- [図6]図4の70-70線に沿った断面図である。
- [図7]本発明の第1実施形態による半導体装置のセンサ素子の製造方法を説明するための断面図である。
- [図8]本発明の第1実施形態による半導体装置のセンサ素子の製造方法を説明するための平面図である。
- [図9]本発明の第1実施形態による半導体装置のセンサ素子の製造方法を説明するための断面図である。
- [図10]本発明の第1実施形態による半導体装置のセンサ素子の製造方法を説明するための断面図である。
- [図11]本発明の第2実施形態による半導体装置の平面図である。
- [図12]本発明の第2実施形態による半導体装置のセンサ素子の全体斜視図である。
- [図13]本発明の第2実施形態による半導体装置のセンサ素子の平面図である。

符号の説明

- | | | |
|--------|--------|------------|
| [0019] | 1 | SOI基板 |
| | 1a | 支持基板 |
| | 1b | 絶縁層 |
| | 1c | シリコン層 |
| | 1d、1e | 上面領域 |
| | 10、110 | センサ素子 |
| | 11 | 枠体部(支持枠) |
| | 12 | 重り部(構造体) |
| | 12a | コア部(第1構造体) |
| | 12b | 付随部(第2構造体) |

13	撓み部(梁部)
14	ピエゾ抵抗素子
15、15a、15b	集積回路(集積回路部)
16	パッド電極(電極端子部)
20	パッケージ
21	下部容器
21a	キャビティ
22	上部蓋
30	ボンディングワイヤ
50、100	半導体装置
111	連結部
112	配線層

発明を実施するための最良の形態

[0020] 以下、本発明を具体化した実施形態を図面に基づいて詳細に説明する。

[0021] (第1実施形態)

図1は、本発明の第1実施形態による半導体装置の平面図である。図2は、本発明の第1実施形態による半導体装置を簡略化して示した断面図である。図3は、本発明の第1実施形態による半導体装置の分解斜視図である。図4～図6は、本発明の第1実施形態による半導体装置の構造を説明するための図である。まず、図1～図6を参照して、本発明の第1実施形態による半導体装置50の構造について説明する。なお、図3ではボンディングワイヤなどの記載は省略している。

[0022] 第1実施形態による半導体装置50は、図1～図3に示すように、センサ素子10と、このセンサ素子10を収納するパッケージ20とを備えている。

[0023] センサ素子10は、図5および図6に示すように、支持基板1a上に絶縁層1bおよびシリコン層1cが順次積層されたSOI(Silicon On Insulator)基板1を、半導体プロセス技術を応用した微細加工技術(MEMS(Micro Electro Mechanical Systems)技術)を用いて加工することにより形成されている。なお、支持基板1aは、たとえば、シリコン基板から構成されており、絶縁層1bは、たとえば、酸化シリコン(SiO_2)

)から構成されている。

[0024] また、センサ素子10は、3軸方向の加速度を検出可能なピエゾ抵抗型の加速度センサ素子に構成されている。具体的には、センサ素子10は、図4～図6に示すように、枠体部11と、枠体部11の内側に配置される重り部12と、重り部12の四方から所定の方向に延びるとともに、重り部12を枠体部11に揺動自在に支持する4つの撓み部13とを備えている。なお、枠体部11は、本発明の「支持枠」の一例であり、重り部12は、本発明の「構造体」の一例である。また、撓み部13は、本発明の「支持部」の一例である。

[0025] センサ素子10の枠体部11は、図4に示すように、平面的に見て、略矩形枠状に形成されており、中央部に略四角形状の開口部11aを有している。なお、枠体部11は、図5に示すように、支持基板1a、絶縁層1bおよびシリコン層1cから構成されている。

[0026] また、センサ素子10の重り部12は、図4に示すように、枠体部11の内側の開口部11aに配置されている。この重り部12は、図4～図6に示すように、4つの撓み部13を介して枠体部11に支持された直方体状のコア部12a(図6参照)と、平面的に見て、コア部12aの四隅の各々に一体的に連結された直方体状の4つの付随部12b(図4および図5参照)とを含んでいる。また、付随部12bの各々と枠体部11および撓み部13との間には、隙間が設けられている。この隙間は、加速度を受けて重り部12が揺動した際に、付随部12bが枠体部11や撓み部13と接触しない程度の大きさに構成されている。なお、コア部12aは、本発明の「第1構造体」の一例であり、付随部12bは、本発明の「第2構造体」の一例である。また、重り部12は、枠体部11と同様、支持基板1a、絶縁層1bおよびシリコン層1cから構成されている。

[0027] また、4つの撓み部13の各々は、SOI基板1のシリコン層1cから構成されており、短冊状に形成されている。このため、図6に示すように、撓み部13は、枠体部11よりも厚みが小さくなっており、変形し易くなっている。また、撓み部13の各々は、図4に示すように、一方端部が枠体部11の内側面に一体的に連結されており、他方端部が重り部12(コア部12a)の内側面に一体的に連結されている。なお、4つの撓み部13は、図4に示すように、X軸方向に延びるとともにコア部12aを挟む2つ1組の撓み部13

と、Y軸方向に延びるとともにコア部12aを挟む2つ1組の撓み部13とに分けられる。

[0028] また、4つの撓み部13の各々の表面には、複数のピエゾ抵抗素子14が形成されている。このピエゾ抵抗素子14は、外力(応力)が加わると抵抗値が変化する素子であり、加速度を受けて重り部12が揺動した際の撓み部13の変位を抵抗値の変化として検出する。すなわち、ピエゾ抵抗型の加速度センサ素子であるセンサ素子10では、加速度が加わるとその加速度によって重り部12が揺動し、重り部12を支持している撓み部13が変形する。そして、撓み部13が変形することによって、撓み部13に形成されているピエゾ抵抗素子14に応力が加わり、ピエゾ抵抗素子14の抵抗値が変化する。この抵抗値の変化を電気信号として検出することにより、半導体装置50に加わった加速度が検出される。

[0029] なお、上記した枠体部11、重り部12および撓み部13は、SOI基板1を加工することによって一体的に形成されている。

[0030] ここで、第1実施形態では、重り部12の上面領域1dおよび枠体部11の上面領域1eに、集積回路15が形成されている。すなわち、コア部12aのシリコン層1cおよび4つの付随部12bの各々のシリコン層1cに集積回路15(15a)が作り込まれているとともに、枠体部11のシリコン層1cの所定領域にも集積回路15(15b)が作り込まれている。この集積回路15は、トランジスタなどの複数の回路素子から構成されている。なお、集積回路15は、本発明の「集積回路部」の一例である。

[0031] また、第1実施形態では、集積回路15は、センサ素子10と電氣的に接続されている。具体的には、集積回路15は、ホイートストン・ブリッジ回路に構成されたピエゾ抵抗素子14と図示しない配線層を介して電氣的に接続されている。なお、ホイートストン・ブリッジ回路は、複数のピエゾ抵抗素子14を、図示しない配線層を介して電氣的に接続することにより構成することができる。また、集積回路15は、センサ素子10によって検出された電気信号を増幅・補正するとともに、加速度に比例した電圧として電気信号を外部に出力する機能を有するように構成されている。

[0032] また、第1実施形態では、枠体部11上の所定領域に複数のパッド電極16が形成されており、図示しない配線層を介して、集積回路15と電氣的に接続されている。このパッド電極16は、集積回路15によって増幅・補正された電機信号を外部に出力する

ための電極端子としての機能を有している。なお、上記した配線層(図示せず)は、所定の配線パターンを有しており、撓み部13のシリコン層1cおよび枠体部11のシリコン層1cなどに設けられている。なお、パッド電極16は、本発明の「電極端子部」の一例である。

[0033] また、センサ素子10を収納するパッケージ20は、図2および図3に示すように、下部容器21と上部蓋22とから構成されている。下部容器21は、たとえば、積層構造を有するセラミックス製の容器から構成されており、センサ素子10を収納するためのキャビティ(空間部)21aを有している。また、下部容器21の側壁のキャビティ21a側には、下部容器21の上面(上部蓋22が接着される面)よりも低い段差面23が形成されている。この段差面23には、後述するボンディングワイヤ30(図1および図2参照)を介して、センサ素子10のパッド電極16と電氣的に接続されるパッド電極24が形成されている。

[0034] 一方、下部容器21の下面には、図2に示すように、図示しない実装基板などにおける配線層と電氣的に接続される電極端子25が形成されている。なお、電極端子25と上記したパッド電極24とは、下部容器21内部に形成された配線部26を介して、互いに電氣的に接続されている。

[0035] また、センサ素子10は、下部容器21のキャビティ21aの底面27における中央部の領域に接着層28を介して固着されている。また、下部容器21のキャビティ21aの底面27とセンサ素子10との間には、接着層28によって、約 $50\mu\text{m}$ ～約 $100\mu\text{m}$ の高さを有する隙間部29が形成されている。この隙間部29は、センサ素子10の重り部12の動き代を確保するために設けられている。また、下部容器21のキャビティ21a内に収納されたセンサ素子10におけるパッド電極16(図1参照)は、ボンディングワイヤ30を介して、下部容器21のパッド電極24と電氣的に接続されている。なお、ボンディングワイヤ30は、たとえば、Au(金)やAl(アルミニウム)などの金属細線から構成されている。

[0036] また、下部容器21のキャビティ21aは、上部蓋22によって封止されている。この上部蓋22は、エポキシ樹脂などの熱硬化性樹脂からなる接着層31によって、下部容器21のキャビティ21aを密閉するように下部容器21の上面に固着されている。なお、

上部蓋22は、たとえば、42アロイ合金やステンレスなどから構成されている。また、密閉されたパッケージ20の内部は、たとえば窒素ガスやドライエアでパージされている。

[0037] 第1実施形態では、上記のように、重り部12の上面領域1d(シリコン層1c)に、それぞれ、センサ素子10と電氣的に接続される集積回路15(15a)を形成することによって、この集積回路15でセンサ素子10からの電気信号を処理して外部に出力することができる。すなわち、上記のように構成することによって、センサ素子10からの電気信号を処理するICチップなどをパッケージ20内に設けることなく、センサ素子10からの電気信号を処理して外部に出力することができる。これにより、ICチップなどをパッケージ20内に設けない構成にすることによって、ICチップなどの収納スペースをパッケージ20内に確保する必要がなくなるので、その分、半導体装置50の小型化を図ることができる。

[0038] また、第1実施形態では、上記のように、センサ素子10の枠体部11の内側に配置される重り部12の上面領域1d(シリコン層1c)に集積回路15(15a)を形成することによって、センサ素子10に集積回路15(15a)を形成したとしても、センサ素子10の平面積が大きくなるのを抑制することができる。このため、センサ素子10の平面積が大きくなることに起因して、半導体装置50の平面積が大きくなるという不都合が生じるのを抑制することができるので、半導体装置50の実装面積が大きくなるのを抑制することができるとともに、これによっても、半導体装置50の小型化を図ることができる。

[0039] また、第1実施形態では、上記のように、重り部12の上面領域1dに加えて、枠体部11の上面領域1eにも集積回路15(15b)を形成することによって、集積回路15の形成領域をより容易に確保することができるので、センサ素子10からの電氣的な検出信号を増幅および補正して、加速度に比例した電圧として出力する機能を有する集積回路15をより容易に形成することができる。なお、集積回路15bによっても、集積回路15aと同様、センサ素子10からの電気信号を処理して外部に出力することができる。

[0040] 図7～図10は、本発明の第1実施形態による半導体装置のセンサ素子の製造方法を説明するための図である。なお、図9および図10は、図8の80-80線に沿った断

面に対応する断面を示している。次に、図1、図5および図7～図10を参照して、第1実施形態による半導体装置50のセンサ素子10の製造方法について説明する。

[0041] まず、図7に示すように、シリコン基板からなる支持基板1aの上面上に、 SiO_2 からなる絶縁層1bおよびシリコン層1cを順次積層することによって、SOI基板1を形成する。

[0042] 次に、図8に示すように、SOI基板1の上面(シリコン層1c)に、集積回路15、ピエゾ抵抗素子14、パッド電極16および配線層(図示せず)をそれぞれ形成する。具体的には、シリコン層1cに、フォトリソグラフィ技術、エッチング技術および不純物拡散技術などを用いてトランジスタなどの複数の回路素子を作り込むことにより、重り部12(図1参照)に対応する領域および枠体部11(図1参照)に対応する所定領域に集積回路15を形成する。また、フォトリソグラフィ技術および不純物拡散技術などを用いて、撓み部13に対応する所定領域にピエゾ抵抗素子14を形成するとともに、ホイートストン・ブリッジ回路を構成するための配線層(図示せず)を形成する。また、蒸着法などを用いて、枠体部11に対応する所定領域にパッド電極16を形成する。さらに、不純物拡散技術などを用いて、集積回路15とピエゾ抵抗素子14とを電氣的に接続する配線層(図示せず)および集積回路15とパッド電極16とを電氣的に接続する配線層(図示せず)などを形成する。

[0043] 次に、集積回路15、ピエゾ抵抗素子14および配線層(図示せず)などを保護した後、図9に示すように、SOI基板1の上面側から絶縁層1bに達する深さまで、絶縁層1bをエッチングストップ層としてエッチングすることにより、シリコン層1cの所定領域を除去する。これにより、SOI基板1におけるシリコン層1cがパターニングされて、枠体部11(図5参照)に対応する部位、撓み部13(図5参照)に対応する部位および重り部12(図5参照)に対応する部位が残る。なお、上記したパターニングは、たとえば、誘導結合プラズマ(ICP)型のドライエッチング装置を用いたドライエッチングにより行うことができる。その際、エッチング条件としては、絶縁層1bがエッチングストップ層として機能するような条件に設定する。

[0044] 続いて、図10に示すように、SOI基板1の下面側から絶縁層1bに達する深さまで、絶縁層1bをエッチングストップ層としてエッチングすることにより、シリコン層1cの所定

領域を除去する。これにより、SOI基板1における支持基板1aがパターニングされて、枠体部11(図5参照)に対応する部位および重り部12(図5参照)に対応する部位が残る。なお、上記したパターニングは、たとえば、誘導結合プラズマ(ICP)型のドライエッチング装置を用いたドライエッチングにより行うことができる。その際、エッチング条件としては、絶縁層1bがエッチングストップ層として機能するような条件に設定する。

[0045] 最後に、SOI基板1の絶縁層1bを、枠体部11および重り部12に対応する領域以外の領域をエッチングにより除去することにより、図5に示した形状を得る。このようにして、図1に示した本発明の第1実施形態による半導体装置50のセンサ素子10が形成される。

[0046] (第2実施形態)

図11は、本発明の第2実施形態による半導体装置の平面図である。図12は、本発明の第2実施形態による半導体装置のセンサ素子の全体斜視図である。図13は、本発明の第2実施形態による半導体装置のセンサ素子の平面図である。次に、図11～図13を参照して、本発明の第2実施形態による半導体装置100の構造について説明する。

[0047] この第2実施形態による半導体装置100では、図11～図13に示すように、センサ素子110の重り部12(付随部12b)の一部が連結部111を介して、センサ素子110の枠体部11と連結されている。具体的には、4つの付随部12bのうちの1つの付随部12bの角部が、連結部111によって、枠体部11の内側面と一体的に連結されている。この連結部111は、シリコン層1cを含むように構成されている。

[0048] また、連結部111は、集積回路15とパッド電極16とを電氣的に接続するための接続経路として機能するように構成されている。具体的には、重り部12の上面領域1dには集積回路15(15a)が形成されているとともに、枠体部11の所定領域および連結部111の所定領域には、所定の配線パターンを有する配線層112が形成されている。そして、この配線層112によって、集積回路15とパッド電極16とが電氣的に接続されている。

[0049] また、上記した連結部111は、上記第1実施形態によるセンサ素子110の製造方法

において、SOI基板1のパターニングを変更することによって形成することができる。

[0050] なお、上記した第2実施形態の構成では、センサ素子110に連結部111を設けることによって重り部12の所定方向への揺動動作が制限されるので、センサ素子110を、3軸方向以外の2軸方向または1軸方向の加速度を検出する加速度センサ素子として用いてもよい。この場合、パッド電極16および24の数を少なくすることができる。また、所定方向への揺動動作の制限された分だけ、集積回路15によって補正することにより、3軸方向の加速度を検出する加速度センサ素子として用いることもできる。

[0051] 第2実施形態による半導体装置100のその他の構成は、上記第1実施形態と同様である。

[0052] 第2実施形態では、上記のように、4つの付随部12bのうちの1つの付随部12bの角部を、連結部111により連結することによって、連結部111を、集積回路15と枠体部11のパッド電極16とを電気的に接続するための接続経路として機能させることができる。このため、連結部111を介して、配線層112により、集積回路15と枠体部11のパッド電極16とを容易に電気的に接続することができるので、集積回路15によって処理されたセンサ素子110からの電気信号を、パッド電極16を介して容易に外部に出力することができる。これにより、容易に、ICチップなどをパッケージ内に設けない構成にすることができるので、容易に、半導体装置100を小型化することができる。

[0053] 第2実施形態による半導体装置100のその他の効果は、上記第1実施形態と同様である。

[0054] なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

[0055] たとえば、上記第1および第2実施形態では、ピエゾ抵抗型の加速度センサ素子を備えた半導体装置に本発明を適用した例を示したが、本発明はこれに限らず、ピエゾ抵抗型以外の加速度センサ素子を備えた半導体装置に本発明を適用してもよい。

[0056] また、上記第1および第2実施形態では、重り部の上面領域のほぼ全面(コア部の上面領域および複数の付随部の上面領域の各々)に、集積回路を形成した例を示し

たが、本発明はこれに限らず、重り部の上面領域の一部に集積回路を形成するようにしてもよい。

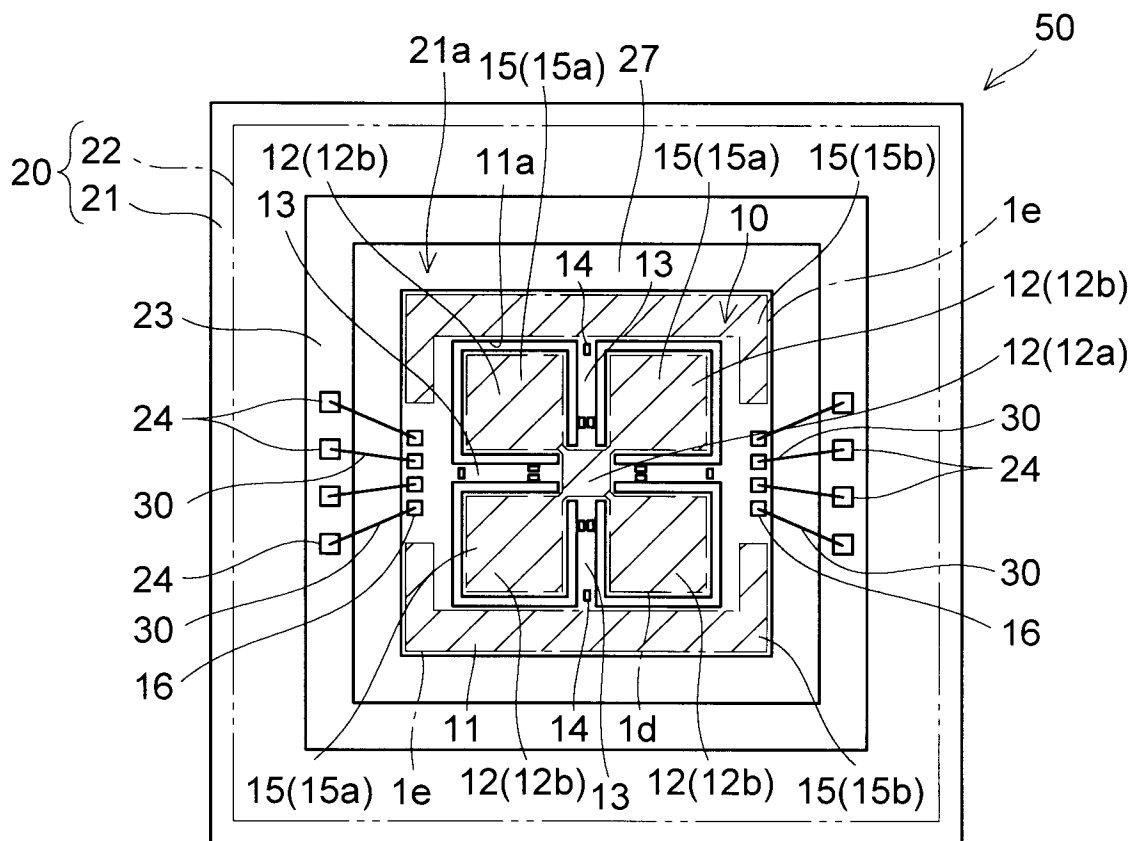
- [0057] また、上記第1および第2実施形態では、集積回路を、センサ素子によって検出された電気信号を増幅・補正するとともに、加速度に比例した電圧として電気信号を外部に出力する機能を有するように構成した例を示したが、本発明はこれに限らず、集積回路を、上記した機能とは異なる機能を有するように構成してもよい。また、集積回路を、上記した機能に加えて、他の機能を有するように構成してもよい。
- [0058] また、上記第1実施形態では、集積回路を、重り部の上面領域に加えて、枠体部の上面領域にも形成した例を示したが、本発明はこれに限らず、枠体部の上面領域に集積回路を形成しない構成にしてもよい。
- [0059] また、上記第1実施形態では、3軸方向の加速度を検出可能なセンサ素子を用いることによって、半導体装置を3軸加速度センサに構成した例を示したが、本発明はこれに限らず、3軸型方向以外の2軸方向または1軸方向の加速度を検出可能なセンサ素子を用いることによって、半導体装置を2軸加速度センサまたは1軸加速度センサに構成してもよい。
- [0060] また、上記第2実施形態では、1つの付随部の一部が連結部によって枠体部と連結されたセンサ素子の構成について示したが、本発明はこれに限らず、センサ素子の重り部が揺動可能であれば、センサ素子の構成は、上記した構成以外の構成であってもよい。すなわち、たとえば、複数の付随部が連結部によって枠体部と連結された構成であってもよい。

請求の範囲

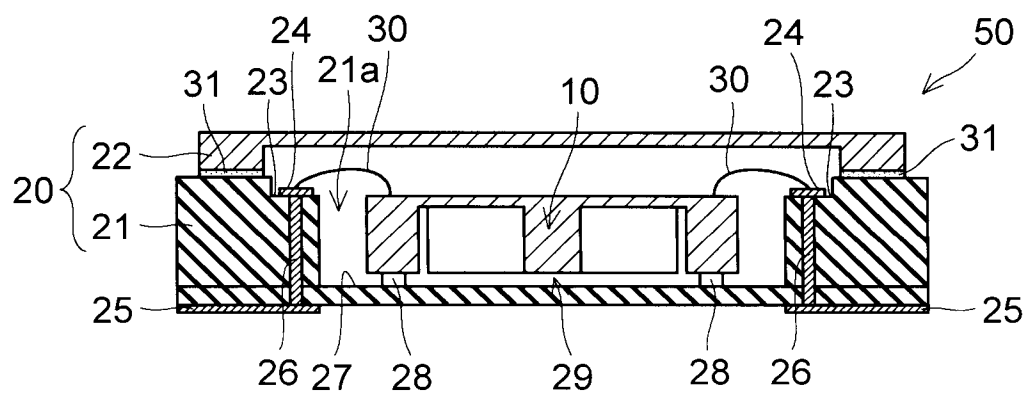
- [1] 半導体プロセス技術を利用して形成されたシリコンからなるセンサ素子と、前記センサ素子を収納するパッケージとを備え、前記センサ素子は、支持枠と、前記支持枠の内側に配置される構造体と、前記構造体を前記支持枠に揺動可能に支持する梁部とを含み、少なくとも前記構造体の上面領域の一部には、前記センサ素子と電氣的に接続される集積回路部が形成されていることを特徴とする、半導体装置。
- [2] 前記センサ素子の前記梁部に、ピエゾ抵抗素子が形成されることによって、前記センサ素子が、前記構造体の変位量に応じて加速度を検出するピエゾ抵抗型の加速度センサ素子に構成されていることを特徴とする、請求項1に記載の半導体装置。
- [3] 前記構造体は、前記梁部を介して前記支持枠に支持される直方体状の第1構造体と、前記第1構造体に一体的に連結される直方体状の複数の第2構造体とを含み、前記集積回路部は、前記複数の第2構造体の少なくとも1つの上面領域に形成されていることを特徴とする、請求項1または2に記載の半導体装置。
- [4] 前記集積回路部は、前記第1構造体の上面領域および前記複数の第2構造体の上面領域の各々に形成されていることを特徴とする、請求項3に記載の半導体装置。
- [5] 前記支持枠の上面領域には、電極端子部が設けられているとともに、前記複数の第2構造体の一部と前記支持枠とは、連結部によって連結されており、前記連結部は、前記支持枠の前記電極端子部と前記集積回路部とを電氣的に接続するための接続経路として機能するように構成されていることを特徴とする、請求項3に記載の半導体装置。
- [6] 前記支持枠の上面領域には、電極端子部が設けられているとともに、前記複数の第2構造体の一部と前記支持枠とは、連結部によって連結されており、前記連結部は、前記支持枠の前記電極端子部と前記集積回路部とを電氣的に接続するための接続経路として機能するように構成されていることを特徴とする、請求項4に記載の半導体装置。
- [7] 前記集積回路部は、前記構造体の上面領域に加えて、前記支持枠の上面領域にも形成されていることを特徴とする、請求項1または2に記載の半導体装置。

- [8] 前記集積回路部は、前記構造体の動きに基づいて検出される電気的な検出信号を増幅および補正して、物理量に比例した電圧として出力する機能を有するように構成されていることを特徴とする、請求項1または2に記載の半導体装置。

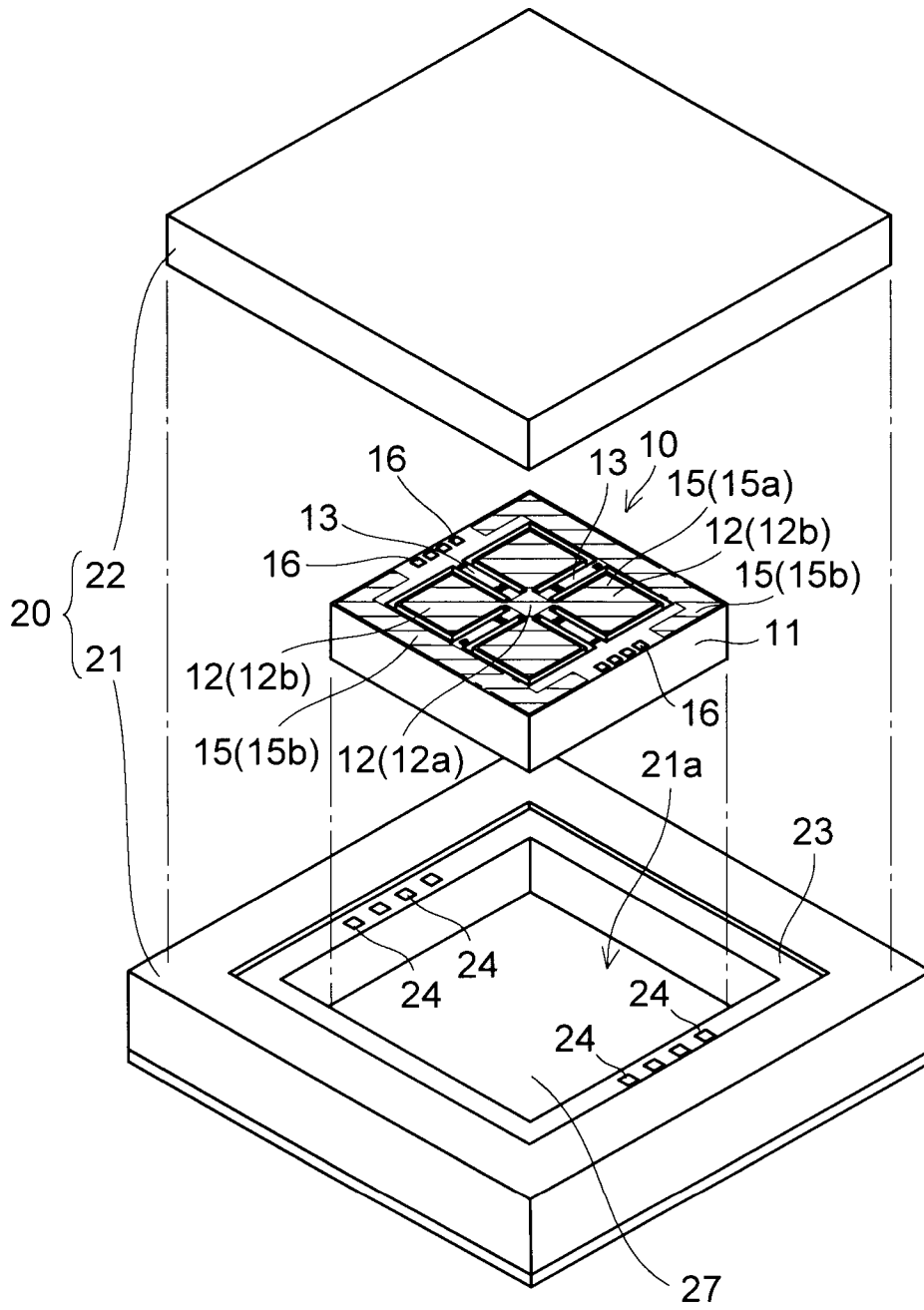
[図1]



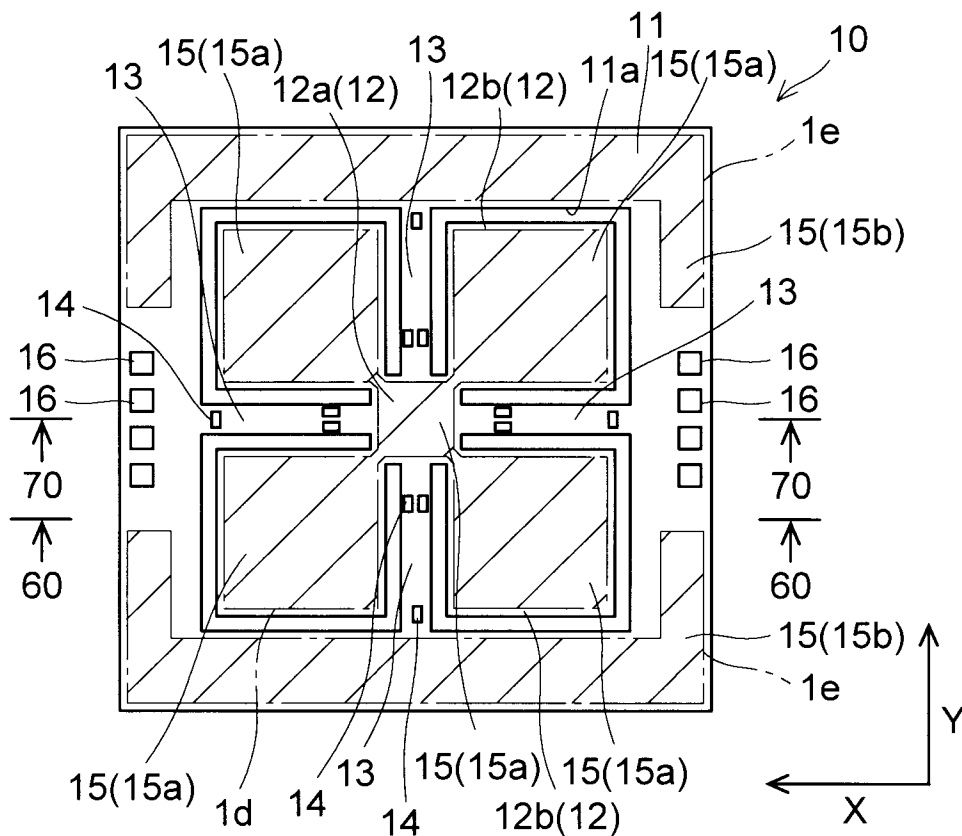
[図2]



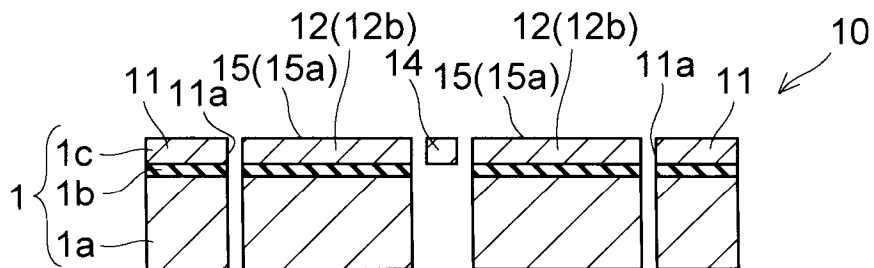
[図3]



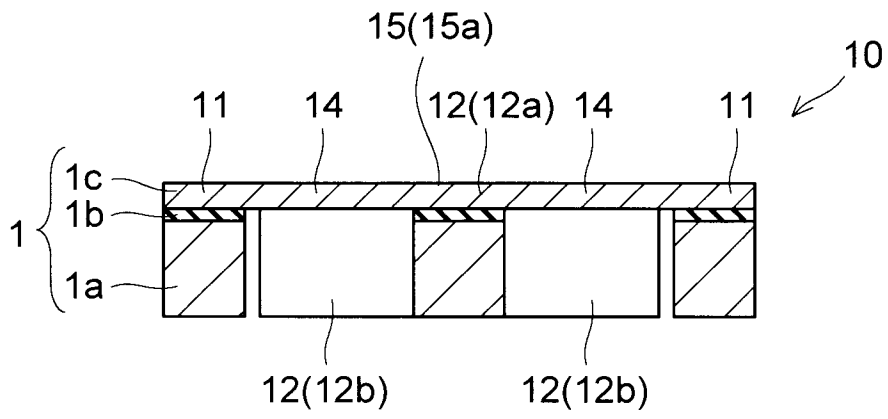
[図4]



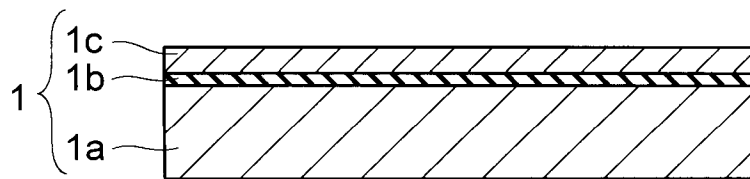
[図5]



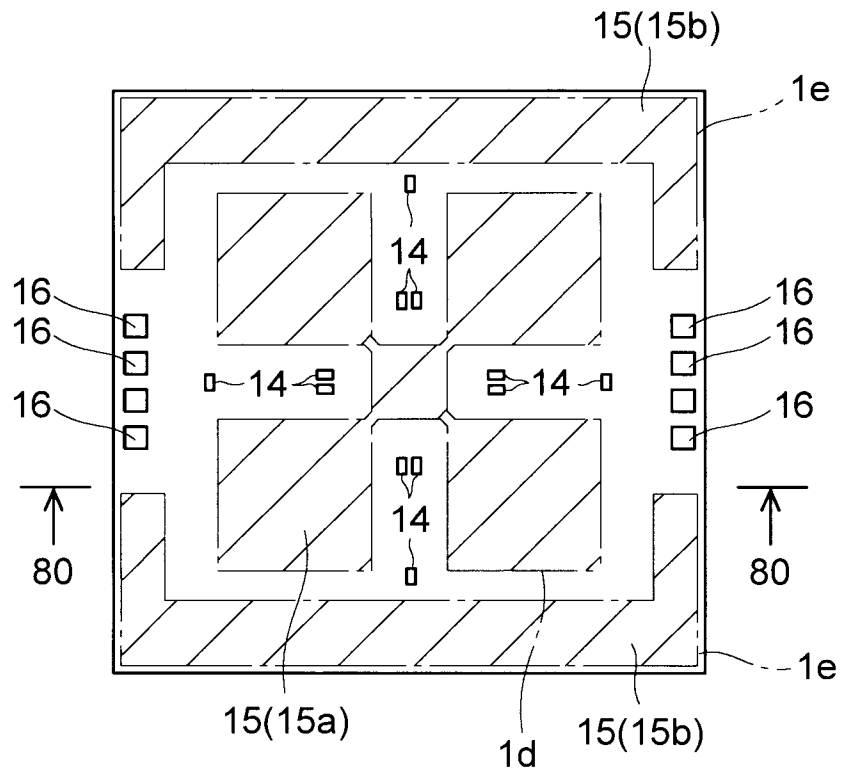
[図6]



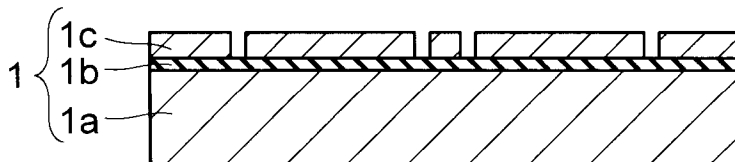
[図7]



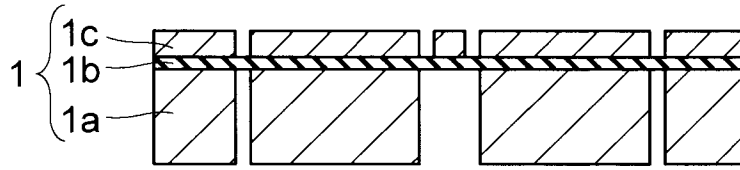
[図8]



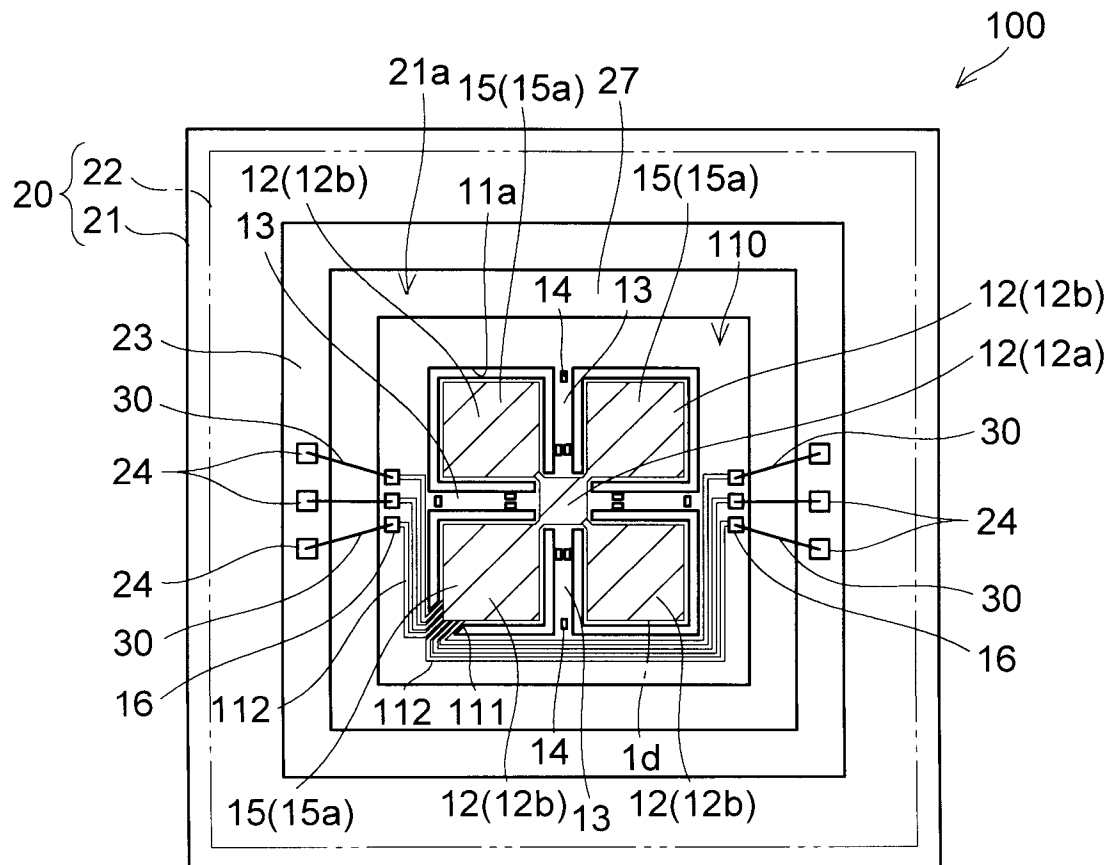
[図9]



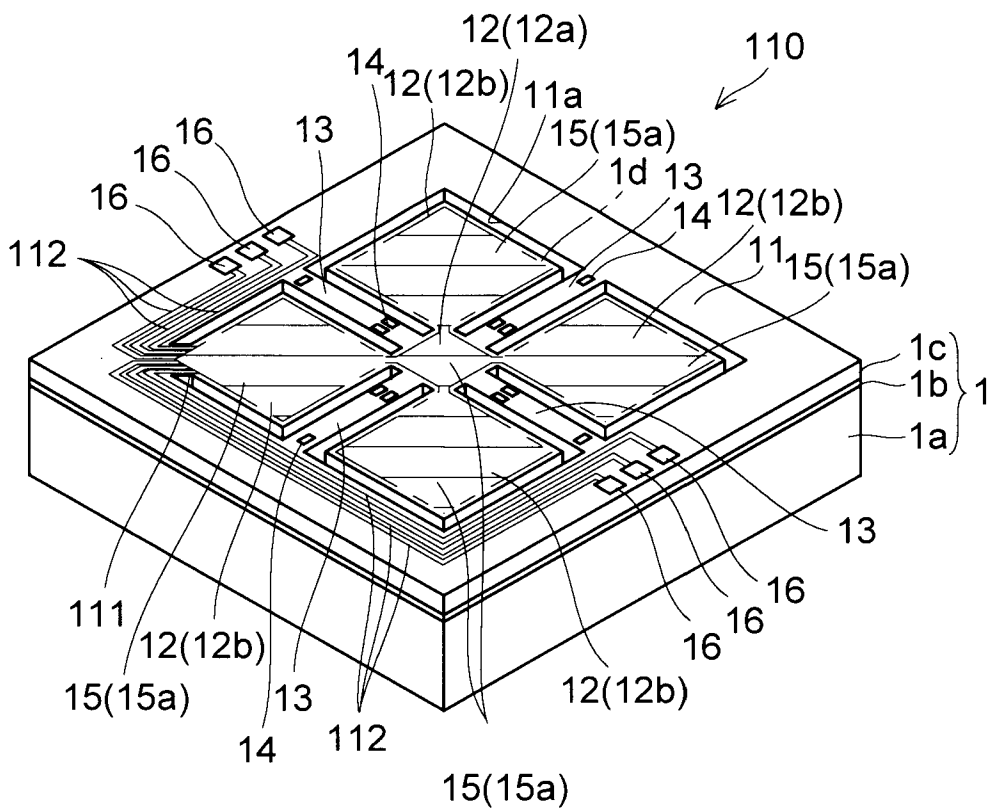
[図10]



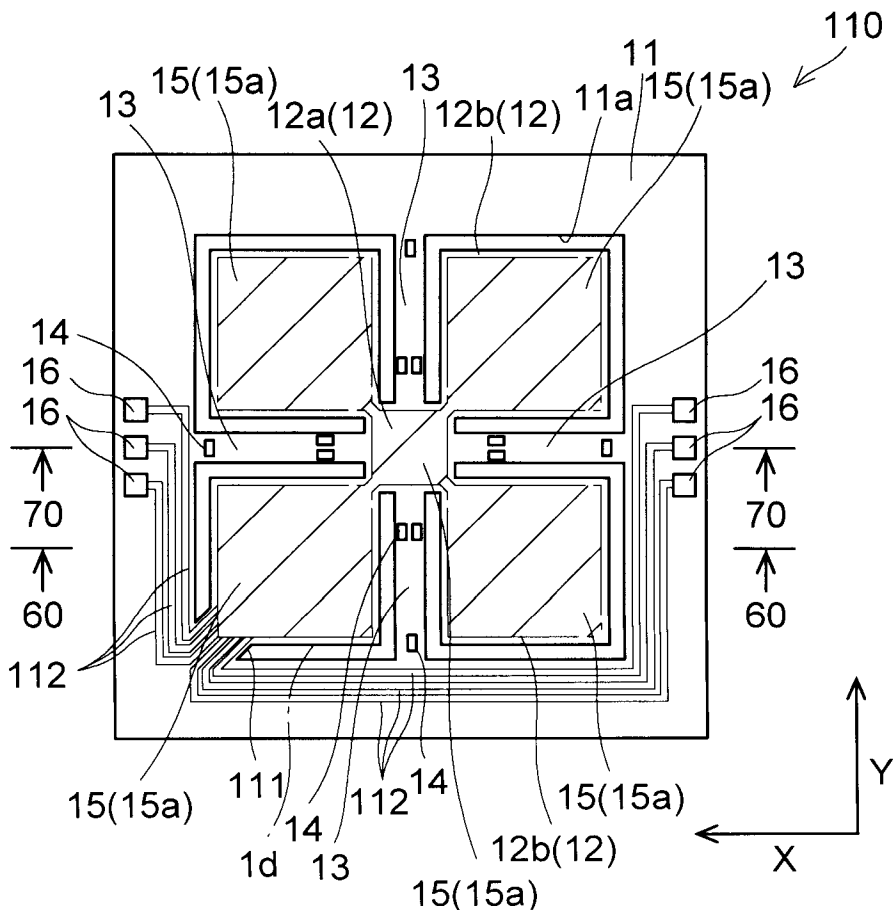
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/065652

A. CLASSIFICATION OF SUBJECT MATTER
G01P15/12 (2006.01) i, H01L29/84 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G01P15/12, H01L29/84

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008
 Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 3938202 B1 (Matsushita Electric Works, Ltd.), 27 June, 2007 (27.06.07), Par. Nos. [0029] to [0031]; Fig. 3 & JP 2007-266319 A & WO 2007/061059 A	1-4, 7, 8 5, 6
Y	JP 8-228016 A (Tokai Rika Co., Ltd.), 03 September, 1996 (03.09.96), Par. Nos. [0072] to [0073]; Fig. 22 (Family: none)	5, 6

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
29 September, 2008 (29.09.08)

Date of mailing of the international search report
07 October, 2008 (07.10.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G01P15/12(2006.01)i, H01L29/84(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G01P15/12, H01L29/84

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2008年
日本国実用新案登録公報	1996-2008年
日本国登録実用新案公報	1994-2008年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 3938202 B1 (松下電工株式会社) 2007.06.27, 【0029】 - 【0031】, 図3 & JP 2007-266319 A & WO 2007/061059 A	1-4, 7, 8 5, 6
Y	JP 8-228016 A (株式会社東海理化電機製作所) 1996.09.03, 【0072】 - 【0073】, 図22 (ファミリーなし)	5, 6

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

29.09.2008

国際調査報告の発送日

07.10.2008

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

越川 康弘

2F

9605

電話番号 03-3581-1101 内線 3216