

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 07.12.10.

30 Priorité :

43 Date de mise à la disposition du public de la demande : 08.06.12 Bulletin 12/23.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : SAGEM DEFENSE SECURITE
Société anonyme — FR.

72 Inventeur(s) : DEMIGUEL STEPHANE.

73 Titulaire(s) : SAGEM DEFENSE SECURITE Société anonyme.

74 Mandataire(s) : CABINET REGIMBEAU.

54 PROCÉDÉ DE FABRICATION D'AU MOINS UNE CELLULE PIXELIQUE DÉTECTRICE, CAPTEUR COMPORTANT AU MOINS UNE TELLE CELLULE.

57 L'invention concerne un procédé de fabrication d'au moins une cellule (45) pixelique détectrice reliée à un élément (82) formé dans un substrat (81) en silicium faiblement dopé, caractérisé en ce qu'il comporte:

- d'une part une première étape de fabrication d'au moins une couche (61), par implantation de dopage et recuit d'activation;

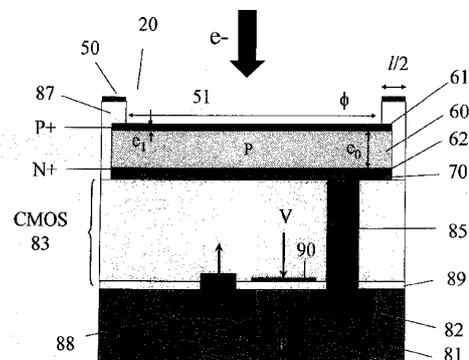
- d'autre part une deuxième étape de fabrication d'au moins un noeud (85) de connexion dans un circuit (83), à partir d'un élément (82) formé dans le substrat (81), par gravure sèche et métallisation,

- une étape d'association, par soudure, de la couche (61) dopée fabriquée avec le noeud (85) de connexion fabriqué; et

- une étape d'individualisation d'au moins une cellule (45) pixelique dans la couche (61) dopée par gravure sèche, et

- une étape de passivation et d'ouverture en face de la cellule (45) individualisée, par gravure sèche.

L'invention comporte également un capteur comportant au moins une telle cellule.



DOMAINE TECHNIQUE GENERAL

La présente invention concerne un procédé de fabrication d'au moins une
5 cellule pixelique détectrice reliée à un élément formé dans un substrat en silicium faiblement dopé.

L'invention comporte également un capteur comportant au moins une telle cellule.

ETAT DE L'ART

10 Comme le montre la figure 1, une caméra intensifiée 10 connue comporte, en général, un objectif 11 et un tube 12 amplificateur de lumière, pouvant être de type EBCMOS (Electrons Bombarded Complementary Metal Oxide Semiconductor) ou EBCCD (Electrons Bombarded Charge-Coupled Device).

15 Le tube 12 comporte une fenêtre optique 25 et une photocathode 15 émettant, sous l'effet de photons incidents, des électrons dans une enceinte sous vide 16. Les électrons sont accélérés vers un capteur matriciel 20 par une différence de potentiel VA, par exemple 2 kV, entre la photocathode 15 et le capteur matriciel 20, générée par une alimentation adaptée 19.

20 L'enceinte 16 permet l'aménagement de fils 26 de connexion du capteur 20 à des plots de connexion 27. Le tube 12 comporte également un support 38 et des conducteurs électriques 30 reliés aux plots 27, pour un raccordement du capteur 20 à une électronique de la caméra intensifiée 10, et un corps 35 du tube 12 entre la fenêtre optique 25 et le support 38. Un phénomène
25 de multiplication des électrons au sein du capteur 20 assure l'amplification du signal.

On connaît de FR 2 928 034 un capteur 20 comportant, comme représenté sur la figure 2, un substrat 40 en un matériau semi-conducteur, par exemple du silicium qui peut être dopé P, sur lequel est réalisée une
30 matrice d'éléments de détection 45 ainsi que des circuits de lecture 47 des signaux induits dans les éléments 45 de détection, par le bombardement des électrons accélérés.

Comme le montre la figure 3, les éléments de détection 45 sont réalisés selon une technologie CMOS sous la forme de photodiodes à jonction PN profonde, avec un caisson 60 faiblement dopé N qui s'étend sur une profondeur L. Chaque élément 45 de détection comporte une portion
5 61 fortement dopée N en surface, similaire à celui du drain d'un transistor NMOS. Le capteur 20 comporte en outre une couche conductrice électrique 50 de protection protégeant les circuits de lecture 47 des électrons incidents.

La couche conductrice 50 définit des fenêtres 51 permettant aux
10 électrons de bombarder les éléments de détection 45.

La couche 50 peut également être portée à un potentiel VB :

- négatif par rapport au potentiel de chaque élément de détection 45, pour former un réseau de microlentilles électrostatiques tendant à focaliser les électrons incidents sur les éléments 45 de détection, ou
- 15 - positif par rapport au potentiel de chaque élément de détection 45, afin de faire diverger les électrons des éléments 45 pour réduire la sensibilité du capteur, ce qui peut être utile lorsque l'intensité lumineuse est élevée.

La couche conductrice 50 est réalisée par une métallisation d'un
20 procédé de fabrication CMOS standard sur une couche isolante en SiO₂. La couche conductrice 50 est par exemple une couche d'aluminium ayant une épaisseur au moins égale à 2,5 µm, jusqu'à 4 µm par exemple.

La couche conductrice 50 recouvre, lorsque le capteur 20 est observé de face perpendiculairement à son plan, l'élément de détection 45 sur une
25 distance l définissant un recouvrement, comme on peut le voir à la figure 3. Cette distance l est par exemple de l'ordre de 0,5 µm. Un tel recouvrement permet une protection de la zone de charge d'espace 49.

Le capteur selon FR 2 928 034 présente cependant des inconvénients.

30 Comme on l'a souligné, le capteur connu de FR 2 928 034 est fabriqué par un procédé de fabrication CMOS standard.

FR 2 928 034 ne détaille cependant pas de l'importance de la portion 61 fortement dopée N en surface qui fait office de passivation des éléments

45 de détection soumis à un bombardement d'électrons. L'impact de l'épaisseur de la zone fortement dopée est d'autant plus critique sur les performances de collection des charges multipliées que l'énergie des électrons incidents est faible. En effet, un modèle simplifié (SPIE vol. 2172, 5 A Reinheimer and M Blouke) montre que près de 90% du signal multiplié est perdu à 2 keV si cette épaisseur est supérieure à 40 nm (voir synthèse des calculs dans le tableau ci-dessous). Il faudrait une épaisseur de l'ordre de 20 nm pour collecter à 2 keV près de 50% du signal multiplié.

10 Cela signifie que le choix de la technologie CMOS a toute son importance. La technologie CMOS doit être minutieusement choisie sous peine qu'un certain nombre de capteurs fabriqués ne réponde pas au besoin de collection à faible énergie.

Epaisseur de couche passivée	15 nm	20 nm	30 nm	40 nm
Quantité de signal multiplié collecté à 2keV	59%	48%	27%	12%

15 Le capteur selon FR 2 928 034 présente aussi un autre inconvénient : la surface de recouvrement, créé par le procédé de fabrication CMOS standard, dans le capteur 20 diminue la surface utile des fenêtres 51 de détection.

PRESENTATION DE L'INVENTION

20 On propose selon l'invention de pallier au moins un de ces inconvénients.

A cet effet, on propose selon l'invention un procédé de fabrication d'au moins une cellule pixelique détectrice reliée à un élément formé dans un substrat en silicium faiblement dopé, caractérisé en ce qu'il comporte :

- d'une part une première étape de fabrication d'au moins une couche 25 dopée par implantation de dopage et recuit d'activation;
- d'autre part une deuxième étape de fabrication d'au moins un nœud de connexion dans un circuit, à partir d'un élément formé dans un substrat en silicium faiblement dopé, par gravure sèche et métallisation,

- une étape d'association, par soudure, de la couche dopée fabriquée avec le nœud de connexion fabriqué ;
 - une étape d'individualisation d'au moins une cellule pixelique dans la couche dopée par gravure sèche, et
- 5 - une étape de passivation de la cellule, puis d'ouverture d'une fenêtre de détection par gravure sèche..

L'invention est avantageusement complétée par les caractéristiques suivantes, prises seules ou en une quelconque de leur combinaison techniquement possible :

- 10 - la première étape de fabrication comporte les étapes de
- dépôt d'une couche initiale dopée sur une première poignée en silicium ;
 - implantation de la couche dopée, sur la couche initiale dopée, par implantation de dopage et activation de la couche dopée par implantation
- 15 de dopage et un recuit d'activation ;
- report de la couche dopée sur une deuxième poignée en silicium ;
 - retrait de la première poignée de la couche initiale dopée ; et
 - implantation d'une couche complémentaire de dopage, sur la couche initiale dopée, par implantation de dopage, et activation de la
- 20 couche complémentaire par un recuit d'activation ;
- la deuxième étape de fabrication comporte les étapes de
- formation d'au moins un plot métallique sur l'élément dans le substrat en silicium faiblement dopé sous un circuit CMOS ;
 - formation d'au moins un canal dans le circuit à partir de l'élément,
- 25 par gravure sèche, et
- formation d'un nœud de connexion dans le canal par métallisation.
- la première étape de fabrication comporte une étape de dépôt d'une couche de métallisation planarisée ; et la deuxième étape de fabrication comporte une étape de dépôt d'une couche de métallisation planarisée,
- 30 l'étape d'association de la couche fabriquée avec le nœud de connexion fabriqué est effectuée par soudure desdites couches de métallisation planarisées pour former une couche métallique finale ;

- l'étape de passivation s'effectue par croissance d'une couche diélectrique ;
 - l'étape de passivation s'effectue par croissance d'une couche de passivation en oxyde de silicium ;
- 5 - les étapes de recuit d'activation sont réalisées soit par laser soit par ultra-violet ;
- l'implantation de la couche dopée s'effectue par implantation de dopage P+ sur la couche initiale faiblement dopée P ; et l'implantation de la couche complémentaire de dopage s'effectue par implantation de dopage N+,
- 10 l'élément étant alors dopé de type N et étant formé dans un substrat en silicium faiblement dopé de type P ;
- l'implantation de la couche dopée s'effectue par implantation de dopage N+ sur la couche initiale faiblement dopée N ; et l'implantation de la couche complémentaire de dopage s'effectue par implantation de dopage P+,
- 15 l'élément étant alors dopé de type P et étant formé dans un substrat en silicium faiblement dopé de type N.

L'invention concerne également un capteur comportant au moins une telle cellule. Le procédé selon l'invention s'applique avantageusement mais non limitativement à la fabrication d'un capteur pour une caméra intensifiée.

20 L'invention présente de nombreux avantages.

Le procédé de fabrication de la cellule pixellique détectrice selon l'invention n'est pas tributaire ni limité par le procédé de fabrication CMOS standard. Les différentes couches et éléments pouvant être obtenus ont ainsi une épaisseur plus fine que dans l'art antérieur, notamment inférieure

25 à 2,5 μm .

Dans ce cas, la portion dopée en surface des éléments de détection peut être dopée fortement N+ ou P+ indépendamment de la technologie CMOS choisie, et avoir une épaisseur aussi fine que possible et préférentiellement inférieure à 20 nm.

30 De plus, le recouvrement dans le capteur créé par un procédé selon l'invention est inférieur au recouvrement de l'art antérieur, ce qui augmente la surface utile des fenêtres de détection du capteur.

Enfin le capteur matriciel comportant une pluralité de cellules pixeliques détectrices issues du procédé de fabrication selon l'invention, permet également de diminuer la diaphonie entre pixels.

PRESENTATION DES FIGURES

- 5 D'autres caractéristiques, buts et avantages de l'invention ressortiront de la description qui suit, qui est purement illustrative et non limitative, et qui doit être lue en regard des dessins annexés sur lesquels :
- la figure 1, déjà discutée, représente schématiquement une caméra intensifiée connue ;
 - 10 - les figures 2 et 3, déjà discutées, représentent schématiquement respectivement un capteur et des éléments de détection connus de FR 2 928 034 ;
 - la figure 4 représente schématiquement une première étape de fabrication d'au moins une couche dopée, par implantation de dopage et recuit
 - 15 d'activation ;
 - la figure 5 représente schématiquement une deuxième étape de fabrication d'au moins un nœud de connexion dans un circuit, à partir d'un élément formé dans un substrat en silicium faiblement dopé, par gravure sèche et métallisation ;
 - 20 - la figure 6 représente schématiquement une étape d'association, par soudure, de la couche dopée fabriquée avec le nœud de connexion fabriqué et au moins une étape d'individualisation d'au moins une cellule pixelique dans la couche dopée par gravure sèche ;
 - la figure 7 représente schématiquement un exemple d'une cellule
 - 25 pixelique fabriquée par un procédé selon l'invention ; et
 - la figure 8 représente schématiquement une cellule pixelique dans un capteur matriciel, notamment pour une caméra intensifiée.

Dans l'ensemble des figures, les éléments similaires portent des références numériques identiques.

30 DESCRIPTION DETAILLEE

Les figures 4, 5 et 6 montrent schématiquement les étapes principales d'un procédé possible de fabrication d'au moins une cellule 45 pixelique

déetectrice reliée à un élément 82 formé dans un substrat 81 en silicium faiblement dopé.

Comme on le verra dans la suite de la présente description, on entend par cellule pixelique un composant individualisé, pouvant par exemple être
5 associé à une pluralité d'autres cellules du même type pour former une matrice. La cellule est dite détectrice car elle peut être sensible à un photon ou à une particule de haute énergie (comme par exemple un électron), comme typiquement un élément de détection dans un capteur d'une caméra intensifiée.

10 Chaque élément 82 est relié à une cellule 45. On comprend que si les cellules 45 forment une matrice, alors les éléments 82 forment également une matrice.

L'élément 82 est préférentiellement une zone dopée complémentaire au dopage du substrat 81, et métallisée.

15 Le substrat 81 est préférentiellement recouvert d'un circuit 83 CMOS.

Le circuit 83 peut être également d'un autre type, comme par exemple de type CDD.

Le procédé comporte principalement d'une part une première étape S60-S63 de fabrication d'au moins une couche 61 dopée (voir figure 4), et
20 d'autre part une deuxième étape, référencée par S72-S73 (voir la figure 5), de fabrication d'au moins un nœud 85 de connexion dans le circuit 83, à partir de l'élément 82 formé dans le substrat 81.

Comme on le voit sur la figure 4, la première étape de fabrication comporte plus précisément :

- 25 - une étape S60 de dépôt d'une couche 60 initiale dopée sur une première poignée 71 en silicium ;
- une étape S61 d'implantation de la couche 61 dopée, sur la couche 60 initiale dopée,
- une étape S62 de report de la couche 61 dopée sur une deuxième
30 poignée 72 en silicium ;
- une étape S63 de retrait de la première poignée 71 de la couche 60 initiale dopée ;

- une étape S63 d'implantation d'une couche 62 complémentaire de dopage, sur la couche 60 initiale dopée, en lieu et place de la première poignée 71, et
- une étape S63 d'activation de la couche 62 complémentaire.

5

L'étape S60 de dépôt de la couche initiale 60 s'effectue classiquement par un dépôt en technologie silicium sur isolant (SOI, Silicon On Insulator) connue de l'homme du métier. La première poignée 71, ainsi que la deuxième poignée 72, sont en effet du type semi-conducteur Si. Les différents collages entre la couche 60 et la poignée 71 sont classiquement de type moléculaire.

Les poignées 71 et 72 facilitent la manipulation des différentes couches.

Grâce à la technologie utilisée pour le dépôt, c'est-à-dire la technologie SOI, et non pas une technologie CMOS comme dans l'art antérieur, la couche 60 initiale peut avoir une épaisseur e_0 (voir figure 8) submicronique (typiquement de quelques centaines de nanomètres), ce qui est beaucoup plus fin que ce qui est obtenu dans l'art antérieur, à savoir supérieur à $2,5 \mu\text{m}$.

Les étapes S61 et S63 s'effectue par implantation de dopage, suivie soit d'un recuit d'activation par laser à basse température, soit d'un recuit rapide à $600-800^\circ\text{C}$ par flash-UV (ultra-violet).

Grâce à la technologie utilisée, c'est-à-dire par implantation de dopage et par un recuit d'activation, et non pas une technologie CMOS comme dans l'art antérieur, la couche 61 dopée peut avoir une épaisseur e_1 (voir figure 8) préférentiellement inférieure 20 nm, ajustable indépendamment de la technologie CMOS.

D'autre part, comme on le voit sur la figure 5, la deuxième étape de fabrication comporte plus précisément :

- une étape S71 de formation de plots métalliques sur les éléments 82 dans le substrat 81, le substrat 81 étant préférentiellement recouvert d'un circuit 83 CMOS ;

- une étape S72 de formation d'un canal 84 dans le circuit 83 à partir de chaque élément 82, et
- une étape S73 de formation d'un nœud 85 de connexion dans le canal 84.

5 L'étape S71 de formation du plot dans le substrat s'effectue classiquement par une technologie CMOS connue de l'homme du métier. L'ensemble 81-82-83 est dans ce cas disponible dans le commerce.

L'étape S72 s'effectue préférentiellement par gravure sèche.

L'étape S73 s'effectue préférentiellement par métallisation.

10 Comme le montrent les figures 4 et 5, la première étape de fabrication comporte en outre une étape S63 de dépôt d'une couche 63 de métallisation planarisée sur la couche 62, et la deuxième étape de fabrication comporte une étape S74 de dépôt d'une couche 86 de métallisation planarisée sur le circuit 83, afin de faciliter une étape S81
15 d'association de la couche 62 dopée fabriquée avec le nœud 85 de connexion fabriqué.

L'association se fait préférentiellement en effet, lors d'une étape S81, par soudure métal/métal desdites couches 63 et 86 de métallisation planarisées pour former une couche métallique finale 70 (voir figure 6).

20 Le procédé comporte de plus une étape S82 de suppression de la deuxième poignée 72.

Il comporte également une étape S83 d'individualisation d'au moins une cellule 45 pixelique dans la couche 61 ainsi libérée de la deuxième poignée 72.

25 L'individualisation s'effectue par gravure sèche.

Le procédé comporte également une étape S84 de passivation, qui s'effectue par croissance d'une couche diélectrique, par dépôt d'une couche 87 préférentiellement d'oxyde de silicium, et une étape S84 de métallisation par le dépôt d'une couche 50.

30 Le procédé comporte enfin une étape S84 d'ouverture d'une fenêtre 51 de détection en face de la cellule 45 individualisée, par gravure sèche.

La dimension Φ de la fenêtre 51 (voir figure 8) peut s'étendre à la taille du pixel 45 indépendamment de l'espace utilisé par l'électronique du pixel

(par exemple, des transistors en technologie CMOS), mais la dimension Φ est minorée par les règles de dessin imposées par les moyens lithographiques utilisés (qui toutefois peuvent être submicroniques). Ainsi la distance entre deux fenêtres voisines peut être inférieure au micromètre, ce qui augmente la surface utile des fenêtres de détection par rapport à l'art antérieur.

Comme le montre la figure 7, l'implantation de la couche 61 dopée s'effectue par implantation de dopage P+ sur la couche 60 initiale dopée P ; et l'implantation de la couche 62 complémentaire de dopage s'effectue par implantation de dopage N+. Dans ce cas, l'élément 82 est alors dopé de type N et est formé dans un substrat 81 en silicium faiblement dopé de type P.

Selon une variante possible comme le montre la figure 7 entre parenthèses, l'implantation de la couche 61 dopée s'effectue par implantation de dopage N+ sur la couche 60 initiale dopée N ; et l'implantation de la couche 62 complémentaire de dopage s'effectue par implantation de dopage P+. Dans ce cas, l'élément 82 est alors dopé de type P et est formé dans un substrat 81 en silicium faiblement dopé de type N

Comme le montre la figure 8, les cellules pixeliques détectrices fabriquées par un procédé selon l'invention forment préférentiellement mais non limitativement des éléments 45 de détection utilisés dans des capteurs de caméra intensifiée.

A cet effet et comme le montre la figure 8, en plus des éléments déjà décrits, le capteur 20 comporte classiquement

- un nœud 88 de stockage des charges à dopage complémentaire au substrat 81 (nœud dopé N si le substrat 81 est dopé P, et inversement nœud dopé P si le substrat 81 est dopé N) pour une connexion à une électronique de pixel, et
- sur un oxyde 89, une connexion 90 à un potentiel de transfert.

On répète que l'utilisation dans un capteur d'une caméra intensifiée n'est qu'un exemple, et que les fenêtres 51 peuvent par exemple être

sensibles à des photons par exemple, et ainsi utilisées dans n'importe quel type de capteur matriciel.

REVENDEICATIONS

1. Procédé de fabrication d'au moins une cellule (45) pixelique détectrice reliée à un élément (82) formé dans un substrat (81) en silicium faiblement dopé, caractérisé en ce qu'il comporte :
- 5
- d'une part une première étape de fabrication (S60-S63) d'au moins une couche (61) dopée par implantation de dopage et recuit d'activation;
 - d'autre part une deuxième étape de fabrication (S71-S73) d'au moins un nœud (85) de connexion dans un circuit (83), à partir d'un élément (82)

10

 - formé dans un substrat (81) en silicium faiblement dopé, par gravure sèche et métallisation,
 - une étape d'association (S81), par soudure, de la couche (61) dopée fabriquée avec le nœud (85) de connexion fabriqué ;
 - une étape (S83) d'individualisation d'au moins une cellule (45) pixelique

15

 - dans la couche (61) dopée par gravure sèche, et
 - une étape (S84) de passivation de la cellule (45), puis d'ouverture d'une fenêtre (51) de détection par gravure sèche.
2. Procédé selon la revendication 1, dans lequel la première étape de
- 20
- fabrication comporte les étapes de
- dépôt (S60) d'une couche (60) initiale dopée sur une première poignée (71) en silicium ;
 - implantation (S61) de la couche (61) dopée, sur la couche (60) initiale dopée, par implantation de dopage et activation (S62) de la couche (61)

25

 - dopée par implantation de dopage et un recuit d'activation ;
 - report (S62) de la couche (61) dopée sur une deuxième poignée (72) en silicium ;
 - retrait (S63) de la première poignée (71) de la couche (60) initiale dopée ;
 - et

30

 - implantation (S63) d'une couche (62) complémentaire de dopage, sur la couche (60) initiale dopée, par implantation de dopage, et activation (S63) de la couche (62) complémentaire par un recuit d'activation.

3. Procédé selon l'une des revendications 1 ou 2, dans lequel la deuxième étape de fabrication comporte les étapes de
- formation (S71) d'au moins un plot métallique sur l'élément (82) dans le substrat (81) en silicium faiblement dopé sous un circuit (83) CMOS ;
- 5 - formation (S72) d'au moins un canal (84) dans le circuit (83) à partir de l'élément (82), par gravure sèche, et
- formation (S73) d'un nœud (85) de connexion dans le canal (84) par métallisation.
- 10 4. Procédé selon l'une des revendications 1 à 3, dans lequel :
- la première étape de fabrication comporte une étape de dépôt d'une couche (63) de métallisation planarisée ; et
 - la deuxième étape de fabrication comporte une étape de dépôt d'une couche (86) de métallisation planarisée,
- 15 - l'étape d'association (S81) de la couche (62) fabriquée avec le nœud (85) de connexion fabriqué est effectuée par soudure desdites couches (63, 86) de métallisation planarisées pour former une couche métallique finale (70).
- 20 5. Procédé selon l'une des revendications 1 à 4, dans lequel l'étape (S84) de passivation s'effectue par croissance d'une couche diélectrique.
- 25 6. Procédé selon la revendication 5, dans lequel l'étape de passivation s'effectue par croissance d'une couche de passivation (87) en oxyde de silicium.
- 30 7. Procédé selon l'une des revendications 1 à 6, dans lequel les étapes de recuit d'activation sont réalisées soit par laser soit par ultra-violet.
8. Procédé selon l'une des revendications 2 à 7, dans lequel l'implantation (S62) de la couche dopée (61) s'effectue par implantation de dopage P+ sur la couche (60) initiale faiblement dopée P ; et l'implantation (S64) de la couche (62) complémentaire de dopage s'effectue par implantation de

dopage N+, l'élément (82) étant alors dopé de type N et étant formé dans un substrat (81) en silicium faiblement dopé de type P.

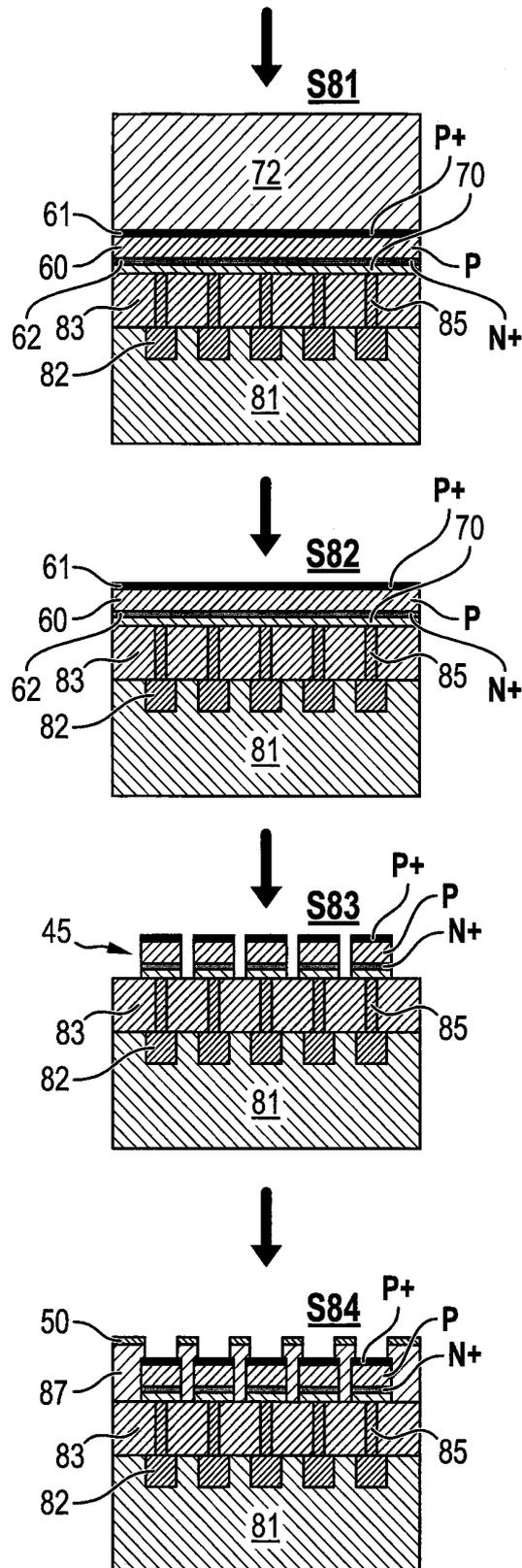
9. Procédé selon l'une des revendications 2 à 7, dans lequel l'implantation (S62) de la couche dopée (61) s'effectue par implantation de dopage N+ sur la couche (60) initiale faiblement dopée N ; et l'implantation (S64) de la couche (62) complémentaire de dopage s'effectue par implantation de dopage P+, l'élément (82) étant alors dopé de type P et étant formé dans un substrat (81) en silicium faiblement dopé de type N.

10

10. Capteur (20) matriciel comportant une pluralité de cellules (45) pixeliques détectrices fabriquées selon l'une des revendications 1 à 9.

3/4

FIG. 6



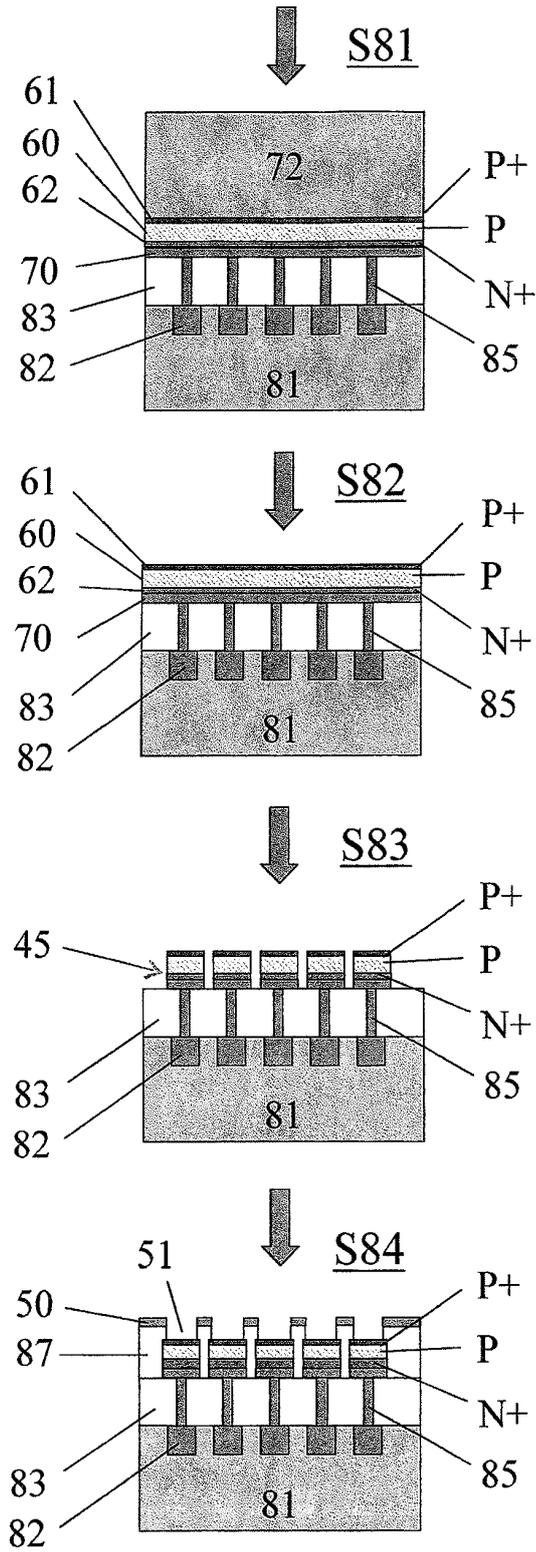


FIG.6



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement national

établi sur la base des dernières revendications déposées avant le commencement de la recherche

FA 746134
FR 1004754

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2006/110844 A1 (LEE JONG-JAN [US] ET AL) 25 mai 2006 (2006-05-25)	1,3,5-7,10	H01L27/146
Y	* alinéa [0019] - alinéa [0025] * * figures 2-6 *	2,4,8,9	
Y	FR 2 898 217 A1 (SAGEM DEFENSE SECURITE [FR]) 7 septembre 2007 (2007-09-07)	2,8,9	
A	* page 10, ligne 16 - page 11, ligne 18 * * figures 3a-3j *	1,3-7,10	
Y	US 2009/267233 A1 (LEE SANG-YUN [US]) 29 octobre 2009 (2009-10-29)	4	
A	* alinéa [0038] - alinéa [0123] * * figures 2-11 *	1-3,5-10	
A	US 2009/160005 A1 (LEE SANG UK [KR]) 25 juin 2009 (2009-06-25) * le document en entier *	1-10	
A,D	FR 2 928 034 A1 (NEW IMAGING TECHNOLOGIES SOC P [FR] NEW IMAGING TECHNOLOGIES [FR]) 28 août 2009 (2009-08-28) * le document en entier *	1-10	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01J H01L
Date d'achèvement de la recherche		Examineur	
22 juin 2011		Kostrzewa, Marek	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		D : cité dans la demande	
A : arrière-plan technologique		L : cité pour d'autres raisons	
O : divulgation non-écrite		
P : document intercalaire		& : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1004754 FA 746134**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **22-06-2011**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2006110844	A1	25-05-2006	JP 2006148076 A	08-06-2006
FR 2898217	A1	07-09-2007	NL 1033468 C2 NL 1033468 A1	29-01-2008 04-09-2007
US 2009267233	A1	29-10-2009	AUCUN	
US 2009160005	A1	25-06-2009	CN 101465362 A KR 100855404 B1	24-06-2009 29-08-2008
FR 2928034	A1	28-08-2009	AUCUN	