(19)中华人民共和国国家知识产权局

(12)实用新型专利

(10)授权公告号 CN 213365380 U
(45)授权公告日 2021.06.04

(21)申请号 202022764750.X

(22)申请日 2020.11.25

(73)专利权人 海光信息技术股份有限公司
地址 300384 天津市南开区华苑产业区海泰西路18号北2-204工业孵化-3-8

(72)发明人 柳胜杰 杨晓君 李晶晶 孙瑛琪 张腾

(74)专利代理机构 北京兰亭信通知识产权代理有限公司 11667
代理人 赵永刚

(51)Int.Cl.
G06F 1/16(2006.01)
G06F 13/40(2006.01)

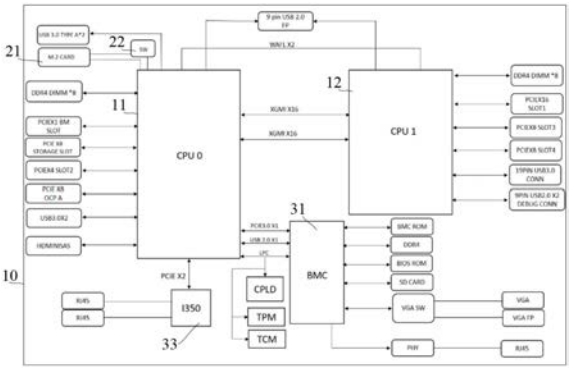
权利要求书2页 说明书8页 附图5页

(54)实用新型名称

一种服务器主板及服务器

(57)摘要

本实用新型提供了一种服务器主板及服务器，该服务器主板包括一个主板、主板上的第一中央处理器及第二中央处理器，第一中央处理器及第二中央处理器之间通过两路XGMI总线互连。还包括设置在主板上且与第一中央处理器连接的M.2连接器、设置在主板上且与第一中央处理器连接的第一数据选择器，第一数据选择器还与M.2连接器连接。M.2连接器用于插接连接SATA电子盘或PCIE电子盘；第一数据选择器用于自动识别插接在M.2连接器上的SATA电子盘或PCIE电子盘，并选择SATA电子盘或PCIE电子盘与第一中央处理器连接。通过设置兼容插接SATA电子盘或PCIE电子盘的M.2连接器及第一数据选择器，实现双路CPU主板上的一个M.2连接器兼容SATA电子盘或PCIE电子盘，提高了服务器主板M.2硬盘配置的灵活性。



CN 213365380 U

1.一种服务器主板,其特征在于,包括:

主板;

设置在所述主板上的第一中央处理器及第二中央处理器,且所述第一中央处理器及所述第二中央处理器之间通过两路XGMI总线互连;

设置在所述主板上且与所述第一中央处理器连接的M.2连接器,所述M.2连接器用于插接连接SATA电子盘或PCIE电子盘;

设置在所述主板上且与所述第一中央处理器连接的第一数据选择器,且所述第一数据选择器还与所述M.2连接器连接;所述第一数据选择器用于自动识别插接在所述M.2连接器上的SATA电子盘或PCIE电子盘,并选择所述SATA电子盘或PCIE电子盘与所述第一中央处理器连接。

2.如权利要求1所述的服务器主板,其特征在于,所述第一中央处理器上具有一组配置成PCIE x2功能的针脚、以及一组配置成SATA功能的针脚;

且所述一组配置成PCIE x2功能的针脚中的一组PCIEx1信号与所述一组配置成SATA功能的针脚均通过所述第一数据选择器与所述M.2连接器连接,配置成PCIE x2功能的针脚中的另一组PCIEx1信号直接连接M.2连接器。

3.如权利要求2所述的服务器主板,其特征在于,所述第一数据选择器具有:

与所述M.2连接器连接的A端;

与所述第一中央处理器上的所述一组配置成SATA功能的针脚连接的B端;

与所述第一中央处理器上的所述一组配置成PCIE x2功能的针脚中的一组PCIE x1信号连接的C端;

与所述M.2连接器的第69针脚及所述第一中央处理器的GPIO接口均连接的SEL端;

且在自动识别到插接在所述M.2连接器上的SATA电子盘时,所述第一数据选择器上的所述SEL端选择所述A端与所述B端连接;在自动识别到插接在所述M.2连接器上的PCIE电子盘时,所述第一数据选择器上的所述SEL端选择所述A端与所述C端连接。

4.如权利要求3所述的服务器主板,其特征在于,所述第一数据选择器上的SEL端设置有上拉电阻,在所述PCIE电子盘插接在所述M.2连接器上时,由于PCIE电子盘上的第69针脚为悬空,由于SEL端被设置了上拉电阻,因此所述第一数据选择器上的SEL端被设置成了高电平,使得所述第一数据选择器上的所述A端与所述C端连接;

在所述SATA电子盘插接在所述M.2连接器上时,由于所述SATA电子盘上的第69针脚为接地,使得所述第一数据选择器上的SEL端设置为低电平,以使所述第一数据选择器上的所述A端与所述B端连接。

5.如权利要求1所述的服务器主板,其特征在于,还包括:

设置在所述主板上且与所述第一中央处理器连接的BMC芯片;

设置在所述主板上且与所述第一中央处理器连接的OCP网卡;

设置在所述主板上且与所述第一中央处理器连接的I350网卡;

设置在所述主板上且与所述BMC芯片、OCP网卡及I350网卡均连接的第二数据选择器,所述第二数据选择器用于选择所述BMC芯片的NCSI接口与所述OCP网卡或所述I350 网卡连接。

6.如权利要求5所述的服务器主板,其特征在于,所述BMC芯片具有遵循NCSI标准协议

的Share LAN接口；

所述第二数据选择器具有与所述BMC芯片的Share LAN接口连接的A端、与所述OCP网卡连接的B端、与所述I350网卡连接的C端、以及与所述BMC芯片的GPIO接口连接的SEL端；其中，所述第二数据选择器的SEL端用于选择所述第二数据选择器的A端与B端或C端连接。

7.如权利要求6所述的服务器主板，其特征在于，所述第二数据选择器的SEL端设置有上拉电阻时，同时SEL端连接到所述BMC芯片的GPIO接口上，当所述BMC芯片将此GPIO接口设置为高电平的时候，使得所述第二数据选择器上的SEL端被设置为高电平，以使所述第二数据选择器的A端与C端连接，从而使得所述BMC芯片的NCSI接口连接到所述I350网卡；

当所述BMC芯片将此GPIO接口设置为低电平的时候，使得所述第二数据选择器的SEL端设置为低电平，以使所述第二数据选择器的A端与B端连接，从而使得所述BMC芯片的NCSI接口连接到所述OCP网卡上。

8.如权利要求5所述的服务器主板，其特征在于，所述第一中央处理器还连接有一个PCIE x4插口、一个用于插接连接SAS/RAID存储卡的PCIE x8 STORAGE插口、一个用于连接安全卡的PCIE x1BM插口、一个用于连接所述OCP网卡的PCIE x8 OCP A型插口；且所述一个PCIE x4插口、一个PCIE x8 STORAGE插口、一个PCIE x1BM插口、一个PCIE x8 OCP A型插口均设置在所述主板上；

所述第二中央处理器还连接有一个PCIE x16插口、两个PCIE x8插口，且所述一个PCIE x16插口、两个PCIE x8插口均设置在所述主板上。

9.如权利要求1所述的服务器主板，其特征在于，还包括设置在所述主板上且与所述第一中央处理器连接的MiniSASHD连接器，所述MiniSASHD连接器用于连接4个SATA电子盘或1个NVME硬盘。

10.一种服务器，其特征在于，包括如权利要求1～9任一项所述的服务器主板。

一种服务器主板及服务器

技术领域

[0001] 本实用新型涉及计算机技术领域，尤其涉及一种服务器主板及服务器。

背景技术

[0002] 双路CPU主板主要是为了满足服务器、图形工作站等专业应用需要而诞生的，所以双路CPU主板相对比普通主板是有很大区别的，系统兼容性、BIOS功能扩展等都是面向于服务器、图形工作站等领域而设计的。双路CPU主板通常使用支持双路CPU的服务器处理器。这种主板在逻辑上是单台计算机，操作系统能直接调用两个CPU的资源。若使用两块普通电脑的单路CPU主板，又会面临更多的问题。如:没有空间安装更多的显卡、两个普通ATX主板连接走线复杂并且有大量重复硬件，同时需要两个电源来供电、空间紧凑长时间运行影响稳定性。现有双路CPU主板的双CPU之间的数据传输效率低，且在主板上设置有专门安装SATA电子盘及PCIE电子盘的插槽，相互之间不能兼容，专门用于安装SATA 电子盘及PCIE电子盘的插槽占用了主板较大的面积。

实用新型内容

[0003] 本实用新型提供了一种服务器主板，用以提高双路CPU主板中双CPU之间的GOP的传输速率，实现双路CPU主板上的一个M.2连接器兼容SATA电子盘或PCIE电子盘，提高M.2连接器的功能。

[0004] 第一方面，本实用新型提供了一种服务器主板，该服务器主板包括一个主板、以及设置在主板上的第一中央处理器及第二中央处理器，其中，第一中央处理器及第二中央处理器之间通过两路XGMI总线互连。还包括设置在主板上且与第一中央处理器连接的M.2连接器、以及设置在主板上且与第一中央处理器连接的第一数据选择器，且第一数据选择器还与M.2连接器连接。其中，M.2连接器用于插接连接SATA电子盘或PCIE电子盘;第一数据选择器用于自动识别插接在M.2连接器上的SATA电子盘或PCIE电子盘，并选择SATA 电子盘或PCIE电子盘与第一中央处理器连接。

[0005] 在上述的方案中，通过采用两路XGMI总线互连第一中央处理器及第二中央处理器，使双路CPU主板上的两个CPU之间的GOP的传输速率最高可达12.8GT/S，提高双路CPU 主板中双CPU之间的GOP的传输速率。通过在主板上设置兼容插接连接SATA电子盘或 PCIE电子盘的M.2连接器、以及第一数据选择器，自动识别插接在M.2连接器上的是SATA 电子盘还是PCIE电子盘，并控制插接在M.2连接器上的是SATA电子盘或PCIE电子盘与第一中央处理器连接，从而实现双路CPU主板上的一个M.2连接器兼容SATA电子盘或 PCIE电子盘，提高了服务器主板M.2硬盘配置的灵活性。

[0006] 在一个具体的实施方式中，第一中央处理器为主中央处理器，第二中央处理器为次中央处理器。

[0007] 在一个具体的实施方式中，第一中央处理器上具有一组配置成PCIE x2功能的针脚、以及一组配置成SATA功能的针脚。且上述一组配置成PCIE x2功能的针脚中的一组

PCIEx1 信号与一组配置成SATA功能的针脚均通过第一数据选择器与M.2连接器连接，配置成PCIE X2功能的针脚中的另一组PCIEx1信号直接连接M.2连接器，以便于实现插接在M.2连接器上的SATA电子盘或PCIE电子盘与第一中央处理器连接。

[0008] 在一个具体的实施方式中，第一数据选择器具有与M.2连接器连接的A端、与第一中央处理器上的一组配置成SATA功能的针脚连接的B端、与第一中央处理器上的一组配置成PCIE x2功能的针脚中的一组PCIE x1信号连接的C端、以及与M.2连接器的第69针脚及第一中央处理器的GPIO接口均连接的SEL端。其中，配置成PCIE x2功能的针脚中的另一组PCIEx1信号直接连接M.2连接器。且在自动识别到插接在M.2连接器上的SATA电子盘时，第一数据选择器上的SEL端选择A端与B端连接；在自动识别到插接在M.2连接器上的PCIE电子盘时，第一数据选择器上的SEL端选择A端与C端连接。以便于第一数据选择器控制插接在M.2连接器上的SATA电子盘或PCIE电子盘与第一中央处理器连接。

[0009] 在一个具体的实施方式中，第一数据选择器上的SEL端设置有上拉电阻，在PCIE电子盘插接在M.2连接器上时，由于PCIE电子盘上的第69针脚为NC悬空，由于SEL端被设置了上拉电阻，第一数据选择器上的SEL端设置成了高电平，以使第一数据选择器上的A 端与C端连接。在SATA电子盘插接在M.2连接器上时，由于SATA电子盘的第69针脚为接地，因此第一数据选择器上的SEL端设置为低电平，以使第一数据选择器上的A端与B 端连接。以便于实现对插接在M.2连接器上的PCIE电子盘或SATA电子盘进行自动识别，并切换连接线路，实现相应的连接。

[0010] 在一个具体的实施方式中，该服务器主板还包括设置在主板上且与第一中央处理器连接的BMC芯片、设置在主板上且与第一中央处理器连接的OCP网卡、设置在主板上且与第一中央处理器连接的I350网卡、以及设置在主板上且与BMC芯片、OCP网卡及I350网卡均连接的第二数据选择器。其中，第二数据选择器用于选择BMC芯片的NCSI接口与 OCP网卡或I350网卡连接。以便于在主板上设置不同的网卡类型，且便于控制BMC芯片与不同的网卡类型连接，在不同的网卡之间进行切换。

[0011] 在一个具体的实施方式中，BMC芯片具有遵循NCSI标准协议的Share LAN接口。第二数据选择器具有与BMC芯片的Share LAN接口连接的A端、与OCP网卡连接的B端、与I350网卡连接的C端、以及与BMC芯片的GPIO接口连接的SEL端。其中，第二数据选择器的SEL端用于选择第二数据选择器的A端与B端或C端连接。以便于在不同的网卡之间进行切换。

[0012] 在一个具体的实施方式中，第二数据选择器的SEL端设置有上拉电阻时，同时SEL端连接到BMC芯片的GPIO接口上，当BMC芯片将此GPIO接口设置为高电平的时候，使得第二数据选择器上的SEL端被设置为高电平，以使第二数据选择器的A端与C端连接，从而使得BMC芯片的NCSI接口连接到I350网卡。当BMC芯片将此GPIO接口设置为低电平的时候，使得第二数据选择器的SEL端设置为低电平，以使第二数据选择器的A端与 B端连接，从而使得BMC芯片的NCSI接口连接到OCP网卡上。以便于控制BMC芯片与不同的网卡进行连接。

[0013] 在一个具体的实施方式中，第一中央处理器还连接有一个PCIE x4插口、一个用于插接连接SAS/RAID存储卡的PCIE x8 STORAGE插口、一个用于连接安全卡的PCIE x1BM插口、以及一个用于连接上述OCP网卡的PCIE x8 OCP A型插口；且该一个PCIE x4插口、一个PCIE x8 STORAGE插口、一个PCIE x1BM插口、一个PCIE x8 OCP A型插口均设置在主板上。第二中央处理器还连接有一个PCIE x16插口、以及两个PCIE x8插口；且该一个PCIE x16插

口、两个PCIE x8插口均设置在主板上。

[0014] 在一个具体的实施方式中，该服务器主板还包括设置在主板上且与第一中央处理器连接的MiniSAS HD连接器，该MiniSAS HD连接器用于连接4个SATA电子盘或1个NVME 硬盘，以便于扩展连接SATA电子盘或NVME硬盘。

[0015] 第二方面，本实用新型还提供了一种服务器，该服务器包括上述任意一种服务器主板。通过采用两路XGMI总线互连第一中央处理器及第二中央处理器，使双路CPU主板上的两个CPU之间的GOP的传输速率最高可达12.8GT/S，提高双路CPU主板中双CPU之间的 GOP的传输速率。通过在主板上设置兼容插接连接SATA电子盘或PCIE电子盘的M.2连接器、以及第一数据选择器，自动识别插接在M.2连接器上的是SATA电子盘还是PCIE电子盘，并控制插接在M.2连接器上的是SATA电子盘或PCIE电子盘与第一中央处理器连接，从而实现双路CPU主板上的一个M.2连接器兼容SATA电子盘或PCIE电子盘，提高了服务器主板M.2硬盘配置的灵活性。

附图说明

[0016] 图1为本实用新型实施例提供的一种服务器主板的示意框图；

[0017] 图2为本实用新型实施例提供的一种第一中央处理器及第二中央处理器的连接示意图；

[0018] 图3为本实用新型实施例提供的一种第一中央处理器、第一数据选择器及M.2连接器的连接及工作示意图；

[0019] 图4为本实用新型实施例提供的一种BMC芯片、第二数据选择器、OCP网卡及I350网卡的连及工作示意图；

[0020] 图5为本实用新型实施例提供的一种I350网卡的连接示意图；

[0021] 图6为本实用新型实施例提供的一种RJ45接口的连接示意图；

[0022] 图7为本实用新型实施例提供的一种PCIE接口的连接示意图；

[0023] 图8为本实用新型实施例提供的一种DDR内存的连接示意图；

[0024] 图9为本实用新型实施例提供的一种BMC芯片控制CPU的示意图。

[0025] 附图标记：

[0026] 10-主板 11-第一中央处理器 12-第二中央处理器

[0027] 21-M.2连接器 22-第一数据选择器 31-BMC芯片

[0028] 32-OCP网卡 33-I350网卡 34-第二数据选择器

具体实施方式

[0029] 为使本实用新型实施例的目的、技术方案和优点更加清楚，下面将结合本实用新型实施例中的附图，对本实用新型实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本实用新型一部分实施例，而不是全部的实施例。基于本实用新型中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本实用新型保护的范围。

[0030] 为了方便理解本实用新型实施例提供的服务器主板，下面首先说明一下本实用新型实施例提供的服务器主板的应用场景，该服务器主板应用于服务器中，以作为实现服务

器各个功能的硬件。下面结合附图对该服务器主板进行详细的叙述。

[0031] 参考图1、图2及图3，本实用新型实施例提供的服务器主板10包括一个主板10、以及设置在主板10上的第一中央处理器11及第二中央处理器12，其中，第一中央处理器11 及第二中央处理器12之间通过两路XGMI总线互连。还包括设置在主板10上且与第一中央处理器11连接的M.2连接器21、以及设置在主板10上且与第一中央处理器11连接的第一数据选择器22，且第一数据选择器22还与M.2连接器21连接。其中，M.2连接器21用于插接连接SATA电子盘或PCIE电子盘；第一数据选择器22用于自动识别插接在M.2连接器21上的SATA电子盘或PCIE电子盘，并选择SATA电子盘或PCIE电子盘与第一中央处理器11连接。

[0032] 在上述的方案中，通过采用两路XGMI总线互连第一中央处理器11及第二中央处理器 12，使双路CPU主板上的两个CPU之间的GOP的传输速率最高可达12.8GT/S，提高双路CPU主板中双CPU之间的GOP的传输速率。通过在主板10上设置兼容插接连接SATA电子盘或PCIE电子盘的M.2连接器21、以及第一数据选择器22，自动识别插接在M.2连接器21上的是SATA电子盘还是PCIE电子盘，并控制插接在M.2连接器21上的是SATA电子盘或PCIE电子盘与第一中央处理器11连接，从而实现双路CPU主板上的一个M.2连接器21兼容SATA电子盘或PCIE电子盘，提高了服务器主板M.2硬盘配置的灵活性。下面结合附图对上述各个硬件的设置进行详细的介绍。

[0033] 参考图1及图2，该服务器主板10包括一主板10，该主板10具体为一能够设置诸如中央处理器等器件的印刷电路板。在该主板10上设置有第一中央处理器11及第二中央处理器12，且第一中央处理器11及第二中央处理器12之间通过两路XGMI总线互连，使双路CPU主板上的两个CPU之间的GOP的传输速率最高可达12.8GT/S，提高双路CPU主板中双CPU之间的GOP的传输速率。在将第一中央处理器11及第二中央处理器12设置在主板10上时，可以在主板10上设置两个CPU插槽，第一中央处理器11及第二中央处理器 12分别安装在两个CPU插槽上。该两个CPU插槽可以为Socket或Slot。在设置第一中央处理器11及第二中央处理器12时，第一中央处理器11可以为主中央处理器，第二中央处理器12可以为次中央处理器。具体选择第一中央处理器11及第二中央处理器12的型号时，可以选择两个海光5300CPU芯片作为第一中央处理器11及第二中央处理器12。在具体连接第一中央处理器11及第二中央处理器12时，可以选择第一中央处理器11及第二中央处理器12通过2组x16XGMI总线互连，最高速率12.8GT/S，其连接关系如图2所示，以提高双路CPU主板中双CPU之间的GOP的传输速率。

[0034] 参考图1及图3，在主板10上还设置有与第一中央处理器11连接的M.2连接器21、以及与第一中央处理器11连接的第一数据选择器22，且第一数据选择器22还与M.2连接器21连接。其中，M.2连接器21用于插接连接SATA电子盘或PCIE电子盘；第一数据选择器22用于自动识别插接在M.2连接器21上的SATA电子盘或PCIE电子盘，并选择SATA 电子盘或PCIE电子盘与第一中央处理器11连接。以使M.2连接器21及第一数据选择器 22自动识别插接在M.2连接器21上的是SATA电子盘还是PCIE电子盘，并控制插接在M.2连接器21上的是SATA电子盘或PCIE电子盘与第一中央处理器11连接，从而实现双路CPU主板上的一个M.2连接器21兼容SATA电子盘或PCIE电子盘，提高M.2连接器 21的功能，减小主板10上插槽的个数。

[0035] 在具体连接第一中央处理器11及第一数据选择器22及M.2连接器21时，参考图3，第一中央处理器11上可以具有一组配置成PCIE x2功能的针脚、以及一组配置成SATA功能的针脚。且上述一组配置成PCIE x2功能的针脚中的一组PCIEx1信号与一组配置成SATA 功

能的针脚均通过第一数据选择器22与M.2连接器21连接，配置成PCIE X2功能的针脚中的另一组PCIEx1信号直接连接M.2连接器21，以便于实现插接在M.2连接器21上的 SATA电子盘或PCIE电子盘与第一中央处理器11连接。

[0036] 在具体设置第一数据选择器22时，参考图3，第一数据选择器22可以具有与M.2连接器21连接的A端、与第一中央处理器11上的一组配置成SATA功能的针脚连接的B端、与第一中央处理器11上的一组配置成PCIE x2功能的针脚中的一组PCIE x1信号连接的C 端、以及与M.2连接器21的第69针脚及第一中央处理器11的GPIO接口均连接的SEL端。其中，配置成PCIE x2功能的针脚中的另一组PCIEx1信号直接连接M.2连接器21。且在自动识别到插接在M.2连接器21上的SATA电子盘时，第一数据选择器22上的SEL端选择A端与B端连接；在自动识别到插接在M.2连接器21上的PCIE电子盘时，第一数据选择器22上的SEL端选择A端与C端连接。以便于第一数据选择器22控制插接在M.2连接器21上的SATA电子盘或PCIE电子盘与第一中央处理器11连接。

[0037] 具体实现第一数据选择器22及M.2连接器21自动识别插接在M.2连接器21上的SATA 电子盘或PCIE电子盘，并选择SATA电子盘或PCIE电子盘与第一中央处理器11连接时。参考图3，第一数据选择器22上的SEL端设置有上拉电阻，在PCIE电子盘插接在M.2连接器21上时，由于PCIE电子盘上的第69针脚为NC悬空，由于SEL端被设置了上拉电阻，第一数据选择器22上的SEL端设置成了高电平，以使第一数据选择器22上的A端与C端连接。在SATA电子盘插接在M.2连接器21上时，由于SATA电子盘的第69针脚为接地，因此第一数据选择器22上的SEL端设置为低电平，以使第一数据选择器22上的A端与B 端连接。以便于实现对插接在M.2连接器21上的PCIE电子盘或SATA电子盘进行自动识别，并切换连接线路，实现相应的连接。

[0038] 具体的，电路设计如图3所示，可以使第一中央处理器11的P0[9:8]配置成PCIE x2功能。第一中央处理器11的P0[3]信号配置为SATA功能，它与第一中央处理器11的P0[8] PCIE 信号通过第一数据选择器22切换连接到M.2连接器21的LANE0位置。第一数据选择器22的SEL端设置有上拉电阻时，当在M.2连接器21插入PCIE电子盘时，由于M.2连接器21上的第69pin为NC，第一数据选择器22的SEL端为高电阻，PCIE信号通过第一数据选择器22连接到M.2连接器21，以实现PCIE电子盘与第一中央处理器11连接。当在 M.2连接器21插入SATA硬盘时，第一数据选择器22的SEL端会被M.2连接器21上的第 69pin拉低，是第一数据选择器22的SEL端设置为下拉的低电阻，SATA信号通过第一数据选择器22连接到M.2连接器21，从而实现了PCIE电子盘和SATA电子盘的自动识别支持。

[0039] 另外，参考图1及图4，还可以在主板10上设置与均第一中央处理器11连接的BMC芯片31、OCP网卡32及I350网卡33，且在主板10上还设置有与BMC芯片31、OCP网卡32及I350网卡33均连接的第二数据选择器34。其中，第二数据选择器34用于选择BMC 芯片31的NCSI接口与OCP网卡32或I350网卡33连接。以便于在主板10上设置不同的网卡类型，且便于控制BMC芯片31与不同的网卡类型连接，在不同的网卡之间进行切换。在主板10上设置OCP网卡32时，参考图1，可以在主板10上设置一个PCIE x8 OCP A型插口，OCP网卡32具有与所述OCP A型插口适配的插头，将OCP网卡32插接在PCIE x8 OCP A型插口上，以支持标准OCP卡网络。在设置I350网卡33时，可以设置一板载I350AM2 千兆网卡。参考图5，在主板10上设置有两个板载的千兆网口，第一中央处理器11的P0[11:10] 连接I350网卡33，输出两路RJ45网络

接口，以与外部连接。在设置BMC芯片31时，该 BMC芯片31作为持远程智能的BMC管理系统，可以采用ASPEED AST2500 BMC管理芯片作为BMC芯片31，用于对主板10进行远程控制和监测，提高系统的可管理性。参考图 6，BMC芯片31作为管理系统，对主板10进行上下电控制、固件烧录、以及温度监控等， BMC芯片31可通过网络接受外部控制命令，其Dedicate LAN网络接口如下图6所示。

[0040] 具体连接BMC芯片31、第二数据选择器34、OCP网卡32及I350网卡33时，参考图 4，BMC芯片31具有遵循NCSI标准协议的Share LAN接口。第二数据选择器34具有与 BMC芯片31的Share LAN接口连接的A端、与OCP网卡32连接的B端、与I350网卡 33连接的C端、以及与BMC芯片31的GPIO接口连接的SEL端。其中，第二数据选择器 34的SEL端用于选择第二数据选择器34的A端与B端或C端连接。以便于在不同的网卡之间进行切换。

[0041] 具体实现第二数据选择器34切换BMC芯片31与OCP网卡32连接，还是与I350网卡33连接时，参考图4，第二数据选择器34的SEL端设置有上拉电阻时，同时SEL端连接到BMC芯片31的GPIO接口上，当BMC芯片31将此GPIO接口设置为高电平的时候，使得第二数据选择器34上的SEL端被设置为高电平，以使第二数据选择器34的A端与C 端连接，从而使得BMC芯片31的NCSI接口连接到I350网卡33。当BMC芯片31将此 GPIO接口设置为低电平的时候，使得第二数据选择器34的SEL端设置为低电平，以使第二数据选择器34的A端与B端连接，从而使得BMC芯片31的NCSI接口连接到OCP网卡32上。以便于控制BMC芯片31与不同的网卡进行连接。

[0042] 另外，还可以在主板10上设置一个与第一中央处理器11连接的MiniSAS HD连接器，该MiniSAS HD连接器用于连接4个SATA电子盘或1个NVME硬盘，以便于扩展连接SATA 电子盘或NVME硬盘。

[0043] 参考图7，第一中央处理器11还连接有一个PCIE x4插口、一个用于插接连接SAS/RAID 存储卡的PCIE x8 STORAGE插口、一个用于连接安全卡的PCIE x1BM插口、以及一个用于连接上述OCP网卡32的PCIE x8 OCP A型插口；且该一个PCIE x4插口、一个PCIE x8 STORAGE插口、一个PCIE x1BM插口、一个PCIE x8 OCP A型插口均设置在主板10上。第二中央处理器12还连接有一个PCIE x16插口、以及两个PCIE x8插口；且该一个PCIE x16 插口、两个PCIE x8插口均设置在主板10上。

[0044] 设置时，第一中央处理器11及第二中央处理器12提供高带宽的PCIE插口，连接第一中央处理器11及第二中央处理器12的COMB PHY(功能可配置接口)，通过插入扩展卡可支持PCIE、SATA电子盘及XGBE网络设备。

[0045] 参考图1及图7，在设置一个PCIE x16插口时，如图1及图7中的PCIE x16Slot1所示，该PCIE x16Slot1连接在第二中央处理器12的P2[15:0]，可支持PCIE标准卡x16/x8/x4/x2/x1，通过插入不同转接板，能够实现2个x8PCIE Slot或1个x8+2个x4 PCIE Slot。

[0046] 在设置一个PCIE x4插口时，如图1及图7所示出的PCIE x4 Slot2，该PCIE x4 Slot2 链接在第一中央处理器11的P0[15:12]，可支持PCIE标准卡x4/x2/x1。

[0047] 在设置两个PCIE x8插口时，如图1及图7中所示出的PCIE x8 Slot3及PCIE x8 Slot4，该PCIE x8 Slot3及PCIE x8 Slot4分别连接第二中央处理器12的COMB PHY P0[15:8]和 P0[7:0]，可支持PCIE标准卡x8/x4/x2/x1插卡；或通过插入转接板来支持2个x4 PCIE Slot；也可插入其他转接板，将其转接成4个XGBE网络接口加4个SATA电子盘接口。

[0048] 在设置一个PCIE x8 STORAGE插口时，如图1及图7中所示出的PCIE x8 STORAGE

Slot,该PCIE x8 STORAGE Slot连接第一中央处理器11的P0[15:8],用于插卡SAS/RAID 存储卡。

[0049] 在设置一个PCIE x1 BM插口时,如图1及图7所示出的PCIE x1 BM Slot,该PCIE x1 BM Slot连接第一中央处理器11的P0[0],可支持安全卡,如果不支持安全卡,可用于其他 PCIE x1插卡。

[0050] 在设置一个PCIE x8 OCP A插口时,如图1及图7所示出的PCIE x8 OCP A Slot,该PCIE x8 OCP A Slot连接第一中央处理器11的P2[7:0],用于支持A型OCP卡。

[0051] 参考图8,第一中央处理器11及第二中央处理器12中的每个中央处理器有4个DDR Channel,每个Channel接2根DIMM,单个中央处理器支持8根DDR4内存插槽。主板10 一共支持16个DDR4内存插槽,内存频率最高可到3200MHz,支持RDIMM、LRDIMM。其连接关系如下图8所示,每个中央处理器挂载8个DDR4 DIMM Slot,支持 UDIMM/RDIMM/LRDIMM/NVDIMM,速率支持DDR4-3200。

[0052] BMC芯片31对主板10进行上电/下电控制、以及Reset控制电路如下图9所示,通过BMC芯片31控制中央处理器的PWR BTN信号和RST BTN信号,以实现对主板10的上电及下电控制。

[0053] 参考图1,主板10可支持板载VGA显示,BMC芯片31的PCIE接口连接第一中央处理器11的P0[1],可支持BMC芯片31显示,实现ikvm功能。

[0054] 参考图1,支持可5个USB 3.0&2.0接口、4个USB 2.0接口。主板10连接有USB3.0 和USB2.0接口与中央处理器互连,并有USB2.0信号连接到BMC芯片31,用于支持Virtual Media。

[0055] 参考图1,主板10采用CPLD对电源调整器(VR)进行上电和下电控制,通过逻辑代码可以灵活调整给中央处理器供电的电源调整器、及输入给中央处理器的信号上电和下电时序,从而保证符合中央处理器的上电和下电顺序要求。

[0056] 可以在主板10上设置有UART和JTAG heade,作为主板10debug接口。

[0057] 通过采用两路XGMI总线互连第一中央处理器11及第二中央处理器12,使双路CPU主板上的两个CPU之间的GOP的传输速率最高可达12.8GT/S,提高双路CPU主板中双 CPU之间的GOP的传输速率。通过在主板10上设置兼容插接连接SATA电子盘或PCIE电子盘的M.2连接器21、以及第一数据选择器22,自动识别插接在M.2连接器21上的是SATA 电子盘还是PCIE电子盘,并控制插接在M.2连接器21上的是SATA电子盘或PCIE电子盘与第一中央处理器11连接,从而实现双路CPU主板上的一个M.2连接器21兼容SATA电子盘或PCIE电子盘,提高了服务器主板M.2硬盘配置的灵活性。

[0058] 另外,本实用新型实施例还提供了一种服务器,该服务器包括上述任意一种服务器主板。通过采用两路XGMI总线互连第一中央处理器及第二中央处理器,使双路CPU主板上的两个CPU之间的GOP的传输速率最高可达12.8GT/S,提高双路CPU主板中双CPU之间的GOP的传输速率。通过在主板上设置兼容插接连接SATA电子盘或PCIE电子盘的M.2 连接器、以及第一数据选择器,自动识别插接在M.2连接器上的是SATA电子盘还是PCIE 电子盘,并控制插接在M.2连接器上的是SATA电子盘或PCIE电子盘与第一中央处理器连接,从而实现双路CPU主板上的一个M.2连接器兼容SATA电子盘或PCIE电子盘,提高了服务器主板M.2硬盘配置的灵活性。

[0059] 以上所述，仅为本实用新型的具体实施方式，但本实用新型的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本实用新型揭露的技术范围内，可轻易想到的变化或替换，都应涵盖在本实用新型的保护范围之内。因此，本实用新型的保护范围应该以权利要求的保护范围为准。

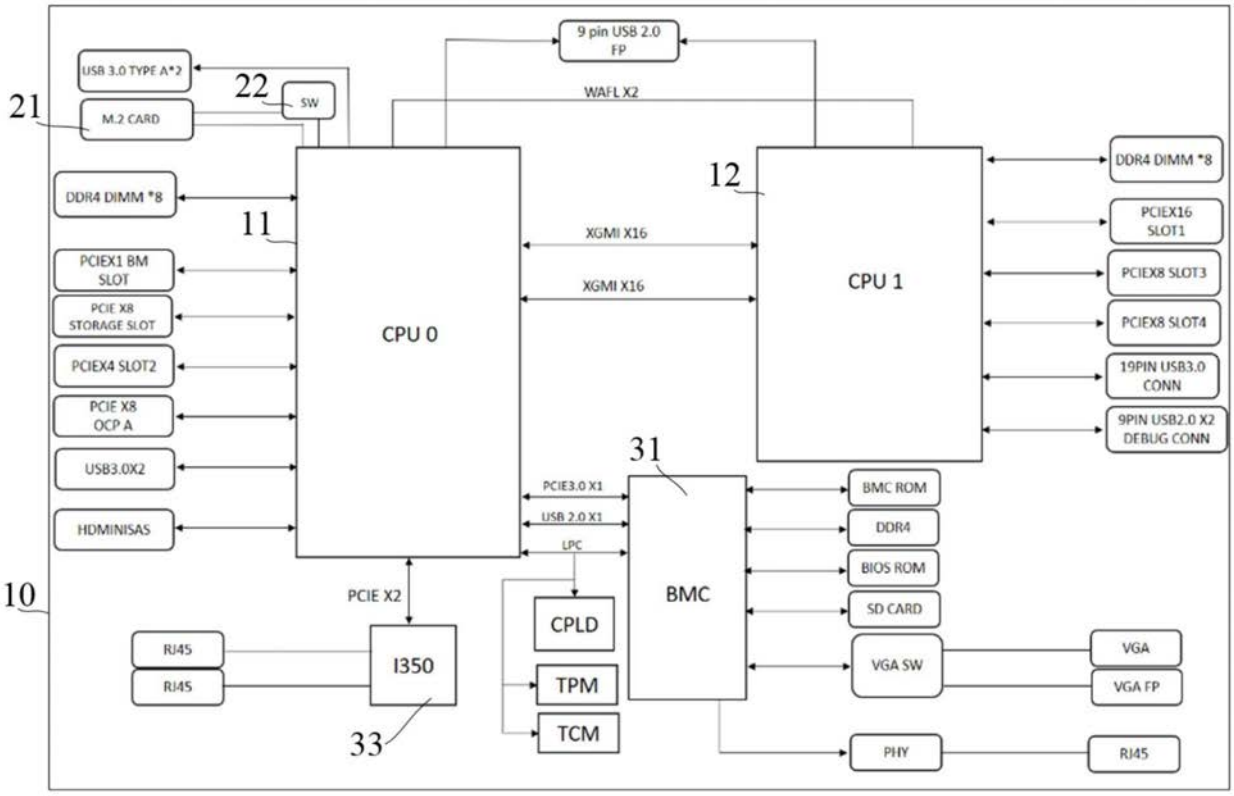

9 pin USB 2.0 FP
USB 3.0 TYPE A*2
22
SW
21
M.2 CARD
WAFL X2
DDR4 DIMM *8
11
CPU 0
XGMI X16
XGMI X16
12
CPU 1
DDR4 DIMM *8
PCIEX16 SLOT1
PCIEX8 SLOT3
PCIEX8 SLOT4
19PIN USB3.0 CONN
9PIN USB2.0 X2 DEBUG CONN
PCIEX1 BM SLOT
PCIE X8 STORAGE SLOT
PCIEX4 SLOT2
PCIE X8 OCP A
USB3.0X2
HDMINISAS
31
PCIE3.0 X1
USB 2.0 X1
LPC
BMC
BMC ROM
DDR4
BIOS ROM
SD CARD
VGA SW
VGA
VGA FP
PHY
RJ45
10
PCIE X2
CPLD
TPM
TCM
RJ45
RJ45
I350
33

图1

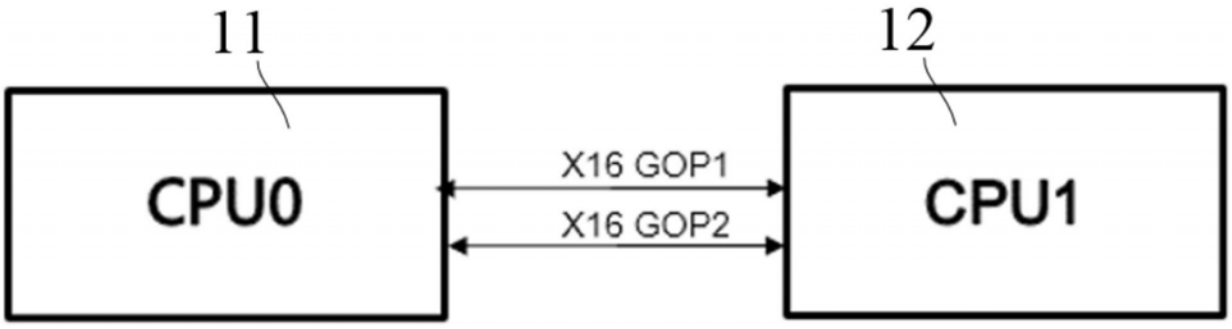
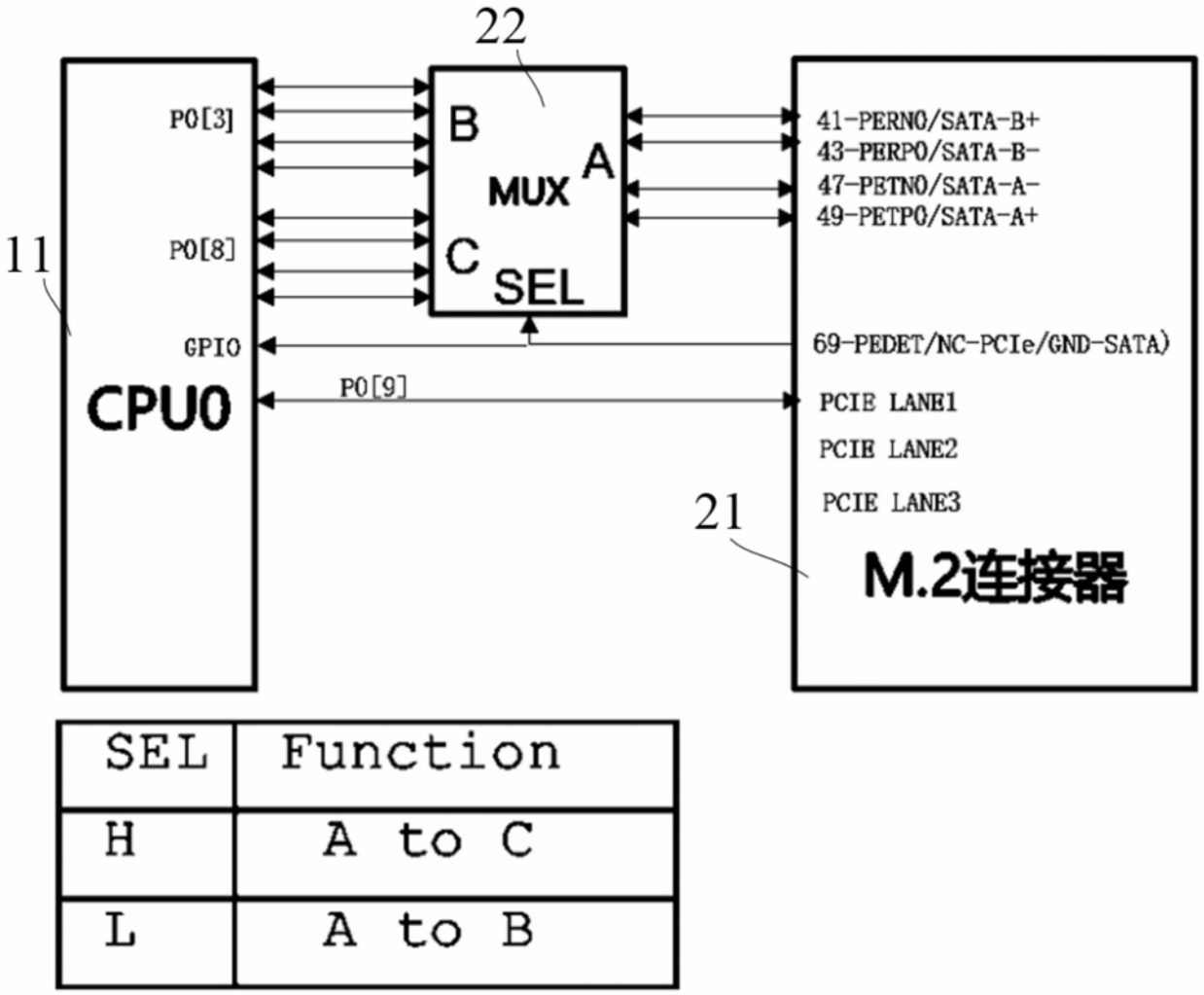
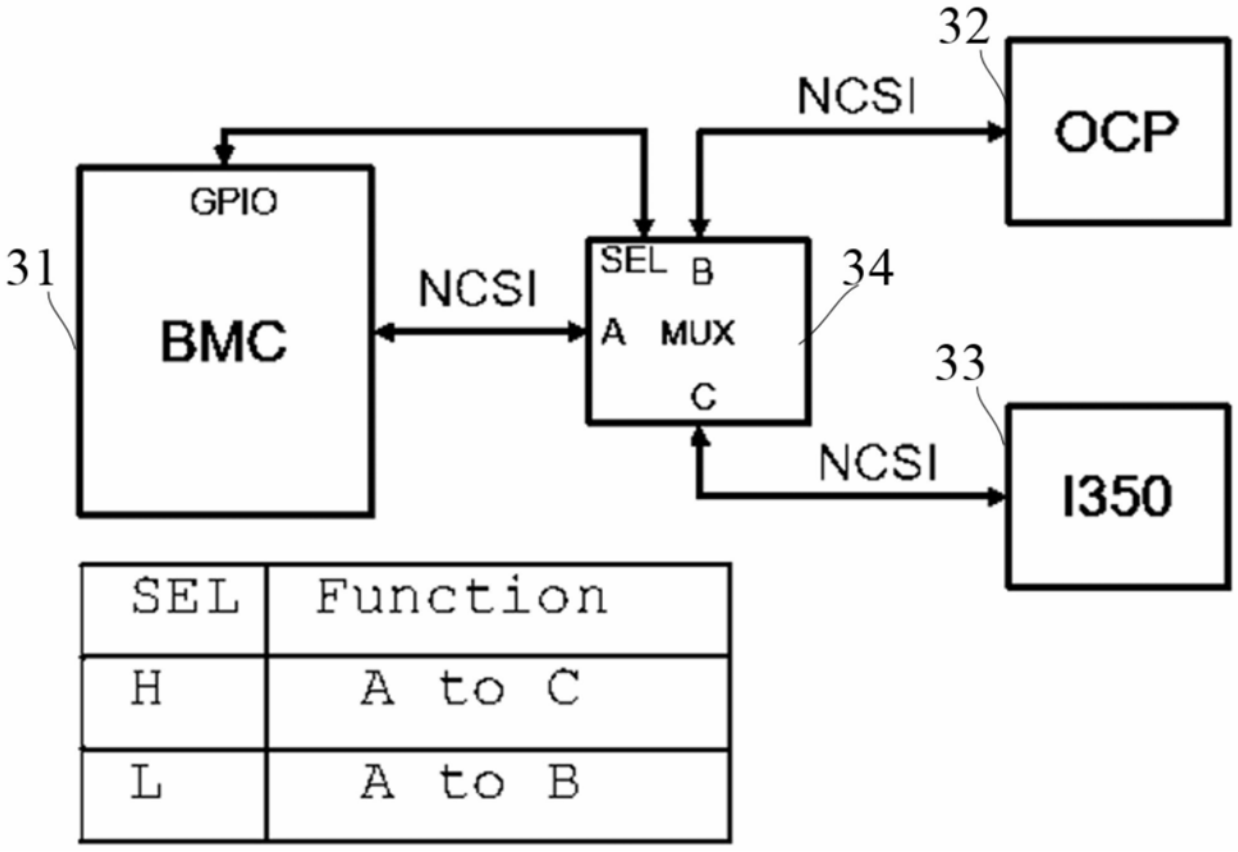

11
12
CPU0
X16 GOP1
X16 GOP2
CPU1

图2



SEL	Function
H	A to C
L	A to B

图3



SEL	Function
H	A to C
L	A to B

图4

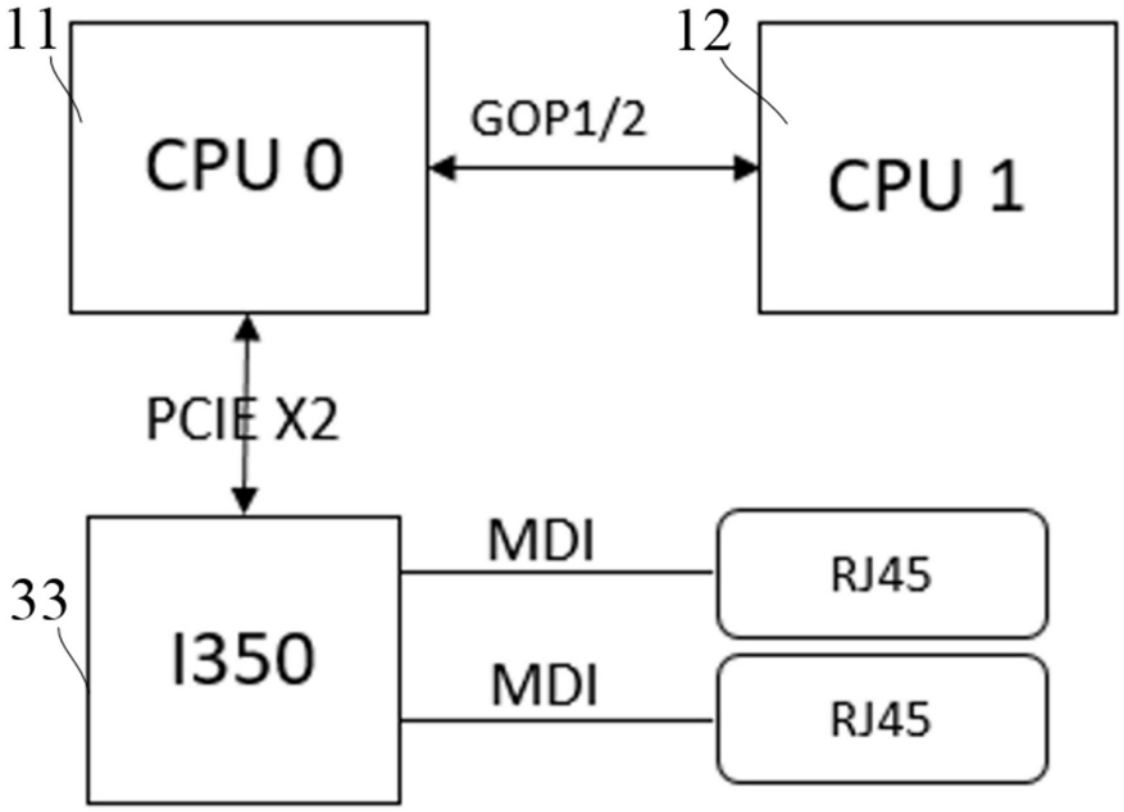

11
CPU 0
GOP1/2
12
CPU 1
PCIE X2
33
I350
MDI
RJ45
MDI
RJ45

图5

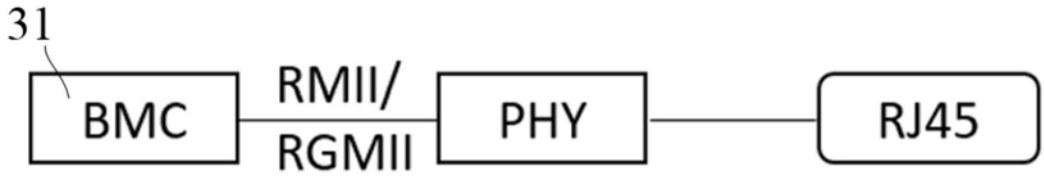

31
BMC
RMII/
RGMII
PHY
RJ45

图6

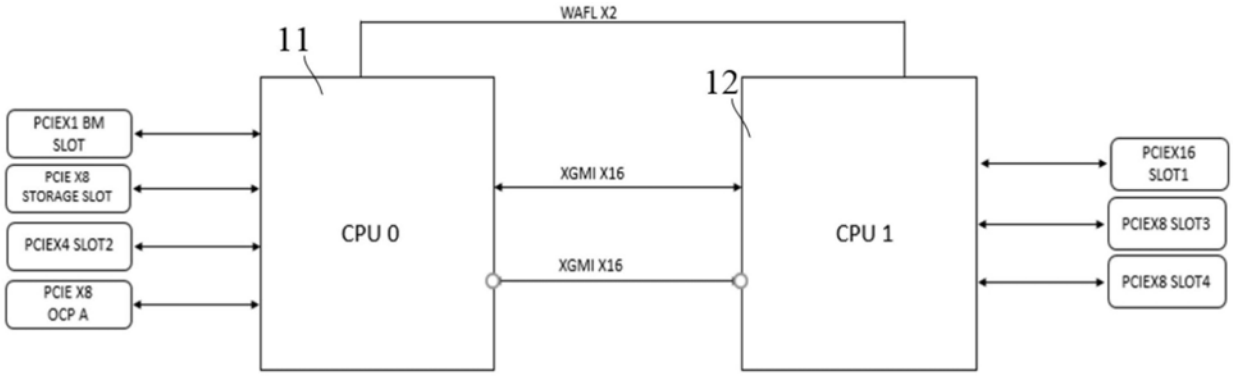

WAFL X2
11
12
PCIEX1 BM SLOT
PCIE X8 STORAGE SLOT
PCIEX4 SLOT2
PCIE X8 OCP A
CPU 0
XGMI X16
XGMI X16
CPU 1
PCIEX16 SLOT1
PCIEX8 SLOT3
PCIEX8 SLOT4

图7

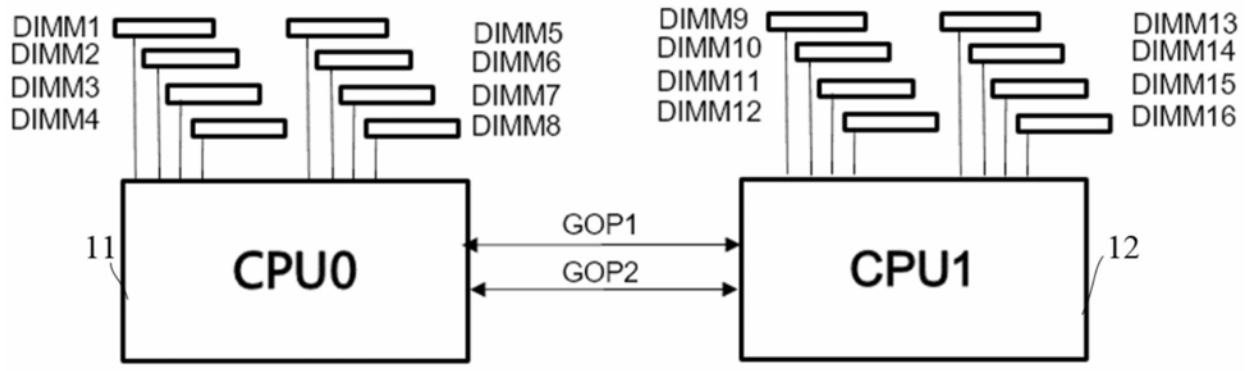

DIMM1
DIMM2
DIMM3
DIMM4
DIMM5
DIMM6
DIMM7
DIMM8
DIMM9
DIMM10
DIMM11
DIMM12
DIMM13
DIMM14
DIMM15
DIMM16
11
CPU0
GOP1
GOP2
CPU1
12

图8

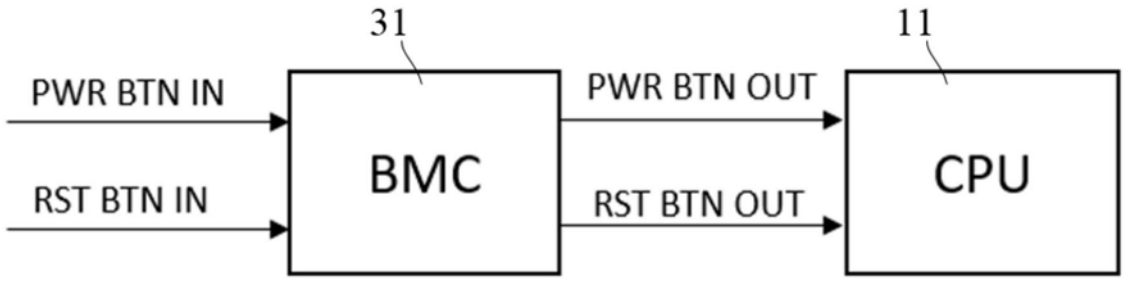

31
11
PWR BTN IN
RST BTN IN
BMC
PWR BTN OUT
RST BTN OUT
CPU

图9