

⑫

DEMANDE DE BREVET D'INVENTION

A1

⑫② Date de dépôt : 05.03.92.

⑫③ Priorité : 31.10.91 KR 9119331.

⑫④ Date de la mise à disposition du public de la  
demande : 07.05.93 Bulletin 93/18.

⑫⑤ Liste des documents cités dans le rapport de  
recherche : *Se reporter à la fin du présent fascicule.*

⑫⑥ Références à d'autres documents nationaux  
apparentés :

⑦① Demandeur(s) : SAMSUNG ELECTRONICS CO.,  
LTD. — KR.

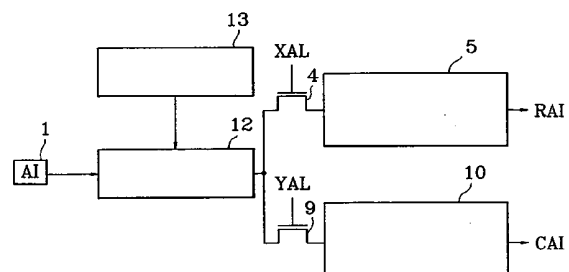
⑦② Inventeur(s) : Choi Do-chan.

⑦③ Titulaire(s) :

⑦④ Mandataire : Cabinet Nony & Cie.

⑤④ Mémoire-tampon d'entrée d'adresse d'un dispositif de mémoire à semiconducteurs.

⑤⑦ Mémoire-tampon d'entrée d'adresse d'un dispositif de mémoire à semiconducteurs comportant une borne d'entrée d'adresse (1), un commutateur d'adresse de colonne (9), un commutateur de rangée (4), une bascule d'adresse de colonne (10) reliée au commutateur d'adresse de colonne (9), une bascule d'adresse de rangée (5) reliée au commutateur d'adresse de rangée (4), et une mémoire-tampon d'entrée (12) reliée à la borne d'entrée d'adresse (1), au nœud commun du commutateur d'adresse de colonne (9) et au commutateur d'adresse de rangée (4), et commandée par un signal de commande de mémoire-tampon d'entrée. Ainsi, la surface d'implantation peut être réduite en tamponnant les signaux d'entrée d'adresse de rangée et de colonne à l'aide d'une seule mémoire-tampon d'entrée sans séparer les mémoires-tampons d'adresse de colonne et de rangée.



Mémoire-tampon d'entrée d'adresse d'un dispositif de mémoire à semiconducteurs.

La présente invention a trait à un dispositif de mémoire à semiconducteurs, et en particulier à une  
5 mémoire-tampon d'entrée d'adresse d'un dispositif de mémoire à semiconducteurs.

D'une manière générale, dans un dispositif de mémoire à semiconducteurs, une mémoire-tampon d'entrée d'adresse est utilisée pour convertir une donnée d'entrée  
10 d'adresse d'un niveau logique transistor-transistor (TTL) en une donnée d'entrée d'adresse d'un niveau d'un semiconducteurs métal-oxyde complémentaire (CMOS), et accroître la marge de bruit. Cependant, dans un dispositif de mémoire à semiconducteurs, lorsque la capacité du dispositif de  
15 mémoire augmente, le nombre d'adresses augmente et deux fois plus de mémoires-tampons d'entrée d'adresse que d'adresses sont nécessaires. Ainsi, le nombre de mémoires-tampons d'entrée d'adresse est ordinairement le double du nombre d'adresses ; la moitié est utilisée en tant que  
20 mémoires-tampons d'adresse de colonne et le reste en tant que mémoires-tampons d'adresse de rangée. Par conséquent, le nombre d'adresses est augmenté selon l'accroissement de la capacité du dispositif de mémoire à semiconducteurs, et avec plus d'adresses le nombre des mémoires-tampons  
25 d'entrée d'adresse s'élève, qui nécessite une surface d'implantation accrue.

Le but de la présente invention est de proposer une nouvelle mémoire-tampon d'entrée d'adresse simplifiée apte à réduire la surface d'implantation occupée par la  
30 mémoire-tampon d'entrée d'adresse.

Un autre but de la présente invention est de proposer une mémoire-tampon d'entrée d'adresse apte à améliorer une caractéristique d'entrée.

Afin d'atteindre les buts précités, la mémoire-tampon d'entrée d'adresse de la présente invention comporte une borne d'entrée d'adresse, un moyen de commutation d'adresse de rangée , un moyen de commutation d'adresse de colonne, une bascule d'adresse de rangée reliée au moyen de commutation d'adresse de rangée, une bascule d'adresse de colonne reliée au moyen de commutation d'adresse de colonne, et une mémoire-tampon d'entrée reliée à la borne d'entrée d'adresse, au nœud commun du moyen de commutation d'adresse de rangée et au moyen de commutation d'adresse de colonne, et commandée par un signal de commande de mémoire-tampon d'entrée.

La présente invention sera mieux comprise en se référant à la description détaillée qui va suivre de modes de réalisation particuliers, en référence aux dessins annexés sur lesquels :

la Figure 1 représente un schéma synoptique d'une mémoire-tampon d'entrée d'adresse classique.

La Figure 2 représente un schéma synoptique d'une mémoire-tampon d'entrée d'adresse selon la présente invention.

La Figure 3 est un schéma de circuit illustrant un mode de réalisation de la mémoire-tampon d'entrée d'adresse représentée sur la Figure 2.

La Figure 4 représente un diagramme temporel expliquant le fonctionnement du circuit de la Figure 2.

Avant de décrire une mémoire-tampon d'entrée d'adresse de la présente invention, une mémoire-tampon d'entrée d'adresse classique sera décrite ci-après en référence aux dessins annexés.

La Figure 1 représente un schéma synoptique d'une mémoire-tampon d'entrée d'adresse classique.

En référence à la Figure 1, la mémoire-tampon d'entrée d'adresse classique d'un dispositif de mémoire à semiconducteurs comporte des moyens de génération d'adresse de rangée 6 et des moyens de génération d'adresse de colonne 11. Les moyens de génération d'adresse de rangée 6 comporte une mémoire-tampon d'entrée d'adresse de rangée 2 reliée à une borne d'entrée d'adresse 1, des moyens de génération de signal de commande de mémoire-tampon d'entrée d'adresse de rangée 3 commandant la mémoire-tampon d'entrée d'adresse de rangée 2, un transistor de commutation d'adresse de rangée 4 commuté par un signal de bascule d'adresse de rangée XAL, et une bascule d'adresse de rangée 5 reliée au transistor de commutation d'adresse de rangée 4, de manière à générer un signal d'entrée d'adresse de rangée RAI. Par ailleurs, des moyens de génération d'adresse de colonne 11 comportent une mémoire-tampon d'entrée d'adresse de colonne 7 reliée à une borne d'entrée d'adresse 1, des moyens de génération de signal de commande de mémoire-tampon d'entrée d'adresse de colonne 8 pour commander la mémoire-tampon d'entrée d'adresse de colonne 7, un transistor de commutation d'adresse de colonne 9 commuté par un signal de bascule d'adresse de colonne YAL, et une bascule d'adresse de colonne 10 reliée au transistor de commutation d'adresse de colonne 9, de manière à générer un signal d'entrée d'adresse de colonne CAI.

Par conséquent, la mémoire-tampon d'entrée d'adresse de rangée 2 et la mémoire-tampon d'entrée d'adresse de colonne 7 sont séparées, ce qui accroîtra la surface d'implantation durant une intégration.

La Figure 2 représente un schéma synoptique d'une mémoire-tampon d'entrée d'adresse selon la présente invention.

En référence à la Figure 2, cette mémoire-tampon d'entrée d'adresse comporte une borne d'entrée d'adresse 1, un moyen de génération de signal de commande de mémoire-tampon d'entrée 13 commandant une mémoire-tampon d'entrée 12 reliée à la borne d'entrée d'adresse 1, un transistor de commutation d'adresse de rangée 4 commandé par un signal de bascule d'adresse de rangée XAL et relié à la mémoire-tampon d'entrée 12, à une bascule d'adresse de rangée 5 reliée au transistor de commutation d'adresse de rangée 4 pour délivrer un signal d'entrée d'adresse de rangée RAI, un transistor de commutation d'adresse de colonne 9 commandé par un signal de bascule d'adresse de colonne YAL et relié à la mémoire-tampon d'entrée 12, et une bascule d'adresse de colonne 10 reliée à un transistor de commutation d'adresse de colonne 9 pour délivrer un signal d'entrée d'adresse de colonne CAI.

Le fonctionnement selon la structure précitée est le suivant.

La mémoire-tampon d'entrée 12 fonctionne en réponse à un signal de commande provenant du moyen de génération de signal de commande de mémoire-tampon d'entrée 13. Des données d'adresse de niveau TTL introduites depuis la borne d'entrée d'adresse 1 sont converties en données d'adresse de niveau CMOS par l'intermédiaire de la mémoire-tampon d'entrée.

Avec le signal XAL actif, la bascule d'adresse de rangée 5 reçoit le signal de sortie de la mémoire-tampon d'entrée 12 par l'intermédiaire du transistor de commuta-

tion d'adresse de rangée 4 et délivre un signal d'entrée d'adresse RAI. Avec le signal YAL actif, la bascule d'adresse de colonne 10 reçoit le signal de sortie de la mémoire-tampon d'entrée 12 par l'intermédiaire du transistor de commutation d'adresse de colonne 9 et ensuite délivre un signal d'entrée d'adresse de colonne CAI. Ici, lorsque le signal de bascule d'adresse de rangée XAL se trouve dans l'état actif, le signal de bascule d'adresse de colonne YAL est inactif, tandis que lorsque le signal de bascule d'adresse de colonne YAL est actif, le signal de bascule de rangée XAL est inactif.

La Figure 3 représente un mode de réalisation de la mémoire-tampon d'entrée d'adresse de la Figure 2 selon la présente invention.

Sur la Figure 3, la mémoire-tampon d'entrée 12 comporte un transistor PMOS 14 ayant son électrode de commande reliée à la borne d'entrée d'adresse 1, le transistor PMOS 16 ayant son électrode de source reliée en commun à l'électrode de source du transistor PMOS 14 et son électrode de grille est alimentée par une tension constante ( $V_{ref}$ ) 15, le transistor NMOS 17 ayant son électrode de drain reliée à l'électrode de drain du transistor PMOS 14 et son électrode de source reliée au potentiel de masse, le transistor NMOS 18 ayant son électrode de drain reliée à l'électrode de drain du transistor PMOS 16, son électrode de source reliée au potentiel de la masse et son électrode de grille reliée en commun à son électrode de drain et à l'électrode de grille du transistor NMOS 17, deux transistors PMOS 19 ayant leurs électrodes de drain reliées aux électrodes de source des transistors PMOS 14 et 16 et leurs électrodes de source reliées à une tension d'alimentation  $V_{cc}$ , et un inverseur 20 ayant sa borne d'entrée reliée à une électrode de grille des

transistors PMOS 19, un inverseur 21 ayant sa borne de sortie reliée à l'autre électrode de grille des transistors PMOS 19, sa borne d'entrée reliée à la sortie du premier inverseur 20, un transistor NMOS 22 ayant son électrode de grille également reliée à la borne d'entrée de l'inverseur 20, son électrode de drain reliée à l'électrode de drain du transistor NMOS 17 et son électrode de source est reliée au potentiel de la masse, et un inverseur 23 ayant sa borne d'entrée reliée au drain du transistor NMOS 22.

Le moyen de génération d'un signal de commande de mémoire-tampon d'entrée 13 est constitué d'une porte NON OU 24 recevant un signal de commande d'adresse de rangée XAC et un signal de commande de colonne YAC, et ayant sa borne de sortie reliée à la borne d'entrée de l'inverseur 20 de la mémoire-tampon d'entrée 12.

Le transistor de commutation d'adresse de rangée 4 est constitué d'un inverseur 26 et d'une porte de transfert CMOS 25 comprenant un transistor NMOS appliquant un signal de bascule d'adresse de rangée XAL à son électrode de grille, et un transistor PMOS appliquant un signal de bascule d'adresse de rangée inversé XALB inversé par l'inverseur 26 à son électrode de grille, et ayant son côté d'entrée relié à la sortie de l'inverseur 23.

Le transistor de commutation d'adresse de colonne 9 est constitué d'un inverseur 28 et d'une porte de transfert CMOS 24 comprenant un transistor PMOS appliquant un signal de bascule d'adresse de colonne YAL à son électrode de grille et un transistor NMOS appliquant un signal de bascule d'adresse de colonne inversé YALB inversé par l'inverseur 28 à son électrode de grille et ayant son côté d'entrée également relié à la sortie de l'inverseur 23.

Le circuit de bascule d'adresse de rangée 5 comporte un inverseur 30 ayant sa borne d'entrée reliée au côté de sortie de la porte de transfert 25 du transistor de commutation d'adresse de rangée 4, un inverseur 31 ayant sa borne d'entrée reliée à la borne de sortie de l'inverseur 30 et sa borne de sortie reliée à l'entrée de l'inverseur 30, un inverseur 32 ayant sa borne d'entrée reliée à la borne de sortie de l'inverseur 30, une porte NON ET 33 recevant un signal de sortie de l'inverseur 32 et un signal de validation d'adresse de rangée XAE, un inverseur 34 connecté en série à la porte NON ET 33 et délivrant ensuite un signal d'entrée d'adresse de rangée RAI, une porte NON ET 35 recevant un signal de sortie de l'inverseur 30 et un signal de validation d'adresse de rangée XAE, et un inverseur 36 connecté en série à la porte NON ET 35 et délivrant ensuite un signal d'entrée d'adresse de rangée inversé RAIB.

Le circuit de bascule d'adresse de colonne 10 comporte une porte de transfert CMOS 29 ayant son côté d'entrée relié au côté de sortie de la porte de transfert CMOS 27 et constituée d'un transistor NMOS ayant son électrode de grille reliée au signal de bascule d'adresse de colonne YAL, d'un transistor PMOS ayant son électrode de grille reliée au signal de bascule d'adresse de colonne inversé YALB inversé par un inverseur 28 ; un inverseur 37 ayant sa borne d'entrée reliée au côté de sortie de la porte de transfert CMOS 27 du transistor de commutation adresse de colonne 9 ; un inverseur 38 ayant sa borne d'entrée reliée à la borne de sortie de l'inverseur 37 et sa borne de sortie reliée à une électrode de grille du transistor NMOS de la porte de transfert CMOS 29 ; un inverseur 39 ayant sa borne d'entrée reliée à la borne de sortie de l'inverseur 37 et délivrant un signal d'entrée d'adresse de colonne CAI, et un inverseur 40 ayant

sa borne d'entrée reliée au côté de sortie de la porte de transfert CMOS et délivrant un signal d'entrée d'adresse de colonne inversé CAIB.

En référence à la Figure 4, le fonctionnement de la mémoire-tampon d'entrée d'adresse réalisée comme ci-dessus sera expliqué ci-après. Lorsqu'un signal d'échantillonnage d'adresse de rangée inversé RASB est généré, le signal de commande d'adresse de colonne XAC devient haut durant la transition descendante du signal d'échantillonnage d'adresse de rangée inversé RASB. Le signal de commande d'adresse de colonne YAC devient haut plus tard que le signal de commande d'adresse de rangée XAC. Lorsque le signal de commande d'adresse de colonne YAC devient haut, le signal de sortie de la porte NON ET 24 devient bas. La porte de transfert 19 constituée des deux transistors PMOS devient passante. Simultanément, le transistor NMOS 22 est rendu non conducteur. Ici, les inverseurs 20 et 21 génèrent un retard pour réduire le courant de crête généré lorsque les deux transistors PMOS deviennent conducteurs.

Recevant une tension constante ( $V_{ref}$ ) 15 sur son électrode de grille, le transistor PMOS 16 devient conducteur et son électrode de drain devient haute. Lorsque cette tension logique "haute" est appliquée aux électrodes de grille des transistors NMOS 17 et 18, les transistors NMOS 17 et 18 conduisent.

Lorsqu'une entrée d'adresse logique "haute" provenant de la borne d'entrée d'adresse 1 est reçue, le transistor PMOS 14 est rendu non conducteur et l'électrode de drain du transistor NMOS 17 devient basse. Si une entrée d'adresse logique "basse" est reçue, le transistor PMOS 14 est rendu conducteur et l'électrode de drain du

transistor NMOS 17 devient haute.

L'inverseur 23 inverse le signal de l'électrode de drain du transistor NMOS 17 pour générer des signaux d'entrée d'adresse tamponnés. Ainsi, lorsqu'elle reçoit  
5 un signal d'entrée d'adresse de niveau TTL, la mémoire-tampon d'entrée 12 génère un signal d'entrée d'adresse de niveau CMOS.

Dans le transistor de commutation d'adresse de rangée 4, lorsque le signal d'adresse de rangée XAL  
10 tombe à un niveau logique "bas", le signal de commande d'adresse de rangée XAC tombe également à un niveau logique "bas". Lorsqu'un signal de bascule d'adresse de rangée "haut" XAL est reçu, la porte de transfert CMOS 25 transfère le signal de sortie de l'inverseur 23 à  
15 un circuit bascule constitué des inverseurs 30 et 31. Le signal transféré est ensuite inversé par l'inverseur 32. Le signal de validation d'adresse de rangée XAE devient haut plus tard que le signal de commande d'adresse de rangée XAC par un signal d'échantillonnage d'adresse de  
20 rangée inversé RASB. Si le signal de sortie de l'inverseur 32 se trouve à un état logique "haut" lorsque le signal de validation d'adresse de rangée XAE est haut, le signal de sortie RAI de l'inverseur 34 par l'intermédiaire de la porte NON ET 33 devient haut, et le signal de sortie  
25 RAIB de l'inverseur 36 par l'intermédiaire de la porte NON ET 35 devient bas. Le signal de commande d'adresse de colonne YAC devient haut plus tard que le signal de validation d'adresse de rangée XAE lorsque le signal d'échantillonnage d'adresse de rangée inversé RASB devient  
30 bas.

La mémoire-tampon d'entrée 12 fonctionne lorsque le signal de commande d'adresse de colonne YAC est

haut. Lorsqu'un signal logique d'entrée d'adresse de colonne "haut" provenant de la borne d'entrée d'adresse 1 est reçu, l'inverseur 23 de la mémoire-tampon d'entrée 12 délivre un signal logique "haut". Durant une transition ascendante du signal de commande d'adresse de colonne YAC, le signal de bascule d'adresse de colonne YAL est retardé d'un niveau haut à un niveau bas. Les portes de transfert NMOS 27 et 29 sont rendues conductrices lorsque le signal de bascule d'adresse de colonne YAL est bas, de sorte que les inverseurs 37 et 39 délivrent un signal d'entrée d'adresse de colonne CAI sous la forme d'un signal logique "haut" et l'inverseur 40 délivre un signal d'entrée d'adresse de colonne inversé CAIB sous la forme d'un signal logique de niveau "bas". Le signal de bascule d'adresse de colonne YAL devient haut lorsque le signal d'échantillonnage d'adresse de colonne inversé CASB tombe à un niveau logique "bas". Le signal d'entrée d'adresse de rangée RAI et le signal d'entrée d'adresse de rangée inversé RAIB demeurent inchangés jusqu'à ce que le signal de validation d'adresse de rangée XAE tombe à un niveau logique "bas".

Selon l'art antérieur, dans une mémoire-tampon d'entrée d'adresse, lorsque le nombre d'adresses est N, N mémoires-tampons d'entrée d'adresse de colonne et N mémoires-tampons d'entrée d'adresse de rangée sont nécessaires, ce qui veut dire que 2N mémoires-tampons d'entrée d'adresse sont nécessaires. Si une mémoire-tampon d'entrée est implantée selon la largeur du trait dans une DRAM à 64 Mbits, 180000  $\mu\text{m}^2$  sont nécessaires, du fait que 26 mémoires-tampons d'entrée d'adresse sont nécessaires si l'on suppose que la surface occupée par une mémoire-tampon d'entrée d'adresse est 120 x 60  $\mu\text{m}^2$ .

Cependant, la mémoire-tampon d'entrée d'adresse

selon la présente invention utilise seulement N mémoires-tampons d'entrée d'adresse en réunissant une mémoire-tampon d'entrée d'adresse de colonne et une mémoire-tampon d'entrée d'adresse de colonne en une mémoire-tampon d'entrée d'adresse, réduisant ainsi la surface d'implantation occupée par une mémoire-tampon d'adresse de moitié. C'est-à-dire que dans le cas de DRAM de 64 Mbits, la surface peut être réduite à environ 90000  $\mu\text{m}^2$ . Egalement, en commandant une adresse de colonne et une adresse de rangée avec une seule mémoire-tampon d'entrée, un signal d'entrée d'adresse de rangée et un signal d'entrée d'adresse de colonne ayant les mêmes caractéristiques sont obtenus, améliorant ainsi la caractéristique du circuit intégré global.

R E V E N D I C A T I O N S

1. Mémoire-tampon d'entrée d'adresse dans un dispositif de mémoire à semiconducteurs, caractérisée en ce qu'elle comporte :

une borne d'entrée d'adresse (1),

5 des moyens formant mémoire-tampon d'entrée (12) reliés à ladite borne d'entrée d'adresse (1) pour recevoir un signal d'adresse de colonne en réponse à un premier état d'un premier signal de commande, recevoir un signal d'adresse de rangée en réponse à un second état d'un  
10 second signal de commande et tamponner lesdits signaux d'adresse de colonne et de rangée,

des moyens de commutation d'adresse de rangée (4) reliés à la borne de sortie desdits moyens formant mémoire-tampon d'entrée (12) pour transférer ledit signal  
15 d'adresse tamponné en réponse à un premier signal passant au second état avant que ledit premier signal de commande passe au second état,

des moyens formant bascule d'adresse de rangée (5) reliés auxdits moyens de commutation d'adresse de  
20 colonne (9) en réponse à un second signal passant au premier état après que ledit premier signal est passé au second état,

des moyens de commutation d'adresse de colonne (9) reliés à la borne de sortie desdits moyens formant  
25 mémoire-tampon d'entrée (12) en réponse à un troisième signal passant au second état après que ledit second signal de commande est passé au premier état, et

des moyens formant bascule d'adresse de colonne (10) reliés auxdits moyens de commutation d'adresse de  
30 colonne (9), ladite mémoire-tampon d'entrée d'adresse (12) recevant, par l'intermédiaire desdits moyens de commutation d'adresse de rangée (4), le premier signal passant au second état avant qu'un signal d'entrée d'adresse

soit tamponné, recevant, par lesdits moyens formant bascule d'adresse de rangée (5), le second signal passant au premier état après que ledit premier signal est passé au second état, et recevant, par l'intermédiaire desdits  
5 moyens de commutation d'adresse de colonne (9), le troisième signal passant au second état après que ledit second signal de commande est passé au premier état.

2. Mémoire-tampon d'entrée d'adresse selon la revendication 1, caractérisée en ce que lesdits moyens formant  
10 mémoire-tampon d'entrée (12) comportent :

un premier transistor PMOS (14) ayant une électrode de grille reliée à ladite borne d'entrée d'adresse (1),

un second transistor PMOS (16) ayant une électrode de source reliée en commun à l'électrode de source dudit premier transistor PMOS (14) et son électrode de grille alimentée par une tension constante,

un premier transistor NMOS (17) ayant une électrode de drain reliée à l'électrode de drain dudit premier transistor PMOS (14) et une électrode de source reliée  
20 à un potentiel de masse,

un second transistor NMOS (18) ayant une électrode de drain reliée à l'électrode de drain dudit second transistor PMOS (16), une électrode de source reliée  
25 à un potentiel de masse et une électrode de grille reliée en commun à son électrode de drain et à l'électrode de grille dudit premier transistor NMOS (17),

deux troisièmes transistors PMOS (19) ayant des électrodes de drain reliées aux électrodes de source desdits premier et second transistors PMOS (14) et (16) et  
30 des électrodes de source reliées à une tension d'alimentation,

un cinquième inverseur (20) ayant une borne d'entrée reliée à l'électrode de grille d'un desdits

- troisièmes transistors PMOS (19), un second inverseur (21) ayant une borne de sortie reliée à l'électrode de grille de l'autre desdits troisièmes transistors PMOS (19), et une borne d'entrée reliée à la borne de sortie dudit premier inverseur (20),
- un troisième transistor NMOS (22) ayant une électrode de grille reliée à la borne d'entrée dudit premier inverseur (20), une électrode de drain reliée à l'électrode de drain dudit premier transistor NMOS (17) et une électrode de source reliée à un potentiel de masse et
- un troisième inverseur (23) ayant une borne d'entrée reliée à l'électrode de drain dudit troisième transistor NMOS (22).
3. Mémoire-tampon d'entrée d'adresse selon la revendication 2, caractérisée en ce que lesdits moyens formant mémoire-tampon d'entrée (12) comportent en outre un moyen logique (24) qui reçoit le premier signal de commande et le second signal de commande, délivre ledit premier état lorsqu'un des deux signaux se trouve dans le premier état, et dont la borne de sortie est reliée à la borne d'entrée dudit premier inverseur (20).
4. Mémoire-tampon d'entrée d'adresse selon la revendication 3, caractérisée en ce que lesdits moyens de commutation d'adresse de rangée (4) comportent :
- un quatrième inverseur (26) pour inverser ledit premier signal,
- une première porte de transfert CMOS (25) comprenant un quatrième transistor NMOS appliquant le premier signal à son électrode de grille et un quatrième transistor PMOS reliant son électrode de grille audit premier signal inversé par un quatrième inverseur (26), et dans laquelle sa borne d'entrée est reliée à la borne de sortie dudit troisième inverseur (23).

5. Mémoire-tampon d'entrée d'adresse selon la revendication 4, caractérisée en ce que lesdits moyens formant bascule d'adresse de rangée (5) comportent :
- un cinquième inverseur (30) relié à la borne de sortie de ladite première porte de transfert (25),
  - un sixième inverseur (31) ayant une borne d'entrée reliée à la borne de sortie dudit cinquième inverseur (30) et une borne de sortie reliée à la borne d'entrée dudit cinquième inverseur (30),
  - un septième inverseur (32) ayant une borne d'entrée reliée audit cinquième inverseur (30),
  - une première porte NON ET (33) recevant le signal de sortie dudit septième inverseur (32) et le troisième signal,
  - un huitième inverseur (34) relié à la borne de sortie de ladite première porte NON ET (33) pour délivrer un signal d'entrée d'adresse de rangée,
  - une seconde porte NON ET (35) recevant le signal de sortie dudit cinquième inverseur (30) et ledit troisième signal, et
  - un neuvième inverseur (36) relié à la borne de sortie de ladite seconde porte NON ET (35) pour délivrer un signal d'entrée d'adresse de rangée inversé.
6. Mémoire-tampon d'entrée d'adresse selon la revendication 5, caractérisée en ce que lesdits moyens de commutation d'adresse de colonne (9) comportent :
- un dixième inverseur (28) pour inverser ledit second signal, et
  - une seconde porte de transfert CMOS (27) comprenant un cinquième transistor PMOS ayant une électrode de grille recevant ledit second signal et un cinquième transistor NMOS ayant une électrode de grille recevant ledit second signal inversé par ledit dixième inverseur (28).

7. Mémoire-tampon d'entrée d'adresse selon la revendication 6, caractérisée en ce que lesdits moyens formant bascule d'adresse de colonne (10) comportent :

une troisième porte de transfert CMOS (29) comprenant un sixième transistor NMOS (27) ayant une électrode de grille recevant ledit second signal et un sixième transistor PMOS ayant une électrode de grille recevant ledit second signal inversé par ledit dixième inverseur (28), et ladite troisième porte de transfert CMOS (29) ayant une borne d'entrée reliée à la borne de sortie de ladite seconde porte de transfert CMOS (27),

un onzième inverseur (37) ayant sa borne d'entrée reliée au côté sortie de ladite seconde porte de transfert CMOS (27) du transistor de commutation d'adresse de colonne (9),

un douzième inverseur (38) ayant une borne d'entrée reliée à la sortie dudit onzième inverseur (37) et une borne de sortie reliée à une électrode de grille du sixième transistor NMOS de ladite troisième porte de transfert CMOS (29),

un treizième inverseur (39) ayant une borne d'entrée reliée à la borne de sortie dudit onzième inverseur (37) et délivrant un signal d'entrée d'adresse de colonne, et

un quatorzième inverseur (40) ayant sa borne d'entrée reliée à la borne de sortie de ladite troisième porte de transfert CMOS (29) et délivrant un signal d'entrée d'adresse de colonne inversé.

8. Mémoire-tampon d'entrée d'adresse d'un dispositif de mémoire à semiconducteurs, caractérisée en ce qu'elle comporte :

une borne d'entrée d'adresse (1),  
des moyens de commutation d'adresse de colonne (9),

des moyens de commutation d'adresse de rangée  
(4),

des moyens formant bascule d'adresse de colonne  
(10) reliés auxdits moyens de commutation d'adresse de  
5 colonne (9),

des moyens formant bascule d'adresse de rangée  
(5) reliés auxdits moyens de commutation d'adresse de  
rangée (4), et

une mémoire-tampon d'entrée (12) reliée à ladite  
10 borne d'entrée d'adresse (1), au au nœud commun desdits  
moyens de commutation d'adresse de colonne (9) et auxdits  
moyens de commutation d'adresse de rangée (4), et commandée  
par un signal de commande de mémoire-tampon d'entrée.

9. Mémoire-tampon d'entrée d'adresse selon la reven-  
15 dication 8, caractérisée en ce que ladite mémoire-tampon  
d'entrée (12) comporte :

des moyens de génération de signaux de commande  
(13) recevant des signaux de commande d'adresse de colonne  
et de rangée et délivrant un signal au-dessous du premier  
20 état lorsqu'un des deux signaux présente le premier état,

un premier transistor PMOS (14) ayant une  
électrode de grille reliée à ladite borne d'entrée,

un second transistor PMOS (16) ayant une élec-  
trode de source reliée en commun à l'électrode de source  
25 dudit premier transistor PMOS (14) et délivrant une ten-  
sion constante à son électrode de grille,

un premier transistor NMOS (17) ayant une élec-  
trode de drain reliée à l'électrode de drain dudit tran-  
sistor PMOS (14) et une électrode de source reliée à  
30 un potentiel de masse,

un second transistor NMOS (18) ayant une élec-  
trode de drain reliée à l'électrode de drain dudit second  
transistor PMOS (16), une électrode de source reliée au  
potentiel de la masse, et une électrode de grille reliée

en commun à son électrode de drain et à l'électrode de grille dudit premier transistor NMOS (17),

deux troisièmes transistors PMOS (19) ayant des électrodes de drain reliées aux électrodes de source desdits premier et second transistors PMOS (14) et (16) et des électrodes de source reliées à une tension d'alimentation,

un premier inverseur (20) ayant une borne d'entrée reliée à l'électrode de grille de l'un desdits troisièmes transistors PMOS (19),

un second inverseur (21) ayant une borne d'entrée reliée à la borne de sortie dudit premier inverseur (20) et une borne de sortie reliée à l'électrode de grille de l'autre desdits troisièmes transistors PMOS (19),

un troisième transistor NMOS (22) ayant une électrode de grille reliée à la borne d'entrée dudit premier inverseur (20) et une électrode de drain reliée à l'électrode de drain dudit premier transistor NMOS (17), et

un troisième inverseur (23) ayant une borne d'entrée reliée au drain dudit troisième transistor NMOS (22).

10. Mémoire-tampon d'entrée d'adresse, caractérisée en ce qu'elle comporte une mémoire-tampon d'entrée (12) pour entrer une adresse de rangée et une adresse de colonne provenant d'une borne d'entrée d'adresse (1) en réunissant une mémoire-tampon d'entrée d'adresse de rangée (2) pour entrer ladite adresse de rangée provenant de ladite borne d'entrée d'adresse (1) et une mémoire-tampon d'entrée d'adresse de colonne (7) pour entrer ladite adresse de colonne provenant de ladite borne d'entrée d'adresse (1).

11. Mémoire-tampon d'entrée d'adresse selon la revendication 10, caractérisée en ce que ladite mémoire-tampon

d'entrée comporte :

des moyens de génération de signaux de commande (13) recevant un signal de commande d'adresse de colonne et un signal de commande d'adresse de rangée et délivrant  
5 un signal au-dessous du premier état lorsque l'un des deux signaux présente le premier état,

un premier transistor PMOS (14) ayant une électrode de grille reliée à ladite borne d'entrée d'adresse,

10 un second transistor PMOS (16) ayant une électrode de source reliée en commun à l'électrode de source dudit premier transistor PMOS (14) et délivrant une tension constante à son électrode de grille,

un premier transistor NMOS (17) ayant une électrode de drain reliée à l'électrode de drain dudit transistor PMOS (14) et une électrode de source reliée à  
15 un potentiel de masse,

un second transistor NMOS (18) ayant une électrode de drain reliée à l'électrode de drain dudit second transistor PMOS (16), une électrode de source reliée au  
20 potentiel de masse, et une électrode de grille reliée en commun à son électrode de drain et à l'électrode de grille dudit premier transistor NMOS (17),

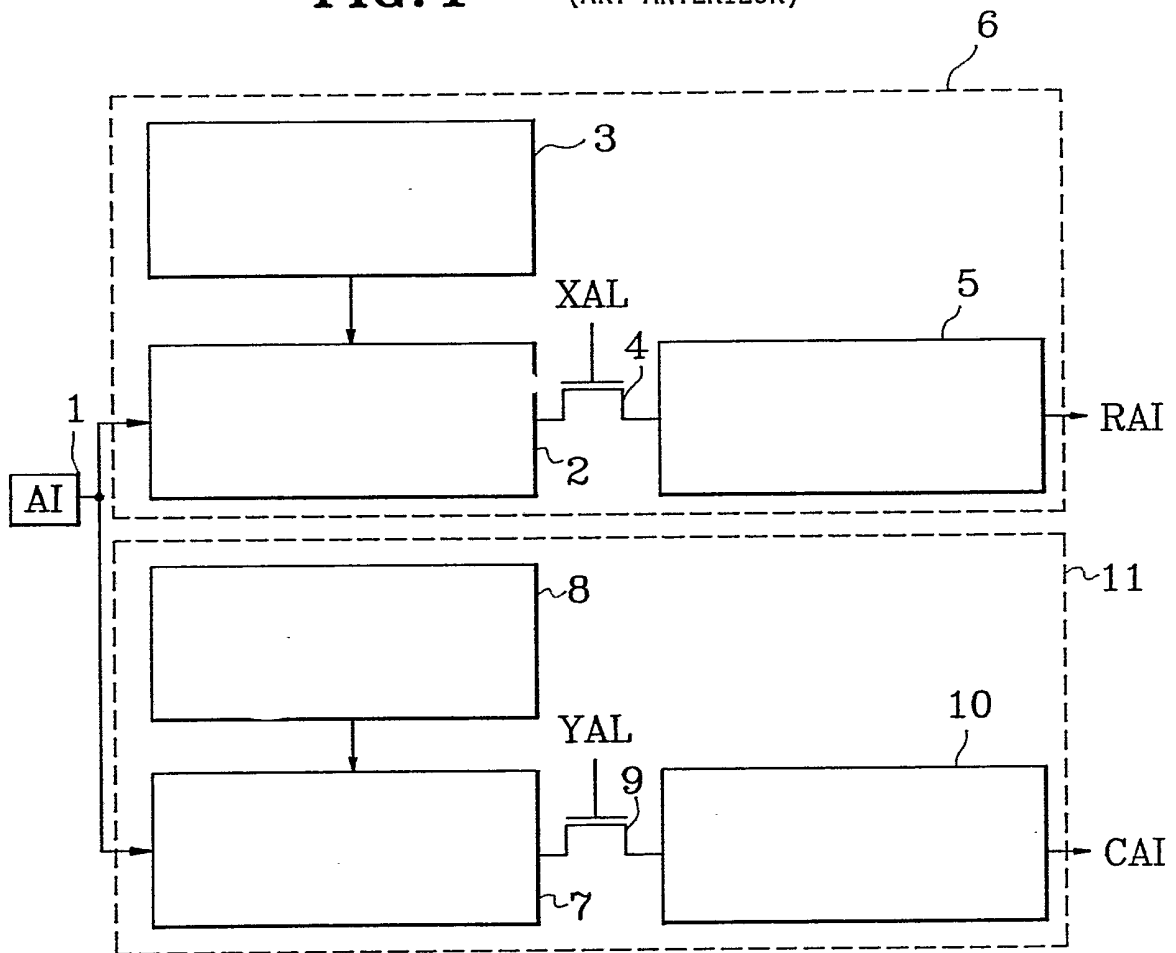
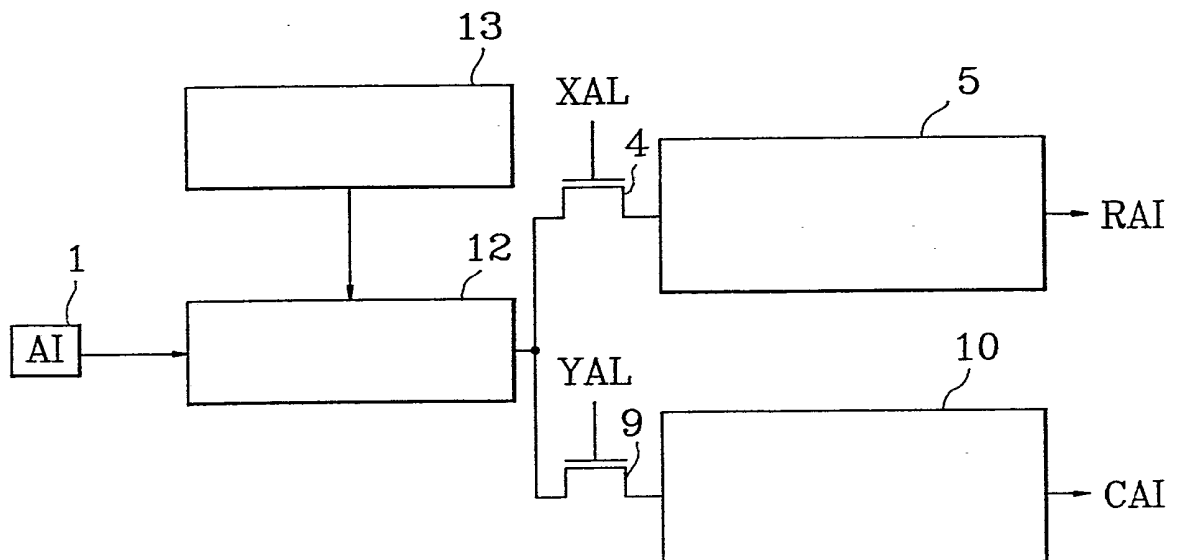
deux troisièmes transistors PMOS (19) ayant des électrodes de drain reliées aux électrodes de source  
25 desdits premier et second transistors PMOS (14) et (16) et des électrodes de source reliées à une tension d'alimentation,

un premier inverseur (20) ayant une borne d'entrée reliée à l'électrode de grille de l'un desdits  
30 troisièmes transistors PMOS (19),

un second inverseur (21) ayant une borne d'entrée reliée à la borne de sortie dudit premier inverseur (20) et une borne de sortie reliée à l'électrode de grille de l'autre desdits troisièmes transistors PMOS (19),

35 un troisième transistor NMOS (22) ayant une élec-

trode de grille reliée à la borne d'entrée dudit premier  
inverseur (20) et une électrode de drain reliée à l'élec-  
trode de drain dudit premier transistor NMOS (17), et  
un troisième inverseur (23) ayant une borne  
5 d'entrée reliée au drain dudit troisième transistor NMOS  
(22).

**FIG. 1** (ART ANTERIEUR)**FIG. 2**

**FIG. 3**

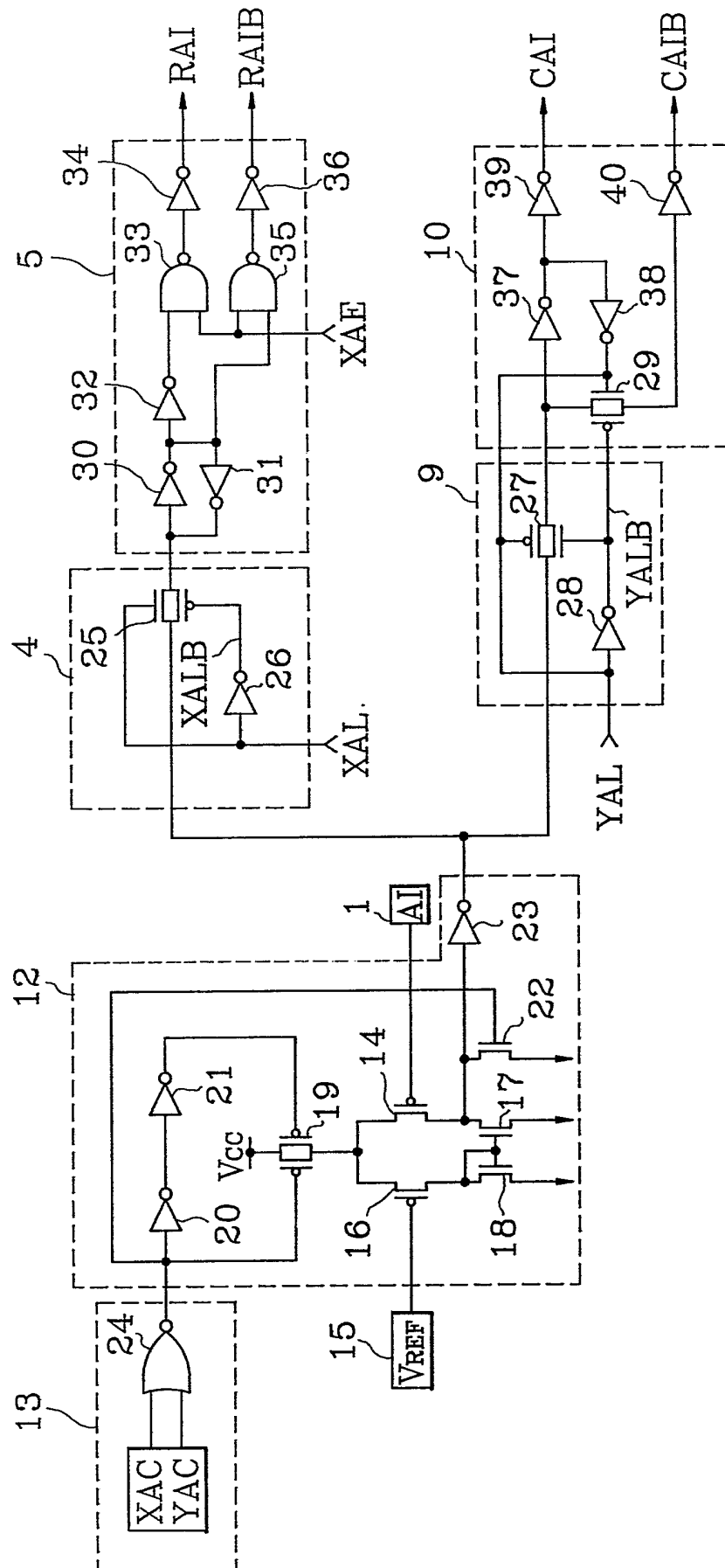
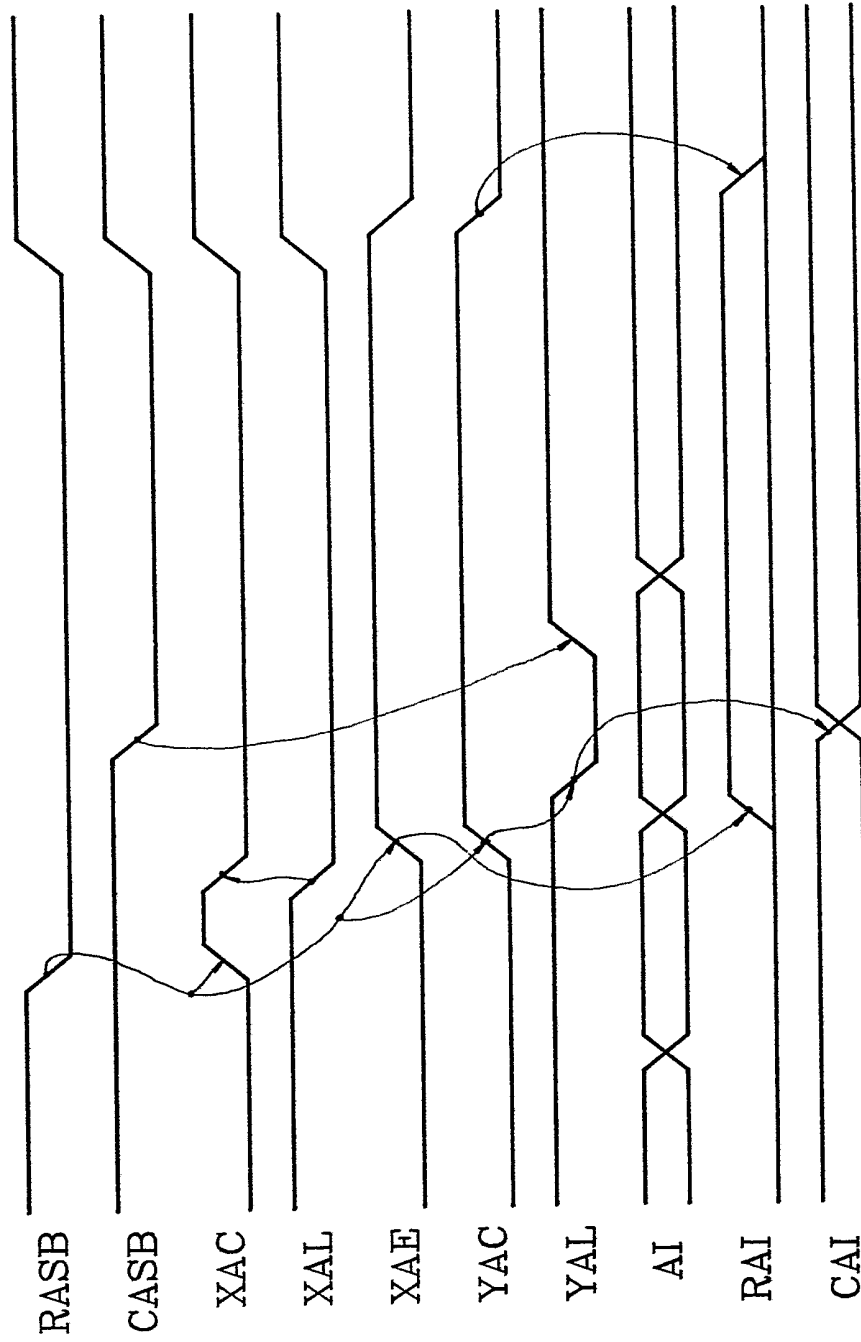


FIG. 4



INSTITUT NATIONAL  
de la  
PROPRIETE INDUSTRIELLE

**RAPPORT DE RECHERCHE**  
établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

N° d'enregistrement  
national

FR 9202652  
FA 468621

| DOCUMENTS CONSIDERES COMME PERTINENTS                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |                                                                                                                                                                                | Revendications<br>concernées<br>de la demande<br>examinée |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------|
| Catégorie                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | Citation du document avec indication, en cas de besoin,<br>des parties pertinentes                                                                                             |                                                           |
| X                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      | US-A-4 104 733 (SATOH)<br>* colonne 4, ligne 5 - colonne 8, ligne<br>48; revendication 1; figures 1-3 *                                                                        | 1,8,10                                                    |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      | US-A-4 879 681 (MIWA ET AL)<br>* colonne 8, ligne 12 - ligne 46; figure 1<br>*                                                                                                 | 2,9,11                                                    |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      | EP-A-0 206 928 (THOMSON COMPONENTS-MOSTEK<br>CORPORATION)<br>* figure 1 *                                                                                                      | 4-7                                                       |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      | WESTE N H E & ESHRAGHIAN K 'Principles of<br>CMOS VLSI design'<br>Octobre 1985 , ADDISON-WESLEY , READING,<br>US<br>* page 212, ligne 1 - page 214, ligne 9;<br>figure 5.50A * | 4-7                                                       |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      | IEEE INTERNATIONAL SOLID STATE CIRCUITS<br>CONFERENCE. 15 Février 1979, NEW YORK US<br>pages 142 - 143<br>LEE ET AL 'A 80ns 5V-only Dynamic RAM'<br>* figure 2 *               | 2,9,11                                                    |
|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |                                                                                                                                                                                | DOMAINES TECHNIQUES<br>RECHERCHES (Int. Cl.5)             |
|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |                                                                                                                                                                                | G11C                                                      |
| Date d'achèvement de la recherche<br>04 JANVIER 1993                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |                                                                                                                                                                                | Examineur<br>CUMMINGS A.                                  |
| <p><b>CATEGORIE DES DOCUMENTS CITES</b></p> <p>X : particulièrement pertinent à lui seul<br/>Y : particulièrement pertinent en combinaison avec un<br/>autre document de la même catégorie<br/>A : pertinent à l'encontre d'au moins une revendication<br/>ou arrière-plan technologique général<br/>O : divulgation non-écrite<br/>P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention<br/>E : document de brevet bénéficiant d'une date antérieure<br/>à la date de dépôt et qui n'a été publié qu'à cette date<br/>de dépôt ou qu'à une date postérieure.<br/>D : cité dans la demande<br/>L : cité pour d'autres raisons<br/>.....<br/>&amp; : membre de la même famille, document correspondant</p> |                                                                                                                                                                                |                                                           |