

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 10 月 14 日 (14.10.2004)

PCT

(10) 国際公開番号
WO 2004/088749 A1

(51) 国際特許分類⁷: H01L 27/04, G01R 31/28

(21) 国際出願番号: PCT/JP2003/004133

(22) 国際出願日: 2003 年 3 月 31 日 (31.03.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒211-8588 神奈川県 川崎市中原区 上小田中 4 丁目 1 番 1 号 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 加藤 好治

(KATO, Yoshiharu) [JP/JP]; 〒487-0013 愛知県 春日井市 高蔵寺町 二丁目 1 8 4 4 番 2 号 富士通ヴィエルエスアイ株式会社 内 Aichi (JP).

(74) 代理人: 山中 郁生, 外(YAMANAKA, Ikuo et al.); 〒460-0003 愛知県 名古屋市中区 錦二丁目 2 番 2 2 号 名古屋センタービル別館 2 階 Aichi (JP).

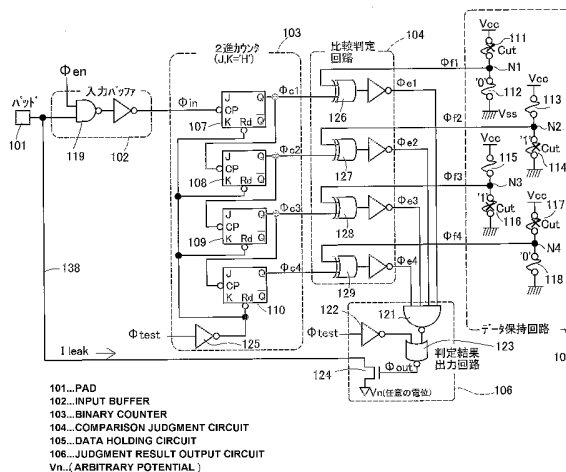
(81) 指定国 (国内): CN, JP, KR, US.

添付公開書類:
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND METHOD FOR CONTROLLING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 半導体集積回路装置、および半導体集積回路装置の制御方法



(57) Abstract: A semiconductor integrated circuit device which enables the chip-intrinsic information of a mounted chip to be read while suppressing an increase in the total number of terminals of a package and the circuit area necessary to read the chip-intrinsic information to be more reduced than convention, and a method for controlling semiconductor integrated circuit device. The same terminal is used for an external terminal in which a pulse signal is inputted and an external terminal from which the chip-intrinsic information is outputted. An external terminal to which a power source necessary in a normal action mode is shared with an external terminal from which the chip-intrinsic information is read in an information reading mode. Thus, an increase in the number of external terminals is suppressed. A functional circuit and a comparison judgment section share a counter section. Thus, an increase in the chip area is suppressed.

(57) 要約: パッケージの総端子数の増加を抑えながら搭載チップのチップ固有情報を読み出すことが可能であり、またチップ固有情報読み出しに必要な回路の面積を、従来と比して削減することが可能な半導体集積回路装置およびその制御方法を提供することを目的とする。パルス信号が入力される外部端子と、チップ固有情報が出力される外部端子とは同一端子が用いられる。また、通常動作モード時において必要な電源を供給する外部端子と、情報読み出しモード時においてチップ固有情報を読み出す外部端子とが共用さ

[続葉有]



れる。これにより外部端子数の増加が抑えられる。また、機能回路と比較判定部との間でカウンタ部を共用する。これによりチップ面積の増大を抑えることができる。

明 細 書

半導体集積回路装置、および半導体集積回路装置の制御方法

5 技術分野

本発明は、半導体集積回路装置およびその制御方法に関し、チップ毎に固有の情報を試験時または評価時に読み出すことができる半導体集積回路装置およびその制御方法に関するものである。

10 背景技術

近年の半導体装置においては、市場不良の追跡調査を確実にする為に、そのデバイス内部に様々なチップ固有のプロダクト情報（生産工場・生産 LOT 番号・ウエハ番号・チップ番号など）を不揮発性デバイスにより記憶しており、それらの情報をパッケージ状態で外部から読み出しできる様にしている。

従来の技術として、特許文献 1 に開示される技術を第 10 図を用いて説明する。クロック用パッド P c に入力されたパルス信号は、バッファ回路 I B c を介して 2 進カウンタ 2 4 でカウントされ、この 2 進カウンタ 2 4 からパルス信号をカウントした 2 進数のデータが出力される。比較判定回路 2 2 は、2 進カウンタ 2 4 の出力である 2 進数のデータと、データ保持部 2 1 に蓄えられたデータとを比較し、両者が一致したときにはその一致した判定結果を判定結果出力回路 2 3 を介してパッド P 0 に出力する。出力方法は、パッド P 0 に電流が流れるようにすることで比較判定回路 2 2 による判定結果（一致）を出力する方法である。

2 進カウンタ 2 4 は、ユニット回路（不図示）を複数個直列に接続して構成される。そしてユニット回路は、データ保持部 2 1 に蓄えられたチップ固有データのビット数に応じた数だけ設けられる。例えば、ロット番号、ウエハ番号およびチップ番号の各々の情報を 10 ビットの固有データとして蓄える場合、2 進カウンタ 2 4 は、10 個のユニット回路

を直列接続して構成される。

ここでパッドとは、半導体集積回路装置が外部とのインターフェースをとる外部端子である。

なお、先行技術文献を以下に示す。

- 5 特許文献1 特開2000-315772号公報

近年のマルチチップパッケージ (Multi Chip Package、以下MCPと記載する) やシステムインパッケージ (System In Package、以下SIPと記載する) では、1つのパッケージに複数のチップが搭載される一方、パッケージの外部端子数は極力減らすことが求められている。しかし第10図に示す従来技術では、
10 情報読み出し専用パッドとして、クロック用パッドPcと出力用のパッドP0との2パッドがチップ毎に必要である。よって、パッケージ内の各々のチップのパッドから、パッケージの外部端子に2端子ずつ接続すると、パッケージの総端子数が増加し、パッケージサイズ増大や
15 コスト上昇などを招くため問題である。

また第10図において2進カウンタ24は、データ保持部21に蓄えられたデータのビット数に応じた数だけユニット回路を直列接続して構成される。そのためチップ固有データの情報量が増加すると共にデータのビット数が増加してしまい、2進カウンタ回路のサイズが大きくなり、
20 チップサイズ増大を招くため問題である。

本発明は前記従来技術の課題の少なくとも1つを解消するためになされたものであり、パッケージの総端子数の増加を抑えながらパッケージ状態で搭載チップの内部のチップ固有情報を読み出すことが可能であり、またチップ固有情報読み出しに必要な回路の面積を、従来と比して削減
25 することが可能な半導体集積回路装置、およびその制御方法を提供することを目的とする。

発明の開示

前記目的を達成するためになされた本発明の半導体集積回路装置では、

通常の動作を行う通常動作モードの他に、チップ固有情報を読み出すための情報読み出しモードを有する。ここで通常動作とは、例えば情報の読み出し時アクセス動作、書き込み時アクセス動作、リフレッシュ動作などである。チップ固有情報とは、データ保持部によりチップ内部に
5 記憶された、チップ固有のプロダクト情報等である。

カウンタ部またはカウント動作ステップは、外部端子から入力されるパルス信号をカウントする。データ保持部は、チップ固有情報を格納する。比較判定部または比較判定ステップは、データ保持部に格納されているチップ固有情報と前記カウンタ部の出力とを比較し、一致するかど
10 うかを判定する。一致判定結果は外部端子から出力される。

そして、前記パルス信号が入力される外部端子と、前記チップ固有情報が出力される外部端子とは同一である。

これにより、従来例ではパルス信号入力用とチップ固有情報出力用との2つの外部端子が必要であったが、本発明の半導体集積回路装置では
15 1つの外部端子でチップ固有情報の読み出しが可能となるため、外部端子数の削減が可能である。

また本発明の半導体集積回路装置では、通常動作モード時において必要な信号を入出力する外部端子と、情報読み出しモード時においてチップ固有情報を読み出す外部端子とが共用される。すなわち、情報読み出し
20 しモードに応じて、通常動作モードでの信号の入出力に用いられていた外部端子が、チップ固有情報読み出し用の外部端子として使用される。よって当該外部端子から信号カウンタ部へのパルス信号の入力およびチップ固有情報の読み出しの両動作が可能となる。

これにより、チップ固有情報の読み出し専用の外部端子を備える必要
25 がなくなくなる。よって外部端子数の削減が可能である。

また本発明の半導体集積回路装置では、チップ固有情報の読み出しに用いられる外部端子には電源端子が使用される。さらに読み出しに用いられる電源端子には、情報読み出しモードに関してチップ固有情報を読み出すために必要とされない回路部へ電源を供給する第1電源端子が使

用される。ここでチップ固有情報を読み出すために必要とされない回路部とは、少なくともデータ保持部、カウンタ部、比較判定部以外の回路部のことである。また第2電源端子はデータ保持部、カウンタ部、比較判定部に電源を供給する端子であり、第1電源端子とは異なる電源端子である。

これにより、通常動作モード時において必要な電源を供給する外部端子と、情報読み出しモード時においてチップ固有情報を読み出す外部端子とが共用される。

第1判定結果出力部または第1判定結果出力ステップは、外部端子と所定電位とを接続するスイッチ部を有する。所定電位は、外部端子に入力されるパルス信号の電位とは異なる電位である。また、結果ラッチ部は第1判定結果出力部に備えられ、比較判定部からの一致判定結果をラッチする。第1判定結果出力部または第1判定結果出力ステップは、比較判定部による一致判定結果に応じて、外部端子に対して報知電流を流す。

これにより、従来例ではパルス信号入力用とチップ固有情報出力用との2つの外部端子が必要であったが、本発明の半導体集積回路装置では、2値信号であるパルス信号が入力されている期間においても、パルス信号に重ねて報知電流を流すことができる。よってパルス信号の供給とは別に電流を検出することにより、1つの外部端子を用いて、パルス信号入力と報知電流によるチップ固有情報の出力との両者が可能であるため、外部端子数の削減が可能である。

また、結果ラッチ部に一致判定結果をラッチするようにすれば、比較判定部から一致判定結果が得られれば、その後は外部端子に対して報知電流が流れ続けるようにできるため、報知電流の検知が確実かつ容易となる。

本発明の半導体集積回路装置では、入出力切替部または入出力切替ステップはカウンタ部による所定カウント値のカウント終了に応じて、外部端子をパルス信号の入力端子から前記チップ固有情報の出力端子へ切

り替える。

信号入力期間とは、外部端子からカウンタ部へパルス信号が入力される期間であり、信号出力期間とはチップ固有情報を外部端子へ出力する期間である。

- 5 情報ラッチ部は、比較判定部により一致判定されたチップ固有情報をラッチする。そして入出力切替部からの切替信号に応じて、情報ラッチ部にラッチされたチップ固有情報を出力する。

- 内部発振器は切替信号に応じて活性化しクロック信号を発する。計数部は、内部発振器からのクロック信号を計数する。出力制御部は、情報
10 ラッチ部に格納されているチップ固有情報と計数部の出力とを比較し、一致するかどうかを判定する。第2判定結果出力部または第2判定結果出力ステップは、入出力切替部からの切替信号に応じて、外部端子からチップ固有情報を出力する。

- すなわち、1つの外部端子が信号入力期間と信号出力期間とに分けて
15 制御され、信号入力期間中に入力されたパルス信号に応じて確認されたチップ固有情報を情報ラッチ部に格納しておき、信号出力期間において、格納されているチップ固有情報に応じたクロック数のクロック信号が外部端子へ出力される。

- これにより、第1に、信号入力期間と信号出力期間が分けて制御され
20 るため、入力信号と出力信号のぶつかりがなく、チップ固有情報の読み出しがより確実になる利点がある。第2に、電圧出力のため低消費電流である利点がある。

本発明の半導体集積回路装置では、出力制御部は入出力切替部からの切替信号に応じて、情報ラッチ部における各ビット位置を順次選択する。

- 25 そして出力制御部には、チップ固有情報であるカウント値の出力に先立ちスタートフラグを生成するスタートフラグ部、およびカウント値の出力の終了後にエンドフラグを生成するエンドフラグ部が備えられる。出力制御部は、下位ビットまたは上位ビットから順次比較判定し、結果を出力する。

ここでスタートフラグとは、外部端子に出力が開始されたことを示すための信号であり、1クロック分のハイレベルの出力である。またエンドフラグとは、外部端子への出力が終了したことを示すための信号であり、1クロック分のハイレベルの出力である。

- 5 そして、情報ラッチ部にラッチされている、チップ固有情報であるカウンタ値が外部端子へ出力される。このとき、出力の開始時と終了時にはスタートフラグ信号およびエンドフラグ信号が発せられる。

これにより、チップ固有情報が2進数列として外部端子へ出力されるため、扱うデータのビット数が増加し、チップ固有情報に等しい数のクロック信号を出力すると多大な時間がかかるような場合でも、迅速かつ
10 正確にデータの読み出しが可能であり、かつ取り扱いが容易である。また、チップ固有情報の出力開始を示すスタートフラグ信号、およびその終了を示すエンドフラグ信号が発せられるため、データ読み出し位置が確保される。

- 15 機能回路は、カウンタ部からの入力またはカウンタ部への出力の少なくとも一方を必要とする回路であり、例えばリフレッシュ動作を制御する回路またはバースト動作を制御する回路等である。セクタ部は、前記カウンタ部の入出力信号を切り換える。モード信号は、セクタ部の切り換え動作のための信号である。

- 20 半導体集積回路装置の通常動作モードにおいては、カウンタ部は機能回路に接続される。また情報読み出しモードにおいては、カウンタ部の入力は外部端子へ、カウンタ部の出力は比較判定部へ接続される。よってカウンタ部が少なくとも1つ以上の機能回路と、外部端子または比較判定部の少なくとも1つとの間で共用される。

- 25 これにより、機能回路と比較判定部との間でカウンタ部を共用することができるため、チップ固有情報の読み出し専用カウンタ部を備える必要がなくなり、チップ面積の増大を抑えることができる。

図面の簡単な説明

第 1 図は、第 1 実施形態の半導体集積回路装置の構成を示す回路図である。

第 2 図は、第 1 実施形態の半導体集積回路装置のタイミングチャートを示す図である。

5 第 3 図は、第 2 実施形態の半導体集積回路装置の構成を示すブロック図である。

第 4 図は、第 3 実施形態の半導体集積回路装置の構成を示すブロック図である。

10 第 5 図は、第 3 実施形態の半導体集積回路装置の構成を示す回路図である。

第 6 図は、第 3 実施形態の半導体集積回路装置のタイミングチャートを示す図である。

第 7 図は、第 4 実施形態の半導体集積回路装置の構成を示す回路図である。

15 第 8 図は、第 4 実施形態の半導体集積回路装置のタイミングチャートを示す図である。

第 9 図は、第 5 実施形態の半導体集積回路装置の構成を示すブロック図である。

20 第 10 図は、従来技術の半導体集積回路装置の構成を示すブロック図である。

発明を実施するための最良の形態

以下、本発明の半導体集積回路装置、およびその制御方法について具体化した実施形態を第 1 図乃至第 9 図に基づき図面を参照しつつ詳細に
25 説明する。

第 1 実施形態を第 1 図、第 2 図を用いて説明する。第 1 図は本発明に係る半導体集積回路装置の構成を示す図であり、第 2 図はタイミングチャートである。第 1 図の回路は、パッド 101、入力バッファ 102、2 進カウンタ 103、比較判定回路 104、データ保持回路 105、判

定結果出力回路 106 から構成されている。またデータ保持回路 105 に保持されているデータは 4 ビットのデータであるとする。ここで判定結果出力回路 106 とは、第 1 判定結果出力部の一例である。

入力バッファ 102 のナンドゲート 119 にはパッド 101 からの入力
5 カクロック信号とデータ読み出しイネーブル信号 Φ_{en} とが入力され、
ナンドゲート 119 の反転出力が入力信号 Φ_{in} として 2 進カウンタ 1
03 へ入力される。2 進カウンタ 103 は 4 つの JK フリップフロップ
107 乃至 110 の直列接続により構成されており、フリップフロップ
107 のクロック入力端子 CP には入力バッファ 102 の出力信号 Φ_{in}
10 Φ_{in} が入力される。

情報読み出しモード切換信号 Φ_{test} は 2 進カウンタ 103 のイン
バータゲート 125 に入力され、反転された出力が JK フリップフロッ
プ 107 乃至 110 の入力イネーブル信号端子 Rd に入力される。2 進
カウンタ 103 から出力される信号 Φ_{c1} 乃至 Φ_{c4} は、比較判定回路
15 104 の各エクスクルーシブオアゲート 126 乃至 129 に入力される。

データ保持回路 105 内のノード N1 乃至 N4 は各々フューズ 111
乃至 118 を介して電源電圧 V_{cc} および接地電圧 V_{ss} へ接続されて
いる。比較判定回路 104 からは、2 進カウンタ 103 の出力信号 Φ_{c1}
乃至 Φ_{c4} と、データ保持回路 105 の出力信号 Φ_{f1} 乃至 Φ_{f4} と
20 が排他的論理和演算された上で反転されて、判定比較回路出力信号 Φ_{e1}
乃至 Φ_{e4} として出力される。判定結果出力回路 106 内のナンドゲ
ート 121 には判定比較回路出力信号 Φ_{e1} 乃至 Φ_{e4} が入力され、イ
ンバータゲート 122 には情報読み出しモード切換信号 Φ_{test} が入
力される。両者の出力はノアゲート 123 に入力され、ノアゲート 12
25 3 の出力である出力制御信号 Φ_{out} は NMOS トランジスタ 124 の
ゲートに入力される。トランジスタ 124 のドレイン端子は情報出力パ
ス 138 へ、ソース端子は情報出力パス電圧 V_n の供給線へ接続される。

データ保持回路 105 の各ノード N1 乃至 N4 は、格納すべきデータ
に応じて電源電圧 V_{cc} または接地電圧 V_{ss} へ接続されたフューズの

一方が切断されて情報を保持する構造になっている。

すなわち、ノードN 1では電源電圧V c cへ接続されたフューズ1 1 1が切断により非導通とされ、接地電圧V s sに接続されたフューズ1 1 2は導通されているため、データ保持部1 0 5の出力信号Φ f 1はローレベルとなる。逆にノードN 2では電源電圧V c cへ接続されたフューズ1 1 3が導通され、接地電圧V s sに接続されたフューズ1 1 4は切断により非導通とされているため、データ保持部1 0 5の出力信号Φ f 2はハイレベルとなる。以下同様に、ノードN 3乃至N 4においても情報が保持され、出力信号Φ f 3乃至Φ f 4を発する構造になっている。

10 第2図のタイミングチャートを用いて動作を説明する。情報読み出しモード切換信号Φ t e s tがハイレベルとされると、通常動作モードから、チップ固有情報の読み出しのための情報読み出しモードへ切り替わる。ここで通常動作モードとは、例えば情報の読み出しアクセス動作、書き込みアクセス動作、リフレッシュ動作などが行われるモードである。

15 2進カウンタ1 0 3のインバータゲート1 2 5にハイレベルの情報読み出しモード切換信号Φ t e s tが入力されると、ローレベルの反転出力信号がフリップフロップ1 0 7乃至1 1 0の入力イネーブル信号端子R dに入力され、各フリップフロップは2進カウンタ1 0 3の出力信号Φ c 1乃至Φ c 4までの値を全てローレベルへリセットすると共に入力待ち受け状態となる。

またフリップフロップ1 0 7乃至1 1 0のJおよびK端子には常にハイレベルの信号が入力されており、各フリップフロップは入力信号の立ち下がりエッジのタイミング毎にハイレベルとローレベルとの出力が入れ替わるトグル動作を行う。

25 パッド1 0 1にクロック信号が入力されると、入力バッファ1 0 2から入力信号Φ i nが出力され、信号Φ i nの立ち下がりエッジのタイミングに合わせて2進カウンタ1 0 3はカウント動作を行う。

比較判定回路1 0 4のエクスクルーシブオアゲート1 2 6には、2進カウンタ1 0 3の出力信号Φ c 1とデータ保持回路1 0 5の出力信号Φ

f 1 が入力され、両入力が一致するときのみエクスクルーシブオアゲート 1 2 6 からローレベル信号が出力され、その反転信号が判定比較回路出力信号 $\Phi e 1$ として判定結果出力回路 1 0 6 のナンドゲート 1 2 1 へ入力される。以下、判定比較回路出力信号 $\Phi e 2$ 乃至 $\Phi e 4$ においても同様の処理が行われる。

2 進カウンタ 1 0 3 の出力信号 $\Phi c 1$ 乃至 $\Phi c 4$ のハイ、ローレベルの組み合わせと、データ保持回路 1 0 5 の出力信号 $\Phi f 1$ 乃至 $\Phi f 4$ のハイ、ローレベルの組み合わせが全て一致するとき、判定結果出力回路 1 0 6 のナンドゲート 1 2 1 へ入力される判定比較回路出力信号 $\Phi e 1$ 乃至 $\Phi e 4$ が全てハイレベルとなり、その結果ナンドゲート 1 2 1 の出力はローレベルとなる。またインバータゲート 1 2 2 の出力は、情報読み出しモード切換信号 $\Phi t e s t$ がハイレベル中はずっとローレベルである。従って、2 進カウンタ 1 0 3 とデータ保持回路 1 0 5 との 2 進データの値が一致した時、ノアゲート 1 2 3 の出力である出力制御信号 $\Phi o u t$ はハイレベルとなり、NMOS トランジスタ 1 2 4 が導通状態となる。よってパッド 1 0 1 から情報出力バス電圧 $V n$ への情報出力バス 1 3 8 が確立し、パッド 1 0 1 に電流リーク $I l e a k$ が発生する。

例として、データ保持回路 1 0 5 のノード $N 1$ 乃至 $N 4$ に「0 (ローレベル)、1 (ハイレベル)、1、0」が保持されており、パッド 1 0 1 への入力クロック信号は電源電圧 $V c c$ - 接地電圧 $V s s$ 間で行われ、情報出力バス電圧 $V n$ は $1/2 V c c$ 、出力制御信号 $\Phi o u t$ のハイレベル時電圧は $V c c$ が用いられる場合を説明する。

第 2 図において、入力信号 $\Phi i n$ の 6 サイクル目の立ち下がりエッジのタイミングで 2 進カウンタ出力信号 $\Phi c 1$ 乃至 $\Phi c 4$ が「0, 1, 1, 0」の組み合わせとなり、データ保持回路の出力信号 $\Phi f 1$ 乃至 $\Phi f 4$ の組み合わせに一致する。この時、比較判定回路の出力信号 $\Phi e 1$ 乃至 $\Phi e 4$ は全てハイレベルとなり、出力制御信号 $\Phi o u t$ もハイレベル(電源電圧 $V c c$) となる (図中矢印 $P 1$)。よってトランジスタ 1 2 4 が導通し、情報出力バス 1 3 8 を介してパッド 1 0 1 にリーク電流 $I l e a$

kが流れる（図中矢印P2）。

この時第2図のように、入力信号 Φ_{in} のハイレベル期間中はパッド101の電圧は電源電圧 V_{cc} 、情報出力バス電圧 V_n は $1/2 V_{cc}$ であるので、リーク電流 I_{leak} の正方向（パッド101から情報出力バス電圧 V_n の電源へ向かう方向）へリーク電流が流れる。逆に入力信号 Φ_{in} のローレベル期間中は、パッド101の電圧は接地電圧 V_{ss} 、情報出力バス電圧 V_n は $1/2 V_{cc}$ であるので、リーク電流 I_{leak} の負方向へリーク電流が流れる。

入力信号 Φ_{in} の立ち下がりエッジのタイミングで判定結果を出力するためには、パッド101への入力信号 Φ_{in} のローレベル時電圧を $V_{in(min)}$ とすると、 $V_{in(min)}$ の値と情報出力バス電圧 V_n との値は異なる値を用いることが必要である。トランジスタ124のソースドレイン間電圧 V_{DS} を確保するためである。また、入力信号ローレベル時電圧 $V_{in(min)}$ 、情報出力バス電圧 V_n のいずれか低い方の電圧レベルに比して、出力制御信号 Φ_{out} のハイレベル時の電圧をトランジスタ124のスレッシュホールド電圧 V_{th} 以上に大きくする。トランジスタ124のオン、オフ動作が可能であるようにするためである。

なお、情報出力バス電圧 V_n の電圧レベルを入力信号 Φ_{in} の電圧レベルと異なる電圧レベルとすれば、入力信号 Φ_{in} のハイ／ローレベルの少なくともいずれかの期間でリーク電流 I_{leak} を出力することができる。

以上の様に第1実施形態は、パッド101にクロック信号が入力されると、パッド101に電流リークが発生し、これにより外部から判定結果を確認する事が可能なものである。従来例ではクロック信号入力用パッドとデータ出力用パッドの2つのパッドが必要であったが、第1実施形態では1パッドで済むため、データ出力用パッドに接続されるパッケージの外部端子を省略することが可能である。特に1つのパッケージ内に複数のチップを搭載するMCPやSIPにおいて、その効果を発揮す

る。

なお第2図に示す様に、出力制御信号 Φ_{out} がハイレベルとなる入力信号 Φ_{in} のクロックサイクルの間のみトランジスタ124が導通状態となり、リーク電流 I_{leak} （ラッチ無し）が流れる様にしてもよい。また、ノアゲート123の出力信号を図示しないラッチ回路でラッチして、信号 Φ_{out} が一度ハイレベルになればその後ずっとトランジスタ124が導通状態となり、リーク電流 I_{leak} （ラッチ有り）が流れる様にしてもよい。またパッド101はクロック信号入出力用パッドに限られない。

10 第2実施形態を第3図を用いて説明する。第3図において入力バッファ102、2進カウンタ103、比較判定回路104、データ保持回路105、判定結果出力回路106は、第1実施形態と同様の回路構成を備えている。第1実施形態と異なる点は、第1に、信号の入出力用パッドに電源パッドを用いる点である。そして第2に、回路102乃至106に電源を供給する電源パッドと、信号の入出力に用いられた電源パッドとは異なる点である。

第2実施形態では信号の入出力に電源パッド2（132）を用い、各回路の電源は電源パッド1（131）から供給される別系統の電源を用いる。

20 第3図において電源パッド2にクロック信号を入力すると、第1実施形態と同様に、データ保持部105に保持されたデータと2進カウンタ103のデータが一致した時に、情報出力バス138にリーク電流 I_{leak} が流れる。これにより外部から判定結果を確認する事が可能である。

25 第2実施形態では、回路102乃至106の電源として、クロック信号の入出力に用いる電源パッド2（132）から供給される電源を用いずに、電源パッド1（131）から供給される別系統の電源を用いている。これは、電源パッド1（131）にクロック信号が入力されると、各回路102乃至106が安定動作しなくなるためである。

例として、電源パッド 1 (1 3 1) には周辺回路電源を用い、電源パッド 2 (1 3 2) には情報読み出しモードに関してチップ固有情報を読み出すために必要とされない回路用の電源を用いると良い。電源パッド 2 (1 3 2) の電源の例としては、I/O用電源やディレイロックドル
5 ープ (D L L) 回路、フェーズロックドループ (P L L) 回路専用電源等が挙げられる。

また電源パッド 1 (1 3 1) は、情報読み出しモードにおいて外部端子からの信号の入出力がないため、必ずしもパッケージの外部端子に接続される必要はない。よってパッケージ内の他の電源供給線等に接続さ
10 れて電源が供給されてもよい。

S I P、M C P など、複数のチップが 1 つのパッケージ内に搭載される場合においては、電源用パッド 1 しかパッケージの外部端子に接続されないチップも存在する。一般的に S I P など外部端子数を減らしたい場合に、前記のような事態が発生する事がある。

15 そのような場合においても、少なくとも電源パッド 2 の様な電源パッドがパッケージの外部端子に接続されていれば、通常動作モードの電源供給と、情報読み出しモードのチップ固有情報の読み出しとの 2 通りの動作を 1 つの電源パッドにより行うことが可能である。よってチップ固有情報の読み出し専用の外部端子を備える必要はないため、パッケージ
20 の総端子数を増加させることなくパッケージに搭載される全てのチップについて固有データの読み出しが可能となる。

第 3 実施形態を第 4 図乃至第 6 図を用いて説明する。第 3 実施形態では、外部端子からカウンタ部へパルス信号が入力される信号入力期間から、チップ固有情報が外部端子へ出力される信号出力期間へ切り替える
25 入出力切替部が備えられている。そして信号出力期間中にチップ固有情報に応じたクロック数のクロック信号が外部端子へ出力される。

第 3 実施形態は判定結果出力回路 1 4 6 に特徴を持つ。またパッド 1 0 1、入力バッファ 1 0 2、2 進カウンタ 1 0 3、比較判定回路 1 0 4、データ保持部 1 0 5 は、第 1 実施形態と同様の回路構成を備えている。

ここで判定結果出力回路 146 とは、第 2 判定結果出力部の一例である。また、第 5 図に第 3 実施形態の判定結果出力回路 146 の詳細を、第 6 図にタイミングチャートを示す。

第 5 図の回路は、取り込み信号生成部 201、取り込みラッチ部 202、入出力切換え部 203、内部オシレータ 204、分周器 205、出力制御部 206、出力部 207 から構成されている。また当回路には情報読み出しモード切換え信号 Φ_{test} 、2 進カウンタ出力信号 Φ_{c1} 乃至 Φ_{c4} 、判定比較回路出力信号 Φ_{e1} 乃至 Φ_{e4} が入力される。ここで分周器とは、内部発信器からのクロック信号を計数する計数部の一例である。

ハイレベルの情報読み出しモード切換え信号 Φ_{test} が入力されると、インバータゲート 240 で反転されたローレベル信号が、分周器 205 の JK フリップフロップ 208 乃至 211 の入力イネーブル信号端子 R_d 、および取り込みラッチ部 202 のノアゲート 216 乃至 219 に入力される。その結果、分周器 205 の各フリップフロップの出力信号 Φ_{d1} 乃至 Φ_{d4} までの値が全てローレベルへリセットされる。また取り込みラッチ部 202 のノアゲート 216 乃至 219 はインバータゲートと等価になりラッチ回路 L1 乃至 L4 が活性化される。そして分周器 205 および取り込みラッチ部 202 は入力待ち受け状態となる。

第 6 図を参照して、データ保持回路 105 に「0、1、1、0」のデータが保持されていた場合を説明する。入力信号 Φ_{in} の 6 サイクル目の立ち下がリエッジ信号のタイミングで、2 進カウンタ 103 とデータ保持回路 105 のデータが一致したときに、ナンドゲート 231 に全てハイレベルの判定比較回路出力信号 Φ_{e1} 乃至 Φ_{e4} が入力され（図中領域 A1）、取り込み信号生成部 201 はハイレベルパルスのトリガ信号 Φ_{t0} を出力する（図中矢印 S1）。

信号 Φ_{t0} により取り込みラッチ部 202 のトランジスタ 212 乃至 215 は導通状態とされ、データ保持回路 105 と一致した 2 進カウンタの出力信号 Φ_{c1} 乃至 Φ_{c4} までの値「0、1、1、0」がラッチ回

路 L 1 乃至 L 4 にラッチされる。

ラッチされたデータはインバータゲートを介して反転され、取込みラッチ部出力信号 $\Phi r 1$ 乃至 $\Phi r 4$ として「0, 1, 1, 0」の値が、出力制御部 206 のエクスクルーシブオアゲート 226 乃至 229 へ入力
5 される。

入力信号 $\Phi i n$ から 16 サイクル目の立ち下がりエッジ信号が発せられると、信号入力期間が終了し信号出力期間へ移行する。2 進カウンタ 103 の出力信号の最上位ビットである信号 $\Phi c 4$ の立ち下がりエッジ信号が、入出力切換え部 203 に入力される（図中矢印 S 2）。

10 入出力切換え部 203 は J K フリップフロップで構成され、J および K 端子には常にハイレベルの信号が入力されており、トグル動作を行う。また情報読み出しモードとされたときの J K フリップフロップの初期出力はローレベルである。そして、信号 $\Phi c 4$ の立ち下がりエッジ信号が入出力切換え部 203 に入力されると、信号入力期間から信号出力期間
15 への移行の合図として、ハイレベルの入出力切換部出力信号 $\Phi c 5$ が、入出力切換え部 203 から出力される（図中矢印 S 2）。

内部オシレータ 204 は、ハイレベルの入出力切換部出力信号 $\Phi c 5$ が入力されると、クロック信号 $\Phi o c 1 k$ の出力を開始する（図中矢印 S 3）。また、出力部 207 にハイレベルの信号 $\Phi c 5$ が入力されると、
20 トランジスタ 220 および 223 が導通状態とされ出力可能状態とされる。出力可能状態の期間中においては、ナンドゲート 224 の出力信号 $\Phi o u t x$ がハイレベル時には接地電圧 $V s s$ のローレベル信号が、信号 $\Phi o u t x$ がローレベル時には電源電圧 $V c c$ のハイレベル信号が、パッド 101 へ出力される。

25 またクロック信号 $\Phi o c 1 k$ は、出力部 207 のナンドゲート 224 へと入力される。ナンドゲート 224 の他方の入力には、出力制御部 206 の出力段に備えられるラッチ部 2（225）の出力である出力イネーブル信号 $\Phi o e$ が入力される。出力イネーブル信号 $\Phi o e$ は出力部 207 の出力を制御する信号である。出力イネーブル信号 $\Phi o e$ がハイレ

ベルの期間中は、クロック信号 Φ_{oc1k} と同期した信号がパッド 101 へ出力される。逆に出力イネーブル信号 Φ_{oe} がローレベルの期間中は、常にローレベル信号がパッド 101 へ出力される。すなわち、出力イネーブル信号 Φ_{oe} がハイレベルの時ににおいて、クロック信号 Φ_{oc1k} がハイレベル期間中はトランジスタ 221 が導通、222 が非導通とされパッド 101 には電源電圧 V_{cc} が供給され、逆にクロック信号 Φ_{oc1k} がローレベル期間中は、トランジスタ 221 が非導通、222 が導通とされパッド 101 には接地電圧 V_{ss} が供給される。これにより、出力イネーブル信号 Φ_{oe} がハイレベルの期間に応じて、クロック信号 Φ_{oc1k} と同期した出力信号がパッド 101 に出力される。

分周器 205 は JK フリップフロップ 208 乃至 211 で構成され、2 進カウンタの動作を行う。初段 JK フリップフロップ 208 のクロック入力端子 CP にはクロック信号 Φ_{oc1k} が入力され、各 JK フリップフロップの出力は次段のフリップフロップのクロック入力端子 CP に入力される。また JK フリップフロップの J および K 端子には常時ハイレベルの信号が入力されており、トグル動作を行う。

分周器 205 は、クロック信号 Φ_{oc1k} の立ち下がりエッジ信号によって 2 進数カウンタの動作を行い、4 ビットのカウンタ値である分周器出力信号 Φ_{d1} 乃至 Φ_{d4} を出力制御部 206 へ出力する。

出力制御部 206 のエクスクルーシブオアゲート 226 乃至 229 のそれぞれには、取込みラッチ部出力信号 Φ_{r1} 乃至 Φ_{r4} および分周器出力信号 Φ_{d1} 乃至 Φ_{d4} が入力される。エクスクルーシブオアゲート 226 乃至 229 の出力はノアゲート 230 へ入力される。ノアゲート 230 の出力は出力終了信号 Φ_{end} としてラッチ部 2 (225) に入力され、ラッチ部 2 (225) からの出力は出力イネーブル信号 Φ_{oe} として出力部 207 のナンドゲート 224 へ入力される。

情報読み出しモード切換信号 Φ_{test} がハイレベルとされ、通常動作モードから情報読み出しモードへ動作モードが切り替えられると、入出力切替部 203 の出力信号 Φ_{c5} はローレベルへとリセットされる。

そして信号 $\Phi c 5$ はインバータゲート 241 でハイレベルへ反転され、ラッチ部 2 (225) のノアゲート 242 に入力される。そのため、ラッチ部 2 (225) の出力である出力イネーブル信号 Φoe は、通常動作モードから情報読み出しモードへ遷移した当初からハイレベルが維持
5 される。そして、出力イネーブル信号 Φoe のハイレベル遷移後、入出力切替部 203 の出力信号 $\Phi c 5$ がハイレベルとなり信号出力期間になるに及んで、出力部 207 はデータ出力可能期間となる。

そして取込みラッチ部出力信号 $\Phi r 1$ 乃至 $\Phi r 4$ と、分周器 205 の分周器出力信号 $\Phi d 1$ 乃至 $\Phi d 4$ の 4 ビットのデータとが一致した時に、
10 エクスクルーシブオアゲート 226 乃至 229 の出力はすべてローレベルとなり、ノアゲート 230 からはハイレベルの出力終了信号 Φend が出力される。ハイレベルの出力終了信号 Φend がラッチ部 2 (225) に入力されると、その出力である出力イネーブル信号 Φoe がローレベルへと遷移する (図中矢印 S4)。

ローレベルの出力イネーブル信号 Φoe が出力部 207 のナンドゲート 224 に入力されると、もう一方のクロック信号 $\Phi ocl k$ の入力にかかわらずナンドゲート 224 の出力は常にハイレベルとなり、その結果、パッド 101 は接地電圧 Vss へ接続され続けることによって、チップ固有情報の信号の出力が終了する。すなわち、出力イネーブル信号
20 Φoe がローレベルの期間中は、出力部 207 はデータ出力停止状態となる。

例として取り込みラッチ部 202 に「0, 1, 1, 0」のデータがラッチされている時を説明する。

第 6 図において 2 進カウンタ出力信号の上位ビットである信号 $\Phi c 4$
25 の立ち下がりエッジ信号のタイミングで信号出力期間になる (図中矢印 S2)。そして出力イネーブル信号 Φoe がローレベルに遷移するまでは信号出力期間であり、クロック信号 $\Phi ocl k$ と同期したクロック信号がパッド 101 へ出力される。すなわち 2 進データが「0, 1, 1, 0」であるので、10 進法に換算された「6」回のパルスが、クロック信号

Φ o c l k と同期してパッド 1 0 1 へ出力される (図中 A 2)。そして「 6 」回のパルスが出力されると、ラッチされている 2 進数列のデータと、分周器 2 0 5 の 2 進カウンタの 2 進数列のデータとが共に「 0 , 1 , 1 , 0 」となり一致するため、出力イネーブル信号 Φ o e がローレベルとされ (図中矢印 S 4)、パッド 1 0 1 が常に接地電圧 V s s へ接続されて信号出力期間が終了する。

以上の様に第 3 実施形態は、 1 つのパッドの入出力データを信号入力期間と信号出力期間とに分けて制御する形態である。信号入力期間中に入力されたクロック信号に応じて確定したチップ固有データを取り込みラッチ部 2 0 2 に格納しておき、信号出力期間において格納されているデータに応じたクロック数のクロック信号を出力する。

すなわち、チップ固有情報のビット数に応じたクロック信号がパッド 1 0 1 に入力されると、前記クロック信号の信号入力期間の終了後に、ラッチ部 2 0 2 にラッチされていたチップ固有情報がパッド 1 0 1 にパルス信号として出力されるものである。この時、 2 進数列として格納されているチップ固有データがクロック信号のクロック数としてパッド 1 0 1 へ出力される。

これにより、第 1 に、信号入力期間と信号出力期間が分けて制御されるため、入力信号と出力信号のぶつかりがなく、チップ固有情報の読み出しがより確実になる利点がある。第 2 に、電流出力ではなく電圧出力のため、低消費電流である利点がある。

また、第 3 実施形態は、第 2 実施形態の様にパッド 1 0 1 が電源パッドの時にも同様に実施可能である。

第 4 実施形態を第 7 図および第 8 図を用いて説明する。

第 4 実施形態では、第 3 実施形態と同様に信号入力期間から信号出力期間へ切り替える入出力切替部が備えられている。そして信号出力期間中において、チップ固有情報であるカウント値が外部端子へ出力される。このとき、出力の開始時と終了時にはスタートフラグ信号およびエンドフラグ信号が発せられる。

第4実施形態は、第3実施形態において、判定結果出力回路146にのみ変更を加えた実施形態である。第4実施形態に特徴的な判定結果出力回路146の詳細を第7図に、タイミングチャートを第8図に示す。

第7図の回路は、取り込み信号生成部201、取り込みラッチ部302、入出力切換え部203、内部オシレータ204、分周器205、出力制御部306、出力部307から構成されている。これらのうち、取り込みラッチ部302、出力制御部306、出力部307の3つの回路構成は第4実施形態に特徴的なものであり、その他の回路の構成および動作は第3実施形態と同じである。

- 10 第4実施形態では出力制御部306がデコード動作を行う回路になっている。分周器205の出力信号 $\Phi d1$ 乃至 $\Phi d4$ のそれぞれについて正相と逆相の相補信号が作られ、出力制御部306のナンドゲート312乃至317へ入力される。

- 15 ナンドゲート312乃至315から反転されて出力される出力制御部出力信号 $\Phi t1$ 乃至 $\Phi t4$ は、取り込みラッチ部302のトランジスタ308乃至311に入力される。取り込みラッチ部302のラッチ回路L1乃至L4には、2進カウンタの出力信号 $\Phi c1$ 乃至 $\Phi c4$ が反転してラッチされており、その出力信号である取り込みラッチ部出力信号 $\Phi r o1$ 乃至 $\Phi r o4$ が、信号線320を経由して出力部307へ出力される。

- 20 またナンドゲート316および317から反転されて出力されるスタートフラグ信号 $\Phi s f$ 、エンドフラグ信号 $\Phi e f$ は、それぞれ出力制御部306のNMOSトランジスタ318、319に入力される。トランジスタ318および319のドレイン端子は信号線320へ接続され、ソース端子は接地され接地電圧 V_{ss} とされる。

取り込みラッチ部302、出力制御部306のスタート部およびエンド部の出力は、すべて信号線320を介して、出力制御信号 $\Phi o u t$ として出力部307へ出力される。

出力部307は出力制御信号 $\Phi o u t$ および入出力切換え部出力信号 Φ

c 5 が入力される。ハイレベルの信号 $\Phi c 5$ が入力されると、出力部 307 のトランジスタ 220 および 223 が導通状態とされ出力可能状態とされる。出力可能状態の期間中においては、出力制御信号 Φout がハイレベル時には接地電圧 V_{ss} のローレベル信号が、信号 Φout がローレベル時には電源電圧 V_{cc} のハイレベル信号がパッド 101 へ出力される。

第 8 図において入力信号 Φin が 16 サイクル目の立ち下がりエッジ信号を発すると、信号入力期間が終了し信号出力期間へ移行する。信号入力期間での動作は第 3 実施形態と同様なのでここでの説明は省略する。

10 2 進カウンタ 103 の出力信号 $\Phi c 4$ の立ち下がりエッジ信号に応じて、入出力切換部出力信号 $\Phi c 5$ がハイレベルへ反転し、信号出力期間が開始される (図中矢印 S 6)。同時にクロック信号 $\Phi clock$ が発生され始める (図中矢印 S 7)。

出力制御部 306 は、スタート部 330 のトランジスタ 318、取り込みラッチ部 302 のトランジスタ 308 乃至 311 およびエンド部 331 のトランジスタ 319 を順次導通状態にして、信号を取り出す動作を行う。

信号出力期間に遷移した段階では、分周器 205 からの出力信号 $\Phi d 1$ 乃至 $\Phi d 4$ は「0, 0, 0, 0」と全てローレベルであり (図中矢印 S 8)、この時スタート部のナンドゲート 316 の入力は全てハイレベルとなる。そしてナンドゲート 316 の反転出力が、ハイレベルのスタートフラグ信号 Φsf としてトランジスタ 318 のゲートに入力される (図中矢印 S 9)。ハイレベルの信号 Φsf が入力されたトランジスタ 318 は導通状態とされ、接地電圧 V_{ss} のローレベル信号が信号線 320 を経由して出力部 307 へ入力される。出力部 307 にローレベルの出力制御信号 Φout が入力されると、トランジスタ 221 が導通、トランジスタ 222 が非導通とされて、パッド 101 には電源電圧 V_{cc} のハイレベルの信号が出力される (図中矢印 S 10)。

このようにスタートフラグ信号 Φsf は、パッドに出力が開始された

ことを示すために、パッド101にスタートフラグ信号として1クロック分のハイレベルの出力を出力させるために用いられる信号である。

次のクロック信号 Φ_{clk} の1サイクル目の立ち下がりエッジ信号のタイミングで、分周器205からの出力信号 Φ_{d1} 乃至 Φ_{d4} は「1, 0, 0, 0」の組み合わせとなり、この時ナンドゲート312の入力は
5 全てハイレベルとなり、反転されたハイレベルの出力が出力制御部出力信号 Φ_{t1} としてトランジスタ308のゲートに入力される（図中矢印S11）。取り込みラッチ部302のラッチ回路L1にはローレベルの2進カウンタ出力信号 Φ_{c1} がラッチされており、信号 Φ_{c1} が反転され
10 たハイレベルの信号取り込みラッチ部出力信号 Φ_{ro1} が信号線320を経由して出力部307へ出力される。その結果、パッド101には接地電圧 V_{ss} のローレベルの信号が出力される（図中矢印S12）。

以下同様に、クロック信号 Φ_{clk} の2、3、4サイクル目の立ち下がりエッジ信号のタイミングで、出力制御部出力信号 Φ_{t2} 、 Φ_{t3} 、
15 Φ_{t4} の順番にラッチされていた信号がラッチ部出力信号 Φ_{ro2} 、 Φ_{ro3} 、 Φ_{ro4} として出力される。

最後にクロック信号 Φ_{clk} の5サイクル目の立ち下がりエッジ信号で、エンド部のナンドゲート317の反転された出力であるエンドフラグ信号 Φ_{ef} がハイレベルになり、トランジスタ319が導通する。
20 そして接地電圧 V_{ss} のローレベルのエンドフラグ信号 Φ_{ef} が信号線320を経由して出力部307へ入力され、パッド101には電源電圧 V_{cc} のハイレベルの信号が出力される。このようにエンドフラグ信号 Φ_{ef} は、パッドへの出力が終了したことを示すために、パッド101にエンドフラグ信号として1クロック分のハイレベルの出力を出力させる
25 ために用いられる信号である。

以上の様に第4実施形態の発明は、第3実施形態と同様に、クロック信号がパッド101に入力されると、パッド101にパルス信号としてチップ固有情報が出力されるものであるが、この時チップ固有情報が2進数列としてパッド101へ出力される点を特徴とする。扱うデータの

ビット数が増加し、格納されているデータに応じたクロック数のクロック信号を出力すると多大な時間がかかるような場合でも、出力が2進数列で行われれば、迅速かつ正確にデータの読み出しが可能であり、かつ取り扱いが容易である。また、パッド101へのチップ固有情報の出力時には、信号出力期間開始を示すスタートフラグ、およびその終了を示すエンドフラグが発せられるため、データ読み出しの確実性が確保される。

また第4実施形態は、第2実施形態の様にパッド101が電源パッドの時にも同様に実施可能である。

10 第5実施形態を第9図のブロック図を用いて説明する。第9図において、パッド101、入力バッファ102、2進カウンタ103、比較判定回路104、データ保持部105の回路構成および動作は第1乃至第4実施形態と同様である。また、リフレッシュ動作制御回路407、セクタ421および422が備えられている。情報読み出しモード切

15 換信号 $\Phi test$ は、2進カウンタ103の入出力部分に設けられたセクタ421および422に入力される。セクタには切換スイッチ411乃至420が備えられる。判定結果出力回路406には、例えば第1乃至第4実施形態で用いられた判定結果出力回路が使用できる。

情報読み出しモード切換信号 $\Phi test$ がローレベルの時を説明する。

20 この時、回路全体は通常動作モードであり、2進カウンタ103はリフレッシュ動作制御回路407の動作のために用いられる。すなわち、信号 $\Phi test$ がローレベルの時、切換スイッチ412が導通、切換スイッチ411が非導通とされるため、2進カウンタ103へ入力される信号は、リフレッシュ動作制御回路407の出力信号 Φosc が選択される。

25 同時に切換スイッチ414, 416, 418, 420が導通、413, 415, 417, 419が非導通とされるため、2進カウンタから出力されるカウンタ信号はセルフリフレッシュ回路入力信号 $\Phi s1$ 乃至 $\Phi s4$ が選択され、リフレッシュ動作制御回路407へ入力される。

逆に情報読み出しモード切換信号 $\Phi test$ がハイレベルの時は、情

報読み出しモードとなり、2進カウンタ103はデータ保持部105に保持されたデータとの比較に用いられる。すなわち切換スイッチ412が非導通、切換スイッチ411が導通とされるため、2進カウンタ103へ入力される信号は、入力バッファ102から入力される入力信号Φinが選択される。また切換スイッチ414, 416, 418, 420が非導通、413, 415, 417, 419が導通とされるため、2進カウンタ103から出力される信号は、Φc1乃至Φc4が選択され比較判定回路104へ入力される。

以上の様に第5実施形態の発明においては、セクタ421、422を設置することにより、2進カウンタ回路103を、リフレッシュ動作制御回路407と比較判定回路104との間で共用することができる。すなわち、半導体集積回路装置の通常動作モードにおいては、2進カウンタ回路103の入出力はリフレッシュ動作制御回路407に接続される。一方、情報読み出しモードにおいては、2進カウンタ回路103の入力は入力バッファ102へ、出力は比較判定回路104へ接続される。

これにより、チップ固有情報の読み出し専用で2進カウンタ回路を備える必要がなくなり、チップ面積の増大を抑えることができる。2進カウンタ103は、データ保持部に保持するデータのビット数と同数のフリップフロップ回路を備えることから、特に内部データのビット数が大きくなる程チップ面積の増大が問題になる。しかし、第5実施形態の発明を用いれば、2進カウンタ103を、リフレッシュ動作制御回路407と比較判定回路104との間で共用することができるため、チップ固有データのビット数が大きくなる場合においてもチップ面積の増大を抑えることが可能である。

また、2進カウンタ103を比較判定回路104との間で共用する回路はリフレッシュ動作制御回路に限られない。例えば半導体記憶装置においては、バースト動作制御回路などがある。

そして第5実施形態では、クロック信号入力と判定結果出力とで同一パッド101が用いられるが、もちろん異なるパッドを用いてもよい。

また判定結果出力回路 4 0 6 から出力される信号は、第 1 および第 2 実施形態で説明したように、入力クロック信号とチップ固有データが一致した時にパッド 1 0 1 に電流が流れる方式でもよいし、第 3 および第 4 実施形態で説明したように、信号出力期間に、ラッチ部にラッチされていたチップ固有情報がパルス信号としてパッドに出力される方式でもよい。

尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。チップ固有情報の入出力用パッドの使用方法、チップ固有情報の出力方法、2 進カウンタ回路の共有方法はそれぞれ適宜に組み合わせができることは言うまでもない。

産業上の利用可能性

以上の説明から明らかなように本発明によれば、パッケージの総端子数の増加を抑えながらパッケージ状態で搭載チップの内部のチップ固有情報を読み出すことが可能である。またチップ固有情報読み出しに必要な回路の面積を、従来と比して削減することが可能でありチップ面積の増大を抑えることができる。

請 求 の 範 囲

1. チップ固有情報を格納するデータ保持部を備え、通常動作モードの他に前記チップ固有情報を読み出す情報読み出しモードを有する半導体集積回路装置において、
- 5 前記情報読み出しモードにおいて、外部端子から入力されるパルス信号をカウントするカウンタ部と、
- 前記データ保持部に格納されている前記チップ固有情報と前記カウンタ部の出力とを比較し一致するかどうかを判定する比較判定部とを備え、
- 10 前記比較判定部による一致判定結果を、前記外部端子から出力することを特徴とする半導体集積回路装置。
2. 前記比較判定部による一致判定結果に応じて、前記外部端子に対して報知電流を流す第1判定結果出力部を備えることを特徴とする請求項1に記載の半導体集積回路装置。
- 15 3. 前記第1判定結果出力部は、前記外部端子と所定電位とを接続するスイッチ部を備えることを特徴とする請求項2に記載の半導体集積回路装置。
4. 前記所定電位は、前記外部端子に入力されるパルス信号の電位とは異なる電位であることを特徴とする請求項3に記載の半導体集積回路装置。
- 20 5. 前記第1判定結果出力部は、前記比較判定部からの一致判定結果をラッチする結果ラッチ部を備えることを特徴とする請求項2または請求項3の少なくとも何れか1項に記載の半導体集積回路装置。
6. 前記カウンタ部による所定カウント値のカウント終了に応じて、前記外部端子を、パルス信号の入力端子から前記チップ固有情報の出力端子へ切り替える入出力切替部を備えることを特徴とする請求項1に記載の半導体集積回路装置。
- 25 7. 前記比較判定部により一致判定された前記チップ固有情報をラッチする情報ラッチ部を備え、

前記入出力切替部からの切替信号に応じて前記情報ラッチ部にラッチされている前記チップ固有情報を出力することを特徴とする請求項 6 に記載の半導体集積回路装置。

8. 前記切替信号に応じて活性化する内部発振器と、

5 前記内部発振器からのクロック信号を計数する計数部と、

前記情報ラッチ部に格納されている前記チップ固有情報と前記計数部の出力とを比較し一致するかどうかを判定する出力制御部とを備え、

前記クロック信号を、前記出力制御部により一致判定されるまでの間、出力することを特徴とする請求項 7 に記載の半導体集積回路装置。

10 9. 前記入出力切替部からの切替信号に応じて、前記情報ラッチ部における各ビット位置を順次選択する出力制御部を備えることを特徴とする請求項 6 に記載の半導体集積回路装置。

10. 前記出力制御部は、前記情報ラッチ部における各ビット位置の選択に先立ち、スタートフラグを生成するスタートフラグ部を備えることを特徴とする請求項 9 に記載の半導体集積回路装置。

11. 前記出力制御部は、前記情報ラッチ部における各ビット位置の選択の終了後にエンドフラグを生成するエンドフラグ部を備えることを特徴とする請求項 9 に記載の半導体集積回路装置。

12. 前記出力制御部は、下位ビット位置または上位ビット位置から
20 順次選択することを特徴とする請求項 9 に記載の半導体集積回路装置。

13. 前記外部端子は、通常動作モードにおいて信号が入出力される信号端子と共用されることを特徴とする請求項 1 に記載の半導体集積回路装置。

14. 前記外部端子は、電源端子であることを特徴とする請求項 1 に
25 記載の半導体集積回路装置。

15. 前記電源端子は、前記情報読み出しモードに関して、前記チップ固有情報を読み出すために必要とされない回路部へ電源を供給する第 1 電源端子であることを特徴とする請求項 14 に記載の半導体集積回路装置。

16. 前記第1電源端子は、前記情報読み出しモードにおいてデータ保持部、カウンタ部、比較判定部に電源を供給する第2電源端子とは異なる端子であることを特徴とする請求項15に記載の半導体集積回路装置。
- 5 17. チップ固有情報を格納するデータ保持部を備え、通常動作モードの他に前記チップ固有情報を読み出す情報読み出しモードを有する半導体集積回路装置において、
入力されるパルス信号をカウントするカウンタ部と、
前記データ保持部に格納されている前記チップ固有情報と前記カウンタ部の出力とを比較し一致するかどうかを判定する比較判定部と、
10 前記カウンタ部からの入力または前記カウンタ部への出力の少なくとも一方を必要とする、少なくとも1つの機能回路とを備え、
前記通常動作モードにおいては、前記カウンタ部は、前記機能回路に接続され、
15 前記情報読み出しモードにおいては、前記カウンタ部の入力は外部端子へ接続され、前記カウンタ部の出力は前記比較判定部へ接続されることにより、
前記カウンタ部を、少なくとも1つ以上の機能回路と、前記外部端子または前記比較判定部の少なくとも1つとの間で共用することを特徴とする半導体集積回路装置。
20 18. 前記カウンタ部の入出力信号を切り換えるセクタ部を備え、
前記カウンタ部の共用は、前記セクタ部によって行われることを特徴とする、請求項17に記載の半導体集積回路装置。
19. 前記セクタ部の切り換え動作は、前記通常動作モードと前記
25 情報読み出しモードとの切り替えを制御するモード信号が入力されることにより行われることを特徴とする、請求項18に記載の半導体集積回路装置。
20. 前記機能回路は、リフレッシュ動作を制御する回路またはバースト動作を制御する回路であることを特徴とする、請求項17に記載の

半導体集積回路装置。

2 1. 通常動作モードの他に、予め格納されているチップ固有情報を読み出す情報読み出しモードを有する半導体集積回路装置の制御方法において、

- 5 前記情報読み出しモードにおいて、外部端子から入力されるパルス信号をカウントするカウント動作ステップと、

前記チップ固有情報と前記カウント動作ステップによるカウント結果とを比較し一致するかどうかを判定する比較判定ステップとを備え、

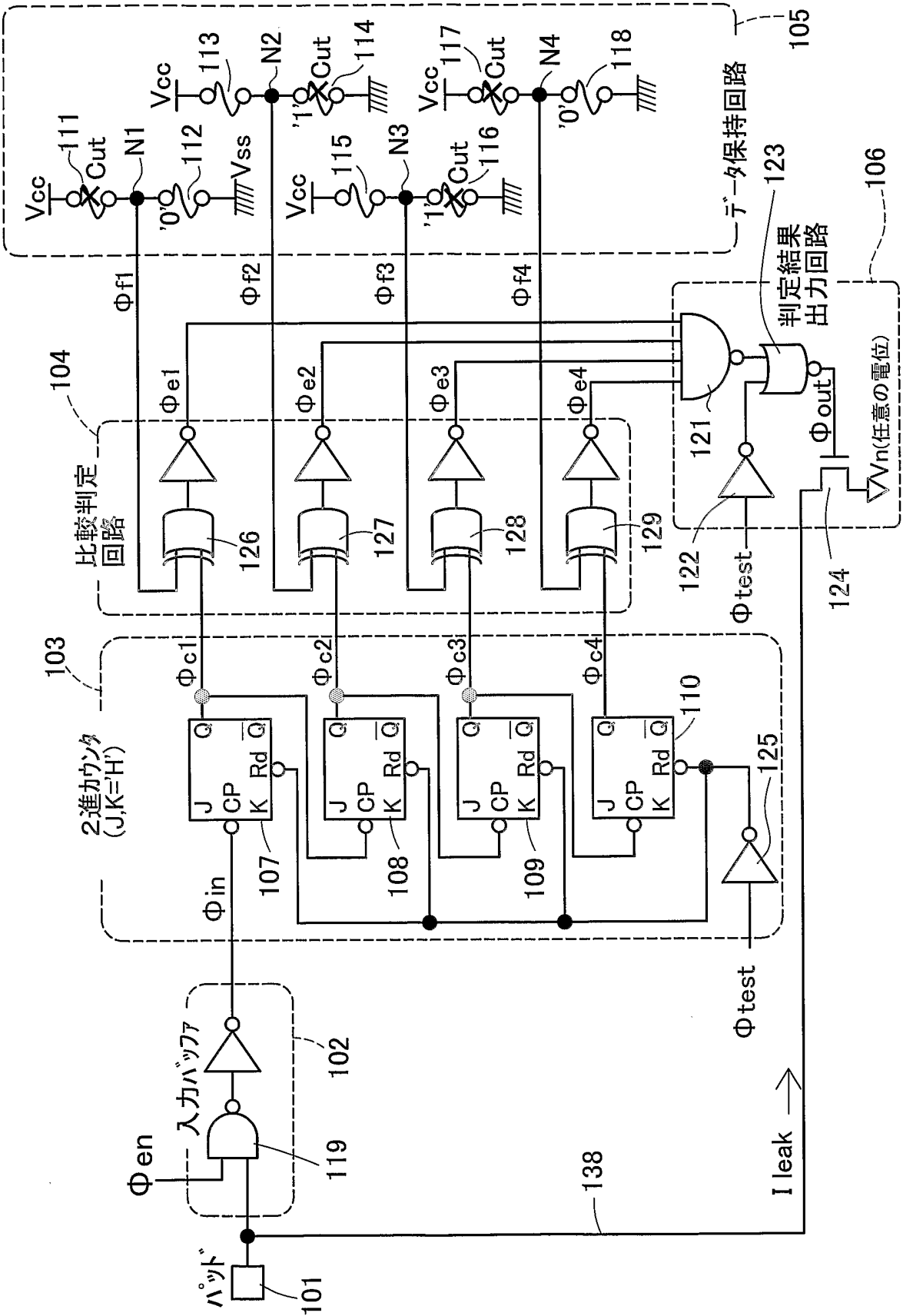
- 10 前記比較判定ステップによる一致判定結果を、前記外部端子から出力する出力ステップを有することを特徴とする半導体集積回路装置の制御方法。

2 2. 前記比較判定ステップによる一致判定結果に応じて、前記外部端子に対して報知電流を流す第 1 判定結果出力ステップを備えることを特徴とする請求項 2 1 に記載の半導体集積回路装置の制御方法。

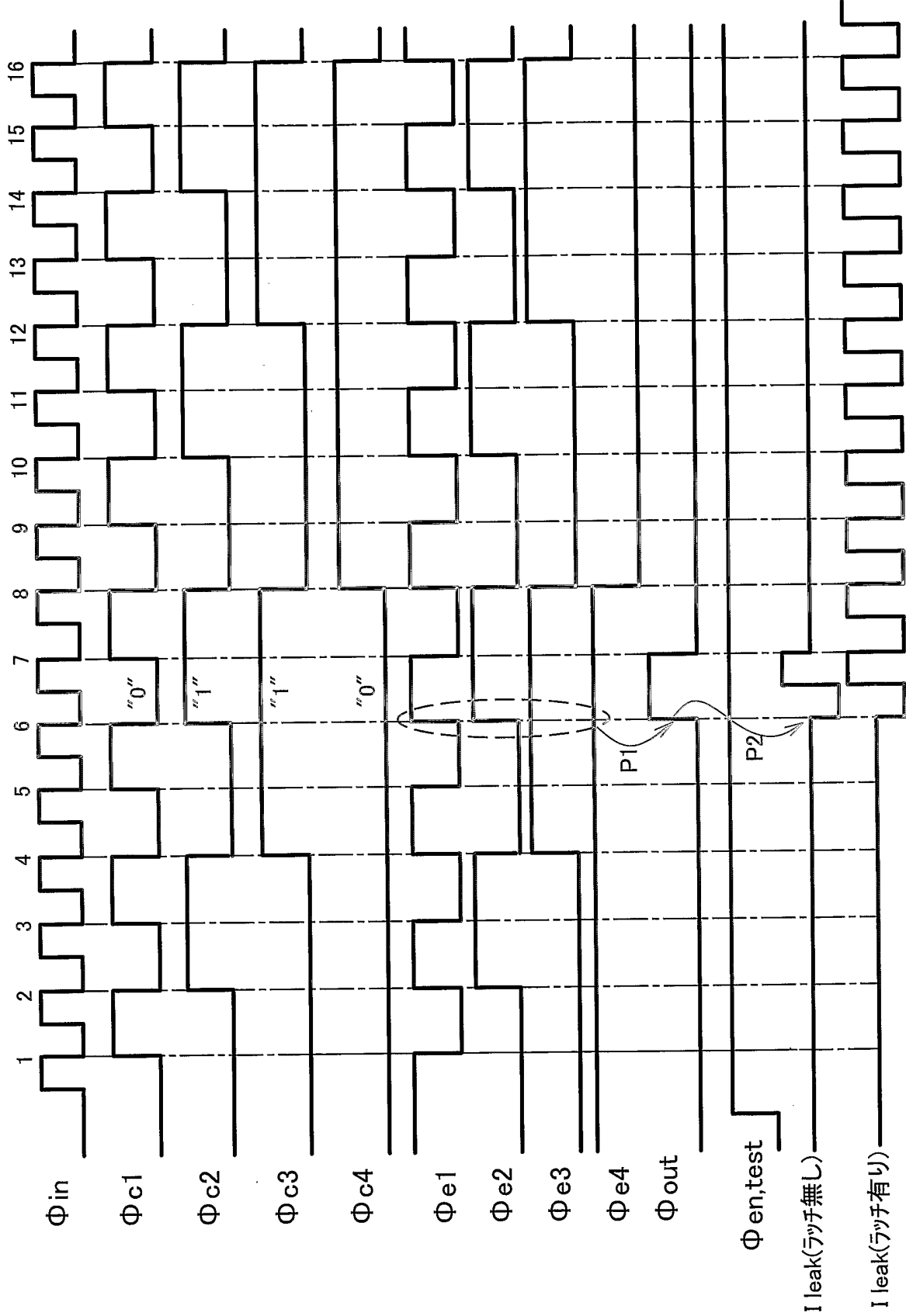
- 15 2 3. 前記カウンタ部による所定カウント値のカウント終了に応じて、前記外部端子を、パルス信号の入力端子から前記チップ固有情報の出力端子へ切り替える入出力切替ステップと、

- 20 前記入出力切替ステップからの切替信号に応じて、前記外部端子から前記チップ固有情報を出力する第 2 判定結果出力ステップとを備えることを特徴とする請求項 2 1 に記載の半導体集積回路装置の制御方法。

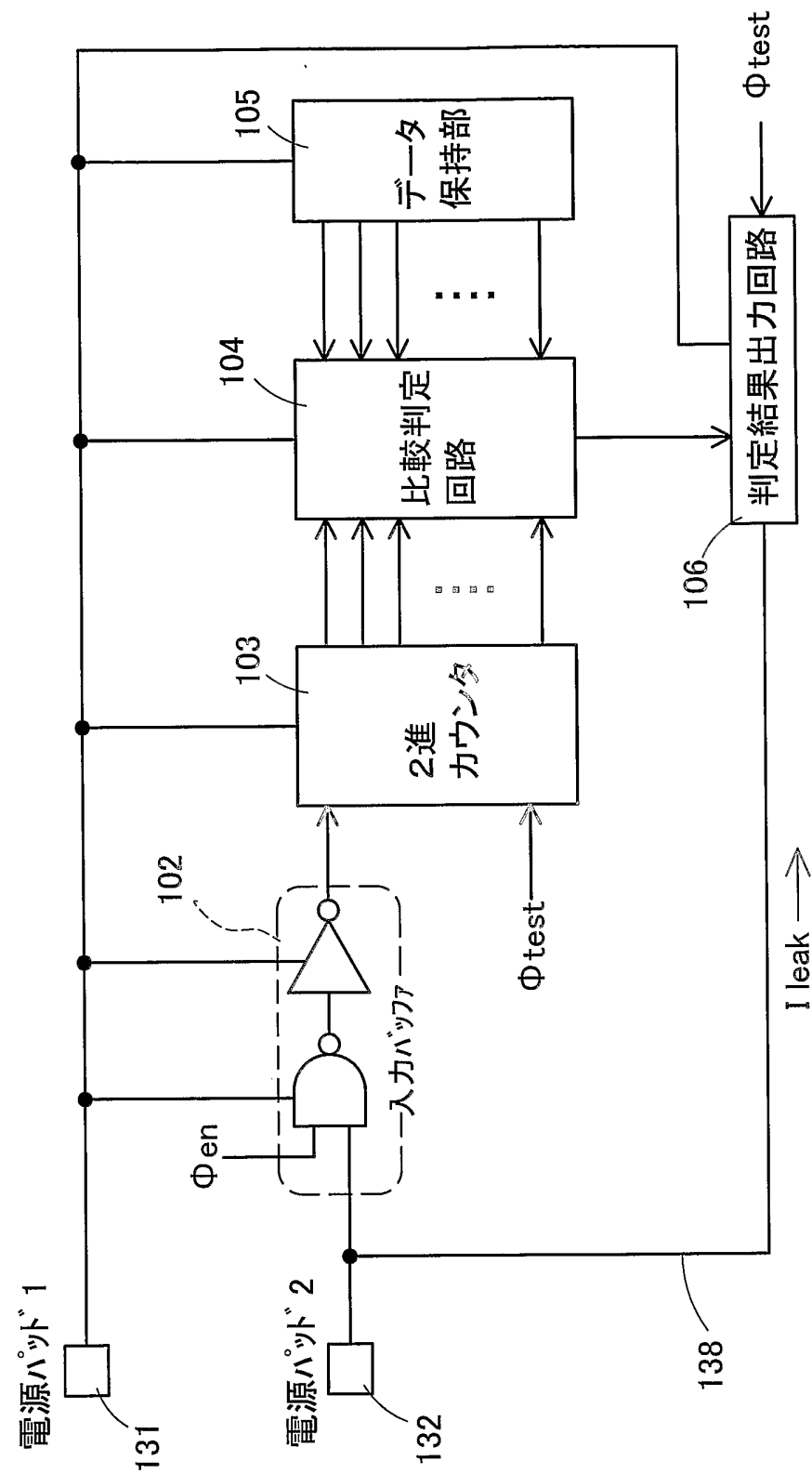
第1図



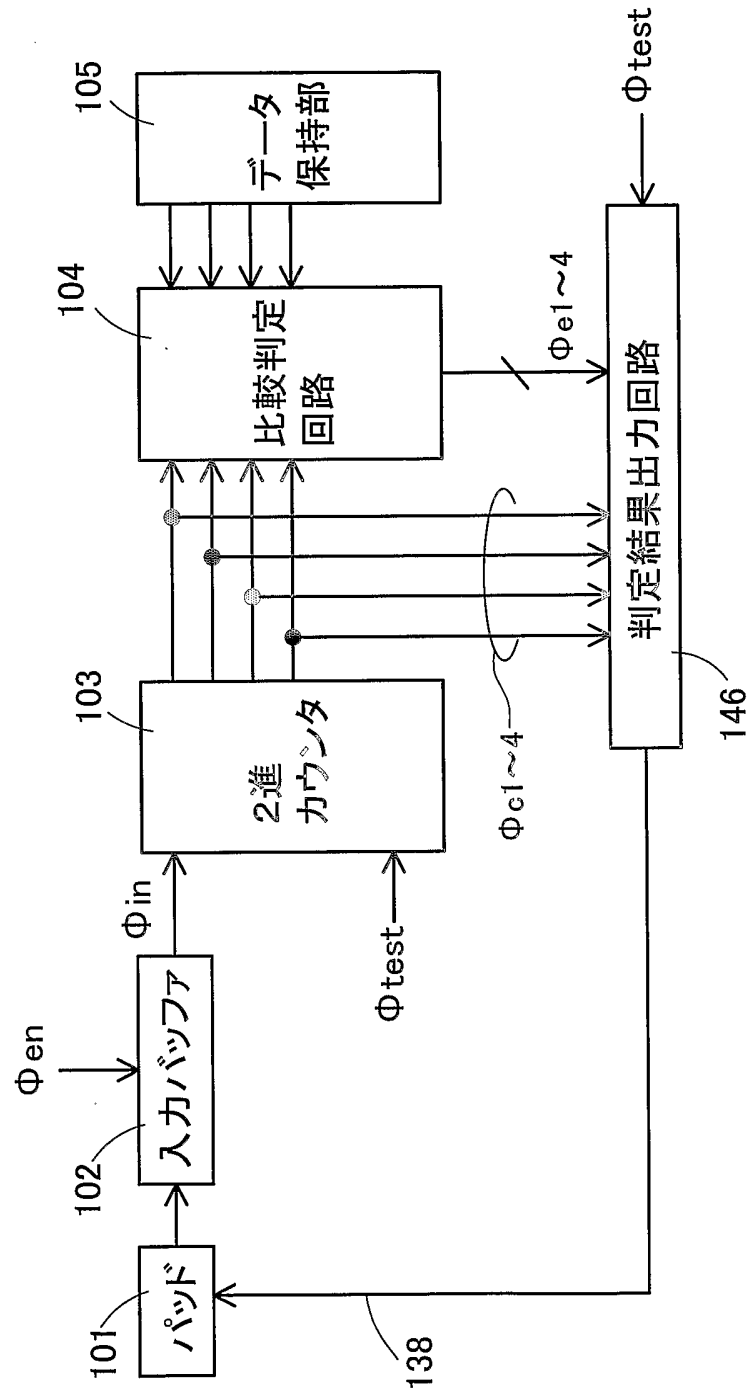
第2図



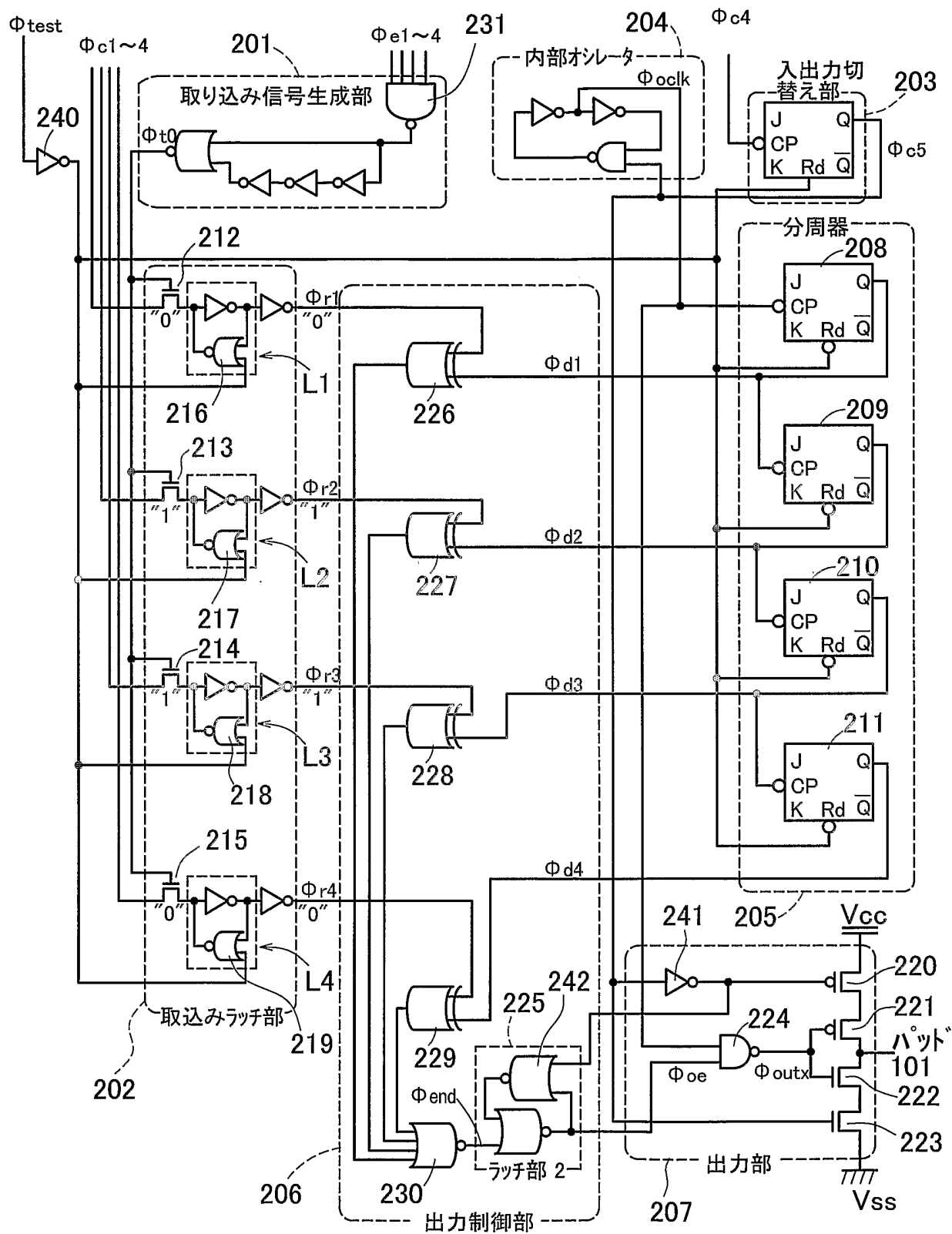
第3図



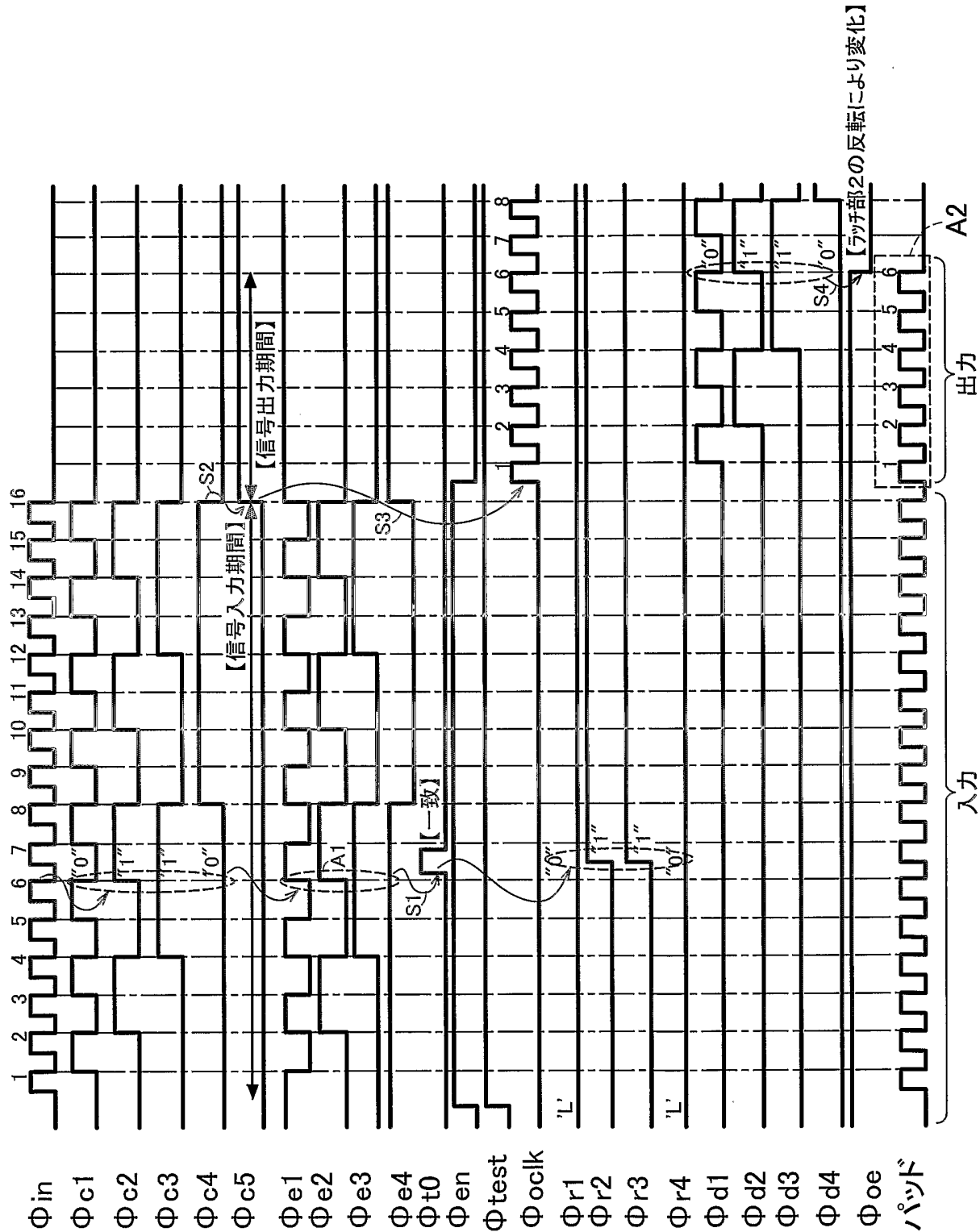
第4図



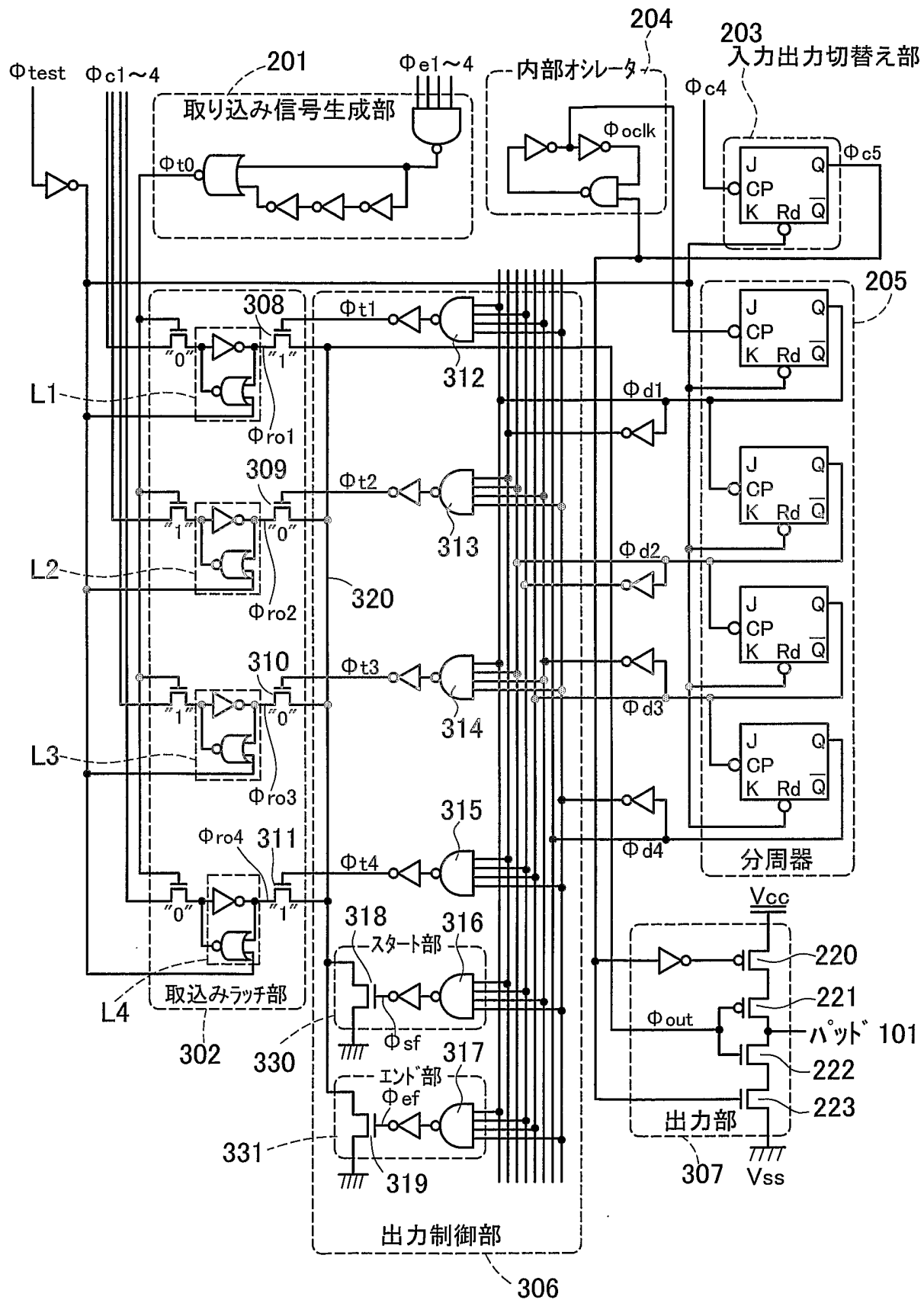
第5図



第6図

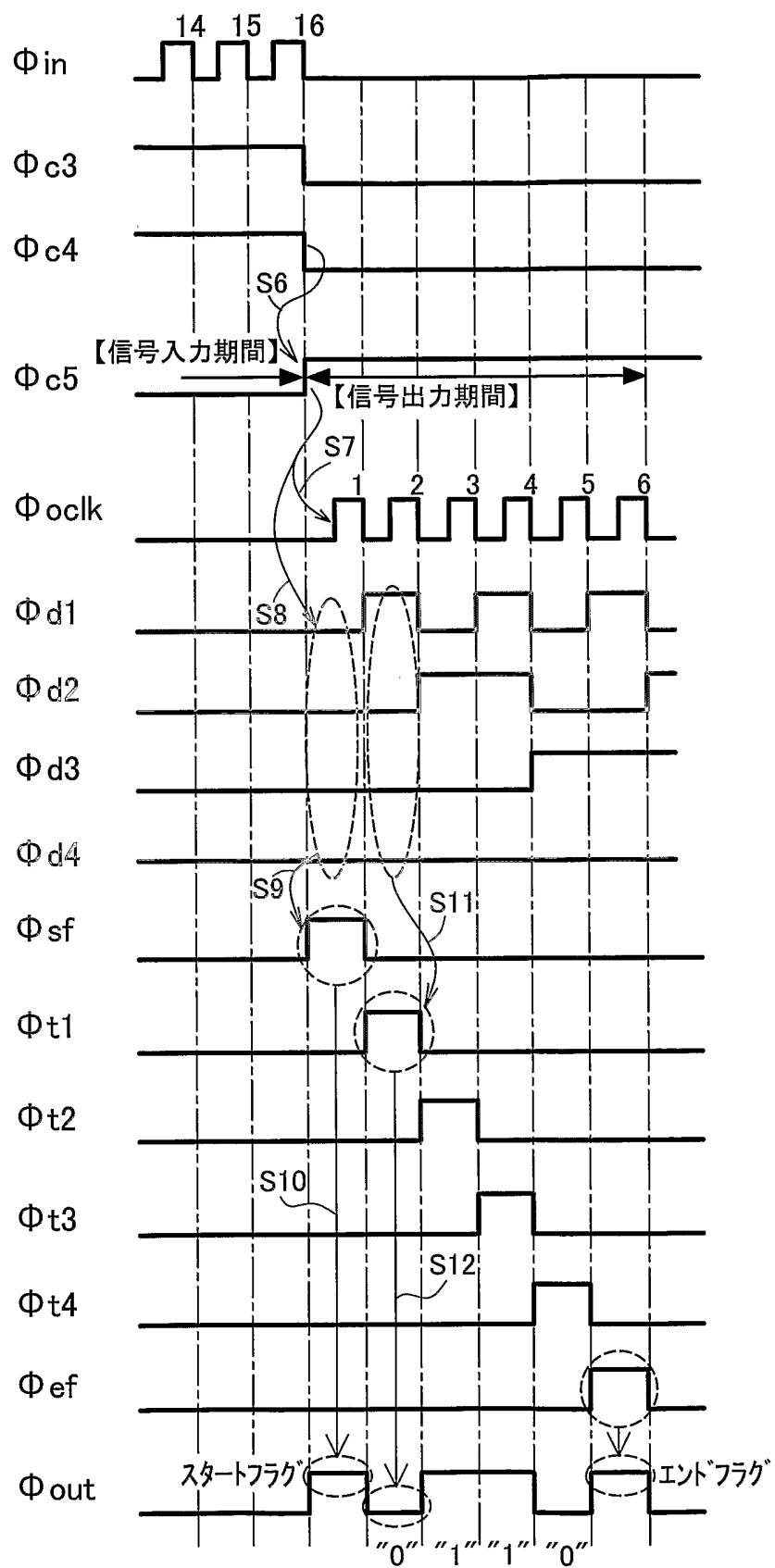


第7図

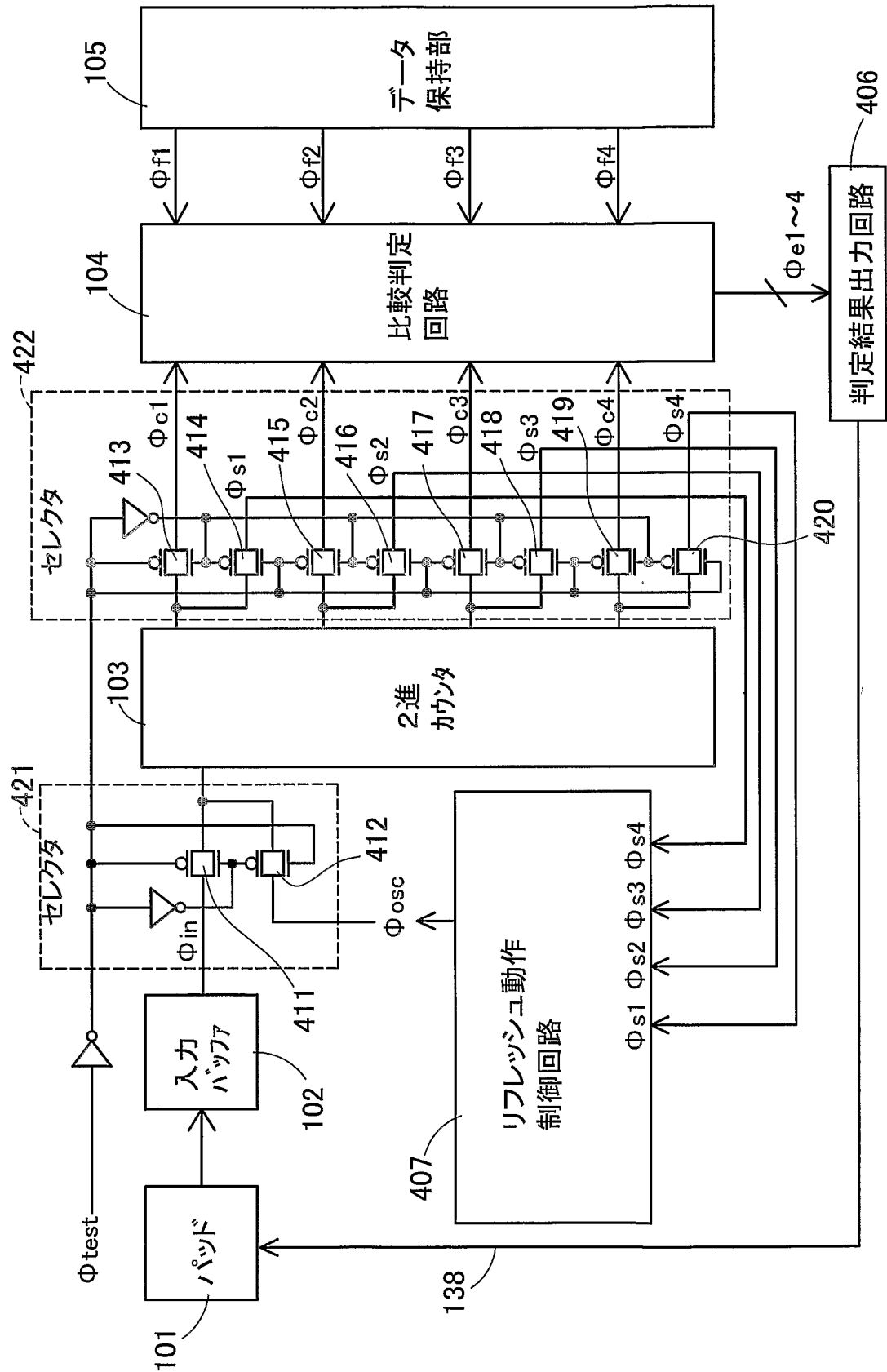


8/10

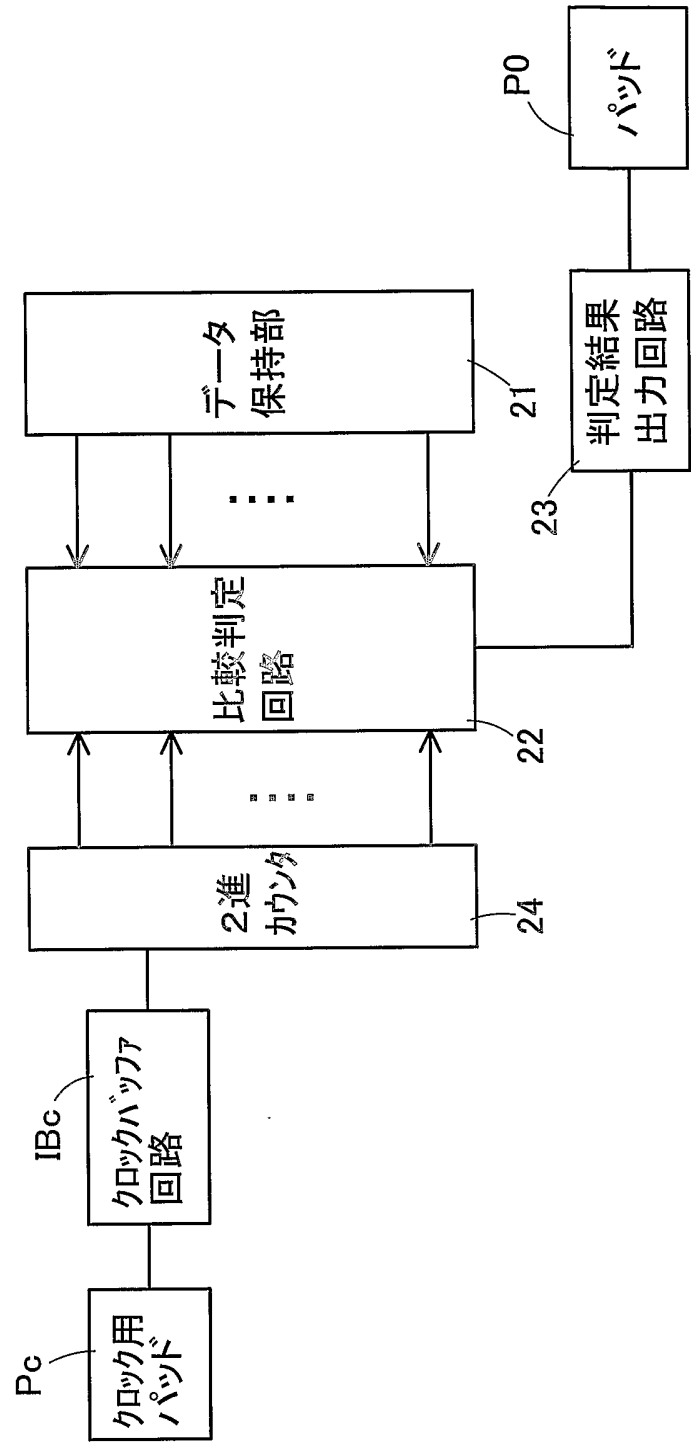
第8図



第9図



第10図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/04133

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L27/04, G01R31/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/04, G01R31/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6330297 B1 (FUJITSU LTD.), 11 December, 2001 (11.12.01),	1, 6-8, 13-16, 21, 23
A	Full text; Figs. 1 to 12 & JP 2000-315772 A Full text; Figs. 1 to 12	2-5, 9-12, 22
Y	JP 9-61496 A (Hitachi, Ltd.), 07 March, 1997 (07.03.97), Full text; Figs. 1 to 5 (Family: none)	1, 6-8, 13, 21, 23
Y	JP 2000-193724 A (NEC Corp.), 14 July, 2000 (14.07.00), Full text; Figs. 1 to 5 (Family: none)	1, 6-8, 13, 21, 23

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
03 June, 2003 (03.06.03)

Date of mailing of the international search report
17 June, 2003 (17.06.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/04133

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-161898 A (NEC Engineering Kabushiki Kaisha), 19 June, 1998 (19.06.98), Full text; Figs. 1 to 8 (Family: none)	14-16
Y	US 5936423 A1 (KAWASAKI STEEL CORP.), 10 August, 1999 (10.08.99), Full text; Figs. 1 to 10 & JP 9-167828 A Full text; Figs. 1 to 7	14-16
X	JP 11-101858 A (Toshiba Micro-Electronics Corp.), 13 April, 1999 (13.04.99), Full text; Figs. 1 to 11 (Family: none)	17-20

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L 27/04, G01R31/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L 27/04, G01R31/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国実用新案登録公報 1996-2003年
 日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 6330297 B1 (FUJITSU LIMITED)	1, 6-8, 13-16,
A	2001. 12. 11, 全文, 第1-12図 & JP 2000-315772 A, 全文, 第1-12図	21, 23 2-5, 9-12, 22
Y	JP 9-61496 A (株式会社日立製作所) 1997. 03. 07, 全文, 第1-5図 (ファミリーなし)	1, 6-8, 13, 21, 23

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

03. 06. 03

国際調査報告の発送日

17.06.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

大嶋 洋一

4 L 9170

電話番号 03-3581-1101 内線 6764

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-193724 A (日本電気株式会社) 2000. 07. 14, 全文, 第1-5図 (ファミリーなし)	1, 6-8, 13, 21, 23
Y	JP 10-161898 A (日本電気エンジニアリング株式会 社) 1998. 06. 19, 全文, 第1-8図 (ファミリーなし)	14-16
Y	US 5936423 A1 (KAWASAKI STEEL C ORPORATION) 1999. 08. 10, 全文, 第1-10図 & JP 9-167828 A, 全文, 第1-7図	14-16
X	JP 11-101858 A (東芝マイクロエレクトロニクス株 式会社) 1999. 04. 13, 全文, 第1-11図 (ファミリーなし)	17-20