



- (51) 국제특허분류:
H01L 33/36 (2010.01) H01L 33/48 (2010.01)
- (21) 국제출원번호: PCT/KR2016/010785
- (22) 국제출원일: 2016년 9월 26일 (26.09.2016)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2015-0136863 2015년 9월 25일 (25.09.2015) KR
- (71) 출원인: 엘지이노텍 주식회사 (LG INNOTEK CO., LTD.) [KR/KR]; 04637 서울시 중구 한강대로 416 번지 서울스퀘어, Seoul (KR).
- (72) 발명자: 정세연 (JUNG, Se Yeon); 04637 서울시 중구 한강대로 416 번지 서울스퀘어, Seoul (KR).
- (74) 대리인: 김기문 (KIM, Ki Moon); 06252 서울시 강남구 역삼로 114 번지 현죽빌딩 6 층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, —

AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

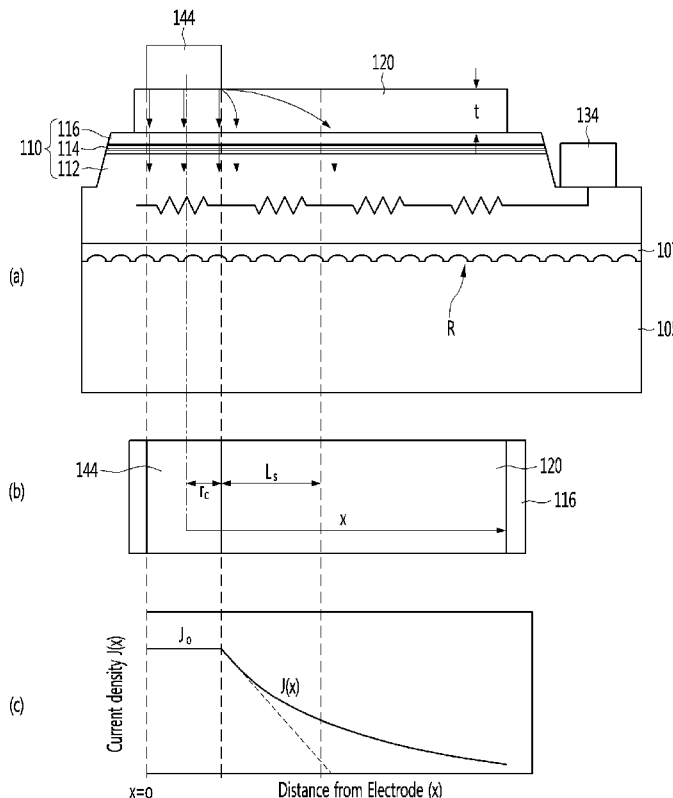
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: LIGHT-EMITTING ELEMENT, LIGHT-EMITTING ELEMENT PACKAGE, AND LIGHT-EMITTING DEVICE

(54) 발명의 명칭 : 발광소자, 발광소자 패키지 및 발광장치



(57) Abstract: One embodiment relates to a light-emitting element, a method for manufacturing a light-emitting element, a light-emitting element package, and a light-emitting device. The light-emitting element according to one embodiment can comprise: a first conductive semiconductor layer; an active layer on the first conductive semiconductor layer; a second conductive semiconductor layer on the active layer; a light-transmitting ohmic layer on the second conductive semiconductor layer; a first electrode electrically connected with the first conductive semiconductor layer; and a second electrode on the light-transmitting ohmic layer. The light-emitting element can include two first sides facing each other, and two second sides facing each other. The width of the first side is greater than the width of the second side, and the first side and the second side can be perpendicular to each other. The distance between the first branch electrode and the second branch electrode is 1/6 to 1/2 of the width of the second side of either one thereof.

(57) 요약서:

[다음 쪽 계속]



실시예는 발광소자, 발광소자의 제조방법, 발광소자 패키지 및 발광장치에 관한 것이다. 실시예에 따른 발광소자는 제 1 도전형 반도체층과, 상기 제 1 도전형 반도체층 상에 활성층과, 상기 활성층 상에 제 2 도전형 반도체층과, 상기 제 2 도전형 반도체층 상에 투광성 오믹층과, 상기 제 1 도전형 반도체층과 전기적으로 연결되는 제 1 전극과, 상기 투광성 오믹층 상에 제 2 전극을 포함할 수 있다. 상기 발광소자는 상호 마주보는 2 개의 제 1 변과 상호 마주보는 2 개의 제 2 변을 포함할 수 있다. 상기 제 1 변의 폭은 상기 제 2 변의 폭보다 크며, 상기 제 1 변과 상기 제 2 변은 상호 직교할 수 있다. 상기 제 1 가지전극과 상기 제 2 가지전극 사이의 거리는 상기 어느 하나의 제 2 변의 폭의 1/6 내지 1/2 일 수 있다.

명세서

발명의 명칭: 발광소자, 발광소자 패키지 및 발광장치

기술분야

- [1] 실시예는 발광소자, 발광소자의 제조방법, 발광소자 패키지 및 발광장치에 관한 것이다.

배경기술

- [2] 발광소자(Light Emitting Device)는 전기에너지가 빛 에너지로 변환되는 특성의 p-n 접합 다이오드를 주기율표상에서 III족과 V족의 원소가 화합하여 생성될 수 있다. LED는 화합물 반도체의 조성비를 조절함으로써 다양한 색상구현이 가능하다.
- [3] 발광소자는 순방향전압 인가 시 n층의 전자(electron)와 p층의 정공(hole)이 결합하여 전도대(Conduction band)와 가전대(Valance band)의 밴드갭 에너지에 해당하는 만큼의 에너지를 발산하는데, 에너지가 빛의 형태로 발산되면 발광소자가 되는 것이다.
- [4] 예를 들어, 질화물 반도체는 높은 열적 안정성과 폭넓은 밴드갭 에너지에 의해 광소자 및 고출력 전자소자 개발 분야에서 큰 관심을 받고 있다. 특히, 질화물 반도체를 이용한 청색(Blue) 발광소자, 녹색(Green) 발광소자, 자외선(UV) 발광소자 등은 상용화되어 널리 사용되고 있다.
- [5] 발광소자는 전극의 위치에 따라 수평형 타입(Lateral Type)과 수직형 타입(Vertical type)으로 구분될 수 있다.
- [6] 종래기술에 의한 발광소자 중 수평형 타입의 발광소자는 기판 상에 질화물 반도체층을 형성하고, 질화물 반도체층의 상측에 두개의 전극층이 배치되도록 형성한다.
- [7] 한편, 최근 각종 IT 장치나 휴대폰(Mobile phone) 용으로 발광소자가 적용되고 있으며, IT 장치 또는 휴대폰용 발광소자는 소형 발광소자 칩(small LED chip)이 채용되고 있다. 예를 들어, 최근 휴대폰용으로 소형 수평형 발광소자 칩(Lateral LED chip)이 채용되고 있다.
- [8] 한편, 종래기술에서 휴대폰용 발광소자 칩은 사이즈(size)의 제약에 따라, n전극과 p전극 간의 거리 제한이 있는데, 전류확산 거리를 고려한 전극 간 거리 설계가 반영되지 못하는 기술적인 문제가 있다.

발명의 상세한 설명

기술적 과제

- [9] 실시예는 광특성을 향상시킬 수 있는 발광소자, 발광소자의 제조방법, 발광소자 패키지 및 조명장치를 제공하고자 한다.

과제 해결 수단

- [10] 실시예에 따른 발광소자는 제1 도전형 반도체층, 상기 제1 도전형 반도체층

상에 활성층, 상기 활성층 상에 제2 도전형 반도체층, 상기 제2 도전형 반도체층 상에 투광성 오믹층, 상기 제1 도전형 반도체층과 전기적으로 연결되는 제1 전극, 상기 투광성 오믹층 상에 제2 전극을 포함할 수 있다.

[11] 실시예에서 상기 제1 전극은 제1 패드전극과 제1 가지전극을 포함하고, 상기 제2 전극은 제2 패드전극과 제2 가지전극을 포함할 수 있다.

[12] 상기 발광소자는 상호 마주보는 2개의 제1 변과 상호 마주보는 2개의 제2 변을 포함할 수 있다. 상기 제1 변의 폭은 상기 제2 변의 폭보다 크며, 상기 제1 변과 상기 제2 변은 상호 직교할 수 있다. 상기 제1 가지전극과 상기 제2 가지전극 사이의 거리는 상기 어느 하나의 제2 변의 폭의 $1/6$ 내지 $1/2$ 일 수 있다.

[13] 예를 들어, 실시예의 발광소자는 상호 마주보는 2개의 장변과 상호 마주보는 2개의 단변을 포함하고, 상기 장변과 상기 단변은 상호 직교할 수 있다. 이에 따라 상기 발광소자는 장변과 단변을 포함한 사각형 형상일 수 있다. 이때, 실시예에서 상기 제1 가지전극과 상기 제2 가지전극 사이의 거리는 상기 발광소자의 단변 폭의 $1/6$ 내지 $1/2$ 일 수 있다.

[14] 실시예에 따른 발광소자 패키지는 상기 발광소자를 구비할 수 있다.

[15] 실시예에 따른 발광장치는 상기 발광소자 패키지를 구비할 수 있다.

발명의 효과

[16] 실시예는 전류확산 거리를 고려한 전극간 거리 설계를 통해 발광소자의 광특성을 향상시킬 수 있는 발광소자, 발광소자의 제조방법, 발광소자 패키지 및 조명장치를 제공할 수 있다.

[17] 예를 들어, 실시예에 의하면 발광소자 칩의 전극설계에 있어, 특히 n형 반도체층 상의 제1 가지전극과 p형 반도체층 상의 제2 가지전극 간의 거리 설계 관련하여, 발광소자 칩 분석을 통한 전류확산 거리(Current Spreading Length: L_s) 계산 및 L_s 에 적합한 가지 전극 간의 설계에 의해 동작전압(V_f)을 낮출 수 있고, 광출력(P_o)이 동등수준이거나 상승되는 기술적 효과가 있다.

도면의 간단한 설명

[18] 도 1은 제1 실시예에 따른 발광소자의 평면도.

[19] 도 2는 제1 실시예에 따른 발광소자의 단면도.

[20] 도 3은 실시예에 따른 발광소자의 전류확산 개념도.

[21] 도 4는 실시예에 따른 발광소자의 특성 변화 제1 데이터.

[22] 도 5는 실시예에 따른 발광소자의 특성 변화 제2 데이터.

[23] 도 6은 제2 실시예에 따른 발광소자의 평면도.

[24] 도 7은 제2 실시예에 따른 발광소자의 부분 단면도.

[25] 도 8은 제3 실시예에 따른 발광소자의 부분 단면도.

[26] 도 9는 실시예에 따른 발광소자 패키지 단면도.

발명의 실시를 위한 형태

[27] 실시예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각

층(막), 영역, 패드 또는 패턴들의 "상/위(on/over)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on/over)"와 "아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 아래에 대한 기준은 도면을 기준으로 설명한다.

[28] (실시예)

[29] 도 1은 제1 실시예에 따른 발광소자(100)의 평면도이며, 도 2는 실시예에 따른 발광소자(100)의 I-I'선을 따른 단면도이다.

[30] 실시예에 따른 발광소자(100)는 기판(105) 상에 발광구조물(110)을 포함할 수 있다.

[31] 상기 기판(105)은 절연성 기판 또는 전도성 기판을 포함할 수 있고, 단층 또는 복수의 층으로 형성될 수 있다. 예컨대, 상기 기판(105)은 사파이어(Al_2O_3), SiC, Si, GaAs, GaN, ZnO, GaP, InP, Ge, and Ga_2O_3 중 적어도 하나 또는 이들의 조합이 사용될 수 있으나 이에 한정되지 않는다.

[32] 상기 기판(105) 위에는 소정의 요철 구조(R)가 형성되어 광추출 효율을 높일 수 있으나 이에 대해 한정되지 않는다.

[33] 실시예는 상기 기판(105) 위에 소정의 버퍼층(107)이 형성되어 이후 형성되는 발광구조물(110)과 기판(105) 간의 격자 부정합을 완화시켜 줄 수 있다.

[34] 상기 버퍼층(107)은 단층 또는 복수의 층으로 형성될 수 있으며, GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN 중 적어도 하나 또는 이들의 조합으로 형성될 수 있으나 이에 한정되지 않는다.

[35] 상기 발광구조물(110)은 상기 기판(105) 상에 제1 도전형 반도체층(112)과, 상기 제1 도전형 반도체층(112) 상에 활성층(114) 및 상기 활성층(114) 상에 제2 도전형 반도체층(116)을 포함할 수 있다.

[36] 상기 제1 도전형 반도체층(112)은 제1 도전형 도펀트가 도핑된 3족-5족 화합물 반도체로 구현될 수 있다. 예를 들어, 상기 제1 도전형 반도체층(112)이 n형 반도체층인 경우, 상기 제1 도전형 도펀트는 n형 도펀트로서, Si, Ge, Sn, Se, Te를 포함할 수 있으나 이에 한정되지 않는다.

[37] 상기 제1 도전형 반도체층(112)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질을 포함할 수 있고, 단층 또는 복수의 층으로 형성될 수 있다. 예를 들어, 상기 제1 도전형 반도체층(112)은 GaN, InN, AlN, InGaIn, AlGaIn, InAlGaIn, AlInN, AlGaAs, InGaAs, AlInGaAs, GaP, AlGaP, InGaP, AlInGaP, InP 중 어느 하나 이상으로 형성될 수 있다.

[38] 상기 활성층(114)은 상기 제1 도전형 반도체층(112)을 통해서 주입되는 전자와 이후 형성되는 제2 도전형 반도체층(116)을 통해서 주입되는 정공이 서로 만나서 활성층(발광층) 물질 고유의 에너지 밴드에 의해서 결정되는 에너지를 갖는 빛을 방출하는 층이다.

[39] 상기 활성층(114)은 단일 양자 우물 구조, 다중 양자 우물 구조(MQW: Multi

Quantum Well), 양자 선(Quantum-Wire) 구조, 또는 양자 점(Quantum Dot) 구조 중 적어도 어느 하나로 형성될 수 있다.

- [40] 상기 활성층(114)은 우물층/장벽층 구조를 구비할 수 있다. 예를 들어, 상기 활성층(114)은 InGaN/GaN, InGaN/InGaN, GaN/AlGaN, InAlGaN/GaN, GaAs/AlGaAs, GaP/AlGaP, InGaAs/AlGaAs, InGaP/AlGaP 중 어느 하나 이상의 패어 구조로 형성될 수 있으나 이에 한정되지 않는다. 상기 우물층은 상기 장벽층의 밴드 갭보다 낮은 밴드 갭을 갖는 물질로 형성될 수 있다.
- [41] 실시예에 의하면, 상기 활성층(114) 상에 전자차단층(미도시)이 형성될 수 있다. 예를 들어, 상기 전자차단층은 $\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1$)계 반도체로 형성될 수 있으며, 상기 활성층(114)의 에너지 밴드 갭보다는 높은 에너지 밴드 갭을 가질 수 있다. 상기 전자차단층(160)은 p형으로 이온주입되어 오버플로우되는 전자를 효율적으로 차단하고, 홀의 주입효율을 증대시킬 수 있다.
- [42] 실시예에서 상기 제2 도전형 반도체층(116)은 제2 도전형 도펀트가 도핑된 3족-5족 화합물 반도체층일 수 있다. 예를 들어, 상기 제2 도전형 반도체층(116)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질을 포함할 수 있고, 단층 또는 복수의 층으로 형성될 수 있다. 상기 제2 도전형 반도체층(116)이 p형 반도체층인 경우, 상기 제2 도전형 도펀트는 p형 도펀트로서, Mg, Zn, Ca, Sr, Ba 등을 포함할 수 있다.
- [43] 다음으로, 제2 도전형 반도체층(116)의 일부와 활성층(114)의 일부가 제거되어 제1 도전형 반도체층(112)의 일부가 노출될 수 있다.
- [44] 실시예는 상기 제2 도전형 반도체층(116) 상에 투광성 오믹층(120)이 형성되고, 상기 투광성 오믹층(120) 상에 제2 전극(140) 및 노출된 제1 도전형 반도체층(112) 상에 제1 전극(130)이 형성될 수 있다.
- [45] 상기 투광성 오믹층(120)은 캐리어 주입을 효율적으로 할 수 있도록 단일 금속 혹은 금속합금, 금속산화물 등을 다중으로 적층하여 형성할 수 있다. 상기 투광성 오믹층(120)은 투광성 전극으로 형성되어 광추출 효율을 높임과 아울러 동작전압을 낮추어 신뢰성을 향상시킬 수 있다.
- [46] 예를 들어, 상기 투광성 오믹층(120)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 및 Ni/IrOx/Au/ITO, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나 또는 이들의 조합을 포함하여 형성될 수 있으나, 이러한 재료에 한정되는 않는다.
- [47] 상기 투광성 오믹층(120)은 약 40nm 내지 60 nm일 수 있다. 상기 투광성 오믹층(120)의 두께가 40nm 미만인 경우 면저항의 증대되어 전기적인 특성이

저하될 수 있으며, 60nm를 초과하는 경우 광투과도가 저하되어 광추출 효율이 저하될 수 있다.

[48] 실시예에서 상기 제1 전극(130)은 제1 패드전극(132)과 제1 가지전극(134)을 포함할 수 있고, 상기 제2 전극(140)은 제2 패드전극(142)과 제2 가지전극(144)을 포함할 수 있다.

[49] 상기 제1 전극(130) 또는 상기 제2 전극(140)은 단층 또는 복수의 층으로 형성될 수 있으며, 티탄(Ti), 크롬(Cr), 니켈(Ni), 알루미늄(Al), 백금(Pt), 금(Au), 텅스텐(W), 몰리브덴(Mo) 중 적어도 어느 하나 또는 이들의 합금으로 형성될 수 있으나 이에 한정되는 것은 아니다.

[50]

[51] 실시예의 기술적 과제 중의 하나는 전류확산 거리를 고려한 전극간 거리 설계를 통해 발광소자의 광특성을 향상시킬 수 있는 발광소자를 제공하고자 함이다.

[52] 한편, 종래기술에서는 전류확산 효율을 향상시키기 위해 제1 가지전극과 제2 가지전극의 거리를 최대한 이격시키고 있는데, 최근 휴대폰이나 IT 장치에는 소형 발광소자 칩(small LED chip)이 채용되고 있다. 이러한 소형 발광소자 칩의 면적은 작는데, 예를 들어 발광소자의 칩의 평면이 직사각형 형상인 경우, 단변의 길이가 약 300 μ m 이하인데, 칩 자체의 면적이 작게 되어 가지전극 사이의 거리를 최대한 이격시키는 것으로는 전류확산 효율을 제대로 향상시키지 못하는 실정이다.

[53]

[54] 도 3은 실시예에 따른 발광소자의 전류확산 개념도이다.

[55] 예를 들어, 전극과의 거리에 따른 전류확산밀도(Current Spreading density: J(x)) 관계식은 아래 수학식 1과 같다.

[56] 수학식 1

[수식1]

$$J(x) = 2J_0 / [(x-r_c)/L_s + \sqrt{2}]^2, (x \geq r_c)$$

[57] (단, x: 제2 가지전극(144) 중심에서 전류밀도 확산 거리, r_c : 제2 가지전극(144)의 반치폭, L_s : 전류확산거리(Current Spreading Length))

[58]

[59] L_s (전류확산거리)는 아래 수학식 2로 표현된다.

[60] 수학식 2

[수식2]

$$L_s = [t n_{ideal} kT / (\rho J_0 e)]^{1/2}$$

[61] (단, t: 투광성 오믹층의 두께, n_{ideal} : 발광소자의 Diode ideality factor, ρ : 투광성 오믹층의 비저항(Resistivity))

[62]

[63] n_{ideal} 값은 아래 수학식 3(Shockley equation)에 의해 구해질 수 있다.

[64] 수학식 3

[수식3]

$$I = e(V-IR_s)/(n_{ideal}kT)$$

$$dV/dI = R_s + (n_{ideal}kT)/e \times 1/I$$

[65]

[66] 이에 따라, 아래와 같이 전류확산거리(L_s)로 제1 가지전극(134) 및 제2 가지전극(144)의 간의 거리($x-r_c$)를 설계할 때, 최적의 전류확산밀도($J(x)$)를 획득할 수 있다.

[67]

$$x-r_c \cong L_s \rightarrow J(x) \uparrow$$

[68]

즉, 실시예에 의하면 발광소자 칩의 전극설계에 있어, 특히 n형 반도체층 상의 제1 가지전극(134)과 p형 반도체층 상의 제2 가지전극(144) 간의 거리 설계 관련하여, 발광소자 칩 분석을 통한 전류확산 거리(Current Spreading Length: L_s) 계산 및 L_s 에 적합한 가지 전극 간의 설계에 의해 동작전압(V_f)을 낮출 수 있고, 광출력(P_o)이 동등수준이거나 상승되는 효과를 도출할 수 있다.

[69]

[70]

예를 들어, 도 1을 참조하면 발광소자 칩(100)은 다각형 형상일 수 있으며, 실시예의 발광소자 칩(100)이 장변과 단변을 포함한 직사각형 형상일 수 있다. 예를 들어, 상기 발광소자는 상호 마주보는 2개의 제1 변과 상호 마주보는 2개의 제2 변을 포함할 수 있다. 상기 제1 변의 폭(L)은 상기 제2 변의 폭(S)보다 크며, 상기 제1 변과 상기 제2 변은 상호 직교할 수 있다. 상기 제1 가지전극과 상기 제2 가지전극 사이의 거리는 상기 어느 하나의 제2 변의 폭(S)의 1/6 내지 1/2일 수 있다.

[71]

예를 들어, 실시예의 발광소자 칩(100)은 상호 마주보는 2개의 장변과 상호 마주보는 2개의 단변을 포함할 수 있고, 상기 장변과 상기 단변은 상호 직교할 수 있다. 상기 장변은 상기 발광소자 칩(100)의 외곽 모서리 중에 긴 변일 수 있고, 상기 단변은 상기 발광소자 칩(100)의 외곽 모서리 중에 상대적으로 짧은 변일 수 있다.

[72]

실시예에서 상기 제1 가지전극(134)과 상기 제2 가지전극(144) 사이의 거리(D)는 상기 발광소자의 단변 폭(S)의 1/6 내지 1/2 일 수 있다. 이때, 실시예에서 제2 가지전극(144)과 발광소자의 가장자리 까지의 거리는 상기 발광소자의 단변 폭(S)의 1/6 내지 1/4로 제어됨에 따라 전류확산 효율 증대에 따라 동작전압 감소 및 발광효율이 증대될 수 있다. 이때, 상기 발광소자의 가장자리는 상기 제2 가지전극(144)과 평행한 최근접 가장자리일 수 있다. 또한

실시예에서 제2 가지전극(144)과 발광소자의 가장자리 까지의 거리는 상기 발광소자의 단변 폭(S)의 1/6 내지 1/5로 제어됨에 따라 보다 전류확산 효율이 증대될 수 있다.

[73]

[74] 좀 더 구체적으로, 상기 제1 가지전극(134)과 상기 제2 가지전극(144) 사이의 거리(D)에 대해 설명하기로 한다. 실시예의 발광소자의 면적이 약 $300,000\mu\text{m}^2$ 이하인 소형 발광칩인 경우, 단변 폭(S)은 약 $200\mu\text{m}$ 내지 $300\mu\text{m}$ 일 수 있고, 상기 제1 가지전극(134)과 상기 제2 가지전극(144) 사이의 거리(D)는 상기 발광소자의 단변 폭(S)의 1/6 내지 1/2일 수 있다. 예를 들어, 실시예의 발광소자의 면적이 약 $300,000\mu\text{m}^2$ 인 경우, 단변 폭(S)은 약 $300\mu\text{m}$ 일 수 있고, 장변의 폭(L)은 약 $1,000\mu\text{m}$ 일 수 있으며, 상기 제1 가지전극(134)과 상기 제2 가지전극(144) 사이의 거리(D)는 약 50 내지 $150\mu\text{m}$ 일 수 있으나 이에 한정되는 것은 아니다.

[75] 또한, 실시예의 발광소자의 면적이 약 $300,000\mu\text{m}^2$ 이하인 소형 발광칩인 경우, 단변 폭(S)은 약 $200\mu\text{m}$ 내지 $300\mu\text{m}$ 일 수 있고, 상기 제1 가지전극(134)과 상기 제2 가지전극(144) 사이의 거리(D)는 상기 발광소자의 단변 폭(S)의 3/10 내지 11/30일 수 있다. 예를 들어, 실시예의 발광소자의 면적이 약 $300,000\mu\text{m}^2$ 인 경우, 단변 폭(S)은 약 $300\mu\text{m}$ 일 수 있고, 장변의 폭(L)은 약 $1,000\mu\text{m}$ 일 수 있으며, 상기 제1 가지전극(134)과 상기 제2 가지전극(144) 사이의 거리(D)는 약 90 내지 $110\mu\text{m}$ 로 제어됨에 따라 보다 전류확산 효율을 향상시킬 수 있다.

[76] 실시예에 의하면 발광소자 칩의 전극설계에 있어, 특히 n형 반도체층 상의 제1 가지전극(134)과 p형 반도체층 상의 제2 가지전극(144) 간의 거리 설계 관련하여, 발광소자 칩 분석을 통한 전류확산 거리(Current Spreading Length: L_s) 계산 및 L_s 에 적합한 가지 전극 간의 거리(D) 제어를 통해 동작전압(V_f)을 낮출 수 있고, 광출력(P_o)이 동등수준이거나 상승되는 기술적 효과가 있다.

[77] 예를 들어, IT나 휴대폰(Mobile phone)용 수평형 칩(Lateral chip) dimension에 있어, 단변 폭(S)은 약 $200\mu\text{m}$ 내지 $300\mu\text{m}$ 범위 내에서, 전체 칩 면적은 $300,000\mu\text{m}^2$ 이하의 면적으로 장변이 결정될 수 있다. 실시예의 발광소자는 소형 발광소자 칩을 수 있는데, 그 평면 면적은 약 $300,000\mu\text{m}^2$ 이하인 발광 칩일 수 있다. 또한 실시예의 발광소자는 직사각형 평면 형상을 포함할 수 있으며, 마주보는 두개의 단변과 마주보이는 두개의 장변을 포함할 수 있으며, 어느 하나의 단변 폭(S)은 약 $200\mu\text{m}$ 내지 $300\mu\text{m}$ 일 수 있으나 이에 한정되는 것은 아니다.

[78] 이때, 제1 가지전극(134)과 상기 제2 가지전극(144) 사이의 거리(D)가 동작전압(V_f) 및 광출력(P_o)의 향상에 기여하므로 칩에서의 전류확산 거리(L_s)를 고려하여 가지 전극 사이의 거리(D)에 대한 최적의 설계가 필요하다.

[79] 예를 들어, IT나 휴대폰(Mobile phone)용 수평형 칩(Lateral chip)의 면적이 $300,000\mu\text{m}^2$ 이하의 칩에서 단변 폭(S)이 약 $200\mu\text{m}$ 내지 $300\mu\text{m}$ 범위인 경우에, 상기 제1 가지전극(134)과 상기 제2 가지전극(144) 사이의 거리(D)는 약 $50\mu\text{m}$ 내지 약 $150\mu\text{m}$ 로 설계 될 수 있다. 또한 실시예에서 상기 제1 가지전극(134)과 상기 제2

가지전극(144) 사이의 거리가 $90\mu\text{m}$ 내지 $110\mu\text{m}$ 일 때 아래 표1과 같이 보다 향상된 광특성을 나타낼 수 있다.

[80] 표 1

[표1]

	가지전극간 거리	Vf	Po(@ 20mA)
비교예	$175\mu\text{m}$	2.85	31.7
실험예	$110\mu\text{m}$	2.83	31.8

[81] 예를 들어, 수학적식 2에 따라 실험대상 칩의 전류확산 거리(L_s)를 계산한 경우, 약 $110\mu\text{m}$ 가 나오는 경우에, 표 1의 실험예와 비교예와 같이 가지 전극간 거리를 달리 할 때, 동작전압(Vf)과 광도(Po) 데이터의 결과는 표1과 같았다.

[82] 실시예에 의하면, 비교예와 달리, 실험예와 같이 제1 가지전극(134)과 제2 가지전극(144) 사이의 거리(D)가 상기 발광소자의 단변 폭(S)의 1/6 내지 1/2로 제어 될 때, 동작전압(Vf)이 감소하고 광도(Po)도 상승하였다.

[83]

[84] 도 4는 실시예에 따른 발광소자의 제1 특성 데이터이며, 도 5는 실시예에 따른 발광소자의 제2 특성 데이터이다.

[85] 예를 들어, 도 4에서 제1 실험예(E1), 제2 실험예(E2), 제3 실험예(E3)의 칩(Chip) 설계 정보는 아래 표2와 같다.

[86] 표 2

[표2]

@20mA	고속 Sweep			가지전극간 거리(μm)	Po(mW)
	Vf(V)	Rs	n		
E1	2.88	6.63	1.19	110	31.5
E2	2.87	6.30	1.24	100	31.7
E3	2.86	6.21	1.12	90	31.8

[87]

[88] 도 4에서와 같이, 가지전극간의 거리가 약 $110\mu\text{m}$ 에서 약 $90\mu\text{m}$ 로 변화함에 따라 Intensity(X축 데이터)가 우측으로 상향 이동(Shift)될 수 있다. 즉, 제2 가지전극이 칩 안쪽으로 이동하여 가지 전극간의 거리가 전류확산 거리(L_s)와 일치 정도가 높을수록 동작전압(Vf)이 감소하고, 광도(Po)가 향상될 수 있다.

[89]

[90] 또한 도 5와 같이, 제2 가지전극이 칩 안쪽으로 이동하여 가지 전극간의 거리가 전류확산 거리(L_s)와 일치 정도가 높을수록 가지 전극 사이에 위치하는 칩의 중심(Center) 영역의 Intensity 상승하여 발광특성이 향상됨에 따라

동작전압(Vf)이 감소하고, 광도(Po)가 증가될 수 있다. 도 5에서 Y position은 발광소자 칩의 단면에 평행하도록 두 가지전극을 관통하는 선에서의 위치를 나타낼 수 있다.

- [91] 다시 도 1을 참조하면, 실시예에서 제1 가지전극(134)과 상기 제2 가지전극(144)은 상호 평행하게 배치될 수 있다. 이에 따라 실시예에 따른 발광소자는 가지전극 사이의 전류확산 효율이 증대되며, 동작전압의 감소와 더불어 발광효율이 증대될 수 있다.
- [92] 또한 실시예에서 제1 가지전극(134)의 길이와 상기 제2 가지전극(144)의 길이는 상호 같거나 유사하게 형성될 수 있으며, 상호 단변 방향으로 중첩되게 배치될 수 있다. 이를 통해 전류확산 길이를 균일하게 제어함으로써 전류확산 효율이 증대되어 발광효율의 증대와 동작전압의 감소의 기술적 효과가 있다.
- [93]
- [94] 실시예는 전류확산 거리를 고려한 전극간 거리 설계를 통해 발광소자의 광특성을 향상시킬 수 있는 발광소자를 제공할 수 있다.
- [95] 예를 들어, 실시예에 의하면 발광소자 칩의 전극설계에 있어, 특히 n형 반도체층 상의 제1 가지전극과 p형 반도체층 상의 제2 가지전극 간의 거리 설계 관련하여, 발광소자 칩 분석을 통한 전류확산 거리(Current Spreading Length: Ls) 계산 및 Ls에 적합한 가지전극 간의 설계에 의해 동작전압(Vf)을 낮출 수 있고, 광출력(Po)이 동등수준이거나 상승되는 기술적 효과가 있다.
- [96]
- [97] 도 6은 제2 실시예에 따른 발광소자(102)의 평면도이며, 도 7은 제2 실시예에 따른 발광소자(102)의 부분 단면도이다.
- [98] 제2 실시예는 제1 실시예의 기술적인 특징을 채용할 수 있으며, 이하 제2 실시예의 주된 특징을 중심으로 기술하기로 한다.
- [99] 도 6 및 도 7과 같이, 제2 실시예에 따른 발광소자(102)는 기판(105)과, 상기 기판(105) 상에 제1 도전형 반도체층(112), 상기 제1 도전형 반도체층(112) 상에 활성층(114), 상기 활성층(114) 상에 제2 도전형 반도체층(116), 상기 제2 도전형 반도체층(116) 상에 투광성 오믹층(120), 상기 투광성 오믹층(120) 상에 절연층(160), 상기 제1 도전형 반도체층(112)과 전기적으로 연결된 제1 가지전극(134); 상기 제1 가지전극(134)과 연결되며 상기 절연층(160)을 관통하여 상기 제1 도전형 반도체층(112)에 전기적으로 연결된 복수의 관통전극(136), 상기 제1 가지전극(134)에 전기적으로 연결된 제1 패드전극(132)을 포함할 수 있다.
- [100] 제2 실시예에 의하면, 제1 가지전극(130)이 관통홀(미도시)을 통해 제1 도전형 반도체층(112)과 접하는 관통전극(136)을 구비함으로써 활성층(114)이 제거되는 영역을 줄여 활성층 면적을 상대적으로 넓게 확보하여 발광효율을 향상시킬 수 있다.
- [101] 또한 제2 실시예의 의하면 제1 전극의 관통전극(136)이 제1 도전형

반도체층(112)과 접하는 면적을 충분히 확보하여 동작전압 상승을 방지하여 소자의 신뢰성 및 발광효율을 극대화할 수 있다.

- [102] 예를 들어, 상기 제1 도전형 반도체층(112)과 전기적으로 연결되는 상기 관통전극(136) 중 어느 하나의 제1 수평폭(W1)은 서로 인접한 두 개의 제1 관통전극(136) 사이의 제1 거리(D1)보다 큼으로써, 상기 관통전극(136)이 제1 도전형 반도체층(112)과 전기적으로 연결되는 면적을 충분히 확보하여 동작전압의 상승을 방지하여 발광소자의 신뢰성을 증대시킬 수 있다.
- [103] 제2 실시예에서 상기 제1 도전형 반도체층(112)과 전기적으로 연결되는 관통전극(136)의 제1 수평폭(W1)은 관통전극(136) 사이의 제1 거리(D1)의 2.5 배 이상일 수 있다.
- [104] 예를 들어, 상기 관통전극(136) 중 어느 하나의 제1 수평폭(W1)은 약 $50\mu\text{m}$ 이상일 수 있으며, 관통전극(136) 사이의 제1 거리(D1)은 약 $20\mu\text{m}$ 일 수 있으나 이에 한정되는 것은 아니다.
- [105] 예를 들어, 상기 관통전극(136) 중 어느 하나의 제1 수평폭(W1)은 약 $50\mu\text{m}$ 내지 $70\mu\text{m}$ 일 수 있으며, 관통전극(136) 사이의 제1 거리(D1)은 약 $15\mu\text{m}$ 내지 $25\mu\text{m}$ 일 수 있으나 이에 한정되는 것은 아니다. 상기 관통전극(136) 중 어느 하나의 제1 수평폭(W1)이 $50\mu\text{m}$ 미만의 경우 동작전압 감소의 효과가 낮을 수 있고, 제1 수평폭(W1)이 $70\mu\text{m}$ 초과인 경우 활성층의 제거 영역이 많아져서 전체 발광 영역이 작아져서 광출력이 저하될 수 있다. 상기 관통전극(136) 사이의 제1 거리(D1)이 $15\mu\text{m}$ 미만의 경우 활성층의 볼륨이 작아 발광영역이 작을 수 있으며, 제1 거리(D1)이 $25\mu\text{m}$ 초과인 경우 동작전압 상승이 발생할 수 있다.
- [106]
- [107] 도 8은 제3 실시예에 따른 발광소자(103)의 부분 단면도이다.
- [108] 제3 실시예는 제1 실시예 또는 제2 실시예의 기술적인 특징을 채용할 수 있으며, 이하 제3 실시예의 주된 특징을 중심으로 기술하기로 한다.
- [109] 제3 실시예에 의하면, 상기 제1 전극(130)은 상기 제1 도전형 반도체층(112)과 접하는 제1 오믹 가지전극(139)과, 상기 관통 전극(136) 상에 배치된 제1 반사 가지전극(137)을 포함할 수 있다.
- [110] 제3 실시예에 의하면, 제1 도전형 반도체층(112)과 접하는 제1 오믹 가지전극(139)을 채용함으로써 관통전극(136)과 제1 도전형 반도체층(112)과의 오믹특성을 최대한 확보하여 동작전압 감소를 통한 전기적인 신뢰성을 증대시킬 수 있다.
- [111] 예를 들어, 상기 제1 오믹 가지전극(139)은 Cr, Ni, Ti, Rh, Pd, Ir, Ru, Pt, Au, Hf 중 적어도 하나 또는 이들의 조합을 포함할 수 있으나 이에 한정되지 않는다.
- [112] 또한 제3 실시예에 의하면, 제1 전극(130)은 제1 가지전극(134) 하측에 제1 반사 가지전극(137)을 구비하여 제1 가지전극(134)에 의한 광흡수를 최소화하여 외부 광추출 효율을 증대시킬 수 있다.
- [113] 상기 제1 반사 가지전극(137)은 Ag, Al, Ni, Ti, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf

중 적어도 하나 또는 이들의 조합을 포함하여 형성될 수 있으나 이에 한정되지 않는다.

- [114] 상기 제1 반사 가지전극(137)은 복수의 층으로 형성될 수 있으나 이에 한정되지 않는다. 예를 들어, 상기 제1 반사 가지전극(137)의 두개의 층인 경우 Al/Ni 또는 Ag/Ni이거나, 단일층인 경우 DBR(Distributed Bragg Reflector)을 구비할 수 있으나 이에 한정되지 않는다.

[115]

- [116] 도 9는 실시예들에 따른 발광소자가 설치된 발광소자 패키지를 설명하는 도면이다.

- [117] 실시예에 따른 발광 소자 패키지(200)는 패키지 몸체부(205)와, 상기 패키지 몸체부(205)에 설치된 제3 전극층(213) 및 제4 전극층(214)과, 상기 패키지 몸체부(205)에 설치되어 상기 제3 전극층(213) 및 제4 전극층(214)과 전기적으로 연결되는 발광 소자(100)와, 형광체(232)를 구비하여 상기 발광 소자(100)를 포위하는 몰딩부재(230)가 포함된다.

- [118] 상기 제3 전극층(213) 및 제4 전극층(214)은 서로 전기적으로 분리되며, 상기 발광 소자(100)에 전원을 제공하는 역할을 한다. 또한, 상기 제3 전극층(213) 및 제4 전극층(214)은 상기 발광 소자(100)에서 발생된 빛을 반사시켜 광 효율을 증가시키는 역할을 할 수 있으며, 상기 발광 소자(100)에서 발생된 열을 외부로 배출시키는 역할을 할 수도 있다.

- [119] 상기 발광 소자(100)는 상기 제3 전극층(213) 및/또는 제4 전극층(214)과 와이어 방식, 플립칩 방식 또는 다이 본딩 방식 중 어느 하나에 의해 전기적으로 연결될 수도 있다.

- [120] 이상에서 실시예들에 설명된 특징, 구조, 효과 등은 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.

- [121] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 실시예를 한정하는 것이 아니며, 실시예가 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 설정하는 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.

산업상 이용가능성

- [122] 실시예에 따른 발광소자는 백라이트 유닛, 조명 유닛, 디스플레이 장치, 지시

장치, 램프, 가로등, 차량용 발광장치, 차량용 표시장치, 스마트 시계 등에 적용될 수 있으나 이에 한정되는 것은 아니다.

- [123] 실시예에 따른 발광소자는 패키지 형태로 복수개가 기판 상에 어레이될 수 있다. 실시예의 발광소자 패키지에서 방출되는 광의 경로 상에 광학 부재인 도광판, 프리즘 시트, 확산 시트, 형광 시트 등이 배치될 수 있다.

[124]

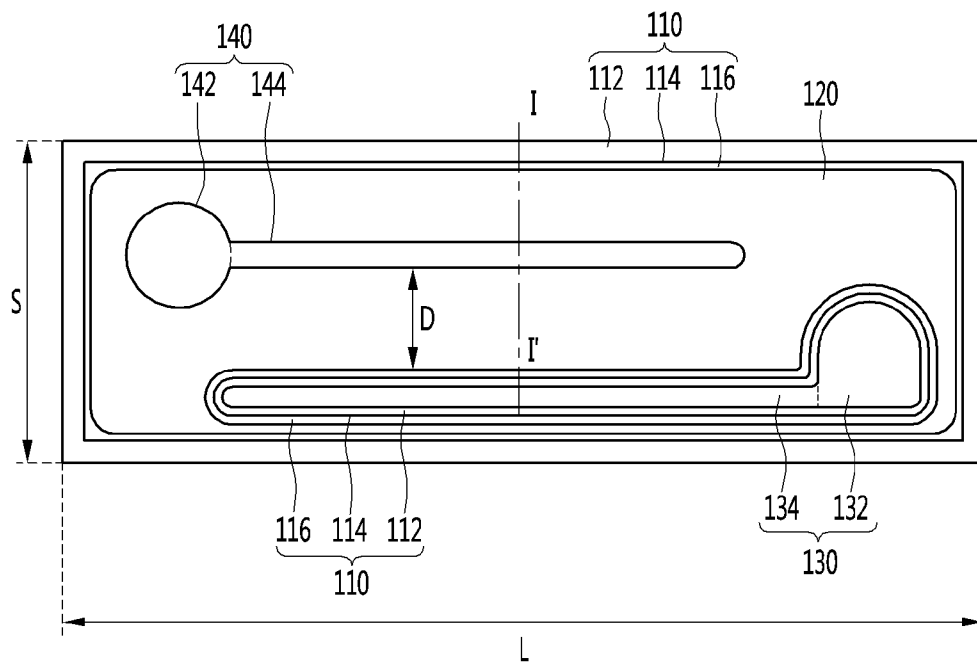
청구범위

- [청구항 1] 제1 도전형 반도체층;
 상기 제1 도전형 반도체층 상에 활성층;
 상기 활성층 상에 제2 도전형 반도체층;
 상기 제2 도전형 반도체층 상에 투광성 오믹층;
 상기 제1 도전형 반도체층과 전기적으로 연결되는 제1 전극;
 상기 투광성 오믹층 상에 제2 전극;을 포함하고,
 상기 제1 전극은 제1 패드전극과 제1 가지전극을 포함하고,
 상기 제2 전극은 제2 패드전극과 제2 가지전극을 포함하며,
 상기 발광소자는 상호 마주보는 2개의 제1 변과 상호 마주보는 2개의 제2 변을 포함하고, 상기 제1 변의 폭은 상기 제2 변의 폭보다 크며, 상기 제1 변과 상기 제2 변은 상호 직교하며, 상기 제1 가지전극과 상기 제2 가지전극 사이의 거리는 상기 어느 하나의 제2 변의 폭의 1/6 내지 1/2 인 발광소자.
- [청구항 2] 제1 항에 있어서,
 상기 어느 하나의 제2 변의 폭은 $200\mu\text{m}$ 내지 $300\mu\text{m}$ 이며,
 상기 제1 가지전극과 상기 제2 가지전극 사이의 거리는 $50\mu\text{m}$ 내지 $150\mu\text{m}$ 인 발광소자.
- [청구항 3] 제2 항에 있어서,
 상기 발광소자 칩의 상측 면적은 $300,000\mu\text{m}^2$ 이하이며,
 상기 제1 가지전극과 상기 제2 가지전극 사이의 거리는 $90\mu\text{m}$ 내지 $110\mu\text{m}$ 인 발광소자.
- [청구항 4] 제1 항에 있어서,
 상기 투광성 오믹층 상에 절연층을 더 포함하고,
 상기 제1 전극은,
 상기 제1 가지전극과 연결되며 상기 절연층을 관통하여 상기 제1 도전형 반도체층에 전기적으로 연결된 복수의 관통전극을 더 포함하는 발광소자.
- [청구항 5] 제4 항에 있어서,
 상기 제1 도전형 반도체층과 전기적으로 연결되는 상기 관통전극 중 어느 하나의 제1 수평폭은 서로 인접한 두개의 제1 관통전극 사이의 제1 거리보다 큰 발광소자.
- [청구항 6] 제4 항에 있어서,
 상기 제1 전극은,
 상기 복수의 관통전극 아래에 상기 제1 도전형 반도체층과 접하는 제1 오믹 가지전극을 더 포함하는 발광소자.
- [청구항 7] 제6 항에 있어서,

- 상기 제1 전극은,
상기 관통 전극 상에 배치된 제1 반사 가지전극을 더 포함하는 발광소자.
- [청구항 8] 제7 항에 있어서,
상기 제1 반사 가지전극은,
상기 제1 가지전극 하측에 배치되는 발광소자.
- [청구항 9] 제1 항 내지 제8 항 중 어느 하나의 발광소자를 포함하는 발광소자 패키지.
- [청구항 10] 제9항의 발광소자 패키지를 포함하는 발광장치.

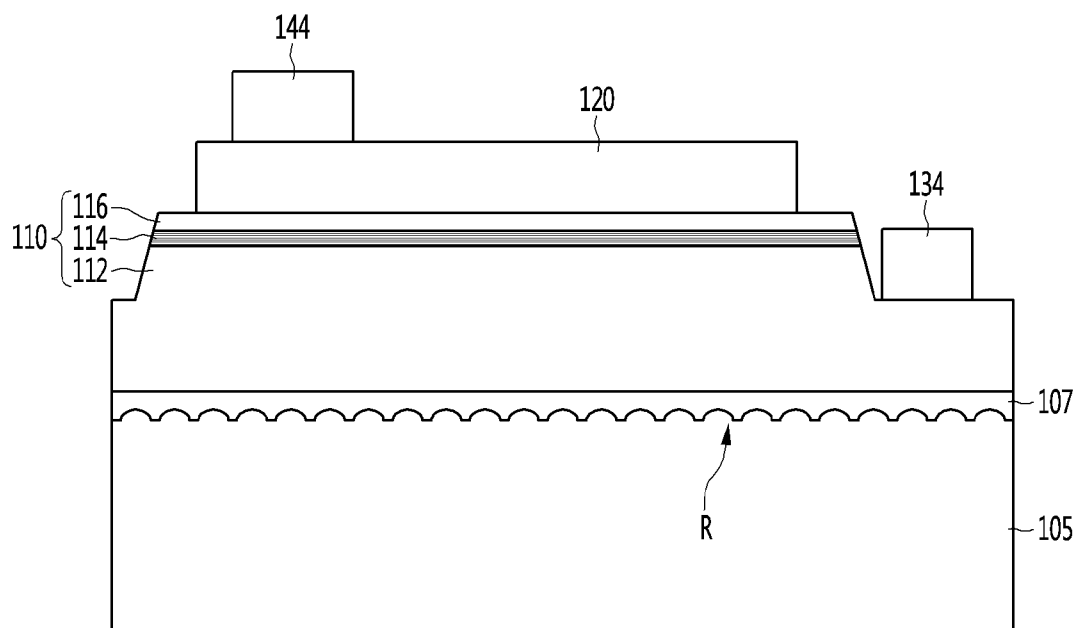
[도1]

100

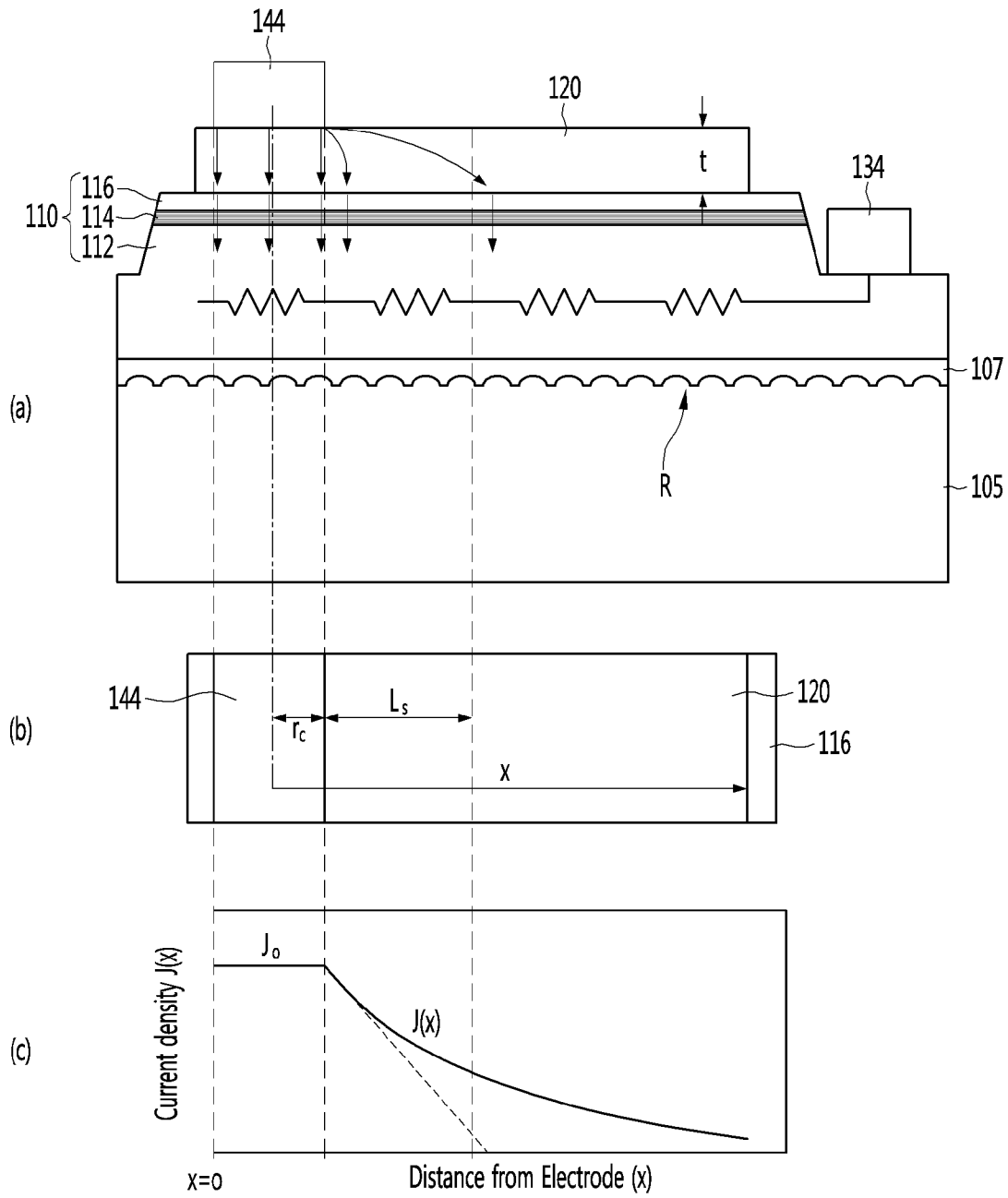


[도2]

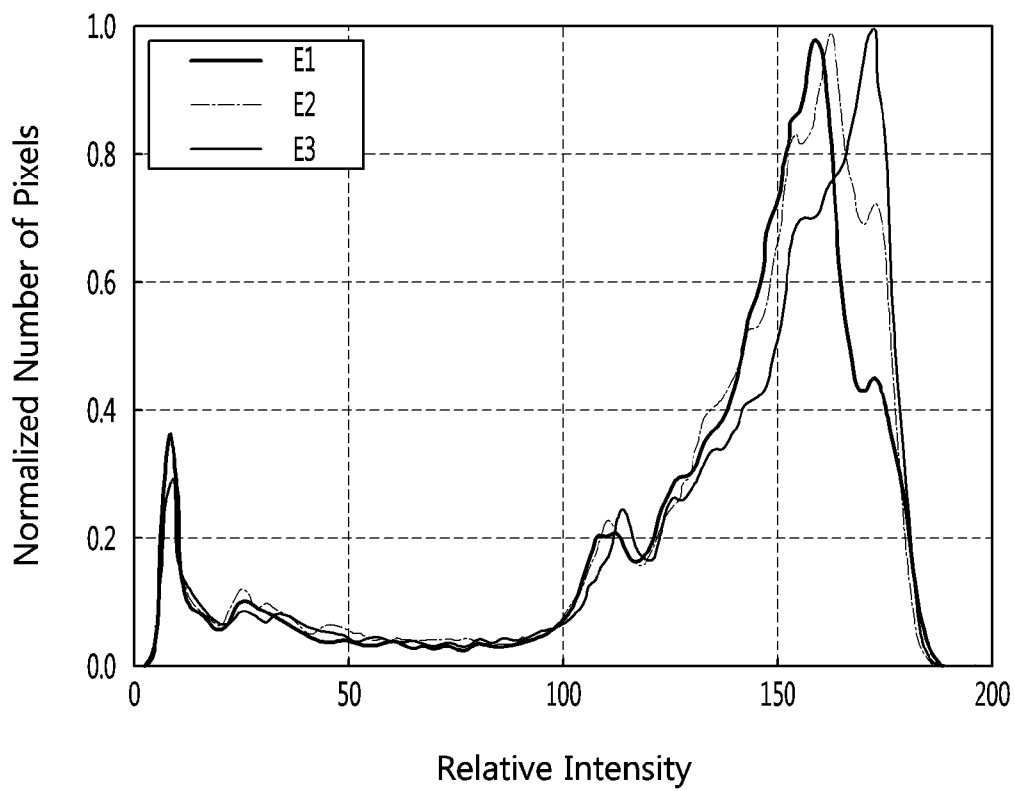
100



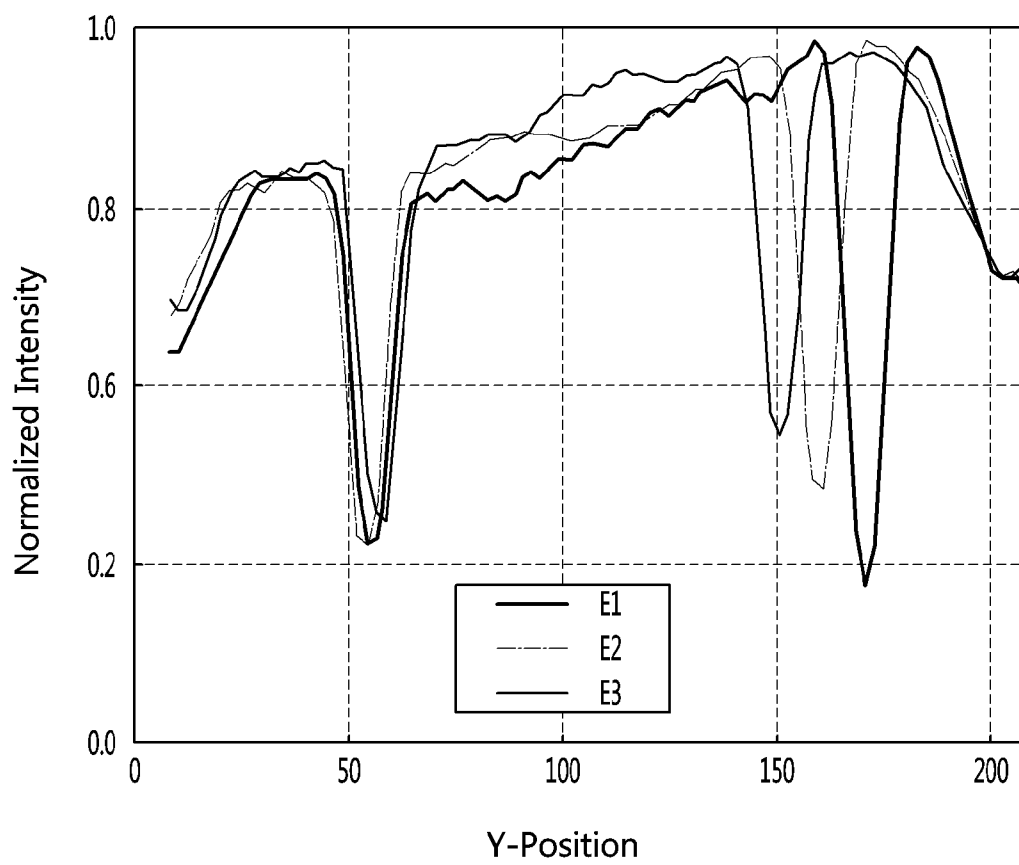
[도3]



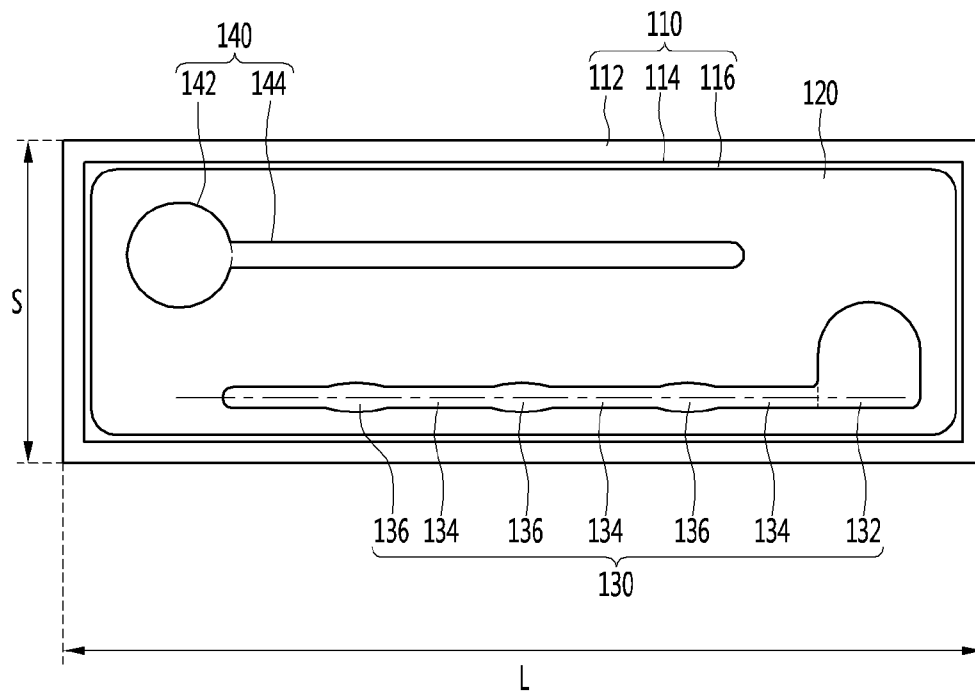
[도4]



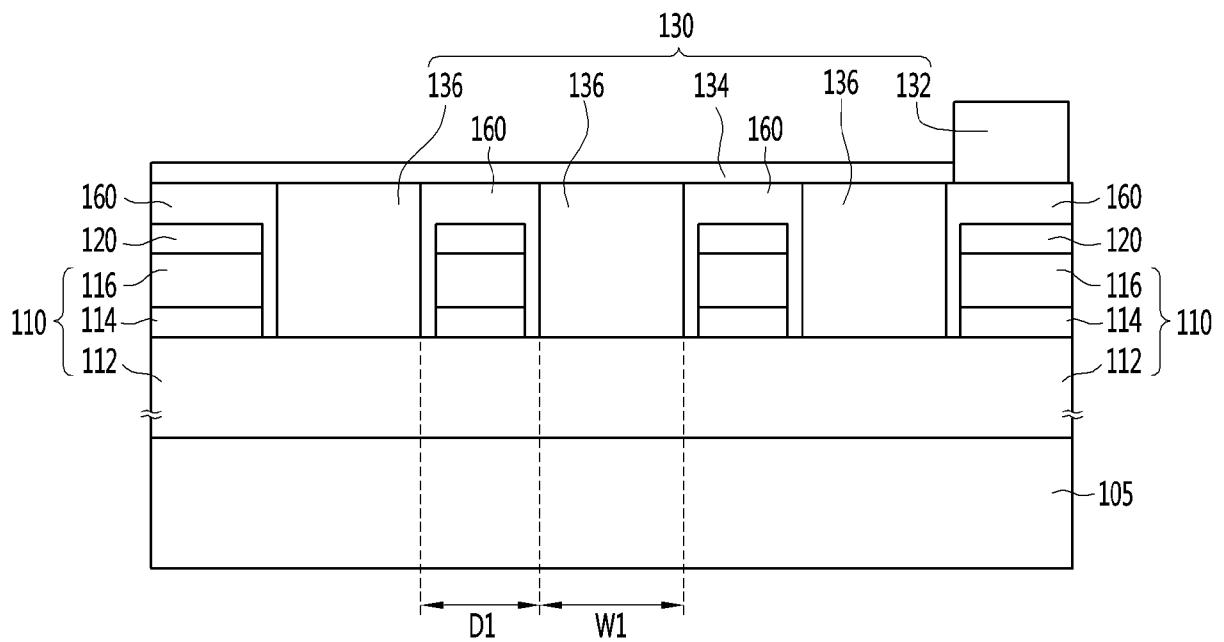
[도5]



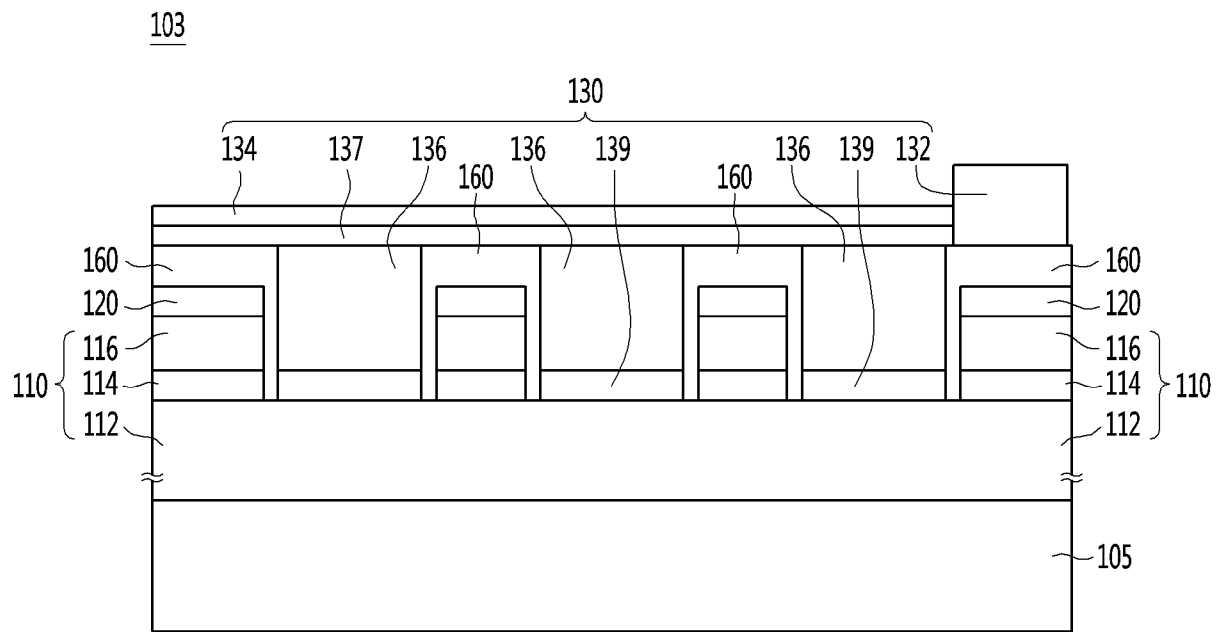
[도6]

102

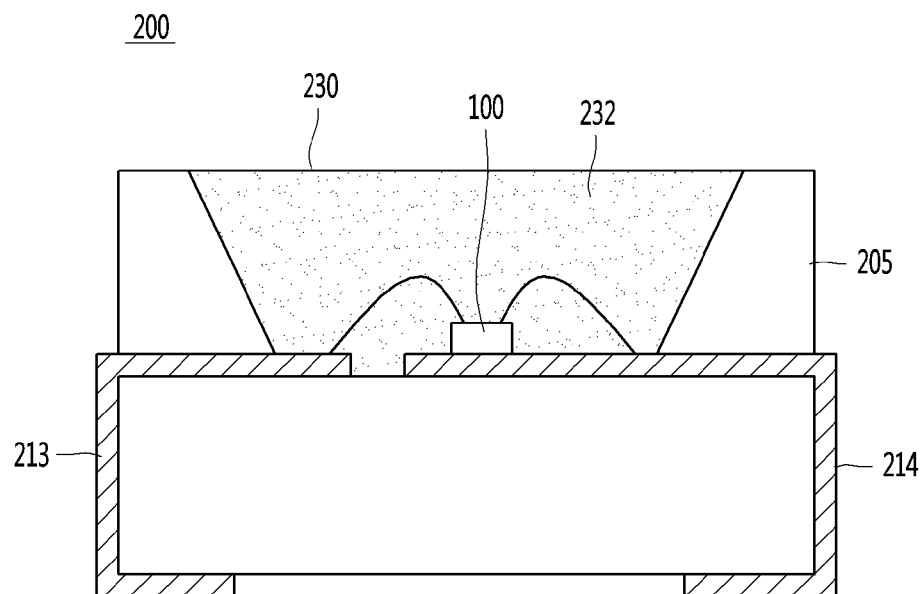
[도7]

102

[도8]



[도9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/010785**A. CLASSIFICATION OF SUBJECT MATTER****H01L 33/36(2010.01)i, H01L 33/48(2010.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/36; H01L 33/32; H01L 33/00; H01L 33/38; H01L 33/44; H01L 33/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: branched finger electrode, ohmic layer, distance, length, width, reflectance, insulation

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-089695 A (SHARP CORP.) 10 May 2012 See paragraphs [24]-[35], [45], claim 1 and figures 1-3.	1-10
Y	KR 10-2012-0064870 A (LG INNOTEK CO., LTD.) 20 June 2012 See paragraphs [14]-[70], claims 1-5 and figures 1-4.	1-10
Y	KR 10-2012-0086876 A (LG INNOTEK CO., LTD.) 06 August 2012 See paragraphs [27]-[40], claim 1 and figures 1-4.	4-8
Y	KR 10-2014-0062945 A (LG INNOTEK CO., LTD.) 27 May 2014 See paragraphs [40]-[50], claim 1 and figures 1-5.	7-8
A	JP 2009-043934 A (TOYODA GOSEI CO., LTD.) 26 February 2009 See paragraphs [25]-[34], claim 1 and figures 1-3.	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 JANUARY 2017 (11.01.2017)

Date of mailing of the international search report

12 JANUARY 2017 (12.01.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2016/010785

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2012-089695 A	10/05/2012	CN 102456791 A CN 102456791 B JP 5517882 B2 US 2012-0098023 A1	16/05/2012 08/07/2015 11/06/2014 26/04/2012
KR 10-2012-0064870 A	20/06/2012	US 2012-0007129 A1 US 2013-0082299 A1 US 8319233 B2 US 8643053 B2	12/01/2012 04/04/2013 27/11/2012 04/02/2014
KR 10-2012-0086876 A	06/08/2012	CN 102623602 A EP 2482345 A1 US 2012-0113673 A1 US 8669582 B2	01/08/2012 01/08/2012 10/05/2012 11/03/2014
KR 10-2014-0062945 A	27/05/2014	NONE	
JP 2009-043934 A	26/02/2009	CN 101399307 A CN 101399307 B JP 5223102 B2 US 2009-0039374 A1 US 8148736 B2	01/04/2009 09/06/2010 26/06/2013 12/02/2009 03/04/2012

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 33/36(2010.01)i, H01L 33/48(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 33/36; H01L 33/32; H01L 33/00; H01L 33/38; H01L 33/44; H01L 33/48

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 가지전극, 오믹층, 거리, 길이, 폭, 반사, 절연

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	JP 2012-089695 A (SHARP CORP.) 2012.05.10 단락 24-35, 45, 청구항 1 및 도면 1-3 참조.	1-10
Y	KR 10-2012-0064870 A (엘지이노텍 주식회사) 2012.06.20 단락 60-70, 청구항 1-5 및 도면 1-4 참조.	1-10
Y	KR 10-2012-0086876 A (엘지이노텍 주식회사) 2012.08.06 단락 27-40, 청구항 1 및 도면 1-4 참조.	4-8
Y	KR 10-2014-0062945 A (엘지이노텍 주식회사) 2014.05.27 단락 40-50, 청구항 1 및 도면 1-5 참조.	7-8
A	JP 2009-043934 A (TOYODA GOSEI CO., LTD.) 2009.02.26 단락 25-34, 청구항 1 및 도면 1-3 참조.	1-10

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 01월 11일 (11.01.2017)

국제조사보고서 발송일

2017년 01월 12일 (12.01.2017)

ISA/KR의 명칭 및 우편주소



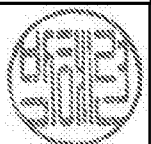
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

박혜련

전화번호 +82-42-481-3463



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2012-089695 A	2012/05/10	CN 102456791 A CN 102456791 B JP 5517882 B2 US 2012-0098023 A1	2012/05/16 2015/07/08 2014/06/11 2012/04/26
KR 10-2012-0064870 A	2012/06/20	US 2012-0007129 A1 US 2013-0082299 A1 US 8319233 B2 US 8643053 B2	2012/01/12 2013/04/04 2012/11/27 2014/02/04
KR 10-2012-0086876 A	2012/08/06	CN 102623602 A EP 2482345 A1 US 2012-0113673 A1 US 8669582 B2	2012/08/01 2012/08/01 2012/05/10 2014/03/11
KR 10-2014-0062945 A	2014/05/27	없음	
JP 2009-043934 A	2009/02/26	CN 101399307 A CN 101399307 B JP 5223102 B2 US 2009-0039374 A1 US 8148736 B2	2009/04/01 2010/06/09 2013/06/26 2009/02/12 2012/04/03