

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 29 年 8 月 10 日 (2017.8.10)

【公表番号】特表 2016-532233 (P2016-532233A)
 【公表日】平成 28 年 10 月 13 日 (2016.10.13)
 【年通号数】公開・登録公報 2016-059
 【出願番号】特願 2016-545961 (P2016-545961)
 【国際特許分類】

G 0 6 F 12/08 (2016.01)

G 0 6 F 9/46 (2006.01)

【 F I 】

G 0 6 F 12/08 5 1 3

G 0 6 F 12/08 5 6 5

G 0 6 F 12/08 5 1 5 Z

G 0 6 F 12/08 5 3 1 B

G 0 6 F 9/46 4 1 0

【誤訳訂正書】
 【提出日】平成 29 年 7 月 3 日 (2017.7.3)
 【誤訳訂正 1】
 【訂正対象書類名】特許請求の範囲
 【訂正対象項目名】全文
 【訂正方法】変更
 【訂正の内容】
 【特許請求の範囲】
 【請求項 1】

プロセッサであって、

分散キャッシュの第 1 のキャッシュ部に対応し、前記プロセッサの複数の論理プロセッサの総数より少ない総数であって各々が監視されるべきアドレスを格納する複数のキャッシュ側アドレス監視格納位置を有するキャッシュ側アドレス監視ユニットと、

第 1 のコアに対応し、前記第 1 のコアの 1 つまたは複数の論理プロセッサの数と同数であって各々が監視されるべきアドレス及び前記第 1 のコアの異なる対応する論理プロセッサの監視状態を格納する複数のコア側アドレス監視格納位置を有するコア側アドレス監視ユニットと、

前記第 1 のキャッシュ部に対応し、監視されるべき追加のアドレスを格納するのに利用可能な未使用キャッシュ側アドレス監視格納位置がない場合にアドレス監視格納オーバーフローポリシを強制するキャッシュ側アドレス監視格納オーバーフローユニットと

を備える

プロセッサ。

【請求項 2】

前記第 1 のコアに対応し、前記コア側アドレス監視ユニットに連結され、対応するコア側アドレス監視格納位置が、トリガの準備ができてトリガイイベントが検出されたという監視状態を有する場合に、前記第 1 のコアの論理プロセッサをトリガするコア側トリガユニット

をさらに備える

請求項 1 に記載のプロセッサ。

【請求項 3】

前記キャッシュ側アドレス監視ユニットに連結され、複数の異なる論理プロセッサからの同一の監視アドレスに対する複数の監視要求を、共通キャッシュ側アドレス監視格納位

置に記録するキャッシュ側アドレス監視格納位置再利用ユニット
をさらに備える

請求項 1 または 2 に記載のプロセッサ。

【請求項 4】

前記共通キャッシュ側アドレス監視格納位置は、前記同一の監視アドレスに対する前記複数の監視要求を提供した前記複数の異なる論理プロセッサを記録する構造を有する、

請求項 3 に記載のプロセッサ。

【請求項 5】

前記プロセッサは、40 より多くのハードウェアスレッドを有し、

前記第 1 のキャッシュ部に対応する前記キャッシュ側アドレス監視ユニットの前記複数のキャッシュ側アドレス監視格納位置の前記総数は、少なくとも 20 はあるが、前記 40 より多くのハードウェアスレッドの総数より少ない、

請求項 1 から 4 の何れか一項に記載のプロセッサ。

【請求項 6】

前記キャッシュ側アドレス監視ユニットの前記複数のキャッシュ側アドレス監視格納位置の前記総数は、前記複数のキャッシュ側アドレス監視格納位置のオーバーフローの確率が十万分の一以下となる前記プロセッサの前記複数の論理プロセッサの前記総数に対して十分である、

請求項 1 から 5 の何れか一項に記載のプロセッサ。

【請求項 7】

監視されるべき第 1 のアドレスを示す命令に応答して、

前記キャッシュ側アドレス監視ユニットは、前記第 1 のアドレスを、キャッシュ側アドレス監視格納位置に格納し、

前記コア側アドレス監視ユニットは、前記第 1 のアドレスを、コア側アドレス監視格納位置に格納する、

請求項 1 から 6 の何れか一項に記載のプロセッサ。

【請求項 8】

前記複数の論理プロセッサは、複数のハードウェアスレッドを含む、

請求項 1 から 6 の何れか一項に記載のプロセッサ。

【請求項 9】

前記キャッシュ側アドレス監視格納オーバーフローユニットは、複数の読み出しトランザクションに共有状態を用いるように強制することを含む前記アドレス監視格納オーバーフローポリシーを強制する、

請求項 1 から 6 の何れか一項に記載のプロセッサ。

【請求項 10】

前記キャッシュ側アドレス監視格納オーバーフローユニットは、保留中の監視要求を有する可能性がある全てのコアへ複数の無効化要求を送信することを含む前記アドレス監視格納オーバーフローポリシーを強制する、

請求項 1 から 6 の何れか一項に記載のプロセッサ。

【請求項 11】

前記キャッシュ側アドレス監視格納オーバーフローユニットは、どのコアに保留中の監視要求を有する可能性があるかを判断するオーバーフロー構造をチェックする、

請求項 10 に記載のプロセッサ。

【請求項 12】

複数の命令を処理するシステムであって、

相互接続と、

前記相互接続に連結され、かつ、キャッシュ部制御ユニットの第 1 のアドレス監視ユニット、コアインターフェースユニットの第 2 のアドレス監視ユニット、及び前記キャッシュ部制御ユニットのアドレス監視格納オーバーフローユニットを有するプロセッサと、

前記相互接続に連結されるダイナミックランダムアクセスメモリと、

前記相互接続に連結される無線通信デバイスと、
前記相互接続に連結される画像キャプチャデバイスと
を備え、

前記キャッシュ部制御ユニットの前記第 1 のアドレス監視ユニットは、分散キャッシュの第 1 のキャッシュ部に対応し、かつ、前記プロセッサの複数のハードウェアスレッドの総数より少ない総数であって各々が監視されるべきアドレスを格納する複数のアドレス監視格納位置を有し、

前記コアインターフェースユニットの前記第 2 のアドレス監視ユニットは、第 1 のコアに対応し、かつ、前記第 1 のコアの 1 つまたは複数のハードウェアスレッドの数と同数であって各々が監視されるべきアドレス及び前記第 1 のコアの異なる対応するハードウェアスレッドに対する監視状態を格納する、前記第 2 のアドレス監視ユニットの複数のアドレス監視格納位置を有し、

前記キャッシュ部制御ユニットの前記アドレス監視格納オーバーフローユニットは、前記第 1 のアドレス監視ユニットの全てのアドレス監視格納位置が用いられて監視要求に対してアドレスを格納するのに利用可能なものがない場合に、アドレス監視格納オーバーフローポリシーを実施する、

システム。

【請求項 13】

前記アドレス監視格納オーバーフローユニットは、複数の読み出しトランザクションに共有状態を用いるように強制すること及び保留中の監視要求を有する可能性がある全てのコアへ複数の無効化要求を送信することを含む前記アドレス監視格納オーバーフローポリシーを実施する、

請求項 12 に記載のシステム。

【請求項 14】

前記プロセッサは、40 より多くのハードウェアスレッドを有し、

前記第 1 のアドレス監視ユニットの前記複数のアドレス監視格納位置の前記総数は、少なくとも 20 はあるが、前記プロセッサの前記 40 より多くのハードウェアスレッドの前記総数より少ない、

請求項 12 または 13 に記載のシステム。

【請求項 15】

前記プロセッサは、複数の異なるハードウェアスレッドからの同一の監視アドレスに対する複数の監視要求を共通アドレス監視格納位置に記録する、前記キャッシュ部制御ユニットのアドレス監視格納位置再利用ユニットをさらに有する、

請求項 12 または 13 に記載のシステム。

【請求項 16】

プロセッサにおける方法であって、

アドレスを示し、かつ、マルチコアプロセッサの第 1 のコアの第 1 の論理プロセッサにおいて前記アドレスへの複数の書き込みに対して監視することを示す第 1 の命令を受信する段階と、

前記第 1 の命令に応答して、

前記第 1 のコアに対応し、かつ、数が前記第 1 のコアの複数の論理プロセッサの数に等しい複数のコア側アドレス監視格納位置の第 1 のコア側アドレス監視格納位置に、前記第 1 の命令によって示された前記アドレスを格納する段階と、

分散キャッシュの第 1 のキャッシュ部に対応し、かつ、総数が前記マルチコアプロセッサの複数の論理プロセッサの総数より少ない複数のキャッシュ側アドレス監視格納位置の第 1 のキャッシュ側アドレス監視格納位置に、前記第 1 の命令によって示された前記アドレスを格納する段階と、

監視状態を投機状態に変更する段階と

を備える

方法。

【請求項 17】

前記アドレスをまた示し、第2のコアの第2の論理プロセッサにおいて前記アドレスへの複数の書き込みに対して監視することを示す第2の命令を受信する段階と、

前記第2のコアのための前記アドレスに対する監視要求を前記第1のキャッシュ側アドレス監視格納位置に記録する段階と

をさらに備える

請求項16に記載の方法。

【請求項 18】

前記第2のコアのための前記アドレスに対する前記監視要求を前記第1のキャッシュ側アドレス監視格納位置に記録する段階は、前記マルチコアプロセッサの各コアに対応する異なるビットを有するコアマスクにおけるビットを変更する段階を含む、

請求項17に記載の方法。

【請求項 19】

第2のアドレスを示し、前記第1の論理プロセッサにおいて前記第2のアドレスへの複数の書き込みに対して監視することを示す第2の命令を受信する段階と、

前記第1のキャッシュ部に対応する前記複数のキャッシュ側アドレス監視格納位置の中に利用可能な複数のキャッシュ側アドレス監視格納位置がないことを判断する段階と、

キャッシュ側アドレス監視格納位置オーバーフローモードに入ることを決定する段階とをさらに備える

請求項16から18の何れか一項に記載の方法。

【請求項 20】

前記キャッシュ側アドレス監視格納位置オーバーフローモードにある間は、

前記第1のキャッシュ部に対応する全ての読み出しトランザクションに共有キャッシュコヒーレンシ状態を用いることを強制する段階と、

前記第1のキャッシュ部に対応する複数の無効化要求を、1つまたは複数の保留中の監視要求を有する可能性がある、前記マルチコアプロセッサの全てのコアへ送信する段階とをさらに備える

請求項19に記載の方法。

【請求項 21】

前記第1の論理プロセッサにおいて前記アドレスを示す第2の命令を受信する段階と、

前記第2の命令に応答して、前記監視状態をトリガ待ち状態に変更する段階と

をさらに備える

請求項16から20の何れか一項に記載の方法。

【請求項 22】

請求項16から21の何れかに一項に記載の方法を実行するプロセッサ。

【請求項 23】

請求項16から21の何れか一項に記載の方法を実行するための手段を含むプロセッサ。

【請求項 24】

コンピュータにより実行されるプログラムであって、

前記コンピュータにより実行された場合、前記コンピュータに請求項16から21の何れか一項に記載の方法を実行させるように動作可能である1つまたは複数の命令を格納する

プログラム。

【請求項 25】

相互接続、

前記相互接続に連結されるプロセッサ、

前記相互接続に連結される無線通信チップ、及び

前記相互接続に連結されるビデオカメラ

を備えるコンピュータシステムであって、

前記コンピュータシステムは、請求項 16 から 21 の何れか一項に記載の方法を実行する、

コンピュータシステム。

【請求項 26】

請求項 24 に記載のプログラムを格納するコンピュータ可読記憶媒体。

【誤訳訂正 2】

【訂正対象書類名】明細書

【訂正対象項目名】0042

【訂正方法】変更

【訂正の内容】

【0042】

オーバーフローポリシとして、ブロック 575 では、方法は、全ての読み出しトランザクションに共有キャッシュコピーレンシ状態を用いることを強制する段階を含んでよい。概念的には、これは、全ての読み出しトランザクションを監視要求として取り扱うとされてよい。オーバーフローモードに入ると、キャッシュ側アドレス監視ユニットはもはや、専用ストレージで複数の監視要求 / アドレスを追跡することができなくなる。従って、キャッシュラインの排他的コピーを有することが可能なコアがない。例えば、キャッシュ側アドレス監視ユニットによって受信された任意の読み出し動作は、共有状態応答で処理され得る。対応するアドレスへ書き込む意図が、スヌープまたはブロードキャストが当該アドレスをキャッシュしたかもしれない複数のコアの全てに提供されるであろうということを保証するのに、そのような読み出しトランザクションに共有状態を用いることを強制することは、役に立ち得る。

【誤訳訂正 3】

【訂正対象書類名】明細書

【訂正対象項目名】0111

【訂正方法】変更

【訂正の内容】

【0111】

第 9 実施例は、任意の先行の例のプロセッサを含み、キャッシュ側アドレス監視格納オーバーフローユニットは、複数の読み出しトランザクションに共有状態を用いることを強制することを含みアドレス監視格納オーバーフローポリシを強制する。

【誤訳訂正 4】

【訂正対象書類名】明細書

【訂正対象項目名】0131

【訂正方法】変更

【訂正の内容】

【0131】

第 30 実施例は、実質的に本明細書に開示されたような命令を実行するための手段を含むプロセッサまたは他の装置を有する。なお、本明細書によれば、以下の各項目もまた実施形態として開示される。

[項目 1]

プロセッサであって、

分散キャッシュの第 1 のキャッシュ部に対応し、前記プロセッサの複数の論理プロセッサの総数より少ない総数であって各々が監視されるべきアドレスを格納する複数のキャッシュ側アドレス監視格納位置を有するキャッシュ側アドレス監視ユニットと、

第 1 のコアに対応し、前記第 1 のコアの 1 つまたは複数の論理プロセッサの数と同数であって各々が監視されるべきアドレス及び前記第 1 のコアの異なる対応する論理プロセッサの監視状態を格納する複数のコア側アドレス監視格納位置を有するコア側アドレス監視ユニットと、

前記第 1 のキャッシュ部に対応し、監視されるべき追加のアドレスを格納するのに利用

可能な未使用キャッシュ側アドレス監視格納位置がない場合にアドレス監視格納オーバーフローポリシを強制するキャッシュ側アドレス監視格納オーバーフローユニットと
を備える
プロセッサ。

[項目 2]

前記第 1 のコアに対応し、前記コア側アドレス監視ユニットに連結され、対応するコア側アドレス監視格納位置が、トリガの準備ができてトリガイベントが検出されたという監視状態を有する場合に、前記第 1 のコアの論理プロセッサをトリガするコア側トリガユニット

をさらに備える

項目 1 に記載のプロセッサ。

[項目 3]

前記キャッシュ側アドレス監視ユニットに連結され、複数の異なる論理プロセッサからの同一の監視アドレスに対する複数の監視要求を、共通キャッシュ側アドレス監視格納位置に記録するキャッシュ側アドレス監視格納位置再利用ユニット

をさらに備える

項目 1 または 2 に記載のプロセッサ。

[項目 4]

前記共通キャッシュ側アドレス監視格納位置は、前記同一の監視アドレスに対する前記複数の監視要求を提供した前記複数の異なる論理プロセッサを記録する構造を有する、

項目 3 に記載のプロセッサ。

[項目 5]

前記プロセッサは、40 より多くのハードウェアスレッドを有し、

前記第 1 のキャッシュ部に対応する前記キャッシュ側アドレス監視ユニットの前記複数のキャッシュ側アドレス監視格納位置の前記総数は、少なくとも20はあるが、前記40より多くのハードウェアスレッドの総数より少ない、

項目 1 から 4 の何れか一項に記載のプロセッサ。

[項目 6]

前記キャッシュ側アドレス監視ユニットの前記複数のキャッシュ側アドレス監視格納位置の前記総数は、前記複数のキャッシュ側アドレス監視格納位置のオーバーフローの確率が十万分の一以下となる前記プロセッサの前記複数の論理プロセッサの前記総数に対して十分である、

項目 1 から 5 の何れか一項に記載のプロセッサ。

[項目 7]

監視されるべき第 1 のアドレスを示す命令に応答して、

前記キャッシュ側アドレス監視ユニットは、前記第 1 のアドレスを、キャッシュ側アドレス監視格納位置に格納し、

前記コア側アドレス監視ユニットは、前記第 1 のアドレスを、コア側アドレス監視格納位置に格納する、

項目 1 から 6 の何れか一項に記載のプロセッサ。

[項目 8]

前記複数の論理プロセッサは、複数のハードウェアスレッドを含む、

項目 1 から 6 の何れか一項に記載のプロセッサ。

[項目 9]

前記キャッシュ側アドレス監視格納オーバーフローユニットは、共有状態を用いるべく、複数の読み出しトランザクションを実行することを含む前記アドレス監視格納オーバーフローポリシを強制する、

項目 1 から 6 の何れか一項に記載のプロセッサ。

[項目 10]

前記キャッシュ側アドレス監視格納オーバーフローユニットは、保留中の監視要求を有

する可能性がある全てのコアへ複数の無効化要求を送信することを含む前記アドレス監視格納オーバーフローポリシーを強制する、

項目 1 から 6 の何れか一項に記載のプロセッサ。

[項目 1 1]

前記キャッシュ側アドレス監視格納オーバーフローユニットは、どのコアに保留中の監視要求を有する可能性があるかを判断するオーバーフロー構造をチェックする、

項目 1 0 に記載のプロセッサ。

[項目 1 2]

複数の命令を処理するシステムであって、

相互接続と、

前記相互接続に連結され、かつ、キャッシュ部制御ユニットの第 1 のアドレス監視ユニット、コアインターフェースユニットの第 2 のアドレス監視ユニット、及び前記キャッシュ部制御ユニットのアドレス監視格納オーバーフローユニットを有するプロセッサと、

前記相互接続に連結されるダイナミックランダムアクセスメモリと、

前記相互接続に連結される無線通信デバイスと、

前記相互接続に連結される画像キャプチャデバイスと

を備え、

前記キャッシュ部制御ユニットの前記第 1 のアドレス監視ユニットは、分散キャッシュの第 1 のキャッシュ部に対応し、かつ、前記プロセッサの複数のハードウェアスレッドの総数より少ない総数であって各々が監視されるべきアドレスを格納する複数のアドレス監視格納位置を有し、

前記コアインターフェースユニットの前記第 2 のアドレス監視ユニットは、第 1 のコアに対応し、かつ、前記第 1 のコアの 1 つまたは複数のハードウェアスレッドの数と同数であって各々が監視されるべきアドレス及び前記第 1 のコアの異なる対応するハードウェアスレッドに対する監視状態を格納する、前記第 2 のアドレス監視ユニットの複数のアドレス監視格納位置を有し、

前記キャッシュ部制御ユニットの前記アドレス監視格納オーバーフローユニットは、前記第 1 のアドレス監視ユニットの全てのアドレス監視格納位置が用いられて監視要求に対してアドレスを格納するのに利用可能なものがない場合に、アドレス監視格納オーバーフローポリシーを実施する、

システム。

[項目 1 3]

前記アドレス監視格納オーバーフローユニットは、共有状態を用いるべく複数の読み出しトランザクションを実行すること及び保留中の監視要求を有する可能性がある全てのコアへ複数の無効化要求を送信することを含む前記アドレス監視格納オーバーフローポリシーを実施する、

項目 1 2 に記載のシステム。

[項目 1 4]

前記プロセッサは、40 より多くのハードウェアスレッドを有し、

前記第 1 のアドレス監視ユニットの前記複数のアドレス監視格納位置の前記総数は、少なくとも 20 はあるが、前記プロセッサの前記 40 より多くのハードウェアスレッドの前記総数より少ない、

項目 1 2 または 1 3 に記載のシステム。

[項目 1 5]

前記プロセッサは、複数の異なるハードウェアスレッドからの同一の監視アドレスに対する複数の監視要求を共通アドレス監視格納位置に記録する、前記キャッシュ部制御ユニットのアドレス監視格納位置再利用ユニットをさらに有する、

項目 1 2 または 1 3 に記載のシステム。

[項目 1 6]

プロセッサにおける方法であって、

アドレスを示し、かつ、マルチコアプロセッサの第 1 のコアの第 1 の論理プロセッサにおいて前記アドレスへの複数の書き込みに対して監視することを示す第 1 の命令を受信する段階と、

前記第 1 の命令に応答して、

前記第 1 のコアに対応し、かつ、数が前記第 1 のコアの複数の論理プロセッサの数に等しい複数のコア側アドレス監視格納位置の第 1 のコア側アドレス監視格納位置に、前記第 1 の命令によって示された前記アドレスを格納する段階と、

分散キャッシュの第 1 のキャッシュ部に対応し、かつ、総数が前記マルチコアプロセッサの複数の論理プロセッサの総数より少ない複数のキャッシュ側アドレス監視格納位置の第 1 のキャッシュ側アドレス監視格納位置に、前記第 1 の命令によって示された前記アドレスを格納する段階と、

監視状態を投機状態に変更する段階と

を備える

方法。

[項目 1 7]

前記アドレスをまた示し、第 2 のコアの第 2 の論理プロセッサにおいて前記アドレスへの複数の書き込みに対して監視することを示す第 2 の命令を受信する段階と、

前記第 2 のコアのための前記アドレスに対する監視要求を前記第 1 のキャッシュ側アドレス監視格納位置に記録する段階と

をさらに備える

項目 1 6 に記載の方法。

[項目 1 8]

前記第 2 のコアのための前記アドレスに対する前記監視要求を前記第 1 のキャッシュ側アドレス監視格納位置に記録する段階は、前記マルチコアプロセッサの各コアに対応する異なるビットを有するコアマスクにおけるビットを変更する段階を含む、

項目 1 7 に記載の方法。

[項目 1 9]

第 2 のアドレスを示し、前記第 1 の論理プロセッサにおいて前記第 2 のアドレスへの複数の書き込みに対して監視することを示す第 2 の命令を受信する段階と、

前記第 1 のキャッシュ部に対応する前記複数のキャッシュ側アドレス監視格納位置の中に利用可能な複数のキャッシュ側アドレス監視格納位置がないことを判断する段階と、

キャッシュ側アドレス監視格納位置オーバーフローモードに入ることを決定する段階と

をさらに備える

項目 1 6 から 1 8 の何れか一項に記載の方法。

[項目 2 0]

前記キャッシュ側アドレス監視格納位置オーバーフローモードにある間は、

共有キャッシュコヒーレンシ状態を用いるべく、前記第 1 のキャッシュ部に対応する全ての読み出しトランザクションを実行する段階と、

前記第 1 のキャッシュ部に対応する複数の無効化要求を、1 つまたは複数の保留中の監視要求を有する可能性がある、前記マルチコアプロセッサの全てのコアへ送信する段階と

をさらに備える

項目 1 9 に記載の方法。

[項目 2 1]

前記第 1 の論理プロセッサにおいて前記アドレスを示す第 2 の命令を受信する段階と、

前記第 2 の命令に応答して、前記監視状態をトリガ待ち状態に変更する段階と

をさらに備える

項目 1 6 から 2 0 の何れか一項に記載の方法。

[項目 2 2]

項目 1 6 から 2 1 の何れかに一項に記載の方法を実行するプロセッサ。

[項目 2 3]

項目 1 6 から 2 1 の何れか一項に記載の方法を実行するための手段を含むプロセッサ。

[項目 2 4]

1 つまたは複数の命令を格納する非一時的機械可読媒体を含む製造品であって、

前記 1 つまたは複数の命令は、機械により実行された場合、前記機械に項目 1 6 から 2 1 の何れか一項に記載の方法を実行させるように動作可能である、

製造品。

[項目 2 5]

相互接続、

前記相互接続に連結されるプロセッサ、

前記相互接続に連結される無線通信チップ、及び

前記相互接続に連結されるビデオカメラ

を備えるコンピュータシステムであって、

前記コンピュータシステムは、項目 1 6 から 2 1 の何れか一項に記載の方法を実行する

、

コンピュータシステム。