

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3865732号

(P3865732)

(45) 発行日 平成19年1月10日(2007.1.10)

(24) 登録日 平成18年10月13日(2006.10.13)

(51) Int. Cl. F I  
**HO4N 7/01 (2006.01)** HO4N 7/01 G

請求項の数 10 (全 23 頁)

(21) 出願番号	特願2003-581494 (P2003-581494)	(73) 特許権者	000005821
(86) (22) 出願日	平成15年3月28日(2003.3.28)		松下電器産業株式会社
(86) 国際出願番号	PCT/JP2003/003927		大阪府門真市大字門真1006番地
(87) 国際公開番号	W02003/084227	(74) 代理人	100098291
(87) 国際公開日	平成15年10月9日(2003.10.9)		弁理士 小笠原 史朗
審査請求日	平成16年10月1日(2004.10.1)	(72) 発明者	木本 高幸
(31) 優先権主張番号	特願2002-98368 (P2002-98368)		大阪府枚方市出口2-29-1-437
(32) 優先日	平成14年4月1日(2002.4.1)		
(33) 優先権主張国	日本国(JP)	審査官	畑中 高行
		(56) 参考文献	特開2001-169252 (JP, A)
			特開平06-105292 (JP, A)

最終頁に続く

(54) 【発明の名称】 フィールド補間方式決定装置

(57) 【特許請求の範囲】

【請求項1】

入力されるインタレース信号の各フィールドを、フィールド間補間およびフィールド内補間の何れの方法でプログレシブ信号に変換すべきかを決定するフィールド補間方式決定装置であって、

前記入力インタレース信号と、当該入力インタレース信号を1フィールド遅延させた1フィールド遅延入力インタレース信号との画素レベル差分を検出する画素レベル差分検出手段と、

前記画素レベル差分に基づいて、前記入力インタレース信号と前記1フィールド遅延入力インタレース信号との相関を検出してフィールド間相関判定信号を出力する、フィールド相関検出手段と、

前記入力インタレース信号のN個の連続するフィールドに対応するN-1個の前記フィールド間相関判定信号を記憶するフィールド間相関記憶手段と、

前記N-1個のフィールド間相関判定信号の値のパターンに基づいて、前記N個の連続するフィールドが2-2プルダウン方式又は2-3プルダウン方式で変換されたものであると判定される場合は1カウントアップし、2-2プルダウン方式又は2-3プルダウン方式で変換されたものでないと判定される場合はカウント値をリセットし、何れとも判定されない場合はカウント値を保持するカウンタ手段と、

前記カウント値が所定値より大きい場合にはフィールド間補間と決定し、当該所定値以下の場合にはフィールド内補間と補間方式を決定する補間方式判定手段とを備える、フィ

10

20

ールド補間方式決定装置。

【請求項 2】

前記入力インタレース信号が 2 - 3 プルダウン方式で変換されたものである場合は、前記 N は 6 以上であることを特徴とする、請求項 1 に記載のフィールド補間方式決定装置。

【請求項 3】

前記入力インタレース信号が 2 - 2 プルダウン方式で変換されたものである場合は、前記 N は 5 以上であることを特徴とする、請求項 1 に記載のフィールド補間方式決定装置。

【請求項 4】

前記カウンタ手段は、前記 N - 1 個のフィールド間関連判定信号のうち、少なくとも連続する 2 つが関連無しと示す場合は、2 - 2 プルダウン方式又は 2 - 3 プルダウン方式で変換されたものでないと判断することを特徴とする、請求項 1 から 3 のいずれかに記載のフィールド補間方式決定装置。

10

【請求項 5】

前記カウンタ手段は、前記 N - 1 個のフィールド間関連判定信号において、関連ありと関連なしとが交互に示される場合は、2 - 2 プルダウン方式で変換されたものであると判断することを特徴とする、請求項 1 から 3 のいずれかに記載のフィールド補間方式決定装置。

【請求項 6】

前記フィールド関連検出手段は、

前記画素信号レベル差分が所定の画素レベルを表す第 1 の閾値より大きいか否かを画素毎に判定して二値で表す画素単位レベル差判定結果を出力する画素差判定手段と、

20

前記画素単位レベル差判定結果を 1 フィールド単位で加算してフィールド単位レベル差判定結果を出力するフィールド単位レベル差判定手段と、

前記フィールド単位レベル差判定結果が所定の画素数を表す第 2 の閾値よりも大きいか否かにより、フィールド間の相関が大きいか否かを判定するフィールド間関連判定手段とを備える請求項 1 から 3 のいずれかに記載のフィールド補間方式決定装置。

【請求項 7】

前記フィールド間差異判定手段は、さらに、前記 1 フィールド遅延入力インタレース信号が表す画像の明るさを表す信号レベルを検出する信号レベル検出手段と、

前記信号レベルの値に基づいて、前記第 1 の閾値を変化させる、第 1 の閾値変更手段とを備える、請求項 6 に記載のフィールド補間方式決定装置。

30

【請求項 8】

前記フィールド間差異判定手段は、さらに、前記 1 フィールド遅延入力インタレース信号が表す画像の明るさを表す信号レベルを検出する信号レベル検出手段と、

前記信号レベルの値に基づいて、前記第 2 の閾値を変化させる、第 2 の閾値変更手段とを備える、請求項 6 に記載のフィールド補間方式決定装置。

【請求項 9】

前記フィールド間差異判定手段は、さらに、前記 1 フィールド遅延入力インタレース信号に基づいて当該 1 フィールド遅延入力インタレース信号のフィールドが偶数フィールドであるか、奇数フィールドであるかを示すフィールド識別信号を出力する、フィールド識別手段と、

40

当該フィールド識別信号と前記フィールド間関連判定信号との論理積を求めて、前記 N フィールド間差異記憶手段へ出力する論理積回路とを備える、請求項 1 から 3 のいずれかに記載のフィールド補間方式決定装置。

【請求項 10】

前記フィールド間差異判定手段は、さらに、前記フィールド識別信号の反転信号を出力する反転器と、

前記フィールド識別信号および前記反転信号のいずれかを選択的に前記論理積回路へ出力するフィールド識別信号反転スイッチとを備える、請求項 9 に記載のフィールド補間方式決定装置。

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

入力されるインタレース信号の各フィールドを、フィールド間補間およびフィールド内補間の何れの方法でプログレッシブ信号に変換すべきかを決定するフィールド補間方式決定装置に関する。

## 【背景技術】

## 【0002】

プログレッシブ信号に変換すべきインタレース信号の中には、飛び越し走査で撮像された標準的な信号と、プログレッシブ信号をインタレース信号に変換した信号とがある。後者の代表的な例は、テレシネ変換信号である。

10

テレシネ変換方式の一つである2-2プルダウン方式では、テレシネ変換信号は、以下のように生成される。まず、毎秒24コマの映画フィルムの各コマが順次走査され、毎秒24フレームのプログレッシブ信号が生成される。そして、当該プログレッシブ信号の各フレーム(親フレーム)は、インタレース信号の奇数フィールドとその直後の偶数フィールドとに変換される。

## 【0003】

例えば、映画フィルムの第1コマ(プログレッシブ信号の第1親フレーム)は、第1および第2フィールドに変換され、映画フィルムの第2コマ(プログレッシブ信号の第2親フレーム)は、第3および第4フィールドに変換される。

20

このため、同一の親フレームから変換された第1フィールドと第2フィールドとでは、それぞれの映像が類似しているため、映像の差異は小さい。一方、親フレームが異なる第2フィールドと第3フィールドとでは、フィールド間の映像の差異は、親フレーム間の差異を反映するため、前者と比較して大きくなる。つまり、隣り合うフィールド間の差異は、親フレームと各フィールドとの関係に従って、フィールドごとに大小交互に変化する。

## 【0004】

このようなテレシネ変換信号の特徴は、毎秒30フレームのプログレッシブ映像信号を生成する30P方式のビデオカメラで撮影されたプログレッシブ信号を、2-2プルダウン方式で変換した毎秒60フィールドのインタレース信号にも当てはまる。

## 【0005】

また、NTSC方式(毎秒60フィールド)のインタレース信号にテレシネ変換するために用いられる2-3プルダウン方式では、映画フィルムの1コマは2フィールドに、次の1コマは3フィールドに変換され、2コマごとに上記の変換パターンがくり返される。2-3プルダウン方式のテレシネ変換信号も、親フレームとフィールドとの関係に従って、フィールド間の画素レベルの差について規則的な変化パターンを有するため、上記と同様の特徴を備える。

30

## 【0006】

特許文献1として、日本特開平9-18784号公報(優先権主張US94-366799)は、入力インタレース信号のフィールド間の差異に基づいて、入力インタレース信号がテレシネ変換信号であるか否かを識別して、フィールド補間方式を決定するフィールド補間方式決定装置を開示している。

40

図10を参照して、従来のフィールド補間方式決定装置を組み込んだ映像信号処理装置について説明する。同図に示された映像信号処理装置200は、入力インタレース信号がテレシネ変換信号である場合のみフィールド間補間を行い、テレシネ変換信号でない場合にはフィールド内補間を行って、当該インタレース信号をプログレッシブ信号に変換する。

## 【0007】

映像信号処理装置200は、入力端子1、フィールドメモリ2、フィールドメモリ4、減算器6、フィールド補間方式決定部108、ODD/EVEN検出部10、第1のスイッチ12、ラインメモリ14、2ライン補間部16、第2のスイッチ18、およびプログ

50

レッシュ信号生成部 20 を含む。

【 0 0 0 8 】

入力端子 1 には、入力インタレース信号  $V_{in}$  が供給される。フィールドメモリ 2 は、入力インタレース信号  $V_{in}$  に対して 1 フィールド分遅延した 1 フィールド遅延入力インタレース信号  $V_{d1}$  を出力する。また、1 フィールド遅延入力インタレース信号  $V_{d1}$  は、プログレッシブ信号生成部 20 に入力され、同信号に対してフィールド間補間またはフィールド内補間のいずれかが行われる。

【 0 0 0 9 】

減算器 6 は、入力インタレース信号  $V_{in}$  と 1 フィールド遅延入力インタレース信号  $V_{d1}$  との画素レベルの差分を求めて、フィールド間画素レベル差分  $S_p$  として出力する。なお、インタレース信号では、隣り合うフィールドの走査線は、1 ずつずれている。このため、減算器 6 は、一方のフィールドの隣り合う 2 ラインの画素レベルの平均値と他方のフィールドの対応する画素レベルとの差分を求める。

10

【 0 0 1 0 】

フィールド補間方式決定部 108 は、フィールド間画素レベル差分  $S_p$  に基づいて、入力インタレース信号  $V_{in}$  がテレシネ変換信号であるか否かを判定する。フィールド補間方式決定部 108 は、1 フィールド遅延入力インタレース信号  $V_{d1}$  に対してフィールド間補間およびフィールド内補間のいずれを行うかを指示するフィールド補間方式指示信号  $Dvp$  を出力する。

【 0 0 1 1 】

第 2 のスイッチ 18 は、フィールド間補間を指示するフィールド補間方式指示信号  $Dvp$  が入力される場合、上記の第 1 のスイッチ 12 から出力されたフィールド間補間映像信号  $Sw1$  を選択して補間映像信号  $Sw2$  として出力する。

20

【 0 0 1 2 】

フィールド間補間映像信号  $Sw1$  は、1 フィールド遅延入力インタレース信号  $V_{d1}$  に対して 1 フィールド前の信号である 2 フィールド遅延入力インタレース信号  $V_{d2}$  および 1 フィールド後の信号である入力インタレース信号  $V_{in}$  のいずれかの信号であり、以下のように選択される。

【 0 0 1 3 】

ODD / EVEN 検出部 10 は、1 フィールド遅延入力インタレース信号  $V_{d1}$  に基づいて当該信号が奇数フィールドであるか偶数フィールドであるかを検出し、検出結果を示すフィールド識別信号  $Doe$  を出力する。

30

【 0 0 1 4 】

第 1 のスイッチ 12 は、フィールド識別信号  $Doe$  に基づいて、2 フィールド遅延入力インタレース信号  $V_{d2}$  または、入力インタレース信号  $V_{in}$  を選択して、フィールド間補間映像信号  $Sw1$  として出力する。具体的には、第 1 のスイッチ 12 は、1 フィールド遅延入力インタレース信号  $V_{d1}$  が奇数フィールドである場合には、入力インタレース信号  $V_{in}$  を出力し、一方、1 フィールド遅延入力インタレース信号  $V_{d1}$  が偶数フィールドである場合には、2 フィールド遅延入力インタレース信号  $V_{d2}$  を出力する。

【 0 0 1 5 】

プログレッシブ信号生成部 20 は、第 2 のスイッチ 18 から出力された、補間映像信号  $Sw2$  (この場合、第 1 のスイッチ 12 で選択された現信号  $V_{in}$  または 2 フィールド遅延入力インタレース信号  $V_{d2}$ ) で 1 フィールド遅延入力インタレース信号  $V_{d1}$  を補間して、プログレッシブ信号を生成する。このように生成されたプログレッシブ信号のフレームは、元の親フレームと同一であり、後述するフィールド内補間で生成されたフレームと比較して垂直解像度が向上している。

40

【 0 0 1 6 】

一方、フィールド補間方式決定部 108 からフィールド内補間を指示するフィールド補間方式指示信号  $Dvp$  が出力される場合、第 2 のスイッチ 18 は、2 ライン補間部 16 から出力されたフィールド内補間映像信号  $V_{d1S}$  を選択して、補間映像信号  $Sw2$  として

50

出力する。

【0017】

2ライン補間部16は、ラインメモリ14によって1フィールド遅延入力インタレース信号Vd1が1ライン分遅延された1ライン遅延信号Vd1Lおよび1フィールド遅延入力インタレース信号Vd1に基づいて、フィールド内補間映像信号Vd1Sを生成する。

【0018】

プログレッシブ信号生成部20は、第2のスイッチ18から出力された、補間映像信号Sw2（この場合、フィールド内補間信号Vd1S）で1フィールド遅延入力インタレース信号Vd1を補間して、プログレッシブ信号生成する。

【0019】

図10における減算器6およびフィールド補間方式決定部108が、従来のフィールド補間方式決定装置に相当する。図11を参照して従来のフィールド補間方式決定装置について説明する。図11は、図10に示されたフィールド補間方式決定部108の構成を詳細に示すブロック図である。

【0020】

フィールド補間方式決定部108は、絶対値器81、画素差判定比較器82、累積加算器83、フィールド間相関判定比較器84、第1のレジスタ85、第2のレジスタ86、2フィールド間差判定比較器189、排他的論理和（EOR）回路190、カウンタ92、およびカウント判定比較器93を含む。

また、図示していないが、タイミング発生回路により、フィールドパルスVPおよびフレームパルスFPが生成される。

【0021】

絶対値器81は、減算器6によって算出された入力インタレース信号Vinと1フィールド遅延入力インタレース信号Vd1との画素ごとの画素レベルの差分であるフィールド間画素レベル差分Spの絶対値を求めて、フィールド間画素レベル差分絶対値SpAを出力する。

【0022】

画素差判定比較器82は、フィールド間画素レベル差分絶対値SpAと所定の第1の閾値Xとを比較して、比較対照の2つのフィールドの画素レベルの差が同一の親フレームに由来すると認められる程度よりも大きな差（有意差）か否かを判定する。画素差判定比較器82は、この判定結果を示すフィールド間画素差判定信号Dpとして、上記判定が「有意あり」である場合には「1」を出力し、一方「有意無し」である場合には「0」を出力する。

【0023】

累積加算器83は、フィールド間画素差判定信号Dpを累積加算した値であるフィールド間画素差判定累積値CDpを出力する。フィールド間画素差判定累積値CDpは、入力インタレース信号Vinのフィールドと1フィールド遅延入力インタレース信号Vd1のフィールドとで異なると判定された画素数を示す値である。なお、累積加算器83は、フィールドパルスVPにより、フィールドごとリセットされる。

【0024】

フィールド間相関判定比較器84は、フィールド間画素差判定累積値CDpが所定の閾値Yよりも大きい場合は、フィールド間に差異があると判定する。そして、上記判定結果を示すフィールド間相関判定信号Dfを出力する。

フィールド間相関判定信号Dfの値は、差異がある場合は「1」であり、一方、差異が無い場合は「0」である。

【0025】

第1のレジスタ85および第2のレジスタ86は、Dフリップフロップであり、フィールドパルスVPがクロックとして供給される。フィールド間判定結果は、第1のレジスタ85および第2のレジスタ86の直列回路に供給される。第1のレジスタ85および第2のレジスタ86は、それぞれ記憶するフィールド間差異を2フィールド間差判定比較器1

10

20

30

40

50

89およびEOR回路190へ出力する。

【0026】

第1のレジスタ85および第2のレジスタ86の出力がそれぞれ「0」および「1」、または、「1」および「0」の場合には、連続する2つのフィールド間差異がそれぞれ「小、大」または「大、小」の関係にある。すなわち上述したテレシネ変換されたインタレース信号の特徴を示している。このような場合には、2フィールド間差判定比較器189は、入力インタレース信号Vinがテレシネ変換されたものであると判定して「1」を出力し、カウンタ92をカウントアップする。

【0027】

一方、第1のレジスタ85および第2のレジスタ86の出力がそれぞれ「0」および「0」、または、「1」および「1」の場合には、連続する2つのフィールド間差異が「小、小」または「大、大」の関係にある。すなわち上述したテレシネ変換されたインタレース信号の特徴を示してはいない。このような場合には、EOR回路190は、カウンタ92をリセットする。

【0028】

カウンタ92は、上述したようにカウントアップあるいはリセットされる。このカウンタ92のカウント値CDsが所定の値Zに到達すると、カウント判定比較器93は、入力インタレース信号のフィールドに対してフィールド間補間を行うことを指示するフィールド補間方式指示信号Dvpを出力する。

【特許文献1】特開平9-18784号公報

【発明の開示】

【発明が解決しようとする課題】

【0029】

しかし、実際には、映像には様々なものがあり、テレシネ変換信号であっても親フレーム間の差異が無いあるいは差異が小さいために、親フレーム間の差異をフィールド間の差異として検出できない場合がある。このような場合には、フィールド補間方式決定装置は、テレシネ変換信号を検出できない。

【0030】

例えば、静止画が続く映像など、2つの親フレームの画像が同一である場合には、異なる親フレームから変換されたフィールド間の差異も当然に小さくなる。このような場合には、フィールド補間方式決定装置は、フィールド間の差異に基づいて親フレーム間の差異を検出できない。この結果、従来のフィールド補間方式決定装置は、テレシネ変換信号に特有のフィールド間差異のパターンを検出できないため、インタレース信号がテレシネ変換信号ではないと判断してしまう。

【0031】

また、暗い場面の映像では、動画であっても親フレーム間の画素レベルの差が小さいため、異なるフレームから変換されたフィールド間の差異も小さくなる。このような場合にも、上記と同様に、フィールド補間方式決定装置は、インタレース信号がテレシネ変換信号ではないと判断してしまう。

【0032】

また、例えば、番組のインタレース信号の途中にCM等の異なるフレーム相関を持つインタレース信号が混入されている場合など、親フレーム間の相関とフィールド間の相関が特異的に変化する場合がある。このような場合には、テレシネ変換信号に特有のフィールド間差異の変化パターンが特異的に変化する、このため上記と同様に、フィールド補間方式決定装置は、インタレース信号がテレシネ変換信号ではないと判断してしまう。

【0033】

このように、従来のフィールド補間方式決定装置は、入力インタレース信号がテレシネ変換信号であっても、少なくとも2フレーム間の差異を検出できない場合には、テレシネ変換信号を識別できない。結果、映像信号処理装置は、所定のフィールド数以上連続して、入力インタレース信号がテレシネ変換信号であると判定されるまでは、フィールド内補

10

20

30

40

50

間を行う。このため、しばしば垂直解像度の高い元の親フレームを生成する事ができない。

【 0 0 3 4 】

また、上記の従来の技術では、テレシネ変換において、一般的には、親フレームは、奇数フィールドとその直後の偶数フィールドとに変換されると説明した。しかし、現実には、親フレームが偶数フィールドとその直後の奇数フィールドとに変換されたテレシネ変換信号が少数ながら存在する。

【 0 0 3 5 】

従来のフィールド補間方式決定装置は、補間対象の信号が奇数フレームか偶数フレームかによって、直前または直後のフレームのいずれかを補間映像信号として選択する。このため、親フレームから変換されたフィールドの前後関係が逆転した信号は、異なる親フレームから変換された2つのフィールドが相互に補間されて、1つのフレームに変換される。この結果、1つのフレームに異なる画像が混在するため、変換されたプログレッシブ信号の映像品質は、著しく劣化してしまう。

【 0 0 3 6 】

そこで、本発明は、親フレーム間の差異を特異的に検出できない、または、検出困難な場合であっても、入力インタレース信号のフィールドとフレームとに関係を正確に検出して、フィールド間補間およびフィールド内補間のいずれで補間すべき決定できるフィールド補間方法決定装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 3 7 】

本発明は、上記のような目的を達成するために、以下に述べるような特徴を有している。

本発明の第1の局面は、入力されるインタレース信号の各フィールドを、フィールド間補間およびフィールド内補間の何れの方法でプログレッシブ信号に変換すべきかを決定するフィールド補間方式決定装置であって、

入力インタレース信号と、当該入力インタレース信号を1フィールド遅延させた1フィールド遅延入力インタレース信号との画素レベル差分を検出する画素レベル差分検出手段と、

画素レベル差分に基づいて、入力インタレース信号と1フィールド遅延入力インタレース信号との相関を検出してフィールド間相関判定信号を出力する、フィールド相関検出手段と、

前記入力インタレース信号のN個の連続するフィールドに対応するN - 1個の前記フィールド間相関判定信号を記憶するフィールド間相関記憶手段と、

N - 1個のフィールド間相関判定信号の値のパターンに基づいて、前記N個の連続するフィールドが2 - 2プルダウン方式又は2 - 3プルダウン方式で変換されたものであると判定される場合は1カウントアップし、2 - 2プルダウン方式又は2 - 3プルダウン方式で変換されたものでないと判定される場合はカウント値をリセットし、何れとも判定されない場合はカウント値を保持するカウンタ手段と、

カウント値が所定値より大きい場合にはフィールド間補間と決定し、当該所定値以下の場合にはフィールド内補間と補間方式を決定する補間方式判定手段とを備える、フィールド補間方式決定装置。

【 0 0 3 8 】

このように、第1の局面によれば、入力インタレース信号について、2つの親フレーム相当するN - 1フィールドより多くの数の連続するフィールドを判断対象として、少なくともN個のフィールド間の相関を検出する。そして、当該N個のフィールド間の相関に基づいて、親フレームとフィールドとの関係を多段的に判定するため、より正確に入力インタレース信号の補間方式を決定することが出来るという優れた効果を奏する。

また、判断対象とするすべてのフィールド間の相関のパターンに基づいて、親フレームとフィールドとの関係を判定するため、判断対象とするフィールド数が多いほど、より正

10

20

30

40

50

確に入カインタレース信号の補間方式を決定することが出来るという優れた効果を奏する。

【0039】

また、親フレームとフィールドの関係の確実な判定が不能の場合は、判定前の入カインタレース信号に対する判別結果を変更しない。これにより、不確実な判定結果によって、入カインタレース信号を誤って判別することを防止して、より正確に入カインタレース信号の補間方式を決定することが出来るという優れた効果を奏する。

【0045】

第2の局面は、第1の局面において、入カインタレース信号が2 - 3プルダウン方式で変換されたものである場合は、Nは6以上であることを特徴とする。

10

【0046】

第3の局面は、第1の局面において、入カインタレース信号が2 - 2プルダウン方式で変換されたものである場合は、Nは5以上であることを特徴とする。

【0047】

第4の局面は、第1から3のいずれかの局面において、フィールド/フレーム相関判定手段は、N - 1個のフィールド間相関判定信号のうち、少なくとも連続する2つが相関無しと示す場合は、2 - 2プルダウン方式又は2 - 3プルダウン方式で変換されたものではないと判断することを特徴とする。

【0048】

第5の局面は、第1から3のいずれかの局面において、フィールド/フレーム相関判定手段は、N - 1個のフィールド間相関判定信号において、相関ありと相関なしとが交互に示される場合は、2 - 2プルダウン方式で変換されたものであると判断することを特徴とする。

20

【0049】

第6の局面は、第1から3のいずれかの局面において、フィールド相関検出手段は、画素信号レベル差分が所定の画素レベルを表す第1の閾値より大きいか否かを画素毎に判定して二値で表す画素単位レベル差判定結果を出力する画素差判定手段と、

画素単位レベル差判定結果を1フィールド単位で加算してフィールド単位レベル差判定結果を出力するフィールド単位レベル差判定手段と、

フィールド単位レベル差判定結果が所定の画素数を表す第2の閾値よりも大きいか否かにより、フィールド間の相関が大きいか否かを判定するフィールド間相関判定手段とを備える。

30

【0050】

第7の局面は、第6の局面において、フィールド間差異判定手段は、さらに、1フィールド遅延入カインタレース信号が表す画像の明るさを表す信号レベルを検出する信号レベル検出手段と、

信号レベルの値に基づいて、第1の閾値を変化させ、第1の閾値変更手段とを備える。

【0051】

第8の局面は、第6の局面において、フィールド間差異判定手段は、さらに、1フィールド遅延入カインタレース信号が表す画像の明るさを表す信号レベルを検出する信号レベル検出手段と、

40

信号レベルの値に基づいて、第2の閾値を変化させる、第2の閾値変更手段とを備える。

【0052】

第7または、第8の局面によれば、入カインタレース信号の映像の明るさに応じて、フィールド間の相関を検出するための閾値を変更するため、フィールド間の相関を検出し難い暗い映像の入カインタレース信号について、より正確にフィールド間の相関を検出することが出来るという優れた効果を奏する。

【0053】

50

第9の局面は、第1から3のいずれかの局面において、フィールド間差異判定手段は、さらに、1フィールド遅延入力インタレース信号に基づいて当該1フィールド遅延入力インタレース信号のフィールドが偶数フィールドであるか、奇数フィールドであるかを示すフィールド識別信号を出力する、フィールド識別手段と、

当該フィールド識別手段とフィールド間相関判定信号との論理積を求めて、Nフィールド間差異記憶手段へ出力する論理積回路とを備える。

【0054】

第9の局面によれば、フィールド間の相関の検出結果と補間対象フィールドについての偶数フィールド/奇数フィールドの検出結果との論理積に基づいて、親フレームとフィールドとの関係を判定する。このため、偶数フィールド、奇数フィールドの検出結果に基づき補間対象フィールドの、前もしくは後ろのフィールドを内挿する装置において、親フレームに対する偶数、奇数フィールドの順序が反転されたインタレース信号が入力された場合でも、偶数、奇数フィールドの順序が反転されたために生じる、前もしくは後ろのフィールドの内挿ミスを防ぐことが出来るという優れた効果を奏する。

【0055】

第10の局面は、第9の局面において、フィールド間差異判定手段は、さらに、フィールド識別信号の反転信号を出力する反転器と、

フィールド識別信号および反転信号のいずれかを選択的に前記論理積回路へ出力するフィールド識別信号反転スイッチとを備える。

【0056】

第10の局面によれば、補間対象フィールドについての偶数フィールド/奇数フィールドの検出結果と当該偶数フィールド/奇数フィールドの検出結果の反転信号とを選択することができるスイッチとを具備し、当該スイッチで選択された偶数フィールド/奇数フィールドの検出結果とフィールド間の相関の検出結果との論理積に基づいて、親フレームとフィールドとの関係を判定する。このため、偶数フィールド、奇数フィールドの検出結果に基づき、補間対象フィールドの前もしくは後ろのフィールドを内挿する装置において、親フレームに対する偶数、奇数フィールドの順序が反転されたインタレース信号が入力された場合でも、補間対象フィールドと同一の親フレームから分割されたフィールドを選択して元の親フレームを生成することが出来るという優れた効果を奏する。

【発明の効果】

【0057】

以上のように、本発明に係るフィールド補間方法決定装置は、親フレーム間の差異を特異的に検出できない、または、検出困難な場合であっても、フィールド間補間およびフィールド内補間のいずれで補間するべきかを決定できる。

【発明を実施するための最良の形態】

【0058】

本発明の実施の形態に係るフィールド補間方式決定装置について具体的に説明する前に、まず本発明の基本概念について説明する。従来の技術に関して説明したように、フィールド補間方式決定装置の判断の誤りは、親フレーム間の差異が無いか、あるいは小さいために、異なる2つのフレームから変換されたフィールド間の差異が検出されないことに起因する。

【0059】

従来のフィールド補間方式決定装置は、親フレーム間の境目を1つだけ判断対象とするフィールドに含むため、入力インタレース信号の2つの親フレーム間の差異が検出できない場合には、フィールド内補間で行うよう決定する。

しかし、2つの親フレーム間の差異が特異的に検出できない場合であっても、より多くの親フレーム間の境目を含むように判断対象とするフィールドの数を増やすことにより、親フレームとフィールド間の相関を多段的に評価する事が可能である。

【0060】

10

20

30

40

50

このような観点から、判断対象とするフィールド数が多いほど、フィールド補間方式決定装置は、より正確に映像信号を識別できることは明らかである。つまり、より正確に映像信号を識別するためには、判断対象とするフィールド数を無限大に増加させることが望ましい。しかし、フィールド間の差異を記憶するレジスタの数を無限に増加させることになるため、フィールド補間方式決定装置のコストも無限に増加してしまう。

【0061】

このため、本発明においては、少なくとも2つのフレーム間の境目を含む所定数以上のフィールド間の差異に基づいて、判断対象となるフィールド数を、ダイナミックに変化させる。このため、2つの親フレームから変換されたフィールド数を $N-1$ とすると、少なくとも $N$ フィールドの間の差異を判断対象とする。つまり、判断対象となるフィールド間差異の数は、少なくとも $N-1$ 個となる。

10

【0062】

また、親フレーム間の差異が小さいために、フィールド間の差異として検出されない場合には、より小さなフィールド間の差異を検出するために、フィールド間の差異を判定するための閾値をダイナミックに変化させる。

【0063】

本発明においては、このような技術思想に基づいて、判断対象となるフィールドの数、またはフィールド間の差異を検出するための閾値をダイナミックに変化させることにより、より正確に映像信号の識別を行うことを可能にするものである。

【0064】

また、上述したように、親フレームから変換されたフィールドの前後関係が逆転したテレシネ信号は、異なる親フレームから変換された2つのフィールドが相互に補間されて、1つのフレームに変換される。この結果、1つのフレームに異なる画像が混在するため、変換されたプログレッシブ信号の映像品質は、著しく劣化してしまう。

20

【0065】

このような親フレームから変換されたフィールドの前後関係が逆転したインターレース信号における、フィールド間差異の大小と奇数フィールドと偶数フィールドの関係は、一般的なテレシネ変換信号とは逆になる。このため、本発明においては、フィールド間の相関を示す信号を各フィールドの奇数/偶数を示す検出信号で補正することにより、異なるフレームから変換されたフィールドが相互にフィールド間補間されることを防止する。

30

【0066】

本発明は、プログレッシブ信号をインターレース信号に変換した信号におけるフィールドと親フレームの関係を判定して、インターレース信号の各フィールドをフィールド間補間あるいはフィールド内補間のいずれかで補間するものであるが、プログレッシブ信号をインターレース信号に変換した信号の代表例として、2-2プルダウン方式で変換されたテレシネ変換信号を検出する場合について説明する。

【0067】

(第1の実施の形態)

図1を参照して、本発明に係るフィールド補間方式決定装置を組み込んだ映像信号処理装置について説明する。同図に示された映像信号処理装置100aは、入力インターレース信号のフィールドと親フレームとの関係を判定し、入力インターレース信号がテレシネ変換信号である場合は、フィールド間補間で入力インターレース信号のフィールドをプログレッシブ信号のフレームに変換する。一方、入力インターレース信号がテレシネ変換信号ではない場合には、映像信号処理装置100aは、フィールド内補間で入力インターレース信号のフィールドをプログレッシブ信号のフレームに変換する。

40

【0068】

映像信号処理装置100aは、入力端子1、フィールドメモリ2、フィールドメモリ4、減算器6、フィールド補間方式決定部8a、ODD/EVEN検出部10、第1のスイッチ12、ラインメモリ14、2ライン補間部16、第2のスイッチ18、およびプログレッシブ信号生成部20を含む。

50

## 【 0 0 6 9 】

入力端子 1、フィールドメモリ 2、フィールドメモリ 4、減算器 6、ODD/EVEN 検出部 10、第 1 のスイッチ 12、ラインメモリ 14、2 ライン補間部 16、第 2 のスイッチ 18、およびプログレッシブ信号生成部 20 は、図 11 に示した従来の映像信号処理装置 200 と同一であるため、説明を省略する。

## 【 0 0 7 0 】

フィールド補間方式決定部 8a は、フィールド間画素レベル差分  $S_p$  に基づいて、入力インタレースのフィールドと親フレームとの関係を判定し、フィールド間補間およびフィールド内補間のいずれで 1 フィールド遅延入力インタレース信号  $V_{d1}$  をプログレッシブ信号に変換するかを決定する。

10

## 【 0 0 7 1 】

図 2 を参照して、フィールド補間方式決定部 8a の構成について説明する。フィールド補間方式決定部 8a は、絶対値器 81、画素差判定比較器 82、累積加算機 83、フィールド間相関判定比較器 84、第 1 のレジスタ 85、第 2 のレジスタ 86、第 3 のレジスタ 87、第 4 のレジスタ 88、4 フィールド間相関判定比較器 89、リセット判定器 90、およびスイッチ 91 を含む。

また、図示していないが、タイミング発生回路により、フィールドパルス  $V_P$  およびフレームパルス  $F_P$  が生成される。

## 【 0 0 7 2 】

絶対値器 81 は、減算器 6 によって算出されたフィールド間画素レベル差分  $S_p$  の絶対値を求めて、フィールド間画素レベル差分絶対値  $S_{pA}$  として出力する。なお、インタレース信号では、隣り合うフィールドの走査線は、1 ずつずれている。このため、減算器 6 は、一方のフィールドの隣り合う 2 ラインの画素レベルの平均値と他方のフィールドの対応する画素レベルとの差分を求める。

20

## 【 0 0 7 3 】

画素差判定比較器 82 は、フィールド間画素レベル差分絶対値  $S_{pA}$  と所定の第 1 の閾値  $X$  とを比較して、2 つのフィールドの画素毎の画素レベルの差が同一の親フレームに由来すると認められる程度よりも大きな差（有意差）があるか否かを判定する。

## 【 0 0 7 4 】

このため第 1 の閾値  $X$  は、同じフレームから分割されたフィールド間の画素レベルの差分に対しては、有意差が無いと判定されるような画素レベルの差分に設定される。そして、画素差判定比較器 82 は、この判定結果を示すフィールド間画素判定信号  $D_p$  として、上記判定が「有意差有り」である場合には「1」を出力し、「有意差なし」の場合には「0」を出力する。

30

## 【 0 0 7 5 】

累積加算器 83 は、フィールド間画素差判定信号  $D_p$  を累積加算した値であるフィールド間画素差判定累積値  $C_{Dp}$  を出力する。フィールド間画素差判定累積値  $C_{Dp}$  は、入力インタレース信号  $V_{in}$  のフィールドと 1 フィールド遅延入力インタレース信号  $V_{d1}$  のフィールドとで「有意差有り」と判定された画素数を示す値である。なお、累積加算器 83 は、フィールドパルス  $V_P$  により、フィールドごとにリセットされる。

40

## 【 0 0 7 6 】

フィールド間相関判定比較器 84 は、入力インタレース信号  $V_{in}$  のフィールドと、1 フィールド遅延入力インタレース信号  $V_{d1}$  のフィールドとが同一のフレームから分割されたフィールドとみなせるほどの相関があるか否かを判定する。具体的にはフィールド間相関判定比較器 84 は、フィールド間画素差判定累積値  $C_{Dp}$  が所定の閾値  $Y$  よりも大きい場合は、フィールド間に相関が無いと判定する。一方、フィールド間相関判定比較器 84 は、フィールド間画素差判定累積値  $C_{Dp}$  が所定の閾値  $Y$  以下である場合は、フィールド間に相関があると判定する。そして、上記判定結果を示すフィールド間相関判定信号  $D_f$  を出力する。

フィールド間相関判定信号  $D_f$  の値は、相関がある場合は「0」であり、一方、相関が

50

無い場合は「1」である。

【0077】

第1のレジスタ85、第2のレジスタ86、第3のレジスタ87および第4のレジスタ88は、Dフリップフロップであり、フィールドパルスVPがクロックとして供給される。これら4つのレジスタは、連続する4つのフィールド間相関判定信号Dfをそれぞれ順に記憶する。また、記憶している4つのフィールド間相関判定信号の値をレジスタ出力信号(R1~R4)として出力する。

【0078】

4フィールド間相関判定比較器89は、4つのレジスタ出力信号(R1~R4)とテレシネ判定テーブルTcとを比較して、現在入力されている映像信号が、テレシネ変換信号 10  
におけるフィールド間相関のパターンを有するか否かを判定する。

【0079】

図3に示された表Tcは、テレシネ判定テーブルTcである。表Tcに示される、4つのレジスタ出力信号(R1~R4)の出力値が順に「0101」および「1010」の場合は、フィールド間の相関が、大小交互に変化する2-2プルダウン方式のテレシネ変換信号の特徴と一致する。この場合、4フィールド間相関判定比較器89は、入力インタレース信号Vinがテレシネ変換信号であると判断する。そして、4フィールド間相関判定比較器89は、テレシネ判定信号Dsを出力する。

【0080】

リセット判定器90は、4つのレジスタ出力信号(R1~R4)とリセット判定テーブルTrとを比較して、現在入力されている映像信号が確実にテレシネ変換信号では無いか 20  
、否かを判定する。

【0081】

図3に示された表Trは、上記リセット判定テーブルTrである。リセットテーブルTrに示されるすべてのパターンは、4つのレジスタ出力信号(R1~R4)の「0」の値のいずれかを「1」に変えたとしても2-2プルダウン方式のテレシネ変換信号におけるフィールド間相関のパターンと一致する「0101」および「1010」にはなり得ない。

つまり入力インタレース信号Vinは確実に2-2プルダウン方式のテレシネ変換信号では無いと判定できる。このため、リセット判定器90は、リセット信号Rstを出力する。 30

【0082】

また、図3に示された表T1は、上記テレシネ判定テーブルTcおよびリセット判定テーブルTrのいずれにも属さない4つのレジスタ出力信号(R1~R4)を示す。表T1に示される各レジスタの出力値は、少なくとも1以上のレジスタの出力値が「0」から「1」に変われば、2-2プルダウン方式のテレシネ変換信号におけるフィールド間相関のパターンと一致する。

【0083】

スイッチ91は、上述のテレシネ判定信号Dsおよびリセット信号に基づいて、1フィールド遅延入力インタレース信号Vd1に対してフィールド間補間およびフィールド内補間のいずれを行うかを指示するフィールド補間方式指示信号Dv1を出力する。 40

【0084】

具体的には、スイッチ91は、テレシネ判定信号Dsが出力された場合には、フィールド間補間を指示するフィールド補間方式指示信号Dv1を出力し、一方、リセット信号Rstが出力された場合には、フィールド内補間を指示するフィールド補間方式指示信号Dv1を出力する。また、テレシネ判定信号およびDsリセット信号Rstのいずれもが出力されない場合には、スイッチ91は、フィールド補間方式指示信号Dv1を変更しない。

【0085】

次に、図4を参照して、映像信号処理装置100aの動作について説明する。入力イン 50

タレース信号  $V_{in}$  は、プログレッシブ信号の親フレーム A、B、および C がそれぞれ、A1 と A2、B1 と B2、および C1 と C2 に変換されたものである。入力インタレース信号  $V_{in}$  の各フィールドはフィールド No. に小さい順に入力される。

**【0086】**

入力インタレース信号  $V_{in}$  と 1 フィールド遅延入力インタレース信号  $V_{d1}$  との差分に基づいて、当該 2 つのフィールド間の相関が判定される。例えば、入力インタレース信号  $V_{in}$  のフィールド No. 4 であるフィールド B2 と、1 フィールド遅延入力インタレース信号  $V_{d1}$  のフィールド B1 との相関が判定される。この場合、両フィールドは、同一のフレーム B から変換され手いるのでフィールド間の差分は小さい。すなわち、相関有り と判定され、フィールド相関判定信号  $D_f$  の値は「0」となる。

10

**【0087】**

他方、入力インタレース信号  $V_{in}$  のフィールド No. 5 については、入力インタレース信号  $V_{in}$  のフィールド C1 と 1 フィールド遅延入力インタレース信号  $V_{d1}$  のフィールド B2 とは異なるフレームから変換されているので、差分は大きい。すなわち、相関なしと判定され、フィールド相関判定信号  $D_f$  の値は「1」となる。

フィールド相関判定信号  $D_f$  は、4 つのレジスタ 85 ~ 88 に順次格納され、4 つの連続するレジスタ出力は、「0101」もしくは「1010」となる。

**【0088】**

このようにフィールド相関判定信号  $D_f$  の値が「0101」もしくは「1010」である場合、スイッチ 91 は、フィールド間補間を指示する信号を補間方式指示信号  $D_v1$  と

20

して出力する。  
このとき、第 1 のスイッチ 12 は、ODD/EVEN 検出器 10 によって求められたフィールド識別信号  $D_{oe}$  に基づいて、入力インタレース信号  $V_{in}$  および 2 フィールド遅延入力インタレース信号  $V_{d2}$  のいずれかを選択する。

**【0089】**

具体的には、1 フィールド遅延入力インタレース信号  $V_{d1}$  が奇数フィールドならば入力インタレース信号  $V_{in}$  が選択される。一方、1 フィールド遅延入力インタレース信号  $V_{d1}$  が偶数フィールドならば 2 フィールド遅延入力インタレース信号  $V_{d2}$  が選択される。

**【0090】**

例えば、入力インタレース信号  $V_{in}$  としてフィールド No. 4 であるフィールド B2 が入力されている時、補間対象信号としてプログレッシブ信号生成部 20 に入力されているフィールドは、フィールド No. 3 のフィールド B1 である。このとき、入力インタレース信号  $V_{in}$  であるフィールド B2 を補間信号  $S_w2$  としてフィールド間補間を行うことにより、元の親フレーム B が生成される

30

**【0091】**

また、入力インタレース信号  $V_{in}$  としてフィールド No. 5 であるフィールド C1 が入力されている時、補間対象信号としてプログレッシブ信号生成部 20 に入力されているフィールドは、フィールド No. 4 のフィールド B2 である。このとき、2 フィールド遅延入力インタレース信号  $V_{d2}$  であるフィールド B1 を補間信号  $S_w2$  としてフィールド

40

**【0092】**

従来のフィールド補間方式決定装置では、親フレーム間の境目を 1 つだけ含む 2 つのフィールド間相関を判断対象として、親フレームとフィールドとの対応関係を検出することにより、テレシネ変換信号を検出している。そして、当該フィールド補間方式決定装置は、1 つのフレーム間の差異が検出できない場合には、親フレームとフィールドとの対応関係が不明なため、入力インタレース信号がテレシネ信号ではないと判定している。

**【0093】**

これに対して、本実施の形態にかかるフィールド補間方式決定装置は、フレーム間の境目が 2 以上含まれるような数のフィールド間差異を判断対象としている。このため 1 つの

50

フレーム間差異が検出できない場合でも、複数のフレーム間差異に基づいて、入力インタレース信号がテレシネ変換信号であるか否かを判定することができる。また、複数のフレームの境目を判断対象に含むので、各フレームの境目についての判定に基づいて、判断対象のフィールド全体をを多段的に評価できる。

【0094】

このため、フレーム間の差異が検出できない場合であっても、中間的な判定を下して、直ちにテレシネ変換信号ではないと判定しない。このため、フレーム間の差異が特異的に検出できないときでも、直前のフィールド補間方式を変更しないため、誤ってフィールド内補間を指示することによる画像品質の低下を生じない。これにより、本実施の形態に係るフィールド補間方式決定装置は、フレーム間の差異が検出困難なテレシネ変換信号が入力された場合でも、より正確にフィールド補間方式を決定することができる。

10

【0095】

(第2の実施の形態)

図5を参照して、本発明の第2の実施の形態に係るフィールド補間方式決定装置を組み込んだ映像信号処理装置について説明する。本実施の形態に係るフィールド補間方式決定装置は、映像が暗いために、親フレーム間の画素レベルの差異が小さい場合であっても、映像の明るさに対応してフィールド間の画素差を判定するための閾値を可変にすることによって、フレーム間の差異に起因するフィールド間差異を検出することを特徴とする。

【0096】

このため、図5に示された映像信号処理装置100bは、第1の実施の形態に係る映像信号処理装置と比較してフィールド補間方式決定部8aがフィールド補間方式決定部8bに置換された構成を有している。なお、説明の冗長を避けるため、第1の実施の形態における映像信号処理装置と同一の構成要素については、説明を省略する。

20

映像信号処理装置100bは、入力端子1、フィールドメモリ2、フィールドメモリ4、減算器6、フィールド補間方式決定部8b、ODD/EVEN検出部10、第1のスイッチ12、ラインメモリ14、2ライン補間部16、第2のスイッチ18、およびプログレッシブ信号生成部20を含む。

【0097】

フィールド補間方式決定部8bは、1フィールド遅延入力インタレース信号Vd1およびフィールド間画素レベル差分Spに基づいて、入力インタレース信号のフィールドと親フレームとの関係を判定し、フィールド間補間およびフィールド内補間のいずれで1フィールド遅延入力インタレース信号Vd1をプログレッシブ信号に変換するかを決定する。

30

【0098】

図6を参照して、フィールド補間方式決定部8bの構成について説明する。フィールド補間方式決定部8bは、第1の実施の形態にかかるフィールド補間方式決定部8aと比較して、スイッチ91がカウンタ92およびカウント判定比較器93に置換され、オートピクチャレベル(APL)検出器94bおよび画素差閾値変更部95bを追加された構成を有している。

【0099】

フィールド補間方式決定部8bは、絶対値器81、画素差判定比較器82、累積加算機83、フィールド間相関判定比較器84、第1のレジスタ85、第2のレジスタ86、第3のレジスタ87、第4のレジスタ88、4フィールド間相関判定比較器89、リセット判定器90、カウンタ92、カウント判定比較器93、オートピクチャレベル検出器94b、および画素差閾値変更部95bを含む。

40

【0100】

オートピクチャレベル検出器94bは、1フィールド遅延入力インタレース信号Vd1の信号レベルPLを検出する。信号レベルPLは、映像が明るいほど高く、反対に暗いほど低い値になる。

画素差閾値変更部95bは、信号レベルPLに基づいて、所定の規則に従って、画素差閾値Xbの値を変更する。例えば、信号レベルPLの程度に対応する複数の画素差閾値X

50

bの値を予め定めておき、入力した信号レベルPLに従って、対応する画素差閾値Xbの値を出力することとしてもよいし、所定の数式に従って、信号レベルPLから画素差閾値Xbの値を求めることとしてもよい。

【0101】

いずれにせよ信号レベルPLが高いほど画素差閾値Xbの値が大きくなり、反対に信号レベルPLが低いほど画素差閾値Xbの値が小さくなるように、設定される。

これにより、画素差判定比較器82は、1フィールド遅延入力インタレース信号Vd1が暗い映像の場合には、画素差閾値Xbの値が小さいため、より小さな画素レベルの差であっても、フィールド間の画素レベルに差があると判定する。一方、1フィールド遅延入力インタレース信号Vd1が明るい画像の時は、画素差閾値Xbの値が大きいため、同じフレームから変換されたフィールド間の画素レベルの差があると判定するような誤まった判定を防止できる。

10

【0102】

カウンタ92は、テレシネ判定信号Dsによってカウントアップされるテレシネ判定累積値CDsをカウントしている。また、リセット信号Rstによってリセットされる。

また、上述したように、親フレームのフレーム間の差異が無いまたは小さい場合、異なるフレームから変換されたフィールド間の差異が検出されないため、テレシネ変換信号であっても、テレシネ変換信号であると判定されない場合がある。このため、入力インタレース信号Vinがテレシネ変換信号であるとも、無いとも確実に判定できない場合は、テレシネ判定カウンタ92のカウントは、変更されない。

20

【0103】

カウント判定比較器93は、フィールド補間方式決定部8bの安定性を向上させるため、カウンタ92のテレシネ判定累積値CDsが所定の閾値Zよりも大きくなると、1フィールド遅延入力インタレース信号Vd1のフィールドに対してフィールド間補間を行うことを指示するフィールド補間方式指示信号Dv1を出力する。閾値Zは、テレシネ判定信号Dsが出力されてから、実際にフィールド間補間が実行される間での時間として設定され、通常は、0.5秒になるように設定される。

【0104】

つまり、本実施の形態に係る映像信号処理装置は、明るい映像でも誤検出するおそれが無く、映像が暗いために、フレーム間の画素レベルの差が小さい場合でも、フィールド間差異をより正確に検出することができる。

30

【0105】

なお、本実施の形態では、1フィールド遅延入力インタレース信号Vd1の信号レベルPLに基づいて、第1の閾値Xをダイナミックに変化させることとしたが、これに代えて、第2の閾値Yを変化させることとしてもよい。これにより、フィールド間で有意差が認められる画素レベルの数が少ない場合でもフィールド間に差異があると、判定されるため、第1の閾値Xを変化させる場合と同様の効果がある。

【0106】

(第3の実施の形態)

図7を参照して、本発明の第3の実施の形態に係るフィールド補間方式決定装置を組み込んだ映像信号処理装置について説明する。第1ないし第2の実施の形態に係るフィールド補間方式決定装置は、親フレームに対する奇数フィールドと偶数フィールドとの前後関係が逆転したインタレース信号、が入力された場合、異なる親フレームのフィールドをフィールド間補間してしまう。上述したように、異なる親フレームから変換されたフィールドをフィールド間補間すると、生成されたフレームの映像品質は著しく低下する。

40

【0107】

本実施の形態に係るフィールド補間方式決定装置は、親フレームに対する奇数フィールドと偶数フィールドとの前後関係が逆転したインタレース信号、言い換えれば、親フレームを偶数フィールドとその直後の奇数フィールドとに変換したインタレース信号を入力する場合であっても、異なるフレームから変換されたフィールドを誤ってフィールド間補間

50

することを防止することを特徴とする。

【0108】

このため、図7に示された映像信号処理装置100cは、第1の実施の形態に係る映像信号処理装置と比較してフィールド補間方式決定部8aがフィールド補間方式決定部8cに置換された構成を有している。なお、説明の冗長を避けるため、第1の実施の形態における映像信号処理装置と同一の構成要素については、説明を省略する。

【0109】

映像信号処理装置100cは、入力端子1、フィールドメモリ2、フィールドメモリ4、減算器6、フィールド補間方式決定部8c、ODD/EVEN検出部10、第1のスイッチ12、ラインメモリ14、2ライン補間部16、第2のスイッチ18、およびプログレッシブ信号生成部20を含む。

10

フィールド補間方式決定部8cは、フィールド識別信号Doeおよびフィールド間画素レベル差分Spに基づいて、入力インタレース信号のフィールドと親フレームとの関係を判定し、フィールド間補間およびフィールド内補間のいずれで1フィールド遅延入力インタレース信号Vd1をプログレッシブ信号に変換するかを決定する。

【0110】

図8を参照して、フィールド補間方式決定部8cの構成について説明する。フィールド補間方式決定部8cは、第1の実施の形態にかかるフィールド補間方式決定部8と比較して、論理積回路96cが追加された構成を有している。

フィールド補間方式決定部8cは、絶対値器81、画素差判定比較器82、累積加算機83、フィールド間相関判定比較器84、第1のレジスタ85、第2のレジスタ86、第3のレジスタ87、第4のレジスタ88、4フィールド間相関判定比較器89、リセット判定器90、カウンタ92、カウント判定比較器93、および論理積回路96cを含む。

20

論理積回路96cは、フィールド間差異信号Dfと、フィールド識別信号Doeの論理積を求めて修正フィールド間差異信号Dfaを出力する。図4を参照して、修正フィールド間差異信号Dfaについて説明する。

【0111】

一般的なテレシネ変換信号が入力された場合、1フィールド遅延入力インタレース信号Vd1が奇数フィールドの時には、フィールド間差異信号Dfの値は、「0」になり、1フィールド遅延入力インタレース信号Vd1が偶数フィールドの時には、フィールド間差異信号Dfの値は、「1」になる。

30

ODD/EVEN検出部は、1フィールド遅延入力インタレース信号Vd1が奇数フィールドの時には、「0」をフィールド識別信号Doeとして出力し、一方、1フィールド遅延入力インタレース信号Vd1が偶数フィールドの時には、「1」をフィールド識別信号Doeとして出力する。

【0112】

この場合、修正フィールド間差異信号Dfaの値は、フィールド間差異信号Dfと同じ値になるため、テレシネ変換信号の検出結果であるテレシネ検出信号Vd3に何ら影響は無い。

【0113】

次に、親フレームに対する奇数フィールドと偶数フィールドとの前後関係が逆転したインタレース信号が入力された場合について考える。この場合、上記とは逆に、1フィールド遅延入力インタレース信号Vd1が奇数フィールドの時には、フィールド間差異信号Dfの値は、「1」になり、1フィールド遅延入力インタレース信号Vd1が偶数フィールドの時には、フィールド間差異信号Dfの値は、「0」になる。

40

【0114】

フィールド識別信号Doeの値は、変わらないので、修正フィールド間差異信号Dfaの値はいずれも「0」になる。このため、カウンタ92は、カウントアップされず、テレシネ検出信号Dv3は出力されない。この結果、フィールド間補間が行われず、代わりにフィールド内補間が行われる。

50

以上により、親フレームに対する奇数フィールドと偶数フィールドとの前後関係が逆転したインタレース信号が入力された場合であっても、異なるフレームから変換されたフィールドを、フィールド間補間することを防止できる。

【0115】

しかしながら、本実施の形態に係るフィールド補間方式決定装置では、著しい映像品質の低下は防止できるものの、フィールド内補間するため、テレシネ変換信号であっても元の親フレームに再変換して垂直解像度を向上させることはできない。

【0116】

(第4の実施の形態)

第4の実施の形態に係るフィールド補間方式決定装置は、親フレームに対する奇数フィールドと偶数フィールドとの前後関係が逆転したインタレース信号を入力した場合でも、同一の親フレームから変換されたフィールド同士を、フィールド間補間することを特徴とする。

【0117】

図9を参照して、本実施の形態に係るフィールド補間方式決定装置を組み込んだ映像信号処理装置について説明する。

本実施の形態に係るフィールド補間方式決定装置は、フィールド識別信号Doeの値を選択的に逆転させて、フィールド補間方式決定部8c及び第1のスイッチ12へ出力することを特徴とする。

【0118】

このため、図9に示された映像信号処理装置100cは、第3の実施の形態に係る映像信号処理装置と比較して反転器22d及びフィールド識別信号逆転スイッチが追加された構成を有している。なお、説明の冗長を避けるため、第1の実施の形態における映像信号処理装置と同一の構成要素については、説明を省略する。

映像信号処理装置100dは、入力端子1、フィールドメモリ2、フィールドメモリ4、減算器6、フィールド補間方式決定部8c、ODD/EVEN検出部10、第1のスイッチ12、ラインメモリ14、2ライン補間部16、第2のスイッチ18、プログレッシブ信号生成部20、反転器22dおよびフィールド識別信号変更スイッチ23dを含む。

【0119】

反転器22dは、フィールド識別信号Doeを入力して、当該信号の値を反転させたフィールド識別反転信号nDoeを出力する。

フィールド識別信号変更スイッチ23dは、フィールド識別信号Swfとしてフィールド識別信号Doeまたはフィールド識別反転信号nDoeのいずれかを選択的に出力する。

親フレームに対する奇数フィールドと偶数フィールドとの前後関係が逆転したインタレース信号を入力する場合、フィールド識別信号変更スイッチ23dを切り替えることによって、フィールド補間方式決定部8cおよび第1のスイッチ12へ出力される信号をフィールド識別反転信号nDoeに切り替える。

【0120】

この場合、親フレームに対する奇数フィールドと偶数フィールドとの前後関係が逆転したインタレース信号であっても、フィールド補間方式決定部8cおよび第1のスイッチ12においては、一般的なインタレース信号と同様に取り扱われる。

このため、フィールド補間方式決定部8cがテレシネ変換信号を検出すると共に、第1のスイッチ12は、フィールド間補間信号を適切に選択することができる。これにより、本実施の形態における映像信号処理装置は、親フレームに対する奇数フィールドと偶数フィールドとの前後関係が逆転したインタレース信号であっても、フィールド間補間によって垂直解像度を向上させたプログレッシブ信号に変換することができる。

【産業上の利用可能性】

【0121】

以上のように、本発明に係るフィールド補間方法決定装置は、親フレーム間の差異を特

10

20

30

40

50

異的に検出できない、または、検出困難な場合であっても、判断対象とするフィールドの数およびフィールド間の相関を判定するための閾値をダイナミックに変えて、入力インタレース信号のフィールドと親フレームとの関係を正確に検出して、フィールド間補間およびフィールド内補間のいずれで補間するべきかを決定できる。

【図面の簡単な説明】

【0122】

【図1】本発明の第1の実施の形態に係るフィールド補間方式決定装置を組み込んだ映像信号処理装置の構成を示すブロック図

【図2】図1に示した、フィールド補間方式決定部の詳細な構成を示す図

【図3】図2に示した、第1～4のレジスタの出力値と、カウンタに対する入力信号の関係を示す図 10

【図4】本発明の第1の実施の形態における入力インタレース信号のフィールドと変換後のプログレッシブ信号のフレームとの関係を示す図

【図5】本発明の第2の実施の形態に係るフィールド補間方式決定装置を組み込んだ映像信号処理装置の構成を示すブロック図

【図6】図5に示した、フィールド補間方式決定部の詳細な構成を示す図

【図7】本発明の第3の実施の形態に係るフィールド補間方式決定装置を組み込んだ映像信号処理装置の構成を示すブロック図

【図8】図7に示した、フィールド補間方式決定部の詳細な構成を示す図

【図9】本発明の第4の実施の形態に係るフィールド補間方式決定装置を組み込んだ映像信号処理装置の構成を示すブロック図 20

【図10】従来のフィールド補間方式決定装置を組み込んだ映像信号処理装置の構成を示すブロック図

【図11】図10に示した、フィールド補間方式決定部の詳細な構成を示す図

【符号の説明】

【0123】

1 入力端子

2、4 フィールドメモリ

6 減算器

8 a、8 b、8 c、108 フィールド補間方式決定部 30

10 ODD/EVEN検出部

12 第1のスイッチ

14 ラインメモリ

16 2ライン補間部

18 第2のスイッチ

20 プログレッシブ信号生成部

81 絶対値器

82 画素差判定比較器

83 累積加算器

84 フィールド間相関判定比較器 40

85、86、87、88 レジスタ

89 4フィールド間相関判定比較器

90 リセット判定器

91 スイッチ

92 カウンタ

93 カウント判定比較器

94 b APL

95 b 画素閾値補正部

96 c 論理積回路

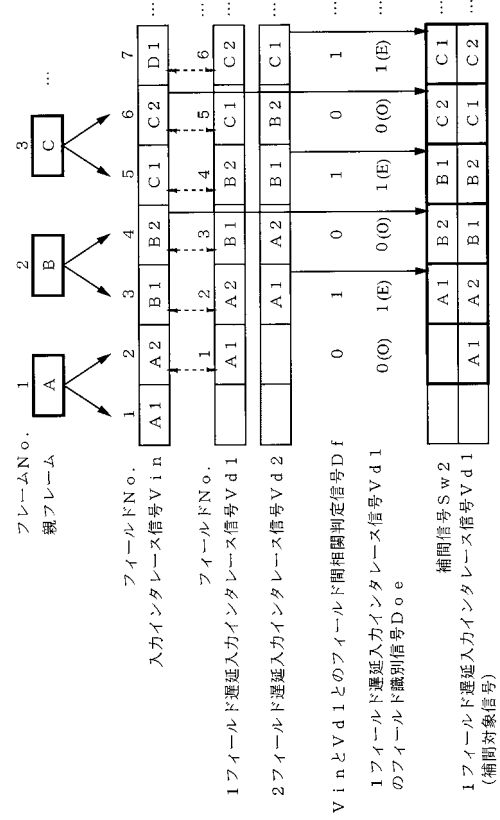
100 a、100 b、100 c、100 d 50



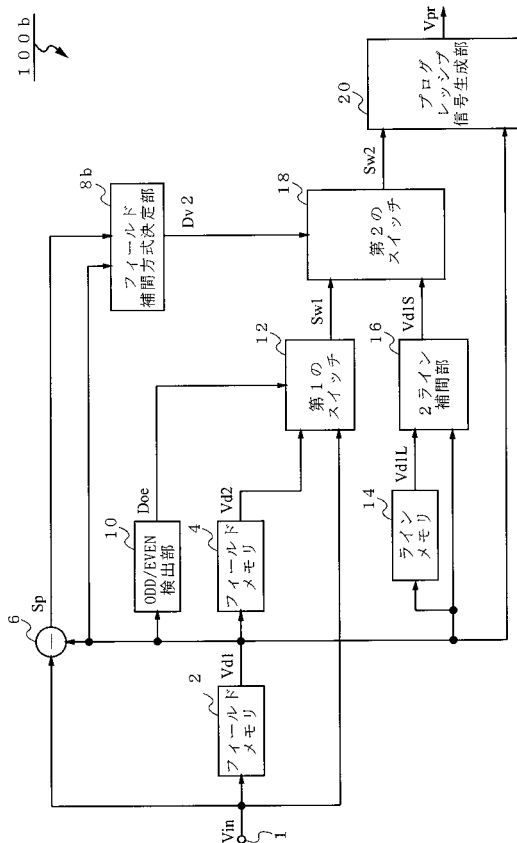
【 図 3 】

レジスタ	レジスタ	レジスタ	レジスタ	
85	86	87	88	
R1	R2	R3	R4	カウンタ入力
0	1	0	1	カウントアップ
1	0	1	0	カウントアップ
0	0	0	0	キャンセル
0	0	0	1	キャンセル
0	0	1	0	キャンセル
0	1	0	0	キャンセル
1	0	0	0	キャンセル
0	0	1	1	リセット
0	1	1	0	リセット
0	1	1	1	リセット
1	0	0	1	リセット
1	0	1	1	リセット
1	1	0	0	リセット
1	1	0	1	リセット
1	1	1	0	リセット
1	1	1	1	リセット

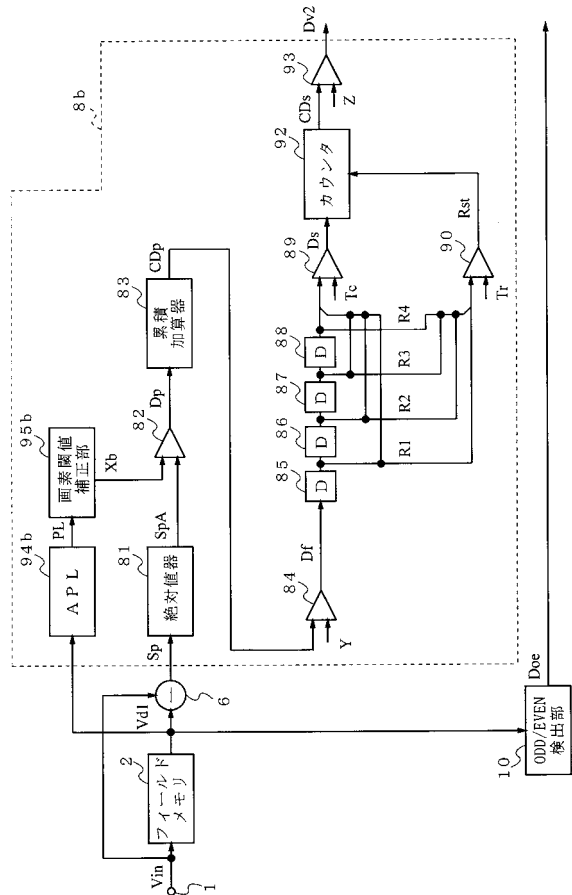
【 図 4 】



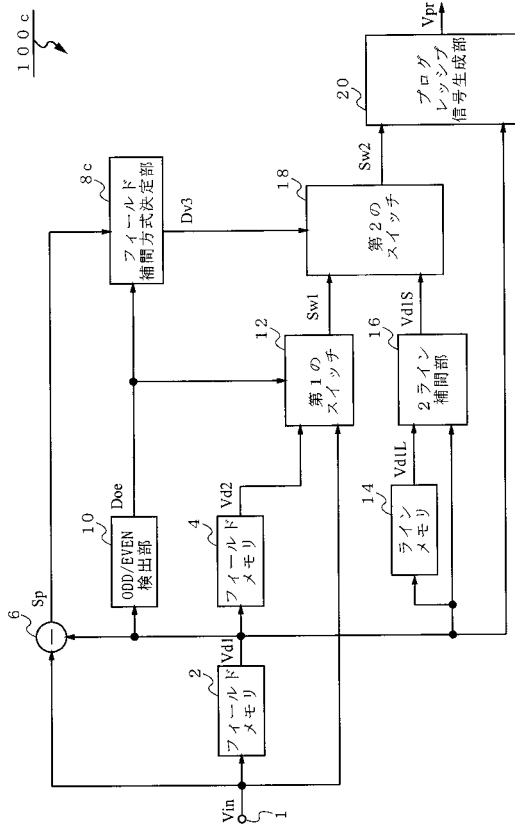
【 図 5 】



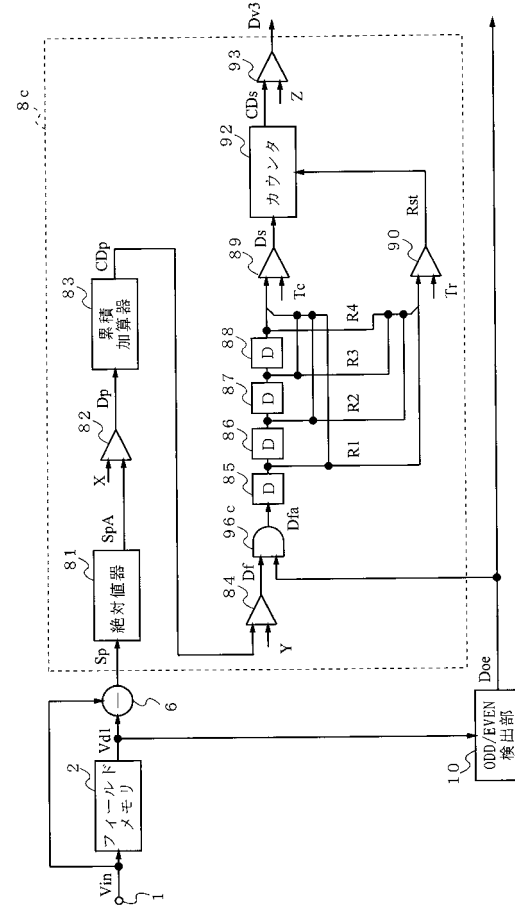
【 図 6 】



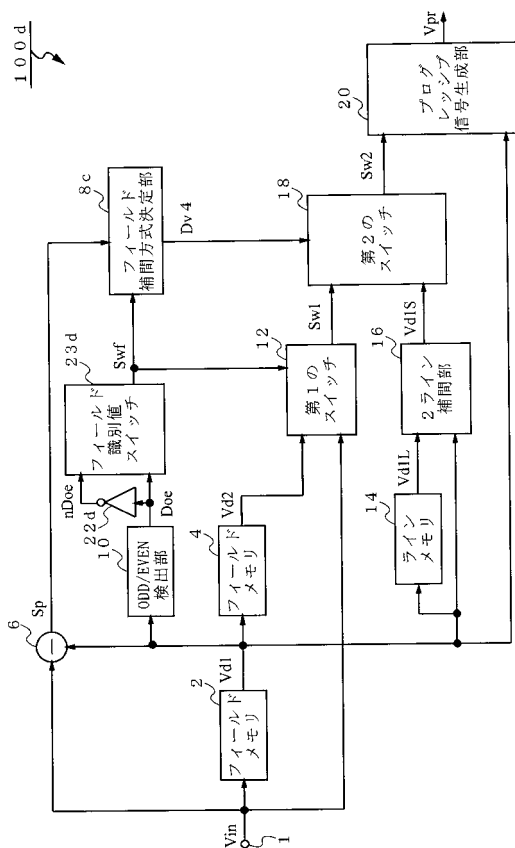
【 図 7 】



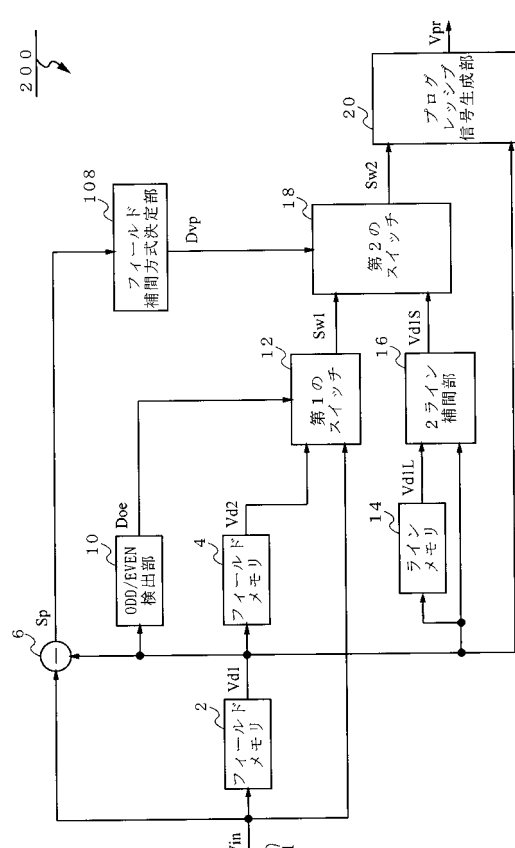
【 図 8 】



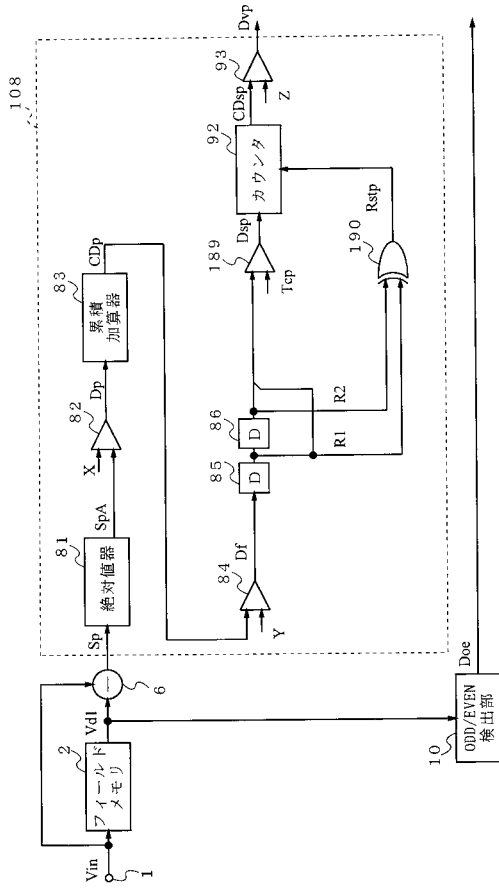
【 図 9 】



【 図 10 】



【 図 1 1 】



フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

H04N7/00-7/088

H04N5/253