



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0063243
(43) 공개일자 2025년05월08일

- (51) 국제특허분류(Int. Cl.)
H05K 1/18 (2006.01) H01L 23/498 (2006.01)
H05K 1/02 (2006.01) H05K 1/09 (2006.01)
H05K 1/14 (2006.01)
- (52) CPC특허분류
H05K 1/189 (2013.01)
H01L 23/4985 (2013.01)
- (21) 출원번호 10-2024-0149074
- (22) 출원일자 2024년10월28일
심사청구일자 없음
- (30) 우선권주장
112141711 2023년10월31일 대만(TW)
113117866 2024년05월15일 대만(TW)

- (71) 출원인
칩본드 테크놀로지 코퍼레이션
대만 신주 신주 사이언스 파크 리신 5 로드 넘버 3
- (72) 발명자
라이 치우홍
대만 사이언스 베이스드 인더스트리얼 리싱 5번 로드 넘버 3
수 웬핑
대만 사이언스 베이스드 인더스트리얼 리싱 5번 로드 넘버 3
(뒷면에 계속)
- (74) 대리인
특허법인아주김장리

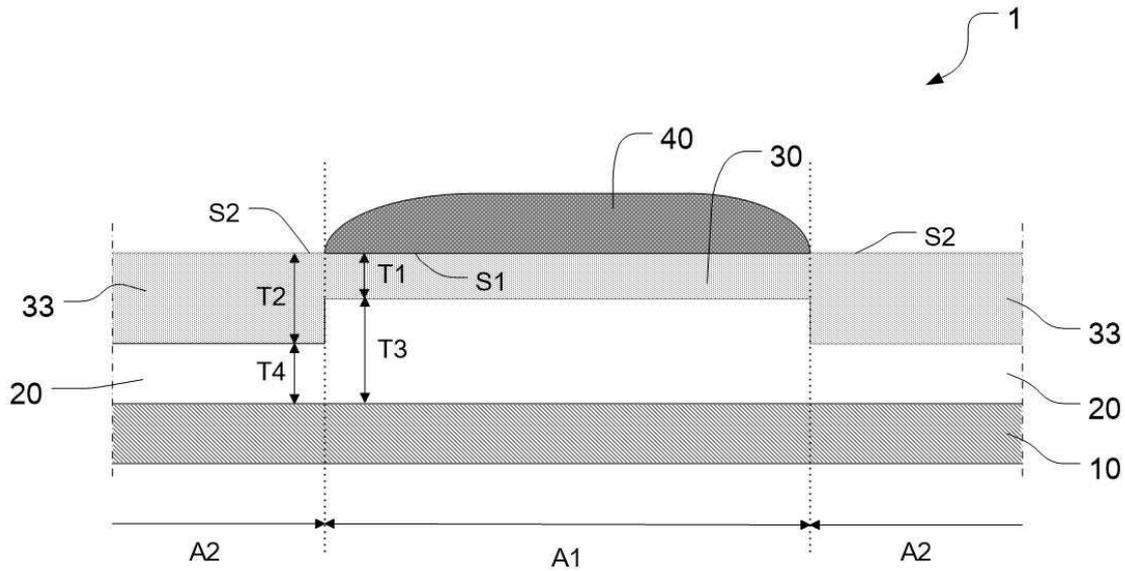
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 칩 집적을 위한 가요성 회로 보드 및 이를 구비하는 전자 디바이스

(57) 요약

칩 집적을 위해 설계된 가요성 회로 보드가 제공된다. 가요성 회로 보드는 절연 기판, 전도성 구리층, 제1 주석층, 제2 주석층 및 제1 솔더 레지스트층을 포함한다. 제1 주석층은 제1 주석 두께를 갖고, 제2 주석층은 더 큰 제2 주석 두께를 갖는다. 제1 주석층의 제1 주석 표면과 제2 주석층의 제2 주석 표면은 실질적으로 동일 높이에 있다.

대표도 - 도1



(52) CPC특허분류

H05K 1/028 (2013.01)

H05K 1/09 (2019.01)

H05K 1/147 (2013.01)

(72) 발명자

시에 이령

대만 사이언스 베이스드 인터스트리알 리싱 5번 로
드 넘버 3

리 동성

대만 사이언스 베이스드 인터스트리알 리싱 5번 로
드 넘버 3

치엔 이렌

대만 사이언스 베이스드 인터스트리알 리싱 5번 로
드 넘버 3

리 산

대만 사이언스 베이스드 인터스트리알 리싱 5번 로
드 넘버 3

리페이잉

대만 사이언스 베이스드 인터스트리알 리싱 5번 로
드 넘버 3

쿠오 텡이

대만 사이언스 베이스드 인터스트리알 리싱 5번 로
드 넘버 3

명세서

청구범위

청구항 1

칩 집적을 위한 가요성 회로 보드로서,

절연 기관;

패턴화된 회로를 갖고 상기 절연 기관에 위치된 전도성 구리층으로서, 서로 전기적으로 전도되는 제1 영역과 제2 영역을 갖는, 상기 전도성 구리층;

상기 전도성 구리층의 제1 영역 위에 위치된 제1 주석층으로서, 제1 주석 두께를 갖는 상기 제1 주석층; 및

상기 전도성 구리층의 제2 영역 위에 위치된 제2 주석층으로서, 제2 주석 두께를 갖는 상기 제2 주석층

을 포함하되;

상기 제1 주석층은 상기 전도성 구리층의 반대쪽에 상기 전도성 구리층과 접촉하지 않는 제1 주석 표면을 갖고, 상기 제2 주석층은 상기 전도성 구리층의 반대쪽에 상기 전도성 구리층과 접촉하지 않는 제2 주석 표면을 갖고, 상기 제1 주석 표면과 상기 제2 주석 표면은 동일 높이를 갖고 실질적으로 높이 차이를 갖지 않고,

상기 제1 주석 두께는 상기 제2 주석 두께보다 작은, 가요성 회로 보드.

청구항 2

청구항 1에 있어서, 상기 전도성 구리층은 제3 영역을 추가로 갖고, 상기 제3 영역은 상기 제1 영역과 상기 제2 영역 사이에 위치되고, 상기 제1 영역 및 상기 제2 영역과 전기적으로 전도되고, 상기 가요성 회로 보드는 제3 주석층을 추가로 포함하고, 상기 제3 주석층은 상기 전도성 구리층의 제3 영역 위에 위치되고, 상기 제3 주석층은 상기 제1 주석 두께와 상기 제2 주석 두께 사이의 제3 주석 두께를 갖는, 가요성 회로 보드.

청구항 3

청구항 1에 있어서, 상기 제1 영역에 위치된 전도성 구리층은 제1 구리 두께를 갖고, 상기 제2 영역에 위치된 전도성 구리층은 제2 구리 두께를 갖고, 상기 제1 구리 두께는 상기 제2 구리 두께보다 큰, 가요성 회로 보드.

청구항 4

청구항 3에 있어서, 상기 전도성 구리층은 제3 영역을 추가로 갖고, 상기 제3 영역은 상기 제1 영역과 상기 제2 영역 사이에 위치되고, 상기 제3 영역에 위치된 전도성 구리층의 두께는 상기 제1 구리 두께와 상기 제2 구리 두께 사이에 있는, 가요성 회로 보드.

청구항 5

청구항 3에 있어서, 상기 전도성 구리층은 제4 영역을 추가로 갖고, 상기 제1 영역은 상기 제4 영역과 상기 제2 영역 사이에 위치되고, 상기 제4 영역은 상기 제1 영역 및 상기 제2 영역과 전기적으로 전도되고, 상기 제4 영역에 위치된 전도성 구리층의 두께는 상기 제1 구리 두께보다 큰, 가요성 회로 보드.

청구항 6

청구항 5에 있어서,

상기 제1 주석층을 적어도 부분적으로 덮는 제1 솔더 레지스트층; 및

상기 전도성 구리층의 제4 영역을 적어도 부분적으로 덮는 제2 솔더 레지스트층

을 추가로 포함하되, 상기 전도성 구리층의 제4 영역과 상기 제2 솔더 레지스트층 사이에는 주석층이 존재하지 않는, 가요성 회로 보드.

청구항 7

청구항 1에 있어서, 상기 제1 영역은 상기 가요성 회로 보드의 굽힘 가능 영역에 위치된, 가요성 회로 보드.

청구항 8

청구항 1 내지 5 및 7 중 어느 한 항에 있어서, 상기 제1 주석층을 적어도 부분적으로 덮는 제1 솔더 레지스트층을 추가로 포함하고, 상기 제1 솔더 레지스트층은 상기 제2 주석층을 덮지 않고, 상기 제1 솔더 레지스트층의 두께는 1 μ m 내지 50 μ m 범위인, 가요성 회로 보드.

청구항 9

청구항 8에 있어서, 상기 제1 솔더 레지스트층 및/또는 상기 제2 주석층을 적어도 부분적으로 덮는 제3 솔더 레지스트층을 추가로 포함하는, 가요성 회로 보드.

청구항 10

칩 집적을 위한 가요성 회로 보드로서,

절연 기판; 및

패턴화된 회로를 갖고 상기 절연 기판에 위치되는 전도성 구리층

을 포함하되, 상기 전도성 구리층은 2 μ m 내지 20 μ m 범위의 두께를 갖고, 상기 전도성 구리층은 서로 전기적으로 전도되는 제1 영역과 제2 영역을 갖고, 상기 제1 영역에 위치된 전도성 구리층은 제1 구리 두께를 갖고, 상기 제2 영역에 위치된 전도성 구리층은 제2 구리 두께를 갖고, 상기 제1 구리 두께는 상기 제2 구리 두께보다 큰, 가요성 회로 보드.

청구항 11

청구항 10에 있어서, 상기 전도성 구리층은 제3 영역을 추가로 갖고, 상기 제3 영역은 상기 제1 영역과 상기 제2 영역 사이에 위치되고, 상기 제3 영역에 위치된 전도성 구리층의 두께는 상기 제1 구리 두께와 상기 제2 구리 두께 사이에 있는, 가요성 회로 보드.

청구항 12

청구항 10에 있어서, 상기 전도성 구리층은 제4 영역을 추가로 갖고, 상기 제1 영역은 상기 제4 영역과 상기 제2 영역 사이에 위치되고, 상기 제4 영역은 상기 제1 영역 및 상기 제2 영역과 전기적으로 전도되고, 상기 제4 영역에 위치된 전도성 구리층의 두께는 상기 제1 구리 두께보다 큰, 가요성 회로 보드.

청구항 13

청구항 12에 있어서,

상기 전도성 구리층의 제1 영역 위에 위치된 제1 주석층;

상기 제1 주석층을 적어도 부분적으로 덮는 제1 솔더 레지스트층; 및

상기 전도성 구리층의 제4 영역을 적어도 부분적으로 덮는 제2 솔더 레지스트층으로서, 상기 전도성 구리층의 제4 영역과 상기 제2 솔더 레지스트층 사이에는 주석층이 존재하지 않는, 상기 제2 솔더 레지스트층

을 추가로 포함하는, 가요성 회로 보드.

청구항 14

청구항 10에 있어서,

상기 전도성 구리층의 제1 영역 위에 위치된 제1 주석층;

상기 전도성 구리층의 제2 영역 위에 위치된 제2 주석층; 및

상기 제1 주석층을 적어도 부분적으로 덮는 제1 솔더 레지스트층

을 추가로 포함하는, 가요성 회로 보드.

청구항 15

청구항 14에 있어서, 상기 제1 주석층은 제1 주석 두께를 갖고, 상기 제2 주석층은 제2 주석 두께를 갖고, 상기 제1 주석 두께는 상기 제2 주석 두께와는 다른, 가요성 회로 보드.

청구항 16

청구항 10 내지 15 중 어느 한 항에 있어서, 상기 제1 영역은 상기 가요성 회로 보드의 굽힘 가능 영역에 위치되는, 가요성 회로 보드.

청구항 17

전자 디바이스로서,
 청구항 1 또는 10에 따른 가요성 회로 보드; 및
 상기 가요성 회로 보드에 배치된 칩
 을 포함하는, 전자 디바이스.

발명의 설명

기술 분야

[0001] 본 발명은 가요성 회로 보드에 관한 것이고, 보다 상세하게는 칩 집적을 위한 가요성 회로 보드에 관한 것이다.

배경 기술

[0002] 구부릴 수 있는 가요성 회로 보드는 칩 집적을 위한 작은 공간을 갖는 전자 디바이스에서 자주 사용된다. 예를 들어, 참고로, 가요성 테이프-앤-릴 회로 보드 제품(제조사: Chipbond Technology Corporation)은 평면 디스플레이, 웨어러블 디바이스, 휴대 전화, 태블릿 컴퓨터, 랩톱 컴퓨터, 차량용 디스플레이, 산업용 제어 패널과 같은 다양한 전자 디바이스에 적용 가능하다.

[0003] 가요성 회로 보드는 일반적으로 테이프 앤 릴 형태의 필름이다. 산업계에서, 가요성 회로 보드와 칩의 조합은 다양한 생산 및 설치 모드에 따라 다양한 이름, 예를 들어, 테이프 캐리어 패키지(TCP) 또는 칩 온 필름(COF)을 갖고 있다. TCP와 COF는 모두 가요성 회로 보드를 칩을 패키징하기 위한 캐리어로 이용하고, 칩의 금 범프와 가요성 회로 보드에 위치한 구리 패턴 회로의 내부 리드는 열 압축을 통해 접합된다.

[0004] 종래 기술에서, 가요성 회로 보드를 칩의 금 범프와 연결하기 위해서는 금-주석 공용 혼합물의 존재가 필수적이다. 금은 칩의 금 범프에 의해 제공되고, 주석은 내부 리드의 표면에 형성된 주석에 의해 공급되어서, 주석층이 내부 리드의 표면에 도금된다. 내부 리드에 더하여, 구리 패턴화된 회로는 다른 전자 소자에 연결하기 위한 외부 리드와 같은 전도성 단자를 추가로 포함하고, 이러한 단자는 일반적으로 주석 도금으로 만들어진 층도 포함한다. 구리 패턴화된 회로의 비-리드 영역은 보호를 위해 솔더 레지스트로 추가로 덮인다.

[0005] 전자 디바이스 내부의 공간이 지속적으로 소형화됨에 따라, 가요성 회로 보드의 굽힘 정도가 점점 더 커지고 있다는 점에 유의해야 한다. 따라서 가요성 회로 보드의 굽힘성이 보장되어야 하는 데, 즉, 패턴화된 회로가 반복적인 굽힘이나 장기간에 걸친 굽힘으로 인해 손상되지 않는 것이 보장되어야 한다. 특히 문헌 1(CN 107006116 B)에 의해 개시된 솔루션에서는 이중 솔더 레지스트층 구조가 가요성 회로 보드의 굽힘 가능 영역에서 패턴화된 회로 위에 배치되어 굽힘 가능 영역의 곡률을 완화하고, 이에 따라 패턴화된 회로가 받는 물리적 응력을 줄인다. 특히 문헌 2(CN 110121234 A)는 유사한 접근 방식을 개시한다. 굽힘 가능 영역에 이중 솔더 레지스트층 구조를 제공하는 것에 더하여, 패턴화된 회로를 포괄적으로 보호하기 위해 패턴화된 회로 위에 얇은 주석층이 추가로 제공된다. 굽힘 가능 영역 이외의 부분에서는 얇은 주석층을 덮기 위해 두꺼운 주석층이 추가로 제공된다. 칩 또는 기타 전자 소자와의 연결을 제공하는 것에 더하여 두꺼운 주석층은 또한 패턴화된 회로의 보호 효과를 강화한다.

발명의 내용

[0006] 광범위한 연구를 통해, 본 발명자들은 위 종래 기술이 실제로 수많은 문제에 직면해 있음을 발견하였다. 예를 들어, 특허 문헌 1의 굽힘은 이중 솔더 레지스트층 구조의 두께 증가로 인해 방해를 받고, 이러한 문제는 현재 가요성 회로 보드에 필요한 곡률 반경의 지속적인 소형화 추세에 적합하지 않다. 특허 문헌 2에서, 두꺼운 주석층으로 덮이지 않은 얇은 주석층은 가요성 회로 보드의 표면에서 두꺼운 주석층으로 덮인 얇은 주석층의 나머지 부분과 명백한 높이 차이를 형성한다. 본 발명자들은 가요성 회로 보드가 구부러질 때, 주석층 표면의 높이 차이가 있는 부분에 응력이 쉽게 축적되어 균열이 생길 수 있으며, 표면의 이러한 높이 차이는 또한 후속 처리에 복잡성을 추가한다는 것을 발견하였다.

[0007] 위의 내용을 고려하여, 본 발명의 일 실시형태에 따른 신규한 가요성 회로 보드가 제공된다. 굽힘 가능 영역에서, 얇은 주석층이 패턴화된 회로(즉, 전도성 구리층) 위에 배치되어, 아래의 전도성 구리층이 부식, 충돌 또는 긁히는 것을 방지할 뿐만 아니라 신뢰성 문제를 방지한다. 본 발명자들은 광범위한 연구를 통해, 솔더 레지스트층이 주석층이 제공하는 것보다 전도성 구리층에 덜 만족스런 보호를 제공하여, 주석층으로 전도성 구리층을 보호하는 것이 여전히 필요하다는 것을 추가로 발견하였다. 한편, 주석이 구리보다 경도가 높더라도, 굽힘 가능 영역에 더 얇은 주석층을 제공함으로써, 가요성 회로 보드의 적절한 굽힘성과 가요성은 여전히 유지될 수 있다. 보다 구체적으로, 본 발명의 일 실시형태에서, 얇은 주석층과 두꺼운 주석층의 표면은 평평하고(level), 즉, 이 두 표면은 동일한 높이를 갖고 실질적으로 높이 차이를 갖지 않아서, 응력 축적 문제를 방지한다.

[0008] 또 다른 실시형태에 따른 신규한 가요성 회로 보드가 제공된다. 굽힘 가능 영역에서 패턴화된 회로의 구리(즉, 전도성 구리층)의 두께는 더 크고, 굽힘 가능 영역 외부에서 패턴화된 회로의 구리(즉, 전도성 구리층)의 두께는 더 작다. 따라서, 굽힘 가능 영역에서 더 큰 두께를 갖는 구리를 통해 더 나은 연성이 제공되어, 굽힘 가능 영역에서 패턴화된 회로의 굽힘성을 보장하고, 반복적인 굽힘 또는 장기간에 걸친 굽힘으로 인한 조기 손상을 방지한다.

[0009] 본 발명의 일 실시형태에 따르면, 칩 집적을 위한 가요성 회로 보드는, 절연 기판; 패턴화된 회로를 갖고 절연 기판에 위치되는 전도성 구리층(여기서 전도성 구리층은 서로 전기적으로 전도되는 제1 영역과 제2 영역을 가짐); 전도성 구리층의 제1 영역 위에 위치되는 제1 주석층(여기서 제1 주석층은 제1 주석 두께를 가짐); 전도성 구리층의 제2 영역 위에 위치되는 제2 주석층(여기서 제2 주석층은 제2 주석 두께를 가짐); 및 제1 주석층을 적어도 부분적으로 덮는 제1 솔더 레지스트층을 포함하고, 전도성 구리층과 접촉하지 않는 제1 주석층의 제1 주석 표면과, 전도성 구리층과 접촉하지 않는 제2 주석층의 제2 주석 표면은 실질적으로 평평하고, 제1 주석 두께는 제2 주석 두께보다 작다.

[0010] 본 발명의 또 다른 실시형태에 따르면, 칩 집적을 위한 가요성 회로 보드는, 절연 기판; 및 패턴화된 회로를 갖고 절연 기판에 위치되는 전도성 구리층을 포함하고, 전도성 구리층은 서로 전기적으로 전도되는 제1 영역과 제2 영역을 갖고, 제1 영역에 위치한 전도성 구리층은 제1 구리 두께를 갖고, 제2 영역에 위치한 전도성 구리층은 제2 구리 두께를 갖고, 제1 구리 두께는 제2 구리 두께보다 크다.

[0011] 본 발명의 일 실시형태에 따른 전자 디바이스가 추가로 제공된다. 전자 디바이스는 위의 가요성 회로 보드와 칩을 포함하고, 칩은 가요성 회로 보드에 배치된다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 제1 실시형태에 따른 가요성 회로 보드의 개략 구조도이다.

도 2는 본 발명의 제2 실시형태에 따른 가요성 회로 보드의 개략 구조도이다.

도 3a 내지 도 3d는 본 발명의 다른 실시형태에 따른 가요성 회로 보드의 개략 구조도이다.

도 4는 본 발명의 또 다른 실시형태에 따른 가요성 회로 보드의 개략 구조도이다.

도 5는 본 발명의 일 실시형태에 따른 전자 디바이스의 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 발명의 바람직한 실시형태는 아래 첨부 도면을 참조하여 설명된다. 본 발명의 내용을 흐리게 하는 것을 방지하기 위해, 통상적인 요소, 관련 자료 및 관련 처리 기술도 아래 설명에서 생략한다. 한편, 본 발명을 명확히 설명하기 위해 첨부 도면의 다양한 요소는 반드시 실제 축척이나 상대적 비율에 맞게 그려진 것은 아니다.

[0014] 도 1을 참조하면, 본 발명의 제1 실시형태에 따른 가요성 회로 보드(1)는 절연 기판(10), 전도성 구리층(20),

제1 주석층(30), 제2 주석층(33) 및 솔더 레지스트층(40)을 포함한다.

[0015] 절연 기판(10)은 기판 보드이고, 아직 패터닝되지 않은 전도성 구리층(20)은 스퍼터링을 통해 절연 기판(10)에 형성될 수 있다. 절연 기판(10)은, 가요성, 내화학성 및 내열성 재료, 예를 들어, 폴리에스터, 폴리이미드 또는 폴리이미드와 같은 재료로 구현될 수 있다. 절연 기판(10)의 두께는 일반적으로 약 12 μm 내지 약 85 μm 이고, 바람직하게는 약 20 μm 내지 약 50 μm 이다. 전도성 구리층(20)의 두께는 예를 들어 약 2 μm 내지 20 μm 이고, 바람직하게는 약 5 μm 내지 12 μm 이다. 전도성 구리층으로 도금된 절연 기판은 일반적으로 구리 클래드 라미네이트(CCL)라고 하며, S'PERFLEX 또는 METALOYAL과 같은 시중에서 판매되는 CCL 제품을 참조할 수 있다. 그런 다음, 하나 이상의 패터닝된 회로가 통상적인 리소그래피를 통해 절연 기판(10) 상의 전도성 구리층(20)에 형성되며, 본 명세서에서는 관련 세부 사항을 생략한다.

[0016] 도 1에 도시된 바와 같이, 이 실시형태에서, 패터닝된 회로를 갖는 전도성 구리층(20)은 제1 영역(A1), 및 이 제1 영역(A1)의 두 측면에 각각 위치된 두 개의 제2 영역(A2)을 갖는다. 제1 영역(A1)에 위치된 전도성 구리층(20)과 제2 영역(A2)에 위치된 전도성 구리층(20)은 서로 전기적으로 전도되며, 바람직하게는 제1 영역(A1)에 위치된 전도성 구리층(20)과, 제2 영역(A2)에 위치된 전도성 구리층(20)은 동일한 회로 또는 동일한 와이어에 속한다. 다른 실시형태에서, 제1 영역(A1)과 제2 영역(A2)의 개수와 위치는 다양할 수 있으며, 도 1에 도시된 예로 제한되지 않는다는 점에 유의해야 한다.

[0017] 바람직하게는, 전도성 구리층(20)의 제1 영역(A1)은 가요성 회로 보드(1)의 굽힘 가능 영역에 위치된다. 가요성 회로 보드(1)의 소위 굽힘 가능 영역은 가요성 회로 보드(1)가 전자 디바이스에 배치되고 구부러질 때 측정 가능한 곡률을 갖는 부분을 말한다. 즉, 가요성 회로 보드(1)의 소위 굽힘 가능 영역은 굽힘에 의해 발생하는 상당한 응력을 견뎌내는 부분이다. 그러나, 제1 영역(A1)은 반드시 가요성 회로 보드(1)의 굽힘 가능 영역 내에 완전히 위치되는 것은 아니다. 다른 실시형태에서, 제1 영역(A1)의 범위는 가요성 회로 보드(1)의 굽힘 가능 영역보다 크거나 작을 수 있다. 바람직하게는, 제1 영역(A1)은 가요성 회로 보드(1)가 구부러질 때 가장 큰 응력을 견뎌내는 가요성 회로 보드(1)의 부분을 덮는다. 이에 비해, 제2 영역(A2)은 일반적으로 굽힘이 필요 없는 위치, 예를 들어, 소위 리드 영역, 즉 칩(미도시) 또는 다양한 전자 소자(미도시)에 일반적으로 연결될 수 있는 위치에 위치되지만, 본 발명은 위의 예로 제한되지 않는다.

[0018] 나아가 도 1에 도시된 바와 같이, 전도성 구리층(20)의 제1 영역(A1) 위에 제1 주석층(30)이 제공되고, 전도성 구리층(20)의 제2 영역(A2) 위에 제2 주석층(33)이 제공된다. 제1 주석층(30)과 제2 주석층(33)은 서로 겹치지 않으며, 제1 주석층(30)은 두께(T1)를 갖고, 제2 주석층(33)은 두께(T2)를 갖는다. 일 실시형태에서, 두께(T1)는 바람직하게는 0.2 μm 미만이고, 더 바람직하게는 0.1 μm 이하, 예를 들어 0.03 μm , 0.05 μm 또는 0.08 μm 이다. 두께(T2)는 0.2 μm 내지 2 μm 이고, 예를 들어 0.3 μm , 1 μm 또는 1.5 μm 일 수 있다. 다른 실시형태에서, 두께(T1)가 두께(T2)보다 작다면, 두께(T1 및 T2)의 값은 다르게 선택될 수 있으며, 위에 설명된 값 또는 범위로 제한되지 않는다.

[0019] 한편, 이 실시형태에서, 전도성 구리층(20)과 제1 주석층(30) 또는 제2 주석층(33)을 더한 총 두께는 일정하게 유지된다. 따라서, 전도성 구리층(20)의 제1 영역(A1)이 두께(T3)를 갖고, 전도성 구리층(20)의 제2 영역(A2)이 두께(T4)를 갖는 경우, 제1 주석층(30)의 두께(T1)가 제2 주석층(33)의 두께(T2)보다 작기 때문에 두께(T3)는 두께(T4)보다 크다.

[0020] 본 발명은 위의 예로 제한되지 않는다는 점에 유의해야 한다. 다시 말해, 다른 실시형태에서, 두께(T1)가 위 두께(T2)보다 큰 특징과, 두께(T3)가 여기서 두께(T4)보다 크다는 특징은 반드시 동시에 수립되는 것은 아니며, 전도성 구리층(20)과 제1 주석층(30) 또는 제2 주석층(33)을 더한 총 두께는 반드시 일정하게 유지되는 것은 아니다. 일 실시형태에서, 두께(T3)와 두께(T4)의 차이는 0.1 μm 내지 1.9 μm 이고, 예를 들어 0.3 μm , 1 μm 또는 1.8 μm 일 수 있다.

[0021] 도면에 도시된 바와 같이, 제1 주석층(30)은 제1 주석층(30)이 전도성 구리층(20)과 접촉하는 표면의 반대쪽에 위치된 주석 표면(S1)(상위 표면)을 갖고; 유사하게, 제2 주석층(33)은 제2 주석층(33)이 전도성 구리층(20)과 접촉하는 표면의 반대쪽에 위치된 주석 표면(S2)(상위 표면)을 갖는다. 보다 구체적으로, 두께(T1)가 두께(T2)보다 작은 조건을 만족하는 것에 더하여, 제1 주석층(30)의 주석 표면(S1)과 제2 주석층(33)의 주석 표면(S2)은 실질적으로 동일한 높이에 있고 평평하다(즉, 동일 평면에 있다). 다시 말해, 전도성 구리층(20)과 반대쪽 가요성 회로 보드(1) 표면(즉, 도 1의 상부)에서 관찰할 때, 제1 주석층(30)과 제2 주석층(33)이 다른 두께를 갖는 경우에도 상부에서 실질적인 높이 차이는 없다. 일 실시형태에서, 300,000배의 배율로 주사 전자 현미경(SEM)을 사용하여 관찰을 수행하는 경우에도 주석 표면(S1)과 주석 표면(S2)은 이들 표면 사이에 실질적인 높이 차이가

없이 여전히 평평하게 보인다. 가요성 회로 보드의 제조 분야에서 통상의 기술자에게는 동일한 주석 도금 공정을 거친 주석층의 표면이 평평한 것으로 간주된다는 점에 유의해야 한다. 그러나, 제1 주석층(30)과 제2 주석층(33)이 서로 다른 주석 도금 공정을 거쳤고 두께 차이를 갖지만, 주석층의 표면은 동일한 주석 도금 공정을 거쳤기 때문에 주석 표면(S1)과 주석 표면(S2)은 동일한 높이를 갖고 여전히 평평하다.

[0022] 한편, 제1 주석층(30)과 제2 주석층(33) 사이의 두께 차이는 아래에 묻혀 있고(즉, 제1 주석층(30)과 제2 주석층(33)이 전도성 구리층(20)과 접촉하는 계면에 묻혀 있고) 노출되지 않는다. 다시 말해, 제1 주석층(30)과 제2 주석층(33)의 각각의 수평 범위는 위로부터가 아니라 아래로부터 결정된다. 따라서, 제1 주석층(30)과 제2 주석층(33)은 다른 두께를 갖지만, 동일한 높이에 상위 표면을 가져서 이에 따라 함께 평평한 표면으로 형성되고, 이는 굽힘 동안 응력 축적을 줄이고, 불균일한 힘을 받는 것을 방지하고, 후속 처리에서 표면의 높이 차이로 인한 복잡성을 더욱 방지할 수 있다.

[0023] 더욱이, 솔더 레지스트층(40)은 제1 주석층(30)을 덮는다. 솔더 레지스트층(40)은 접착 접합 또는 인쇄를 통해 제1 주석층(30)에 부착될 수 있다. 솔더 레지스트층(40)은 전도성 구리층(20)이 부식, 충돌 또는 굽히는 것을 방지하는 효과를 제공하며, 또한 굽힘 동안 전도성 구리층(20)에 대한 응력의 영향을 완화할 수 있다. 일 실시 형태에서, 솔더 레지스트층(40)은 제2 주석층(33)을 형성하기 위한 마스크 역할을 추가로 할 수 있으며, 따라서 솔더 레지스트층(40)은 제1 주석층(30)만을 덮고, 제2 주석층(33)을 덮지는 않는다. 그러나, 본 발명은 위의 예로 제한되지 않는다.

[0024] 솔더 레지스트층(40)은 커버층(CL)이거나, 솔더 레지스트 제제와 같은 성분을 포함하는 재료이거나, 스크린 인쇄를 통해 기존 유형의 에폭시 수지(o-크레졸 노발락/페놀/DGEBA) 잉크 또는 기타 적합한 유형의 잉크로 형성될 수 있다. 일 실시 형태에서, 솔더 레지스트층(40)의 두께는 1 μ m 내지 50 μ m 범위, 예를 들어 40 μ m 또는 바람직하게는 50 μ m일 수 있다.

[0025] 다음으로, 도 2에 도시된 바와 같이, 도 1에 도시된 제1 실시형태와 비교했을 때, 본 발명의 제2 실시형태에 따른 가요성 회로 보드(1)는 주로 패턴화된 회로를 갖는 전도성 구리층(20)이 제1 영역(A1)과 두 개의 제2 영역(A2) 사이에 각각 위치한 두 개의 제3 영역(A3)을 추가로 갖는다는 점에서 다르다. 제3 영역(A3)에 위치한 전도성 구리층(20)은 제1 영역(A1)에 위치한 전도성 구리층(20) 및 제2 영역(A2)에 위치한 전도성 구리층(20)과 전기적으로 전도되며, 바람직하게는 제3 영역(A3)에 위치한 전도성 구리층(20), 제1 영역(A1)에 위치한 전도성 구리층(20) 및 제2 영역(A2)에 위치한 전도성 구리층(20)은 동일한 와이어에 속한다. 다른 실시 형태에서, 제3 영역(A3)의 수와 위치는 다양할 수 있으며, 도 2에 도시된 예로 제한되지 않는다는 점에 유의해야 한다.

[0026] 나아가 도 2에 도시된 바와 같이, 제3 주석층(35)이 전도성 구리층(20)의 제3 영역(A3) 위에 제공된다. 제1 주석층(30), 제3 주석층(35) 및 제2 주석층(33)은 서로 연결되지만 겹치지 않으며, 그 상위 표면은 동일 평면에 있다. 보다 구체적으로, 제3 주석층(35)의 두께는 제1 주석층(30)의 두께(T1)와 제2 주석층(33)의 두께(T2) 사이에 있다. 제3 주석층(35)의 두께는 수평 거리를 따라 점진적으로 증가(또는 감소)하여, 제1 주석층(30)의 두께(T1)와 제2 주석층(33)의 두께(T2) 사이에 버퍼 역할을 하여, 굽힘 동안 상당한 두께 차이로 인한 응력 축적을 더욱 방지할 수 있다. 한편, 이 실시 형태에서는 제1 영역(A1), 제2 영역(A2) 및 제3 영역(A3)의 전도성 구리층(20)에 제1 주석층(30), 제2 주석층(33) 및 제3 주석층(35)을 더한 각각의 총 두께는 각각 일정하게 유지된다. 따라서, 제3 영역(A3)에 위치한 전도성 구리층(20)의 두께는 제1 영역(A1)에 위치한 전도성 구리층(20)의 두께와, 제2 영역(A2)에 위치한 전도성 구리층(20)의 두께 사이에 있다. 더욱이, 제3 주석층(35)의 두께가 수평 거리를 따라 점진적으로 증가(또는 감소)할 수 있는 경우, 제3 영역(A3)에 위치한 전도성 구리층(20)의 두께도 또한 이에 대응하여 점진적으로 감소(또는 증가)하고, 이는 응력 축적을 감소시키는 데 더욱 기여한다. 그러나, 본 발명은 위의 예로 제한되지 않는다. 다른 실시 형태에서, 제1 영역(A1), 제2 영역(A2) 및 제3 영역(A3)에 있는 전도성 구리층(20)에 제1 주석층(30), 제2 주석층(33) 및 제3 주석층(35)을 더한 각각의 총 두께는 반드시 일정하게 유지되는 것은 아니다. 더욱이, 제3 주석층(35)의 두께 또는 제3 영역(A3)에 위치한 전도성 구리층(20)의 두께는 선형 또는 비선형 방식으로 점진적으로 증가(또는 감소)하거나, 단계적으로 점진적으로 증가(또는 감소)할 수 있다.

[0027] 일 실시 형태에서, 하나의 단일 제3 영역(A3)의 수평 길이는 5 μ m 내지 200 μ m 범위일 수 있으며, 예를 들어, 50 μ m, 100 μ m 또는 150 μ m일 수 있다. 다른 제3 영역(A3)의 수평 길이들이 반드시 동일한 것은 아니다.

[0028] 도 2에 도시된 실시 형태에서, 솔더 레지스트층(40)은 제1 주석층(30)과 제3 주석층(35)을 동시에 덮지만, 본 발명은 위의 예로 제한되지 않는다. 다른 실시 형태에서, 솔더 레지스트층(40)은 제1 주석층(30)과 제3 주석층(35) 사이의 적어도 계면만을 덮기만 하면 되고, 제2 주석층(33)과 제3 주석층(35) 사이의 계면을 덮지는 않는다. 또

다른 실시형태(미도시)에서, 솔더 레지스트층(40)은 제2 주석층(33)과 제3 주석층(35) 사이의 계면을 추가로 덮는다.

- [0029] 다음으로, 도 3a 내지 도 3d를 참조하면, 도 1에 도시된 제1 실시형태와 비교했을 때, 본 발명의 다른 실시형태에 따른 가요성 회로 보드(1)는 가요성 회로 보드(1)가 솔더 레지스트층(40) 및/또는 제2 주석층(33) 상에 형성된 솔더 레지스트층(45)을 추가로 포함한다는 점에서 주로 다르다. 솔더 레지스트층(45)은 솔더 레지스트층(40)과 동일하거나 다른 재료로 구현될 수 있다.
- [0030] 보다 구체적으로, 도 3a의 실시형태에서, 솔더 레지스트층(45)은 솔더 레지스트층(40)의 일부만을 덮고, 제2 주석층(33)을 덮지는 않는다. 위의 접근 방식은 솔더 레지스트층(45)의 작은 부분에 의해 제공되는 보호에 의해 가요성 회로 보드(1)의 굽힘 가능 영역에서 굽힘성을 더욱 강화한다.
- [0031] 선택적으로, 도 3b의 실시형태에서, 솔더 레지스트층(45)은 솔더 레지스트층(40)의 전체를 덮고, 제2 주석층(33)의 일부를 추가로 덮는다. 도 3a의 실시형태의 장점을 향상시키는 것에 더하여, 솔더 레지스트층(40)의 전체가 덮이기 때문에, 도 3b의 실시형태의 접근 방식은 후속 처리 동안 솔더 레지스트층(40)이 제1 주석층(30)으로부터 벗겨지는 것을 추가로 방지한다.
- [0032] 선택적으로, 도 3c의 실시형태에서, 도 3b와 비교했을 때, 솔더 레지스트층(45)은 솔더 레지스트층(40)의 일부(전체는 아님)만을 덮고, 동시에 제2 주석층(33)의 일부를 덮고, 보다 구체적으로는 솔더 레지스트층(40)과 제2 주석층(33) 사이의 계면을 덮는다. 후속 처리 동안 가장자리에 위치한 솔더 레지스트층(40)이 제1 주석층(30)에서 벗겨지는 것을 방지하는 것에 더하여, 위의 접근 방식은 솔더 레지스트층(40)에 과도한 양의 솔더 레지스트층(45)이 남아 있는 것을 추가로 방지하고, 여기서 이러한 과도한 양의 솔더 레지스트층(45)으로 인해 발생하는 지나치게 큰 두께는 가요성 회로 보드(1)의 굽힘 어려움을 유발할 수 있다.
- [0033] 선택적으로, 도 3d의 실시형태에서, 솔더 레지스트층(45)의 일부는 도 3c에서와 같이 솔더 레지스트층(40)과 제2 주석층(33) 사이의 교차부를 덮고, 솔더 레지스트층(45)의 다른 부분은 솔더 레지스트층(40)의 일부만을 덮고, 도 3a에서와 같이 제2 주석층(33)을 덮지는 않는다. 위의 접근 방식은 도 3a 및 도 3c의 장점을 통합한다.
- [0034] 더욱이, 도시되지 않은 일 실시형태에서, 솔더 레지스트층(45)은 제2 주석층(33)의 일부만을 덮고, 솔더 레지스트층(40)을 덮지는 않고, 솔더 레지스트층(40)으로부터 거리를 두고 유지되거나 솔더 레지스트층(40)에 매우 인접해 있을 수 있다.
- [0035] 도시되지 않은 또 다른 실시형태에서, 가요성 회로 보드(1) 상의 솔더 레지스트층(45)의 면적은 가요성 회로 보드(1) 상의 솔더 레지스트층(40)의 면적의 10% 이상을 차지한다. 그러나, 본 발명은 위의 예로 제한되지 않는다.
- [0036] 도 3a 내지 도 3d에 도시된 솔더 레지스트층(40)과 솔더 레지스트층(45)의 다양한 구현 형태는 도 2의 실시형태(즉, 제3 영역(A3)이 버퍼 영역으로 사용되는 상황)에도 적용 가능하다는 점에 유의해야 한다.
- [0037] 다음으로, 도 4에 도시된 바와 같이, 도 1에 도시된 제1 실시형태 및 도 2에 도시된 제2 실시형태와 비교했을 때, 본 발명의 다른 실시형태에 따른 가요성 회로 보드(1)는 패터화된 회로를 갖는 전도성 구리층(20)이 추가로 제4 영역(A4)을 갖고, 제1 영역(A1)과 제3 영역(A3)이 모두 제4 영역(A4)과 제2 영역(A2) 사이에 위치된다는 점에서 주로 다르다. 제4 영역(A4)에 위치한 전도성 구리층(20)은 제1 영역(A1)에 위치한 전도성 구리층(20), 제3 영역(A3)에 위치한 전도성 구리층(20), 및 제2 영역(A2)에 위치한 전도성 구리층(20)과 전기적으로 전도되며, 바람직하게는 제4 영역(A4)에 위치한 전도성 구리층(20), 제1 영역(A1)에 위치한 전도성 구리층(20), 제3 영역(A3)에 위치한 전도성 구리층(20), 및 제2 영역(A2)에 위치한 전도성 구리층(20)은 동일한 회로 또는 동일한 와이어에 속한다. 다른 실시형태에서, 도 4의 제3 영역(A3)은 생략될 수도 있으며, 본 발명은 도 4에 도시된 예로 제한되지 않는다는 점에 유의해야 한다.
- [0038] 나아가 도 4에 도시된 바와 같이, 제1 영역(A1), 제2 영역(A2) 및 제3 영역(A3) 모두의 전도성 구리층(20) 위에 주석층이 제공되는 것에 반해, 제4 영역(A4)에 위치한 전도성 구리층(20) 위에는 주석층이 제공되지 않고, 전도성 구리층(20)은 솔더 레지스트층(48)에 의해 직접 덮인다. 한편, 제4 영역(A4)에 위치한 전도성 구리층(20)의 두께(T5)는 또한 제1 영역(A1), 제2 영역(A2) 및 제3 영역(A3)의 전도성 구리층(20)의 두께보다 크다. 더욱이, 제4 영역(A4)의 전도성 구리층(20)의 상위 표면은 바람직하게는 제1 주석층(30), 제3 주석층(35) 및 제2 주석층(33)의 상위 표면과 동일 평면이다.

[0039] 바람직하게는, 전도성 구리층(20)의 제4 영역(A4)은 가요성 회로 보드(1)의 굽힘 가능한 영역에 위치된다. 제4 영역(A4)의 범위는 가요성 회로 보드(1)의 굽힘 가능한 영역보다 크거나 작을 수 있다. 바람직하게는, 제4 영역(A4)은 가요성 회로 보드(1)가 구부러질 때 가장 큰 응력을 견뎌내는, 가요성 회로 보드(1)의 부분을 덮는다. 솔더 레지스트층(48)은 주석층보다 전도성 구리층(20)에 더 적은 보호를 제공하지만, 제4 영역(A4) 위에는 주석층이 제공되지 않기 때문에(그리고 제1 영역(A1) 위에만 얇은 주석층이 제공되기 때문에), 가요성 회로 보드(1)의 굽힘성과 가요성이 증가할 수 있어서(즉, 가요성 회로 보드(1)가 더 쉽게 구부러질 수 있어서), 이에 따라 가요성 회로 보드(1)는 더 작은 공간에 더 잘 적용될 수 있다. 더욱이, 전도성 구리층(20)의 두께(T5)(및 두께(T3))가 두꺼워질수록, 굽힘 가능 영역의 패턴화된 회로의 굽힘성도 증가하여, 가요성 회로 보드(1)의 굽힘으로 인한 와이어 파손을 방지할 수 있다.

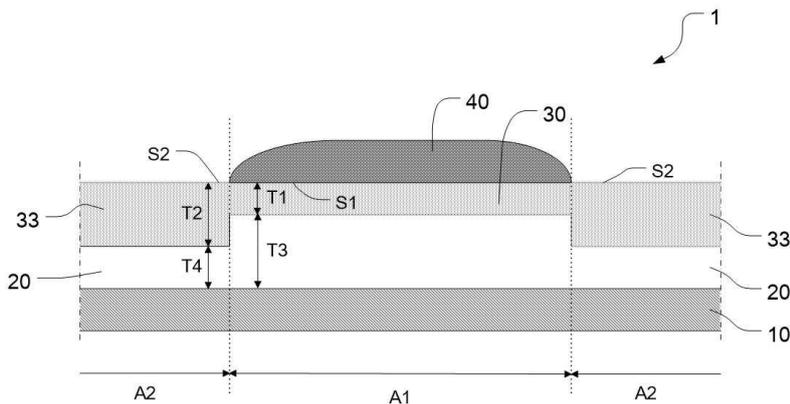
[0040] 일 실시형태에서, 솔더 레지스트층(48)은 추가로 제1 주석층(30)을 형성하기 위한 마스크로서 작용할 수 있으며, 따라서 솔더 레지스트층(48)은 제4 영역(A4)의 전도성 구리층(20)만을 덮고, 제1 주석층(30)을 덮지는 않는다. 그러나, 본 발명은 위의 예로 제한되지 않는다. 더욱이, 솔더 레지스트층(48)은 솔더 레지스트층(40)과 동일하거나 다른 재료로 구현될 수 있다.

[0041] 도 5는 본 발명의 일 실시형태에 따른 전자 디바이스(100)를 보여준다. 전자 디바이스(100)는 가요성 회로 보드(1), 및 이 가요성 회로 보드(1)에 배치된 칩(2)을 포함한다. 가요성 회로 보드(1)의 세부 사항에 관해서는 위의 도 1 내지 도 4와 관련된 설명을 참조하면 된다. 전자 디바이스(100)는 예를 들어 평면 디스플레이, 웨어러블 디바이스, 휴대 전화, 태블릿 컴퓨터, 랩톱 컴퓨터, 차량용 디스플레이, 산업용 제어 패널일 수 있으며, 칩(2)은 예를 들어 이미지 디스플레이를 구동하기 위한 칩일 수 있다. 도 5에 도시된 바와 같이, 전자 디바이스(100) 내부의 작은 공간으로 인해, 가요성 회로 보드(1)는 그 안에 사용하기 위해 불가피하게 구부러진다. 관련 세부 사항은 이 기술 분야의 통상의 기술자에게 잘 알려져 있으므로 여기에서는 생략한다. 더욱이, 도시되지 않은 실시형태에서, 전자 디바이스(100)는 반드시 최종 사용자가 즉시 사용할 수 있는 제품인 것은 아니며, 칩(2)이 이미 가요성 회로 보드(1)에 배치되어 있는 한, 후속 처리가 필요한 반제품일 수 있다.

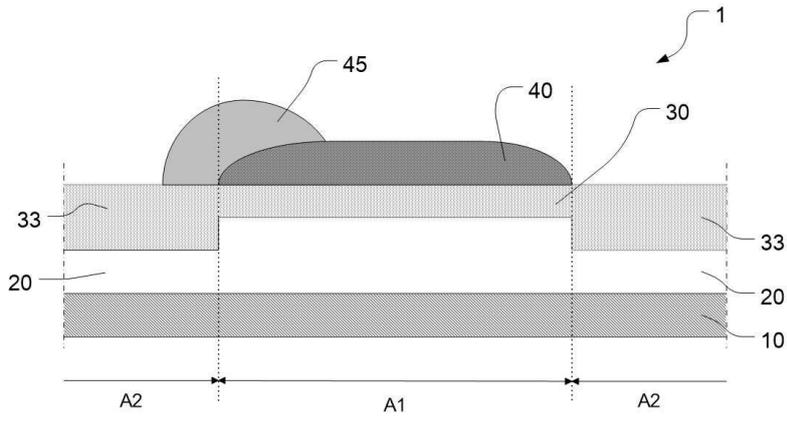
[0042] 위의 설명은 단지 본 발명의 바람직한 실시형태를 제공하며, 본 발명의 청구범위를 제한하는 것으로 해석되어서는 안 된다. 본 발명에 의해 개시된 정신을 벗어나지 않고 이루어진 모든 동등한 변경 또는 수정은 모두 첨부된 청구범위에 포함된다.

도면

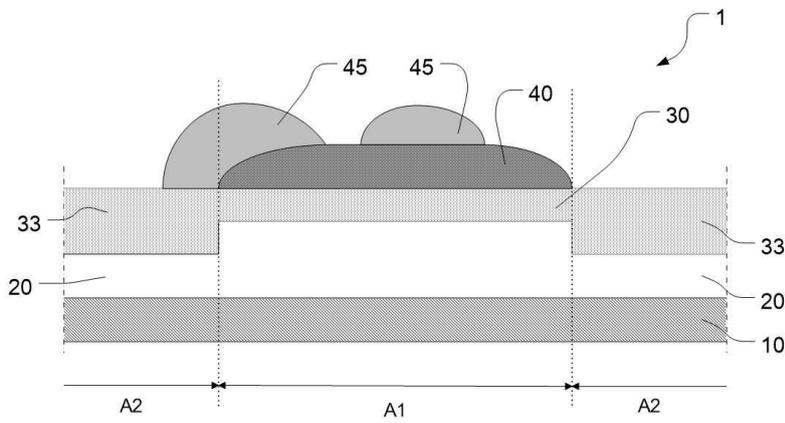
도면1



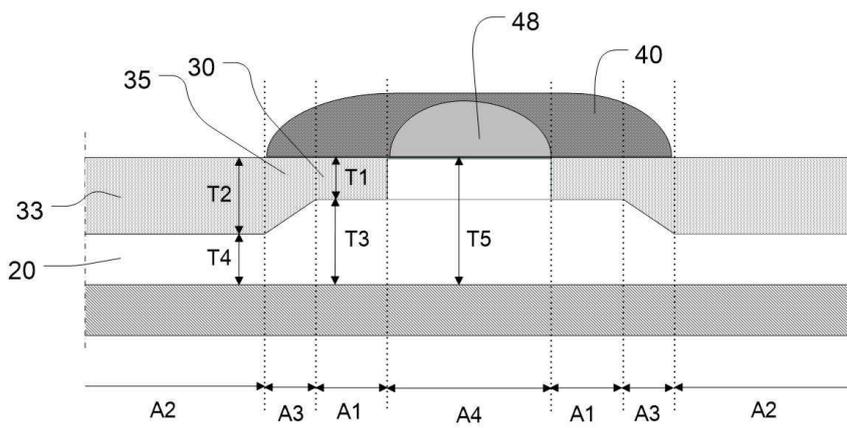
도면3c



도면3d



도면4



도면5

