



(12) 发明专利

(10) 授权公告号 CN 101488302 B

(45) 授权公告日 2014. 07. 30

(21) 申请号 200910003196. 9

11 行 - 第 4 页第 7 行, 图 1.

(22) 申请日 2009. 01. 14

CN 1750099 A, 2006. 03. 22, 说明书第 6-7

页, 第 15 页, 图 1A, 10.

(30) 优先权数据

2008-005329 2008. 01. 15 JP

US 2003/0124755 A1, 2003. 07. 03, 全文 .

US 2007/0001936 A1, 2007. 01. 04, 全文 .

US 2004/0207331 A1, 2004. 10. 21, 全文 .

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

审查员 张苗

(72) 发明人 本田达也

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 张政权

(51) Int. Cl.

G09F 9/33 (2006. 01)

G09G 3/30 (2006. 01)

G09G 3/32 (2006. 01)

H01L 27/32 (2006. 01)

(56) 对比文件

CN 1573872 A, 2005. 02. 02, 说明书第 3 页第

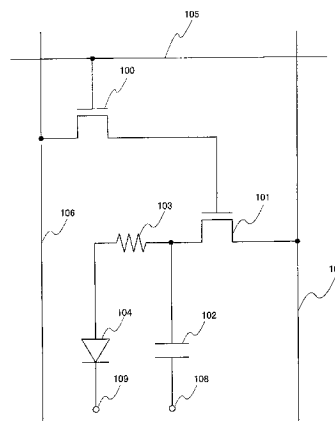
权利要求书2页 说明书23页 附图13页

(54) 发明名称

显示装置及电子器具

(57) 摘要

一种具有为了进行适于运动图像显示的脉冲式显示所需发光时间的显示装置, 包括: 包括第一端子及第二端子的电阻元件; 包括栅极端子以及源极端子及漏极端子的晶体管, 其中栅极端子电连接到信号线, 源极端子及漏极端子中的一方电连接到电源线; 包括第一端子及第二端子的电容元件, 其中第一端子及第二端子中的一方电连接到所述电阻元件的第一端子及第二端子中的一方以及所述晶体管的源极端子及漏极端子中的另一方; 以及包括第一端子及第二端子的发光元件, 其中第一端子及第二端子中的一方电连接到所述电阻元件的第一端子及第二端子中的另一方。



1. 一种显示装置,包括:

扫描线;

信号线;

电源线;以及

像素,

所述像素包括:

包括第一端子及第二端子的电阻元件;

包括第一端子及第二端子的电容元件;

包括第一端子及第二端子的发光元件;

包括栅极端子、源极端子、以及漏极端子的第一晶体管,其中所述第一晶体管的所述栅极端子电连接到所述扫描线,并且所述第一晶体管的所述源极端子及所述漏极端子中的一方电连接到所述信号线;

包括栅极端子、源极端子、以及漏极端子的第二晶体管,其中所述第二晶体管的所述栅极端子电连接到所述第一晶体管的所述源极端子及所述漏极端子中的另一方、所述电容元件的所述第一端子、以及所述电阻元件的所述第一端子,所述第二晶体管的所述源极端子及所述漏极端子中的一方电连接到所述发光元件的第一端子,并且所述第二晶体管的所述源极端子及所述漏极端子中的另一方电连接到所述电源线,以及

包括栅极端子、源极端子、以及漏极端子的第三晶体管,其中所述第三晶体管的所述源极端子及所述漏极端子中的一方电连接到所述电阻元件的所述第二端子,并且所述第三晶体管的所述源极端子及所述漏极端子中的另一方电连接到所述电容元件的所述第二端子;以及

其中所述第一晶体管和所述第三晶体管具有不同的导电类型,以及

其中所述第三晶体管的栅极端子电连接至所述扫描线。

2. 根据权利要求1所述的显示装置,其中接地电位施加到所述电容元件的所述第二端子。

3. 根据权利要求1所述的显示装置,其中所述第一至第三晶体管包括微晶半导体层。

4. 根据权利要求1所述的显示装置,其中所述电容元件中的电荷的储存时间短于一个水平期间。

5. 根据权利要求1所述的显示装置,其中所述电容元件包括第一电极、第二电极、以及插入所述第一电极及所述第二电极之间的电介质层,其中所述电介质层为使用相对介电常数为8以上的材料形成的。

6. 根据权利要求1所述的显示装置,其中所述发光元件的发光时间短于一个帧期间。

7. 根据权利要求1所述的显示装置,其中所述发光元件的发光时间相当于一个水平期间和所述电容元件的电荷缓和时间的总和。

8. 根据权利要求1所述的显示装置,其中所述电阻元件为使用半导体材料形成的。

9. 根据权利要求1所述的显示装置,其中所述发光元件具有在两个电极之间设置有电致发光层的结构,并且所述电致发光层包括有机材料。

10. 根据权利要求1所述的显示装置,其中所述发光元件具有在两个电极之间设置有电致发光层的结构,并且所述电致发光层包括选自 ZnO 、 $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ 、 ZnS 、 ZnTe 和 CdS 的无机

材料。

11. 一种具有根据权利要求 1 所记载的显示装置的电子器具,其中所述电子器具为选自影像拍摄装置;护目镜型显示器;导航系统;音频再现装置;笔记本式个人计算机;游戏机;携带电话机;便携式信息终端;具备记录媒体的图像再现装置中的一种。

12. 根据权利要求 11 所述的电子器具,其中所述影像拍摄装置可选自摄像机和数码相机。

显示装置及电子器具

技术领域

[0001] 本发明涉及一种显示装置。另外,本发明还涉及一种在显示部具有显示装置的电子器具。

背景技术

[0002] 近年来,有源矩阵型的电致发光显示装置(以下称为 EL 显示装置)等的显示装置采用在一个帧期间保持亮度的显示方法,即所谓的保持模式显示(hold-type display)(例如,专利文献 1:日本专利申请公开 H8-54836 号公报)。

[0003] 保持模式显示容易产生如下问题,即在图像的一部分运动的情况下,运动物体似乎留下轨迹,以及在使整个图像运动的情况下,整个图像模糊(运动模糊:Motion Blur)。因此,当显示运动图像时,适用所谓的脉冲式显示,脉冲式显示为如下显示:像 CRT 显示器等的显示装置那样,像素的发光元件在一个帧期间一次发光,然后减少亮度。

[0004] 然而,与用于 CRT 显示器等的显示装置的荧光体相比,用于 EL 显示装置等的现状的发光元件的发光时间短。因此,使用发光元件的 EL 显示装置难以与如 CRT 显示器等的显示装置相等的发光时间进行脉冲式显示。一般而言,用于 CRT 显示器的荧光体的发光时间大约为 1msec,而用于 EL 显示装置的发光元件的发光时间为几 μ sec 左右。

[0005] 在如上述 EL 显示装置等的具有发光元件的显示装置中,为了延长发光时间,设置另外提供电容元件等的方法(例如专利文献 1)。

[0006] 然而,在上述 EL 显示装置等的具有发光元件的显示装置中,为了获得进行脉冲式显示所需要的发光时间,需要电容量大的电容元件,并且电容元件的电极面积与其对应地增大。若使用这种电容元件制造显示装置,开口率则降低。而且,将电荷储存到电容元件中所需要的时间也变长,而出现在写入期间内不能将预定电荷量储存到电容元件中的问题。若不在电容元件中储存充分电荷,则施加到发光元件的电压比预定的电压降低,因此,发光亮度也比预定的亮度降低。由于显示装置的面板尺寸越大,像素间距及布线电阻等也越大,因此不能在写入时间内将预定电荷量储存到电容元件中的问题更明显。

发明内容

[0007] 鉴于上述问题,本发明的目的在于获得进行适合于显示运动图像的脉冲式显示所需要的发光时间。

[0008] 例示的一个方式为一种显示装置,包括扫描线、信号线、电源线、以及像素,其中,像素包括电阻元件;包括第一端子及第二端子的电容元件;栅极端子电连接到扫描线,并且源极端子及漏极端子中的一方电连接到信号线的第一晶体管;栅极端子连接到第一晶体管的源极端子及漏极端子中的另一方,源极端子及漏极端子中的一方电连接到电源线,并且源极端子及漏极端子中的另一方电连接到电容元件的第一端子的第二晶体管;以及包括第一端子及第二端子,并且第一端子通过电阻元件电连接到电容元件的第一端子的发光元件。

[0009] 再者,一个方式为一种显示装置,包括扫描线、信号线、电源线、以及像素,其中,像素包括电阻元件;包括第一端子及第二端子的电容元件;栅极端子电连接到扫描线,并且源极端子及漏极端子中的一方电连接到信号线的第一晶体管;栅极端子连接到第一晶体管的源极端子及漏极端子中的另一方,源极端子及漏极端子中的一方电连接到电源线,并且源极端子及漏极端子中的另一方电连接到电容元件的第一端子的第二晶体管;栅极端子连接到第一晶体管的源极端子及漏极端子中的另一方,源极端子及漏极端子中的一方电连接到电源线,并且源极端子及漏极端子中的另一方通过电阻元件电连接到电容元件的第一端子的第三晶体管;以及包括第一端子及第二端子,并且第一端子电连接到第三晶体管的源极端子及漏极端子中的另一方的发光元件。

[0010] 另外,第二晶体管及第三晶体管具有彼此相同的导电类型。

[0011] 再者,一个方式为一种显示装置,包括扫描线、信号线、电源线、以及像素,其中,像素包括电阻元件;包括第一端子及第二端子的电容元件;栅极端子电连接到扫描线,并且源极端子及漏极端子中的一方电连接到信号线的晶体管;包括第一端子及第二端子,并且第一端子通过电阻元件电连接到电容元件的第一端子及晶体管的源极端子及漏极端子中的另一方的发光元件。

[0012] 再者,一个方式为一种显示装置,包括扫描线、信号线、电源线、以及像素,其中,像素包括电阻元件;包括第一端子及第二端子的电容元件;包括第一端子及第二端子的发光元件;栅极端子电连接到扫描线,并且源极端子及漏极端子中的一方电连接到信号线的第一晶体管;栅极端子电连接到第一晶体管的源极端子及漏极端子中的另一方,源极端子及漏极端子中的一方电连接到电源线,并且源极端子及漏极端子中的另一方电连接到发光元件的第一端子的第二晶体管;栅极端子电连接到扫描线,源极端子及漏极端子中的一方通过电阻元件电连接第一晶体管的源极端子及漏极端子中的另一方、以及电容元件的第一端子,并且源极端子及漏极端子中的另一方电连接到电容元件的第二端子的第三晶体管。

[0013] 另外,第一晶体管及第三晶体管具有彼此不同的导电类型。

[0014] 另外,将电荷储存在电容元件中的时间也可以比像素的一个水平期间短。

[0015] 另外,电容元件具有第一电极、第二电极、以及由第一电极及第二电极夹住的电介质层,并且用于电介质层的材料也可以为相对介电常数为 8 以上的材料。

[0016] 另外,发光元件的发光时间也可以比一个帧期间短。

[0017] 本发明的一个技术方案为一种在显示部具有上述本发明的显示装置中的任一种的电子器具。

[0018] 另外,在本文件(说明书、权利要求书、附图等)中,晶体管至少具有栅极端子、源极端子、以及漏极端子的三个端子,其中,栅极端子是指栅电极的部分(包括用作栅极的区域、导电层、以及布线等)或电连接到栅电极的部分的一部分。另外,源极端子是指源电极的部分(包括用作源极的区域、导电层、以及布线等)或电连接到源电极的部分的一部分。另外,漏极端子是指漏电极的部分(包括用作漏极的区域、导电层、以及布线等)或电连接到漏电极的部分的一部分。

[0019] 另外,在本文件(说明书、权利要求书、附图等)中,晶体管的源极端子及漏极端子根据晶体管的结构或工作条件等而变化,因此,不容易限定哪一方是源极端子或漏极端子。于是,在本文件(说明书、权利要求书、附图等)中,将从源极端子及漏极端子中任意选择出

的一方端子称为源极端子及漏极端子中的一方,而将另一方端子称为源极端子及漏极端子中的另一方。

[0020] 另外,在本文件(说明书、权利要求书、附图等)中,电容元件至少具有第一电极、第二电极、以及由第一电极及第二电极夹住的电介质层,其中将第一电极的一部分或整体表示为一方端子,将第二电极的一部分或整体表示为另一方端子。然而,不局限于上述结构,还可以应用其它结构。

[0021] 另外,在本文件(包括说明书、权利要求书、附图等)中,发光元件至少具有第一电极、第二电极、以及由第一电极及第二电极夹住的电致发光层,将第一电极的一部分或整体表示为一方端子,将第二电极的一部分或整体表示为另一方端子。然而,不局限于上述结构,还可以应用其它结构。

[0022] 通过应用本发明,可以获得为了进行适合于显示运动图像的脉冲式显示所需要的发光时间。

附图说明

- [0023] 图 1 为示出实施方式 1 中的像素的结构图;
- [0024] 图 2 为示出实施方式 1 中的像素的工作的时序图;
- [0025] 图 3 为示出实施方式 2 中的像素的结构图;
- [0026] 图 4 为示出实施方式 3 中的像素的结构图;
- [0027] 图 5 为示出实施方式 4 中的像素的结构图;
- [0028] 图 6 为示出可应用于实施方式 5 中的像素的晶体管的结构的图;
- [0029] 图 7A 至 7E 为示出可应用于实施方式 5 中的像素的晶体管的制造方法的图;
- [0030] 图 8A 至 8C 为示出可应用于实施方式 5 中的像素的晶体管的制造方法的图;
- [0031] 图 9A 至 9D 为示出可应用于实施方式 5 中的像素的晶体管的制造方法的图;
- [0032] 图 10 为示出实施方式 6 中的显示装置的结构框图;
- [0033] 图 11A 和 11B 为示出实施方式 6 中的显示装置的驱动电路的结构框图;
- [0034] 图 12A 至 12H 为示出在显示部具有实施方式 7 中的显示装置的电子器具的例子图;
- [0035] 图 13A 至 13C 为示出在显示部具有实施方式 7 中的显示装置的电子器具的例子图。

具体实施方式

[0036] 将参照附图以下说明各个实施方式。但是,本发明不局限于以下说明,所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式和详细内容在不脱离本发明的宗旨及其范围下可以被变换为各种形式。因此,本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。

[0037] 实施方式 1

[0038] 在本实施方式中说明作为一个方式的显示装置。

[0039] 作为本发明的一个方式的显示装置包括扫描线、信号线、电源线、以及像素。以下说明具体结构。

[0040] 首先,使用图 1 说明本实施方式的显示装置中的像素的结构。图 1 为示出本实施方式的显示装置中的像素的结构的电路图。

[0041] 如图 1 所示,本实施方式的显示装置中的像素具有第一晶体管 100、第二晶体管 101、电容元件 102、电阻元件 103、以及发光元件 104。

[0042] 对于第一晶体管 100 而言,栅极端子电连接到扫描线 105,并且源极端子及漏极端子中的一方电连接到信号线 106。第一晶体管 100 具有作为开关晶体管的功能,根据取决于通过扫描线 105 输入的信号的栅极端子的电位与源极端子的电位之间的电位差(即,施加到栅极端子及源极端子之间的电压(以下称为 V_{gs}))比晶体管所具有的阈值电压(以下称为 V_{th})高还是低而处于导通状态或截止状态。在第一晶体管 100 处于导通状态的情况下,通过第一晶体管 100 将信号线 106 的信号电位施加到第二晶体管 101 的栅极端子。

[0043] 对于第二晶体管 101 而言,栅极端子连接到第一晶体管 100 的源极端子及漏极端子中的另一方,并且源极端子及漏极端子中的一方电连接到电源线 107。第二晶体管 101 具有作为驱动晶体管控制发光元件 104 的功能,并且根据 V_{gs} 比 V_{th} 高还是低而处于导通状态或截止状态。在第二晶体管 101 处于导通状态的情况下,由于可以对发光元件 104 施加一定值的电位,因此可以抑制亮度的降低或不均匀性。由此,例如在面板尺寸为 5 英寸以上的显示装置中,也可以容易应用本实施方式的显示装置中的像素结构。

[0044] 另外,作为第一晶体管 100 及第二晶体管 101,例如可以应用底栅型晶体管及顶栅型晶体管中的任一种。另外,也可以应用 n 型晶体管或 p 型晶体管。再者,作为第一晶体管 100 可以使用具有多个栅极端子的多栅型晶体管。通过使用多栅型晶体管,可以降低截止电流。另外,不限于多栅型晶体管,也可以应用其它结构,例如使用多个晶体管构成等。

[0045] 对于电容元件 102 而言,一方端子电连接到第二晶体管 101 的源极端子及漏极端子中的另一方。电容元件 102 具有作为用来调整像素中的发光元件 104 的发光时间的辅助电容的功能,并且具有暂时保持与从电源线 107 对发光元件 104 施加的电位对应而储存的电荷。在第二晶体管 101 处于导通状态的情况下,通过第二晶体管 101 从电源线 107 将预定值的电位施加到电容元件 102 的一方端子,并且将对应于施加到电容元件 102 的一方端子和另一方端子之间的电位差的电荷储存到电容元件 102 中。另外,电容元件 102 的另一方端子电连接到第一电位供给端子 108,并且通过第一电位供给端子 108 施加接地电位或预定值的电位。

[0046] 此时的电容元件 102 的电容值优选为在预定数据的写入时间内可以储存电荷的值。作为电容元件 102,可以应用在两个电极之间具有电介质层的结构等,并且作为电介质层可以使用例如 SiON 等的 Si 的氧化膜等。另外,作为电介质层还可以使用相对介电常数为 8 以上的材料,例如可以使用 Hf 基材料(HfO_2 、 HfSiON 、 HfRu 、 HfLaO 、或 HfAlON 等)、Y 基材料(Y_2O_3 、 $\text{Y}_4\text{Al}_2\text{O}_9$ 、 $\text{Y}_3\text{Al}_5\text{O}_{12}$ 、或 YAlO 等)、Zr 基材料(ZrO_2 等)、或 La 基材料(La_2O_3 等)等。通过将相对介电常数高的材料用于电介质层,可以增加电容元件 102 的电容,所以可以进一步减小电容元件 102 的电极面积。

[0047] 电阻元件 103 具有调整发光元件 104 中的发光时间的功能。通过提供电阻元件 103,可以减少脉冲式显示所需要的电容元件的电容。作为电阻元件 103,例如虽然可以举出使用半导体材料的结构等,但是不局限于此,也可以应用其它结构。此时,优选设定电阻元件 103 的电阻值和电容元件 102 的电容值,以使通过乘这些值而获得的电荷缓和时间成为

进行脉冲式显示所需要的发光时间。

[0048] 对于发光元件 104 而言,一方端子通过电阻元件 103 电连接到电容元件 102 的一方端子,另一方端子电连接到第二电位供给端子 109 而通过第二电位供给端子 109 将接地电位或预定值的电位施加到发光元件 104。发光元件 104 具有如下功能:在第二晶体管 101 处于导通状态的情况下,通过第二晶体管 101 将预定值的电位从电源线 107 施加到发光元件 104 的一方端子,并且对应于一方端子和另一方端子之间的电位差产生电流而发光。发光元件 104 中的亮度根据流过发光元件 104 中的电流量而变化。

[0049] 另外,作为发光元件 104 例如可以应用在两个电极之间具有电致发光层的结构等,并且作为电致发光层可以应用例如葱等的有机材料或 ZnO、MgXZ1-XO、ZnS、ZnTe 或 CdS 等的无机材料等。

[0050] 接下来,对本实施方式的显示装置中的像素的显示工作进行说明。另外,在本实施方式中,以电流驱动使像素工作的情况作为一个例子来说明。

[0051] 当在预定的像素中进行显示时,显示工作可以由将显示数据写入像素中的一个水平期间和发光元件即使在写入数据后也继续发光的电荷缓和期间构成。首先,在水平期间中,通过为了将显示数据写入像素中而选择的扫描线 105 将扫描信号(电位)输入到第一晶体管 100 的栅极端子,并且根据施加到第一晶体管 100 的栅极端子的电位而第一晶体管 100 处于导通状态,因而通过第一晶体管 100 将数据信号(电位)从信号线 106 输入到第二晶体管 101 的栅极端子。

[0052] 第二晶体管 101 根据第二晶体管 101 的栅极端子的电位处于导通状态,通过第二晶体管 101 将预定值的电位(在此为电源电位)从电源线 107 施加到电容元件 102 的一方端子及发光元件 104 的一方端子,而在电容元件 102 中储存对应于施加到一方端子及另一方端子之间的电压的电荷,并且与施加到一方端子和另一方端子之间的电压对应的电流流过发光元件 104。发光元件 104 以对应于产生的电流量的亮度发光,从而处于显示状态。此时,电容元件 102 的另一方端子及发光元件 104 的另一方端子的电位为接地电位。

[0053] 在如上那样完成显示数据的写入,并且为了将显示数据写入下一个像素而选择的扫描线进入下一行或下一个像素后,进行上述显示工作的像素的第一晶体管 100 处于截止状态,第二晶体管 101 也一起处于截止状态,而进入电荷缓和期间。

[0054] 此时储存在电容元件 102 中的电荷放电到发光元件 104,发光元件 104 只在储存在电容元件 102 中的电荷缓和的期间发光,而维持显示状态。

[0055] 在此,将从第二晶体管 101 处于导通状态直到第二晶体管 101 处于截止状态而储存在电容元件 102 中的电荷放电到发光元件 104 的时间设定为发光时间 TL,TL 可以由一个水平期间(当进行线顺序驱动时的每一行的数据写入时间)和电荷缓和时间 τ (从晶体管(在此为第二晶体管 101)处于截止状态直到储存在电容元件(在此为电容元件 102)中的电荷放电到发光元件(在此为发光元件 104)的时间)之和,即 $TL = \text{一个水平期间} + \tau$ 表示。再者,若将电容元件 102 的电容量设定为 C_a ,将发光元件 104 的电阻值设定为 REL ,并且将电阻元件 103 的电阻值设定为 r ,则 τ 可以由 $\tau = C_a \times (REL + r)$ (以下称为公式 1) 表示。另一方面,若将在第二晶体管 101 处于导通状态时将电荷储存在电容元件所需要的时间设定为 τ_a ,以导通状态的晶体管的电阻为 R_t , τ_a 可以由 $\tau_a = C_a \times R_t$ (以下称为公式 2) 表示。从该公式可知,若为了延长电荷缓和期间增加电容元件 102 的电容 C_a ,则将电荷

储存到电容元件所需要的时间也变长。由此,电容元件的电容优选为在预定的写入期间内可以储存电荷的值。

[0056] 从上述公式 1 可知,通过采用将第二晶体管 101 的源极端子及漏极端子中的另一方电连接到电容元件并且将第二晶体管 101 的源极端子及漏极端子中的另一方通过电阻元件 103 电连接到发光元件 104 的结构,即使电容元件 102 的电容值小,通过增加电阻元件 103 的电阻值 r ,也可以延长缓和时间 τ 。因此,可以减少电容元件 102 的电荷的储存时间,而可以在预定的写入期间内对像素写入显示数据。另外,在第二晶体管 101 处于导通状态的水平期间,由于可以不通过电阻元件 103 将电源电位施加到电容元件 102 的一方端子,所以可以抑制起因于电阻元件 103 的发光元件 104 的电压降。因此,通过添加电阻元件 103 将电容元件 102 的电极面积抑制为必要最小限度,可以提高显示装置的开口率,而且可以获得进行脉冲式显示所需要的发光时间。

[0057] 另外,此时优选考虑到由电阻元件 103 的电阻值导致的电压降来将电源线 107 的电位设定为大于施加到发光元件 104 的一方端子的电位的值。当将从电容元件 102 放电电荷而流过发光元件 104 的电流设定为 I_{EL} 时,加上施加到发光元件 104 的一方端子的电位的电位 V_a 的值可以由 $V_a = I_{EL} \times r$ (以下称为公式 3) 算出。通过作为电源线 107 的电位的值设定对施加到发光元件 104 的一方端子的预定电位加上 V_a 的值,即使在电阻元件 103 中产生电压降时,也可以使发光元件 104 以所希望的亮度发光而进行显示。

[0058] 另外,将电荷储存在电容元件 102 中的时间优选短于一个水平期间。通过在一个水平期间内储存电荷,可以使发光元件以所希望的亮度发光。

[0059] 再者,使用图 2 说明本实施方式的像素的工作。图 2 为本实施方式的像素的驱动的时序图。另外,在图 2 的时序图中,在第二晶体管 101 为 P 型晶体管,并且第二晶体管 101 当信号线 106 的信号电位为负时处于导通状态的情况下进行说明。

[0060] 在图 2 中, V_{sig} 表示信号线 106 的信号电位, I_{EL} 表示流过发光元件 104 的电流,并且 T_w 表示数据写入时间。在不设置电容元件 102 的情况下,发光元件 104 虽然只在写入时间 T_w 发光,但是,如图 2 所示,通过添加电容元件 102,延长电流流过发光元件 104 的时间,而可以延长发光时间。

[0061] 如上所示,可以获得进行适合于显示运动图像的脉冲式显示所需要的发光时间。因此,可以显示余象少的运动图像。

[0062] 实施方式 2

[0063] 在本实施方式中,将说明显示装置中的像素的其它结构。

[0064] 首先,使用图 3 对本实施方式的显示装置中的像素的结构进行说明。图 3 为示出本实施方式的显示装置中的像素的结构的电路图。

[0065] 如图 3 所示,本实施方式的显示装置中的像素具有第一晶体管 200、第二晶体管 201、第三晶体管 202、电容元件 203、电阻元件 204、以及发光元件 205。

[0066] 对于第一晶体管 200 而言,栅极端子电连接到设置在显示装置中的扫描线 206,并且源极端子及漏极端子中的一方电连接到设置在显示装置中的信号线 207。第一晶体管 200 具有作为开关晶体管的功能,并且根据 V_{gs} 比 V_{th} 高或低而处于导通状态或截止状态。在第一晶体管 200 处于导通状态时,信号线 207 的信号电位通过第一晶体管 200 施加到第二晶体管 201 及第三晶体管 202 的栅极端子。

[0067] 对于第二晶体管 201 而言,栅极端子连接到第一晶体管 200 的源极端子及漏极端子中的另一方,并且源极端子及漏极端子中的一方电连接到设置在显示装置中的电源线 208。第二晶体管 201 具有选择对电容元件 203 的一方端子施加电荷或不施加电荷的功能,根据 V_{gs} 比 V_{th} 高或低而处于导通状态或截止状态。

[0068] 对于第三晶体管 202 而言,栅极端子连接到第一晶体管 200 的源极端子及漏极端子中的另一方,并且源极端子及漏极端子中的一方电连接到电源线 208。第三晶体管 202 具有控制发光元件 205 的功能,并且根据 V_{gs} 比 V_{th} 高或低而处于导通状态或截止状态。

[0069] 另外,通过将第二晶体管 201 的源极端子及漏极端子中的一方以及第三晶体管 202 的源极端子及漏极端子中的一方电连接到电源线 208,通过电源线 208 使第二晶体管 201 的源极端子及漏极端子中的另一方、以及第三晶体管 202 的源极端子及漏极端子中的另一方具有预定值的电位,可以将一定值的电位施加到发光元件 205,因而可以抑制亮度的降低或不均匀。由此,在例如面板尺寸为 5 英寸以上的显示装置中,也可以容易应用本实施方式的显示装置中的像素结构。

[0070] 另外,第二晶体管 201 及第三晶体管 202 优选具有彼此相同的导电类型(p 型或 n 型)。通过使它们具有彼此相同的导电类型,可以使各个晶体管同步地处于导通状态或截止状态。

[0071] 另外,作为第一晶体管 200 至第三晶体管 202,例如可以使用可应用于上述实施方式 1 中的第一晶体管 100 及第二晶体管 101 的晶体管。

[0072] 对于电容元件 203 而言,一方端子电连接到第二晶体管 201 的源极端子及漏极端子中的另一方,另一方端子电连接到第一电位供给端子 209 而将接地电位或预定值的电位通过第一电位供给端子 209 施加到电容元件 203。电容元件 203 具有作为辅助电容的功能,辅助电容为用来调整像素中的发光元件 205 的发光时间的。通过第二晶体管 201 处于导通状态,并且将预定值的电位通过第二晶体管 201 从电源线 208 施加到电容元件 203 的一方端子,在电容元件 203 中储存对应于施加到一方端子和另一方端子之间的电位差的电荷。

[0073] 此时,电容元件 203 的电容值优选为可以在将显示数据写入像素的时间内储存电荷的值。作为电容元件 203,例如可以应用在上述实施方式 1 中可应用于电容元件 102 的结构及材料等。

[0074] 电阻元件 204 具有调整发光元件 205 中的发光时间的功能。通过添加电阻元件,可以减少进行脉冲式显示所需要的电容元件 203 的电容。作为电阻元件 204,例如可以应用可应用于上述实施方式 1 的电阻元件 103 的结构及材料等。优选设定此时的电阻元件 204 的电阻值和电容元件 203 的电容值,以使通过乘这些值而获得的电荷缓和时间成为进行脉冲式显示所需要的发光时间。

[0075] 对于发光元件 205 而言,一方端子通过电阻元件 204 电连接到电容元件 203 的一方端子并且电连接到第三晶体管 202 的源极端子及漏极端子中的另一方端子,另一方端子电连接到第二电位供给端子 210 而通过第二电位供给端子 210 将接地电位或预定值的电位施加到发光元件 205。发光元件 205 具有如下功能:在第二晶体管 201 处于导通状态的情况下,通过第二晶体管 201 将预定值的电位从电源线 208 施加到发光元件 205 的一方端子,将电压施加到一方端子和另一方端子之间,并且产生相当于施加的电压的电流而发光。发光元件 205 中的亮度根据流过发光元件 205 中的电流量而变化。另外,作为发光元件 205,

例如可以应用可应用于上述实施方式 1 的发光元件 104 的结构及材料等。

[0076] 接下来,对本实施方式的显示装置中的像素的显示工作进行说明。

[0077] 当在预定的像素中进行显示的情况下,通过为了将显示数据写入像素而选择的扫描线 206 将扫描信号(电位)输入到第一晶体管 200 的栅极端子,并且根据施加到第一晶体管 200 的栅极端子的电位而第一晶体管 200 处于导通状态,因而通过第一晶体管 200 将数据信号(电位)从信号线 207 输入到第二晶体管 201 的栅极端子及第三晶体管 202 的栅极端子。

[0078] 第二晶体管 201 及第三晶体管 202 根据栅极端子的电位处于导通状态,通过第二晶体管 201 将预定值的电位(在此为正的电源电位)从电源线 208 施加到电容元件 203 的一方端子及发光元件 205 的一方端子,并且通过第三晶体管 202 将电源电位施加到发光元件 205 的一方端子。此时对电容元件 203 的另一方端子优选施加考虑到起因于电阻元件 204 的发光元件 205 的电压降的负电位。通过对电容元件 203 的另一方端子施加起因于电阻元件 204 的发光元件 205 的电压降的负电位,可以补偿当晶体管 201 及晶体管 202 处于截止状态的电荷缓和时产生的由电阻元件 204 导致的施加到发光元件 205 的电压的下降。在电容元件 203 中储存对应于施加到一方端子及另一方端子之间的电位差的电荷,并且在发光元件 205 中产生对应于施加到一方端子及另一方端子之间的电位差的电流。发光元件 205 以对应于流过的电流量的亮度发光,而处于显示状态。此时的发光元件 205 的另一方端子的电位为接地电位。

[0079] 在如上那样完成显示数据的写入,并且为了将显示数据写入下一个像素而选择的扫描线进入下一行或下一个像素后,进行上述显示工作的像素的第一晶体管 200 处于截止状态,第二晶体管 201 及第三晶体管 202 也一起处于截止状态。

[0080] 此时储存到电容元件 203 的电荷通过电阻元件 204 放电到发光元件 205。对发光元件 205 施加从施加到电容元件 203 的电压减除由电阻元件 204 导致的电压降的电压,而只在电荷缓和时间内维持发光状态。

[0081] 另外,此时的发光元件 205 的电荷缓和时间 τ 可以由上述实施方式 1 所示的公式 1 表示。

[0082] 像这样,通过将电容元件电连接到第二晶体管 201 的源极端子及漏极端子的另一方,将电容元件 203 通过电阻元件 204 电连接到第三晶体管 202 的源极端子及漏极端子的另一方,并且将发光元件的一方端子电连接到第三晶体管 202 的源极端子及漏极端子的另一方,即使电容元件 203 的电容小,通过增大电阻元件 204 的电阻值 r 也可以延长电荷缓和时间 τ 。由此,通过添加电阻元件 204 将电容元件 203 的电极面积抑制为必要最小限度,可以提高显示装置的开口率,另外,可以获得进行脉冲式显示所需要的发光时间。

[0083] 另外,与图 1 的电路结构相比,在图 3 的电路结构中,在第三晶体管 202 处于导通状态时,可以不通过电阻元件 204 地将电源电位施加到发光元件 205,所以不需要如图 1 的电路结构那样以电阻元件的电压降提高电源线的电位。

[0084] 再者,将电荷储存到电容元件 203 的时间优选短于一个水平期间。通过在一个水平期间内储存电荷,可以使发光元件以所希望的亮度发光。

[0085] 如上所述,可以获得进行适合于运动图像显示的脉冲式显示所需要的发光时间。由此,可以显示余象少的运动图像。

[0086] 另外,本实施方式可以与其他实施方式适当地组合。

[0087] 实施方式 3

[0088] 在本实施方式中,将说明显示装置中的像素的其他结构。

[0089] 使用图 4 对本实施方式的显示装置中的像素进行说明。图 4 为示出本实施方式的显示装置中的像素的结构的电路图。

[0090] 如图 4 所示,本实施方式的显示装置中的像素具有晶体管 300、电容元件 301、电阻元件 302、以及电连接到晶体管 300 的发光元件 303。

[0091] 对于晶体管 300 而言,栅极端子电连接到设置在显示装置中的扫描线 304,并且源极端子及漏极端子中的一方电连接到设置在显示装置中的信号线 305。晶体管 300 根据 V_{gs} 比 V_{th} 高或低而处于导通状态或截止状态。在晶体管 300 处于导通状态时,将信号线 305 的信号电位通过晶体管 300 施加到电容元件 301 的一方端子并且通过电阻元件 302 施加到发光元件 303 的一方端子。

[0092] 另外,作为晶体管 300,例如可以使用可应用于上述实施方式 1 中的第一晶体管 100 及第二晶体管 101 的晶体管。

[0093] 对于电容元件 301 而言,一方端子电连接到晶体管 300 的源极端子及漏极端子的另一方,另一方端子电连接到第一电位供给端子 306,并且通过第一电位供给端子 306 施加接地电位或预定值的电位。电容元件 301 具有作为用来调整像素中的发光元件 303 的发光时间的辅助电容的功能,并且具有暂时储存与施加到发光元件 303 的一方端子的电位和施加到另一方端子的电位的差异对应的电荷的功能。通过晶体管 300 处于导通状态,对电容元件 301 从信号线 305 施加数据信号,并且在电容元件 301 中储存与施加到电容元件 301 的一方端子和另一方端子之间的电位差对应的电荷。

[0094] 此时的电容元件 301 的电容值优选为在将显示数据写入像素的时间内可以储存电荷的值。作为电容元件 301,例如可以使用在上述实施方式 1 中可应用于电容元件 102 的结构及材料等。

[0095] 电阻元件 302 具有调整发光元件 303 中的发光时间的功能。通过提供电阻元件,可以减少进行脉冲式显示所需要的电容元件 301 的电容。作为电阻元件 302,例如可以应用可应用于上述实施方式 1 的电阻元件 103 的结构及材料等。优选设定此时的电阻元件 302 的电阻值和电容元件 301 的电容值,以使通过乘这些值而获得的电荷缓和时间成为进行脉冲式显示所需要的发光时间。

[0096] 对于发光元件 303 而言,一方端子通过电阻元件 302 电连接到电容元件 301 的一方端子,另一方端子电连接到第二电位供给端子 307,并且通过第二电位供给端子 307 施加接地电位或预定值的电位。在晶体管 300 处于导通状态时,对发光元件 303 的一方端子通过晶体管 300 从信号线 305 施加数据信号(电位),并且产生与施加到一方端子和另一方端子之间的电压对应的电流而发光。发光元件 303 的亮度根据流过发光元件 303 的电流量而变化。另外,作为发光元件 303,例如可以应用可用于上述实施方式 1 的发光元件 104 的结构及材料等。

[0097] 接下来,将说明本实施方式的显示装置中的像素的显示工作。

[0098] 在预定的像素中进行显示的情况下,在水平期间,将扫描信号(电位)通过为了将显示数据写入像素而选择的扫描线 304 输入到晶体管 300 的栅极端子,晶体管 300 根据施

加到晶体管 300 的栅极端子的电位处于导通状态,而通过晶体管 300 将数据信号(电位)从信号线 305 施加到电容元件 301 的一方端子及发光元件 303 的一方端子,在电容元件 301 中储存与施加到一方端子及另一方端子之间的电压对应的电荷,并且在发光元件 303 中产生与施加到一方端子及另一方端子之间的电压对应的电流。发光元件 303 以对应于流过的电流量的亮度发光,而处于显示状态。

[0099] 在如上那样完成显示数据的写入,并且为了将显示数据写入下一个像素而选择的扫描线进入下一行或下一个像素后,进行上述显示数据的写入的像素的晶体管 300 处于截止状态,而进入电荷缓和期间。

[0100] 此时储存到电容元件 301 的电荷放电到发光元件 303,发光元件 303 只在储存在电容元件 301 中的电荷被放出的电荷缓和期间发光,而维持显示状态。

[0101] 此时的发光元件 303 的电荷缓和时间 τ 可以由上述实施方式 1 所示的公式 1 表示。

[0102] 像这样,通过将发光元件 303 的一方端子通过电阻元件 302 电连接到晶体管 300 的源极端子及漏极端子的另一方,并且将电容元件 301 电连接到晶体管 300 的源极端子及漏极端子的另一方,即使电容元件 301 的电容值小,通过增大电阻元件 302 的电阻值 r 也可以延长电荷缓和期间 τ 。由此,通过添加电阻元件 302 将电容元件 301 的电极面积抑制为必要最小限度,可以提高显示装置的开口率,另外,可以获得进行脉冲式显示所需要的发光时间。

[0103] 再者,本实施方式的显示装置由于具有在像素中只提供一个晶体管的结构,所以与其他实施方式相比,可以进一步提高开口率。

[0104] 再者,将电荷储存到电容元件 301 的时间优选短于一个水平期间。通过在一个水平期间内储存电荷,可以使发光元件以所希望的亮度发光。

[0105] 如上所述,可以获得进行适合于运动图像显示的脉冲式显示所需要的发光时间。由此,可以显示余象少的运动图像。

[0106] 另外,本实施方式可以与其他实施方式适当地组合。

[0107] 实施方式 4

[0108] 在本实施方式中,将说明显示装置中的像素的其他结构。

[0109] 使用图 5 说明本实施方式的显示装置中的像素。图 5 为示出本实施方式的显示装置中的像素的结构的电路图。

[0110] 如图 5 所示,本实施方式的显示装置中的像素具有第一晶体管 400、第二晶体管 401、电容元件 402、电阻元件 403、第三晶体管 404、以及发光元件 405。

[0111] 对于第一晶体管 400 而言,栅极端子电连接到设置在显示装置中的扫描线 406,并且源极端子及漏极端子中的一方电连接到设置在显示装置中的信号线 407。第一晶体管 400 具有作为开关晶体管的功能,并且根据 V_{gs} 比 V_{th} 高或低而处于导通状态或截止状态。在第一晶体管 400 处于导通状态时,将信号线 407 的信号电位通过第一晶体管 400 施加到第二晶体管 401 的栅极端子。

[0112] 对于第二晶体管 401 而言,栅极端子电连接到第一晶体管 400 的源极端子及漏极端子中的另一方,并且第二晶体管 401 的源极端子及漏极端子中的一方电连接到设置在显示装置中的电源线 408。第二晶体管 401 具有控制发光元件 405 的功能,并且根据 V_{gs} 比

V_{th} 高或低而处于导通状态或截止状态。

[0113] 另外,通过利用电源线 408 使第二晶体管 401 的源极端子及漏极端子中的另一方具有预定值的电位,可以将一定值的电位施加到发光元件 405 的一方端子,因此可以抑制亮度的降低或不均匀。由此,在例如面板尺寸为 5 英寸以上的显示装置中也可以容易应用本实施方式的显示装置中的像素结构。

[0114] 对于电容元件 402 而言,一方端子电连接到第一晶体管 400 的源极端子及漏极端子中的另一方,另一方端子电连接到第一电位供给端子 409 而将接地电位或预定值的电位通过第一电位供给端子 409 施加到电容元件 402。电容元件 402 具有作为用来调整像素中的发光元件 405 的发光时间的辅助电容的功能。通过第一晶体管 400 处于导通状态将预定值的电位通过第一晶体管 400 从信号线 407 施加到电容元件 402 的一方端子,在电容元件 402 中储存与施加到一方端子和另一方端子之间的电位差对应的电荷。

[0115] 此时的电容元件 402 的电容值优选为在将显示数据写入像素的时间内可以储存电荷的值。作为电容元件 402,例如可以使用在上述实施方式 1 中可应用于电容元件 102 的结构及材料等。

[0116] 电阻元件 403 具有调整发光元件 405 中的发光时间的功能。通过添加电阻元件,可以减少电容元件 402 的电容。作为电阻元件 403,例如可以应用可应用于上述实施方式 1 的电阻元件 103 的结构及材料等。优选设定此时的电阻元件 403 的电阻值和电容元件 402 的电容值,以使通过乘这些值而获得的电荷缓和的时间成为进行脉冲式显示所需要的发光时间。

[0117] 对于第三晶体管 404 而言,栅极端子电连接到扫描线 406,源极端子及漏极端子中的一方通过电阻元件 403 电连接到第一晶体管 400 的源极端子及漏极端子中的另一方,并且源极端子及漏极端子中的另一方电连接到电容元件 402 的另一方端子。第三晶体管 404 具有作为开关元件控制使储存在电容元件 402 中的电荷是否放电的功能,并且根据 V_{gs} 比 V_{th} 高或低而处于导通状态或截止状态。另外,第三晶体管 404 的源极端子及漏极端子中的另一方端子电连接到第一电位供给端子 409 而将接地电位或预定值的电位通过第一电位供给端子 409 施加到第三晶体管 404。

[0118] 另外,第一晶体管 400 及第三晶体管 404 优选具有不同导电类型(p 型或 n 型)。通过使它们具有不同导电类型,在第一晶体管 400 及第三晶体管 404 中一方晶体管处于导通状态的情况下,可以容易使另一方晶体管处于截止状态,并且在一方晶体管处于截止状态的情况下,可以容易使另一方晶体管处于导通状态。

[0119] 另外,作为第一晶体管 400 至第三晶体管 404,例如可以使用可用于上述实施方式 1 中的第一晶体管 100 及第二晶体管 101 的晶体管。

[0120] 对于发光元件 405 而言,一方端子电连接到第二晶体管 401 的源极端子及漏极端子中的另一方,另一方端子电连接到第二电位供给端子 410 而将接地电位或预定值的电位通过第二电位供给端子 410 施加到发光元件 405。发光元件 405 具有如下功能,即在第二晶体管 401 处于导通状态时,将电源电位通过第二晶体管 401 从电源线 408 施加到发光元件 405 的一方端子,将电压施加到一方端子和另一方端子之间,并且产生与施加的电压对应的电流而发光。发光元件 405 中的亮度根据流过的电流量而变化。另外,作为发光元件 405,例如可以应用可应用于上述实施方式 1 的发光元件 104 的结构及材料等。

[0121] 接下来,将说明本实施方式的显示装置中的像素的显示工作。

[0122] 在预定的像素中进行显示的情况下,将扫描信号通过为了将显示数据写入像素而选择的扫描线 406 输入到第一晶体管 400 的栅极端子,第一晶体管 400 根据施加到第一晶体管 400 的栅极端子的电位处于导通状态,而通过第一晶体管 400 将数据信号(电位)从信号线 407 输入到第二晶体管 401 的栅极端子。另外,对电容元件 402 的一方端子通过第一晶体管 400 从信号线 407 输入数据信号(电位),并且施加对应于数据信号的电位,而储存对应于一方端子及另一方端子之间的电位差的电荷。此时的电容元件 402 的另一方端子为接地电位。

[0123] 再者,第二晶体管 401 根据栅极端子的电位而处于导通状态,并且将预定值的电位(在此为电源电位)通过第二晶体管 401 从电源线 408 施加到发光元件 405 的一方端子,对发光元件 405 的一方端子及另一方端子之间施加电压。再者,在发光元件 405 中对应于施加的电压产生电流,以对应于流过的电流量的亮度发光,而处于显示状态。此时的发光元件 405 的另一方端子为接地电位。

[0124] 在如上那样完成显示数据的写入,并且为了将显示数据写入下一个像素而选择的扫描线进入下一行或下一个像素后,进行上述显示工作的像素的第一晶体管 400 处于截止状态,而第三晶体管 404 处于导通状态。

[0125] 此时,储存在电容元件 402 中的电荷通过电阻元件 403 被放电。借助于放电,第二晶体管 401 的栅极端子的电位降低,从导通状态变为截止状态。第二晶体管 401 与处于截止状态的同时,其电阻值增大,并且施加到发光元件 405 的电压下降,而发光亮度降低。将发光元件 405 的发光时间调整为成为进行脉冲式显示所需要的发光时间。从电容元件 402 放出电荷的缓和时间 τf 相当于发光时间,当将电容元件 402 的电容值设定为 C_s 并且将电阻元件 403 的电阻值设定为 r 时,缓和时间 τf 可以由 $\tau f = C_s \times r$ 表示。

[0126] 像这样,通过将电容元件 402 通过电阻元件 403 电连接到第一晶体管 400 的源极端子及漏极端子中的另一方,可以将使用现有的保持模式显示型的显示装置来驱动的发光元件 405 的发光时间短于一个帧期间。再者,通过将电容元件 402 的电极面积抑制为必要最小限度,可以提高开口率,而且可以获得进行脉冲式显示所需要的发光时间。

[0127] 另外,与上述实施方式 1 的图 1 及实施方式 2 的图 3 的电路结构相比,在本实施方式的图 5 的电路结构中,不需要以电阻元件的电压降提高电源线的电位。另外,与图 3 的电路结构相比,在图 5 的电路结构中,不需要将负电位施加到电容元件的另一方端子。

[0128] 再者,将电荷储存在电容元件 402 中的时间优选短于一个水平期间。通过在一个水平期间内储存电荷,可以使发光元件 405 以所希望的亮度发光。

[0129] 如上所述,可以获得进行适合于显示运动图像的脉冲式显示所需要的发光时间。由此,可以显示余象少的运动图像。

[0130] 另外,本实施方式可以与其他实施方式适当地组合。

[0131] 实施方式 5

[0132] 在本实施方式中,对可用于显示装置中的像素的晶体管的结构进行说明。

[0133] 在上述实施方式 1 至实施方式 4 的任一个中,作为用于像素的晶体管可以具有以下结构。使用图 6 说明可用于显示装置的像素的晶体管的结构。图 6 为示出本实施方式的晶体管的结构例子的模式图。

[0134] 如图 6 所示,本实施方式中的可用于显示装置的像素的晶体管可以适当地选择如下结构的晶体管来应用:第一晶体管 500、第二晶体管 501、第三晶体管 502、第四晶体管 503、第五晶体管 504、或第六晶体管 505 等。各个晶体管分别具有衬底 506;设置在衬底 506 上的基底膜 507;设置在基底膜 507 上的具有杂质区域 510 的半导体层 508;覆盖半导体层 508 地设置的栅极绝缘膜 511;设置在栅极绝缘膜 511 的一部分上的栅电极 512A、栅电极 512B、栅电极 512C、栅电极 512D、栅电极 512E、以及栅电极 512F 中的一个;覆盖栅电极 512A 至栅电极 512F 中的任一个并隔着栅极绝缘膜 511 覆盖半导体层 508 地设置的第一绝缘膜 513;设置在第一绝缘膜 513 上的第二绝缘膜 514;以及通过第二绝缘膜 514、第一绝缘膜 513 及栅极绝缘膜 511 与半导体层 508 中的杂质区域 510 接触的布线 516。

[0135] 半导体层 508 在其一部分具有杂质区域 510,并且在位于栅电极 512A 至栅电极 512F 的区域分别具有沟道区域。此时,将杂质区域 510 用作源区或漏区。另外,为方便起见,在图 6 中虽然并置多个具有不同结构的晶体管,但是不需要实际上并置晶体管,而可以根据需要分别形成晶体管。

[0136] 接下来,对图 6 中的各个晶体管的结构进行说明。

[0137] 第一晶体管 500 为单漏极型晶体管,其由于可以通过简单的方法制造,所以具有制造成本低且可以提高成品率的优点。另外,通过控制添加到第一晶体管 500 的半导体层 508 中的杂质质量,可以控制半导体层 508 的电阻率。另外,可以使半导体层 508 和布线 516 的电连接状态接近于欧姆连接。另外,作为分别制造杂质质量不同的半导体层的方法,可以使用以栅电极 512A 为掩模对半导体层 508 掺杂杂质的方法。

[0138] 第二晶体管 501 为栅电极 512B 具有一定程度以上的锥形角的晶体管,并且可以通过可靠性高且简单的方法制造。由此,具有制造抑制成本而可以提高成品率的优点。另外,第二晶体管 501 的半导体层在杂质区域 510 和沟道区域之间具有低浓度杂质区域 509。杂质区域 510、沟道区域、低浓度杂质区域 509 的杂质浓度彼此不同。将设置在栅电极 512B 下方的低浓度杂质区域 509 用作低浓度漏极 (Lightly Doped Drain:LDD) 区域。由于具有 LDD 区域,所以可以抑制漏极端部的电场强度,并且可以抑制起因于热载流子的元件退化。另外,作为分别制造具有杂质质量不同的区域的半导体层的方法,可以使用以栅电极 512B 为掩模对半导体层 508 掺杂杂质的方法。在晶体管 501 中,由于栅电极 512B 具有一定程度以上的锥形角,所以可以使通过栅电极 512B 掺杂到半导体层 508 中的杂质浓度具有梯度,而可以不使用光掩模地形成 LDD 区域。

[0139] 第三晶体管 502 为栅电极 512C 由至少两个层构成,并且下层的栅电极比上层的栅电极长的晶体管。在本说明书中,将上层栅电极及下层栅电极的形状称为帽形 (Hat-shape type)。若栅电极的形状为帽形,不用添加光掩模就可以形成 LDD 区域。另外,特别将如第三晶体管 502 那样 LDD 区域与栅电极重叠的结构称为 GOLD 结构 (栅极重叠的漏极, Gate OverLapped Drain)。另外,作为将栅电极的形状形成为帽形的方法,可以使用下面所示的方法。

[0140] 首先,在对栅电极 512C 进行构图时,通过干蚀刻利用各个电极的蚀刻速度的差异来蚀刻下层栅电极及上层栅电极,将栅电极 512C 形成为其侧面具有倾斜度 (锥形) 的形状。接着,通过各向异性蚀刻加工上层栅电极,使其倾斜度接近于垂直。由此,形成截面形状为帽形的栅电极。之后,通过掺杂杂质元素,形成沟道区域,用作 LDD 区域的低浓度杂质

区域 509、以及用作源电极及漏电极的杂质区域 510。

[0141] 另外,将与栅电极重叠的 LDD 区域称为 Lov 区域,而将与栅电极不重叠的 LDD 区域称为 Loff 区域。在此,Loff 区域在抑制截止电流值方面的效果高,而它在通过缓和漏极端部的电场来防止由热载流子导致的导通电流的降低方面的效果低。另一方面,Lov 区域在通过缓和漏极区域附近的电场来防止导通电流的降低方面的效果高,而它在抑制截止电流方面的效果低。因此,优选在各种电路中分别应用具有对应于所需特性的结构的晶体管。在用于显示装置的各个电路的晶体管中,用于像素部的晶体管优选为具有 Loff 区域的晶体管,以便抑制截止电流。

[0142] 第四晶体管 503 为具有以与栅电极 512D 的侧面接触的方式设置的侧壁(也称为侧壁 515)的晶体管。通过设置侧壁 515,可以将与侧壁 515 重叠的半导体区域用作 LDD 区域。

[0143] 第五晶体管 504 为具有通过使用光掩模对半导体层 508 掺杂杂质元素来设置的 LDD(Loff) 区域的晶体管。通过采用这种方式,可以准确地设置 LDD 区域,并且可以降低晶体管的截止电流。

[0144] 第六晶体管 505 为具有通过使用光掩模对半导体层 508 进行掺杂来设置的 LDD(Lov) 区域的晶体管。通过采用这种结构,可以准确地设置 LDD 区域,并且缓和晶体管的漏极端部的电场,而可以减少导通电流的降低。

[0145] 接下来,将说明构成各个晶体管的各个材料。

[0146] 作为衬底 506,可以使用玻璃衬底如钽硼硅酸玻璃和铝硼硅酸玻璃等、石英衬底、陶瓷衬底、或包括不锈钢的金属衬底等。除外,也可以使用由以聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)为代表的塑料或诸如丙烯酸等的柔性合成树脂形成的衬底。通过使用柔性衬底,可以制造可弯曲的半导体装置。柔性衬底在衬底的面积及形状方面没有限制。由此,当使用例如一边长具有 1 米以上的矩形衬底作为衬底 506 时,可以显著提高生产率。与使用圆形硅衬底的情况相比,这是一个很大的优点。

[0147] 基底膜 507 具有防止来自衬底 506 的诸如 Na 等的碱金属或碱土金属对半导体元件的特性造成负面影响的功能。基底膜 507 可以使用氧化硅、氮化硅、氧氮化硅或氮氧化硅等的包含氧或氮的绝缘膜的单层结构或叠层结构形成。例如,当采用两层结构设置基底膜 507 时,优选设置氮氧化硅膜作为第一层基底膜,并且设置氧氮化硅膜作为第二层基底膜。作为其他例子,当采用三层结构设置基底膜 507 时,优选设置氧氮化硅膜作为第一层基底膜,设置氮氧化硅膜作为第二层基底膜,并且设置氧氮化硅膜作为第三层基底膜。

[0148] 作为半导体层 508,可以使用非晶半导体、微晶半导体,或者多晶半导体层。微晶是一种具有非晶结构和结晶结构(包括单晶、多晶)之间的中间结构且具有自由能稳定的状态的半导体,并且包括具有短程有序和晶格畸变的结晶区域。在膜的至少一部分区域可以观察到 0.5nm 以上且 20nm 以下的结晶区域。当以硅为主要成分时,拉曼光谱向低于 520cm⁻¹ 波数的一侧偏移。在 X 射线衍射中,观察到来源于硅晶格的 (111) 和 (220) 的衍射峰。微晶至少包含 1 原子%或其以上的氢或卤素以补偿悬空键。对材料气体进行辉光放电分解(等离子体 CVD) 来形成微晶。作为材料气体,不仅可以使使用 SiH₄,还可以使用 Si₂H₆、SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄ 等。或者,也可以混合 GeF₄。该材料气体还可以用 H₂ 或者 H₂ 与一种或多种选自 He、Ar、Kr 和 Ne 的稀有气体元素稀释。稀释比率在 2 倍以上且 1000 倍以下的

范围内,压力在 0.1Pa 以上且 133Pa 以下的范围内,电源频率在 1MHz 以上且 120MHz 以下,优选在 13MHz 以上且 60MHz 以下的范围内,并且衬底加热温度可以为 300℃ 以下。作为膜中的杂质元素,来源于大气成分的杂质诸如氧、氮和碳等的浓度优选为 $1 \times 10^{20} \text{cm}^{-3}$ 以下。尤其是,氧的浓度优选为 $5 \times 10^{19} \text{cm}^{-3}$ 以下,更优选为 $1 \times 10^{19} \text{cm}^{-3}$ 以下。这里,通过溅射法、LPCVD 法或等离子体 CVD 法等使用以硅为主要成分的材料(例如 $\text{Si}_x\text{Ge}_{1-x}$ 等)形成非晶半导体层,然后,通过诸如激光晶化法、使用 RTA 或退火炉的热晶化法或使用促进晶化的金属元素的热晶化法等晶化法使该非晶半导体层晶化。

[0149] 栅极绝缘膜 511 可以使用包含氧或氮的绝缘膜如氧化硅、氮化硅、氧氮化硅或氮氧化硅等的单层结构或叠层结构形成。

[0150] 栅电极 512A 至栅电极 512F 可以采用单层的导电膜、或者两层或三层导电膜的叠层结构形成。作为用于栅电极 512A 至栅电极 512F 的材料,可以使用导电膜。例如,可以使用诸如钽、钛、钼、钨、铬、硅等的元素的单体膜;上述元素的氮化膜(典型地说,氮化钽膜、氮化钨膜或氮化钛膜);组合了上述元素的合金膜(典型地说,Mo-W 合金或 Mo-Ta 合金);或者上述元素的硅化物膜(典型地说,硅化钨膜或硅化钛膜)等。注意,上述单体膜、氮化膜、合金膜、硅化物膜等可以具有单层结构或叠层结构。

[0151] 第一绝缘膜 513 可以使用下列膜的单层结构或叠层结构形成:如氧化硅、氮化硅、氧氮化硅、氮氧化硅等的包含氧或氮的绝缘膜;或如 DLC(类金刚石碳)等的包含碳的膜。

[0152] 第二绝缘膜 514 可以使用下列膜的单层或叠层结构形成:硅氧烷树脂;如氧化硅、氮化硅、氧氮化硅或氮氧化硅等的包含氧或氮的绝缘膜;如 DLC(类金刚石碳)等的包含碳的膜;或者如环氧、聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯或丙烯酸等的有机材料。注意,硅氧烷树脂相当于包括 Si-O-Si 键的树脂。硅氧烷的骨架结构由硅和氧的键构成。作为其取代基,可以使用至少包含氢的有机基(例如烷基或芳烃)。也可以使用氟基作为取代基。或者,也可以使用至少包含氢的有机基和氟基作为取代基。注意,也可以直接覆盖栅电极 512A 至 512F 地提供第二绝缘膜 514 而不提供第一绝缘膜 513。

[0153] 作为布线 516,可以使用诸如铝、镍、碳、钨、钼、钛、铂、铜、钽、金或锰等的元素的单体膜;上述元素的氮化膜;组合上述元素的合金膜;或上述元素的硅化物膜等。例如,作为包含上述元素中的多个元素的合金,可以使用包含碳及钛的铝合金、包含镍的铝合金、包含碳及镍的铝合金、以及包含碳及锰的铝合金等。例如,在采用叠层结构的情况下,可以采用将铝插入到钼或钛等之间的结构。通过采用该结构,可以提高铝对热或化学反应的耐受性。

[0154] 接下来,使用图 7A 至 7E 说明晶体管的制造方法的例子。图 7A 至 7E 为示出晶体管的制造方法的模式图。注意,晶体管的制造方法不局限于图 7A 至 7E 所示的方法,而可以使用各种制造方法。

[0155] 首先,如图 7A 所示,在衬底 506 上形成基底膜 507。接下来,使用等离子体处理对基底膜 507 的表面进行氧化或氮化。另外,在形成本制造方法中的其他层之后也可以进行该等离子体处理。像这样,使用等离子体处理对半导体层或绝缘膜进行氧化或氮化,该半导体层或绝缘膜的表面改性,并可以形成比通过 CVD 法或溅射法形成的绝缘膜更致密的绝缘膜。因此,可以抑制如针孔等的缺陷,并且可以改善半导体装置的特性等。

[0156] 接下来,如图 7B 所示,在被氧化或氮化的基底膜 507 的一部分上形成半导体层 508。再者,使用抗蚀剂掩模等在半导体层 508 的一部分形成杂质区域 510。

[0157] 接下来,如图 7C 所示,以覆盖半导体层 508 及基底膜 507 的方式形成栅极绝缘膜 511。

[0158] 接下来,如图 7D 所示,隔着栅极绝缘膜 511 在半导体层 508 的一部分上形成栅电极 512A 至 512F。另外,在一部分栅电极 512A 至 512F(栅电极 512D)的侧面形成侧壁 515。另外,作为侧壁 515,可以使用氧化硅或氮化硅。作为在栅电极 512D 的侧面形成侧壁 515 的方法,例如使用如下方法,即在形成栅电极 512D 并且形成氧化硅膜或氮化硅膜后,利用各向异性蚀刻对氧化硅膜或氮化硅膜进行蚀刻。通过这样做,可以只在栅电极 512D 的侧面残留氧化硅膜或氮化硅膜,因此,可以在栅电极 512D 的侧面形成侧壁 515。再者,使用栅电极及另外形成的抗蚀剂掩模等在一部分半导体层 508 中形成低浓度杂质区域 509。

[0159] 接下来,如图 7E 所示,以覆盖栅极绝缘膜 511 及栅电极 512A 至栅电极 512F 的方式形成第一绝缘膜 513。另外,第一绝缘膜 513 可以通过溅射法或等离子体 CVD 法等形式形成。之后,通过形成第二绝缘膜 514 及布线 516,形成如图 6 所示的具有各种结构的晶体管。

[0160] 如上所示,通过根据用途适当地选择晶体管的结构,可以进行更准确的显示工作。

[0161] 再者,对使用半导体衬底作为晶体管的衬底的例子进行说明。由于使用半导体衬底制造的晶体管具有高迁移率,所以可以以低驱动电压得到大导通电流。结果,可以减少晶体管的尺寸,而可以增加每单位面积的晶体管的数量(提高集成度)。当采用同一个电路结构时,晶体管的集成度越高,衬底尺寸越小,因此可以降低制造成本。再者,当采用相同尺寸的衬底时,集成度越高,电路规模越大,因此可以以大致相同的制造成本提供更高功能。而且,因为特性的不均匀性少,所以也可以提高制造成品率。再者,由于晶体管的迁移率高而集成电路的驱动电压小,所以可以降低功耗。再者,可以实现集成电路的高速驱动。

[0162] 集成使用半导体衬底制造的晶体管而构成的电路例如可以用于显示面板(显示部)中。更具体地说,可以用于 LCOS(Liquid Crystal On Silicon:硅基液晶)等的反射型液晶面板、集成微镜的 DMD(Digital Micromirror Device:数字微镜装置)元件、EL 面板等。通过使用半导体衬底制造这种显示面板(显示部),可以低成本且高成品率地制造功耗低且能够进行高速工作的显示面板(显示部)。另外,显示面板(显示部)还包括如大规模集成电路(LSI)等具有驱动显示面板(显示部)以外的功能的电路。

[0163] 下面,使用图 8A 至 8C 及图 9A 至 9D 说明使用半导体衬底制造晶体管的方法。图 8A 至 8C 及图 9A 至 9D 为示出使用半导体衬底的晶体管的制造方法的图。

[0164] 首先,如图 8A 所示,在半导体衬底 600 上设置第一绝缘膜 601(也称为场氧化膜),以形成由第一绝缘膜 601 分离为每个元件即第一元件区域 603 及第二元件区域 604 的区域。另外,在第二元件区域 604 的半导体衬底 600 的一部分中形成 p 阱 602。

[0165] 作为半导体衬底 600,只要是半导体衬底,就没有特别的限制而可以使用。例如,可以使用具有 n 型或 p 型导电类型的单晶 Si 衬底、化合物半导体衬底(GaAs 衬底、InP 衬底、GaN 衬底、SiC 衬底、蓝宝石衬底、ZnSe 衬底等)、通过贴合法或 SIMOX(Separation by Implanted Oxygen;注氧隔离)法而制造的 SOI(绝缘体上硅)衬底等。

[0166] 接下来,如图 8B 所示,在第一元件区域 603 的半导体衬底 600 上形成第二绝缘膜 605,并且在第二元件区域 604 的半导体衬底 600 上形成第三绝缘膜 606。

[0167] 作为第二绝缘膜 605 及第三绝缘膜 606,例如可以使用通过进行热处理使设置在半导体衬底 600 的第一元件区域 603 及第二元件区域 604 的表面氧化而形成的氧化硅膜。

[0168] 接下来,如图 8C 所示,在半导体衬底 600 及第一绝缘膜 601 上形成第一导电膜 607 及第二导电膜 608。

[0169] 作为第一导电膜 607 及第二导电膜 608,可以由选自钽、钨、钛、钼、铝、铜、铬和铌等中的元素、或者以这些元素为主要成分的合金材料或化合物材料形成。此外,第一导电膜 607 及第二导电膜 608 还可以由将这些元素氮化而成的金属氮化膜形成。除此之外,第一导电膜 607 及第二导电膜 608 还可以由掺杂了磷等的杂质元素的多晶硅或以引入了金属材料的硅化物等为代表的半导体材料形成。

[0170] 接下来,如图 9A 所示,在第二绝缘膜 605 及第三绝缘膜 606 的一部分上形成第一栅电极 609 及第二栅电极 610。再者,如图 9B 所示,在第一元件区域 611 中,以覆盖第一栅电极 609、第一绝缘膜 601、以及第二绝缘膜 605 的方式形成抗蚀剂掩模 613,添加杂质,以形成杂质区域 614。另外,将位于第二栅电极 610 的下方的半导体衬底 600 的部分用作沟道区域 615。

[0171] 接下来,如图 9C 所示,在第二元件区域 612 中,在第二栅电极 610、第一绝缘膜 601、以及第三绝缘膜 606 上形成抗蚀剂掩模 616,添加杂质,以形成杂质区域 617。另外,将位于第一栅电极 609 的下方的半导体衬底 600 的一部分用作沟道区域 618。

[0172] 接下来,如图 9D 所示,以覆盖第一栅电极 609、第二栅电极 610、第一绝缘膜 601、第二绝缘膜 605、以及第三绝缘膜 606 的方式形成第四绝缘膜 619,并且以隔着第四绝缘膜 619、第二绝缘膜 605、以及第三绝缘膜 606 与杂质区域 614 或杂质区域 617 接触的方式形成布线 620。

[0173] 第四绝缘膜 619 可以通过 CVD 法或溅射法等并且使用下列膜的单层或叠层结构形成:如氧化硅、氮化硅(SiNx)、氧氮化硅或氮氧化硅等的包含氧或氮的绝缘膜;如 DLC(类金刚石碳)等的包含碳的膜;如环氧、聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯或丙烯酸等的有机材料;或者硅氧烷树脂等的硅氧烷材料等。注意,硅氧烷材料相当于包括 Si-O-Si 键的材料。硅氧烷的骨架结构由硅和氧的键构成。作为其取代基,可以使用至少包含氢的有机基(例如烷基或芳烃)。也可以使用氟基作为取代基。或者,也可以使用至少包含氢的有机基和氟基作为取代基。

[0174] 布线 620 通过 CVD 法或溅射法等使用选自铝、钨、钛、钼、钽、镍、铂、铜、金、银、锰、钹、碳、硅的元素或以这些元素为主要成分的合金材料或化合物材料的单层或叠层形成。作为以铝为主要成分的合金材料,例如相当于以铝为主要成分且包含镍的材料或以铝为主要成分且包含镍、以及碳和硅的一方或双方的合金材料。布线 620 例如优选采用第一阻挡膜、铝硅膜和第二阻挡膜的叠层结构;第一阻挡膜、铝硅膜、氮化钛膜和第二阻挡膜的叠层结构。另外,阻挡膜相当于由钛、钛的氮化物、钼或钽的氮化物构成的薄膜。由于铝或铝硅具有低电阻值并且廉价,所以作为用于形成布线 620 的材料最合适。例如,通过提供上层和下层的阻挡层,可以防止产生铝或铝硅的小丘。例如,当形成由高还原性的元素的钛构成的阻挡膜时,即使在结晶半导体膜上形成薄的自然氧化膜,也可以使该自然氧化膜还原。结果,布线 620 可以与结晶半导体膜电气性及物理性良好地连接。

[0175] 注意,晶体管的结构不局限于图示的结构。例如,可以采用反交错结构、FinFET(鳍式场效应晶体管)结构等的晶体管结构。优选采用 FinFET 结构,因为可以抑制由晶体管尺寸的微细化导致的短沟道效应。

[0176] 以上说明了晶体管的结构及晶体管的制造方法。在此,布线、电极、导电层、导电膜、端子、通路、插头等优选由如下材料构成:选自由铝、钽、钛、钼、钨、钕、铬、镍、铂、金、银、铜、镁、钪、钴、锌、铌、硅、磷、硼、砷、镓、铟、锡构成的组中的一种或多种元素;以选自所述组中的一种或多种元素为成分的化合物或合金材料(例如铟锡氧化物(ITO)、铟锌氧化物(IZO)、包含氧化硅的铟锡氧化物(ITSO)、氧化锌、氧化锡、氧化锡镉、铝钕、镁银、钼铌等)。或者,布线、电极、导电层、导电膜、端子等优选形成为具有组合这些化合物而成的物质等。或者,优选形成为具有如下材料:选自所述组中的一种或多种元素和硅的化合物(硅化物)(例如铝硅、钼硅、硅化镍等);选自所述组中的一种或多种元素和氮的化合物(例如氮化钛、氮化钽、氮化钼等)。

[0177] 另外,硅也可以包含n型杂质(磷等)或p型杂质(硼等)。通过将杂质包含在硅中,可以提高导电率,并可以起到与通常的导体相同的作用。因此,可以容易用作布线或电极等。

[0178] 另外,硅可以是单晶、多晶(多晶硅)、或微晶(微晶硅)等的具有各种结晶性的硅。或者,硅也可以是非晶(非晶硅)等的没有结晶性的硅。通过使用单晶硅或多晶硅,可以降低布线、电极、导电层、导电膜、端子等的电阻。通过使用非晶硅或微晶硅,可以以简单的工序形成布线等。

[0179] 另外,ITO(Indium-Tin-Oxide)、IZO(Indium-Zinc-Oxide)、ITSO(Indium-Tin-Silicon-Oxide)、氧化锌、硅、氧化锡、氧化锡镉具有透光性,而可以用于透过光的部分。例如,它们可用作像素电极或公共电极。

[0180] 此外,优选使用IZO,因为容易蚀刻并且容易加工。IZO不容易引起当蚀刻时留下渣滓的问题。因此,通过使用IZO作为像素电极,可以减少给液晶元件或发光元件带来的负面影响(短路、取向无序等)。

[0181] 此外,布线、电极、导电层、导电膜、端子、通路、插头等也可以由单层结构或叠层结构构成。通过采用单层结构,可以简化制造布线、电极、导电层、导电膜、端子等的工序并减少制造天数,这可以实现成本降低。另一方面,当采用多层结构时,可以利用各种材料的优点并且减少其缺点,从而形成高性能布线或电极等。举例来说,通过在多层结构中包含低电阻材料(铝等),可以降低布线的电阻。另外,当采用低耐热性材料被夹在高耐热性材料之间的叠层结构时,可以利用低耐热性材料的优点并且提高布线或电极等的耐热性。例如,优选采用包含铝的层被夹在包含钼、钛、钕等的层之间的叠层结构。

[0182] 这里,在布线或电极等彼此直接接触的情况下,它们可能不利地彼此影响。例如,一个布线或电极等可能进入另一个布线或电极等的材料中,从而改变其性质,因此不能发挥本来的作用。作为其他例子,当形成或制造高电阻部分时,有时发生问题并且不能正常地制造。在这种情况下,优选采用叠层结构将容易引起反应的材料夹在不容易引起反应的材料之间,或者,使用不容易引起反应的材料覆盖容易引起反应的材料。例如,在连接ITO和铝的情况下,优选在ITO和铝之间插入钛、钼、钕合金。另外,在连接硅和铝的情况下,优选在硅和铝之间插入钛、钼、钕合金。

[0183] 注意,布线指的是配置有导电体的物质。布线形状可以是线状,也可以不是线状。因此,布线包括电极。

[0184] 作为布线、电极、导电层、导电膜、端子、通路、插头等,也可以使用碳纳米管。由于

碳纳米管具有透光性,所以可以将它用于透过光的部分。例如,可以用作像素电极或公共电极。

[0185] 如上所述,通过选择具有对应于各个电路的特性的结构的晶体管,可以进行更准确的显示工作。

[0186] 另外,本实施方式可以与其他实施方式适当地组合。

[0187] 实施方式 6

[0188] 在本实施方式中,将说明本发明的显示装置。

[0189] 首先,使用图 10 说明本实施方式中的显示装置的结构。图 10 为示出本实施方式中的显示装置的结构框图。

[0190] 如图 10 所示,本实施方式的显示装置包括具有多个像素 700 的像素部 701;扫描线 702;信号线 703;电源线 704;电连接到扫描线 702 的扫描线驱动电路 705;电连接到信号线 703 的信号线驱动电路 706;电连接到电源线 704 的电源电路 708;以及电连接到扫描线驱动电路 705、信号线驱动电路 706 及电源电路 708 的控制电路 707。

[0191] 设置在像素部 701 的多个像素 700 在信号线 703 和扫描线 702 交叉的区域以矩阵状配置,并且可以以每个像素独立输入数据信号。另外,设置在像素部 701 中的多个像素 700 可以应用图 1 至图 4 所示的像素中的任一结构,扫描线 702、信号线 703 及电源线 704 分别相当于图 1 中的扫描线 105、信号线 106 及电源线 107、以及图 3 中的扫描线 206、信号线 207 及电源线 208。另外,在应用图 4 中的像素的情况下,扫描线 702 及信号线 703 相当于扫描线 304 及信号线 305,并且可以省略图 10 中的电源线 704 及电源电路 708。

[0192] 控制电路 707 具有根据输入的图像信号控制扫描线驱动电路 705、信号线驱动电路 706、以及电源电路 708 的功能。具体而言,控制电路 707 对扫描线驱动电路 705 及信号线驱动电路 706 分别输出控制信号。

[0193] 扫描线驱动电路 705 具有根据从控制电路 707 输入的控制信号将扫描信号通过扫描线 702 输出到像素 700 的功能。

[0194] 信号线驱动电路 706 具有根据从控制电路 707 输入的控制信号将数据信号通过信号线 703 输出到像素 700 的功能。

[0195] 电源电路 708 具有通过电源线 704 对像素 700 施加电源电位的功能。

[0196] 接下来,将说明本实施方式中的显示装置的扫描线驱动电路及信号线驱动电路的结构的一例。

[0197] 首先,使用图 11A 说明扫描线驱动电路的结构的一例。图 11A 为示出本实施方式中的显示装置的扫描线驱动电路的结构的一例的框图。

[0198] 如图 11A 所示,图 10 中的扫描线驱动电路 705 具有移位寄存器 800、电平转换器 801、以及缓冲器 802。

[0199] 对移位寄存器 800 输入选通开始脉冲 (GSP)、选通时钟信号 (GCK) 等的信号。

[0200] 接下来,使用图 11B 说明信号线驱动电路的结构的一例。图 11B 为示出本实施方式中的显示装置的信号线驱动电路的结构的一例的截面图。

[0201] 如图 11B 所示,图 10 中的信号线驱动电路 706 具有移位寄存器 803、第一锁存电路 804、第二锁存电路 805、电平转换器 806、以及缓冲器 807。

[0202] 缓冲器 807 具有放大信号的功能,并且具有运算放大器等。对移位寄存器 803 输

入起始脉冲 (SSP) 等的信号, 并且对第一锁存电路 804 输入视频信号等数据 (DATA)。在第二锁存电路 805 中可以暂时保持锁存 (LAT) 信号, 并且将该保持的锁存信号一齐输出到图 10 的像素部 701 中。将这称为线顺序驱动。因此, 如果是进行点顺序驱动而不进行线顺序驱动的像素, 就不需要第二锁存电路 805。

[0203] 接下来, 将说明本实施方式中的显示装置的工作。

[0204] 通过从控制电路 707 对扫描线驱动电路 705 及信号线驱动电路 706 输出控制信号, 扫描线驱动电路 705 通过扫描线 702 将扫描信号输出到选择的像素中。另外, 信号线驱动电路 706 通过信号线 703 将数据信号输出到选择的像素 700 中。选择的像素根据输入的扫描信号及数据信号进行从上述实施方式 1 至实施方式 3 所示的像素中的任一个选择出的像素的显示工作。

[0205] 如上所述, 通过在各个像素中进行脉冲式显示, 可以将余象少的运动图像显示在像素部。

[0206] 另外, 本实施方式可以与其他实施方式适当地组合。

[0207] 实施方式 7

[0208] 在本实施方式中说明将本发明的显示装置用于显示部的电子器具。

[0209] 本发明的显示装置可以用于各种电子器具的显示部。作为可以应用本发明的显示装置的电子器具的例子可以举出如下: 影像拍摄装置如摄像机、数字照相机等; 护目镜型显示器 (头盔显示器); 导航系统; 音频再现装置 (汽车音响、音响组件等); 笔记本式个人计算机; 游戏机; 携带电话机; 便携式信息终端 (包括安装有便携式计算机、便携式音乐播放器、便携式游戏机、电子书、或组装计算机并且通过进行多个数据处理而具有多个功能的装置); 具备记录媒体的图像再现装置 (具体而言, 能够再现记录媒体如数字通用磁盘 (DVD) 等并具有可以显示其图像的显示器的装置) 等。在图 12A 至 12H 及图 13A 至 13C 中示出本实施方式中的电子器具的结构。

[0210] 图 12A 为一种显示装置, 包括框体 901、支撑台 902、显示部 903、扬声器部 904、和视频输入端子 905 等。本发明的显示装置可以用于显示部 903。另外, 显示装置包括个人计算机用、TV 广播接收用、广告显示用等的所有显示装置。

[0211] 图 12B 为一种数码相机, 包括主体 911、显示部 912、图像接收部 913、操作键 914、外部连接端口 915、和快门按钮 916 等。本发明的显示装置可以用于显示部 912。

[0212] 图 12C 为一种笔记本式个人计算机, 包括主体 921、框体 922、显示部 923、键盘 924、外部连接端口 925、和定位装置 926 等。本发明的显示装置可以用于显示部 923。

[0213] 图 12D 为一种便携式计算机, 包括主体 931、显示部 932、开关 933、操作键 934、和红外线端口 935 等。本发明的显示装置可以用于显示部 932。

[0214] 图 12E 为一种具备记录媒体的便携式图像再现装置 (具体地为 DVD 再现装置), 包括主体 941、框体 942、显示部 A943、显示部 B944、记录媒体 (DVD 等) 读取部 945、操作键 946、和扬声器部 947 等。显示部 A943 主要显示图像信息, 而显示部 B944 主要显示文字信息。本发明的显示装置可以用于这些显示部 A943、显示部 B944。另外, 具备记录媒体的图像再现装置还包括家庭用游戏机等。

[0215] 图 12F 为一种护目镜型显示器 (头盔显示器), 包括主体 951、显示部 952、和臂部 953。本发明的显示装置可以用于显示部 952。

[0216] 图 12G 为一种摄像机,包括主体 961、显示部 962、框体 963、外部连接端口 964、遥控器接收部 965、图像接收部 966、电池 967、声音输入部 968、和操作键 969 等。本发明的显示装置可以用于显示部 962。

[0217] 图 12H 为一种携带电话机,包括主体 971、框体 972、显示部 973、声音输入部 974、声音输出部 975、操作键 976、外部连接端口 977、和天线 978 等。本发明的显示装置可以用于显示部 973。另外,显示部 973 可以通过在黑色背景上显示白色文字,而抑制携带电话机消耗的电流。

[0218] 图 13A 至 13C 为具有多个功能的便携式信息终端的一例。图 13A 为便携式信息终端的正视图,图 13B 为便携式信息终端的后视图,图 13C 为便携式信息终端的展开图。以图 13A 至 13C 为一例的便携式信息终端可以具有多个功能。例如,除了电话功能以外,还可以组装计算机而具有各种数据处理功能。

[0219] 图 13A 至 13C 所示的便携式信息终端由框体 980 及框体 981 的两个框体构成。框体 980 具备显示部 982、扬声器 983、麦克风 984、操作键 985、定位装置 986、照相用透镜 987、外部连接端子 988、耳机端子 989 等,框体 981 具备键盘 990、外部储存槽 991、照相用透镜 992、和灯 993 等。另外,在框体 981 中组装天线。

[0220] 另外,除了上述结构以外,还可以安装有非接触 IC 芯片、小型记录装置等。

[0221] 本发明的显示装置可以用于显示部 982,并且其显示方向根据使用方式而适当地改变。另外,由于在与显示部 982 同一个表面上具有照相用透镜 987,所以可以进行可见通话。另外,使用显示部 982 作为取景器,使用照相用透镜 992 及灯 993 拍摄静止图像及运动图像。扬声器 983 及麦克风 984 不局限于声音通话,还可以用于可见通话、录音、再生等的用途。操作键 985 可以进行电话的发送和接受、电子邮件等的简单的信息输入、屏幕的滚动、以及光标移动等。再者,彼此重叠的框体 980 和框体 981(图 13A)滑动而如图 13C 那样展开并可以用作便携式信息终端。在此情况下,可以使用键盘 990 和定位装置 986 进行顺利操作。外部连接端子 988 可以与 AC 整流器及各种电缆如 USB 电缆等连接,并且可以充电及与个人计算机等进行数据通讯。另外,通过将记录媒体插入外部储存槽 991 中,可以对应于更大量数据的保存及移动。

[0222] 另外,也可以是除了上述功能以外还具有红外线通讯功能、电视接收功能等的便携式信息终端。

[0223] 如上所述,本发明的显示装置可以用作如上所述的各种电子器具的显示部。通过使用本发明的显示装置作为显示部,可以提供电路面积小且功耗低的电子器具。

[0224] 另外,本实施方式可以与其他实施方式适当地组合。

[0225] 实施例 1

[0226] 在本实施例中,对于一种显示装置的一例进行说明,该显示装置用来进行根据实际上的显示装置的规格的脉冲式显示。另外,本实施例中的显示装置的像素结构应用上述实施方式 1 的图 1 所示的像素结构作为例子。然而,本实施例中使用的显示装置的规格是一个例子,而不局限于此。

[0227] 在本实施例的显示装置中应用上述实施方式 1 的像素结构的情况下,电容元件的电容值 C_a 大约为 $1.3 \times 10^{-11} \text{F}$ 。另外,本实施例的显示装置中的电阻元件的电阻值 r 大约为 $2.5 \times 10^7 \Omega$ 。在本实施例中,上述电容元件的电容值 C_a 和电阻元件的电阻值 r 按以下方

式算出。

[0228] 为了进行与 CRT 显示器相等的脉冲式显示所需要的发光时间为 1 水平期间 + τ ($\tau \geq 1\text{msec}$)。此时,将 τ 假设为 1msec,算出 $\tau = 1\text{msec}$ 时的电容元件的电容值 C_a 。

[0229] 若假定本实施例的显示装置的面板尺寸为 VGA (640×480pixel),像素电极的尺寸为 50×150 μm ,并且考虑到发光元件的特性而当对像素电极施加 10V 的电压时产生 0.2 μA 左右的电流,则一个发光元件的电阻 REL 成为 $\text{REL} = 10\text{V}/(0.2 \times 10^{-6}\text{A}) = 5 \times 10^7 \Omega$ 。若此时使用上述实施方式 1 所示的公式 1 算出 C_a ,则 $C_a = 1 \times 10^{-3}\text{sec}/(\text{REL}+r)$ (以下称为公式 4)。

[0230] 若使用上述实施方式 1 所示的公式 3 假设流过发光元件的电流 IEL 为 0.2rA、 $V_a = 5\text{V}$,则 $r = 5\text{V}/(0.2 \times 10^{-6}\text{A}) = 2.5 \times 10^7 \Omega$ 。

[0231] 再者,在本实施例的显示装置中使用半导体材料形成电阻元件的情况下,若将电阻层的电阻率设定为 ρ ,将电阻层的长度设定为 l ,将电阻层的宽度设定为 w ,并且将电阻层的厚度设定为 x ,电阻元件的电阻值 r 就由 $r = \rho (l/(w \times x))$ 表示。例如,若假设 $\rho = 50 \Omega \text{cm}$ 、 $l = 10 \mu\text{m}$ 、 $w = 4 \mu\text{m}$ 、 $x = 50\text{nm}$,则可以获得与上面设定的电阻元件的电阻相同的值 $r = 2.5 \times 10^7 \Omega$ 。

[0232] 若将此时的 REL 及 r 的值代入上述公式 4 中,则 $C_a = 1 \times 10^{-3}\text{sec}/(5 \times 10^{-7} \Omega + 2.5 \times 10^7 \Omega) = 1.3 \times 10^{-11}\text{F}$ 。

[0233] 另外,在本实施例的显示装置中,电容元件为了保持 $1.3 \times 10^{-11}\text{F}$ 的大小所需要的电极面积大约为 $3.7 \times 10^{-9}\text{m}^2$ 左右。本实施例的显示装置中的电容元件的电极面积按以下方式算出。

[0234] 假设构成电容元件的电极间绝缘层为 10nm 厚的 SiON 膜 (相对介电常数 4),将真空介电常数设定为 ϵ_0 ,将电极间绝缘层的相对介电常数设定为 ϵ ,将电极间绝缘层的厚度设定为 t_{ox} ,则 $C_a = \epsilon_0 \times \epsilon \times S/t_{ox}$ 。当根据这个来算出电极面积 S 时, $1.3 \times 10^{-11}\text{F} = 8.854 \times 10^{-12}\text{F/m} \times 4 \times S/(10 \times 10^{-9}\text{m})$,因此, $S = 3.7 \times 10^{-9}\text{m}^2$ 。

[0235] 如上所述,通过根据本实施例的显示装置的规格将电容元件的电容及电极面积设定为上述值,可以获得为了进行脉冲式显示所需要的电容值。

[0236] 另外,在本实施例的显示装置中,在电容元件的电容值为上面求出的值时,驱动晶体管处于导通状态时为了将电荷储存在电容元件中所需要的时间大约为 0.12 μsec 左右。在本实施例的显示装置中,驱动晶体管处于导通状态时为了将电荷储存到电容元件中所需要的时间按以下方式算出。

[0237] 若假设本实施例的显示装置为 VGA 面板尺寸的显示装置,其中帧频率为 60Hz,驱动方法为线顺序驱动,一个帧期间则是 $1/60\text{sec} \approx 17\text{msec}$ 。另外,一个水平期间为 $1/60/480 \approx 35 \mu\text{sec}$ 。本发明的显示装置需要使将电荷储存在电容元件中的时间短于一个水平期间。该将电荷储存在电容元件中的时间取决于驱动晶体管的电阻值。

[0238] 此时的驱动晶体管的沟道电阻 R_{ch} 大约为 $9.5 \times 10^3 \Omega$ 。在本实施例的显示装置中,驱动晶体管的沟道电阻按以下方式算出。

[0239] 若假设当写入时使驱动晶体管在线形区域工作,并且将驱动晶体管的沟道长度设定为 L ,将驱动晶体管的沟道宽度设定为 W ,将驱动晶体管的迁移率设定为 μ ,将每单位面积的栅极电容设定为 C_{ox} ,则驱动晶体管的沟道电阻 R_{ch} 由 $R_{ch} = 1/\beta (V_{gs}-V_{th})$ ($\beta = (L/$

$W) \times u \times C_{ox})$ (以下称为公式 5) 表示。

[0240] 基于上述公式 5, 使用将多晶硅用于半导体层的 N 沟道型驱动晶体管的参数作为一例, 假设 L/W 为 $10/10 \mu m$ 、 u 为 $300 cm^2/Vs$ 、 C_{ox} 为 $7.4 \times 10^{-4} F/m^2$ (相当于 $50 nm$ 厚的 SiO_N)、 V_{gs} 为 $16V$ 、 V_{th} 为 $1V$, 则驱动晶体管的沟道电阻算出为 $9.5 \times 10^3 \Omega$ 。

[0241] 当使用驱动晶体管的沟道电阻算出电容元件的电荷储存时间时, $\tau = C_a \times R_{ch} = 1.3 \times 10^{-11} F/m^2 \times 9.5 \times 10^3 \Omega = 1.2 \times 10^{-7} sec = 0.12 \mu sec$ 。

[0242] 由此, 在本实施例的显示装置中, 可以将电容元件的电荷储存时间设定为一个水平期间 (大约 $35 \mu sec$) 的百分之一以下, 而可以在一个水平期间内毫无问题地将为了进行脉冲式显示所需要的电荷储存到电容元件。

[0243] 另外, 在本实施例的显示装置中, 在一个水平期间和电荷储存时间相同的条件下得到可获得的电容元件的电容值的最大值, 并且根据上述公式 2, $35 \mu sec = C_a \times 9.5 \times 10^3 \Omega$, 据此, 电容元件可获得的最大电容值 C_a 大约为 $3.0 \times 10^{-9} F$ 。

[0244] 如上所述, 考虑到某一个显示装置的规格及晶体管的特性作为一个例子, 通过将电容元件及电阻元件的规格设定为上述值, 可以获得为了进行适合于运动图像显示的脉冲式显示所需要的发光时间。

[0245] 本说明书根据 2008 年 1 月 15 日在日本专利局受理的日本专利申请编号 2008-005329 而制作, 所述申请内容包括在本说明书中。

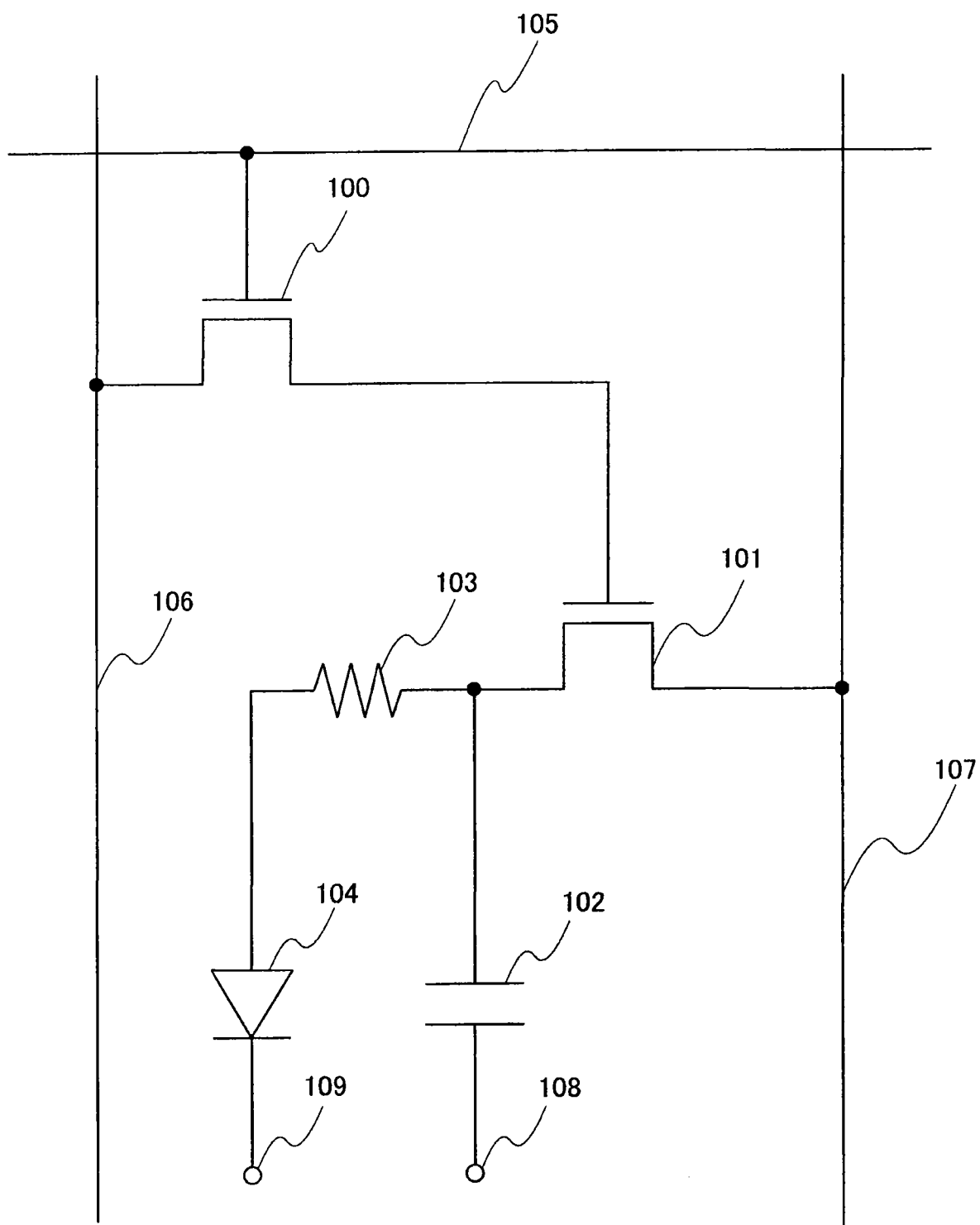


图 1

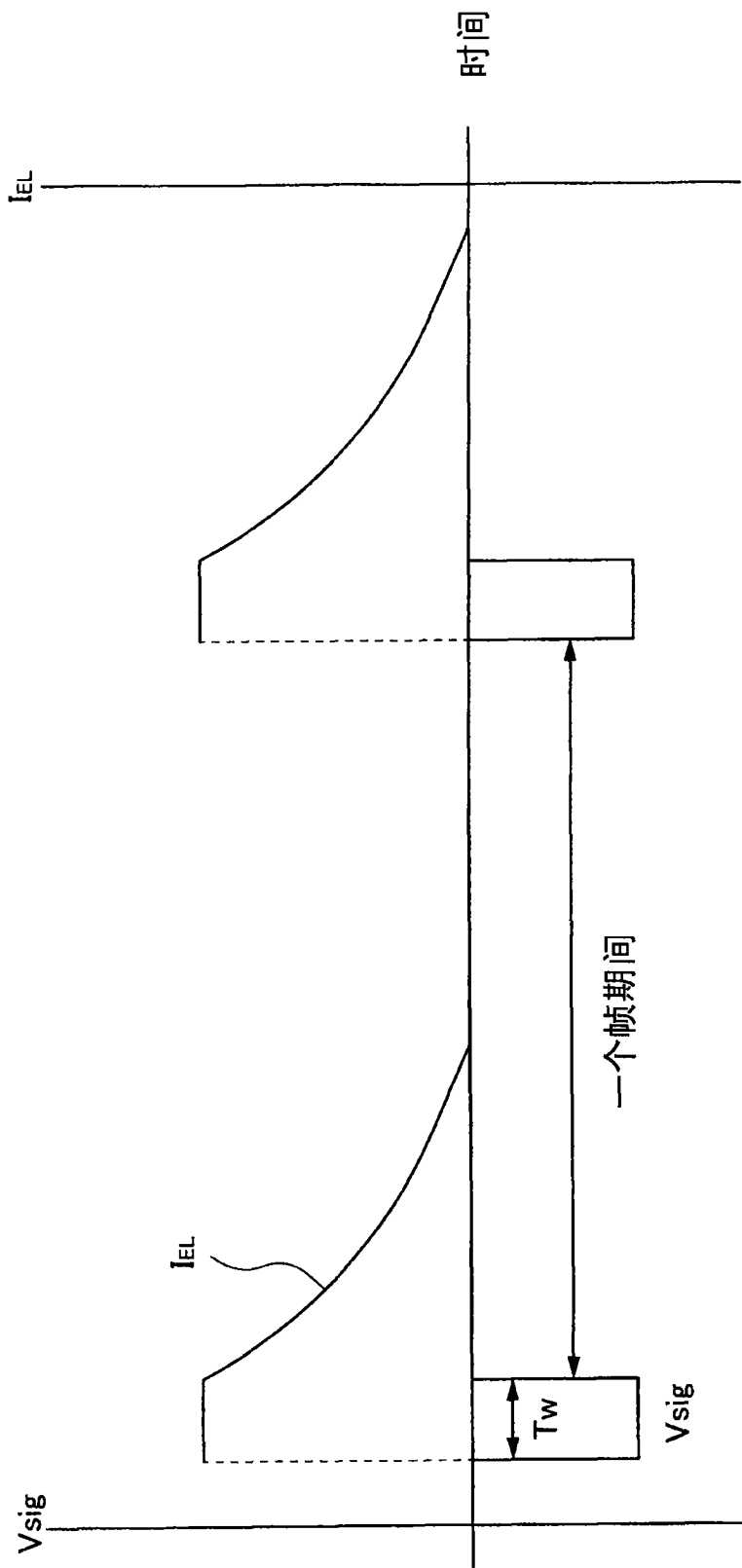


图 2

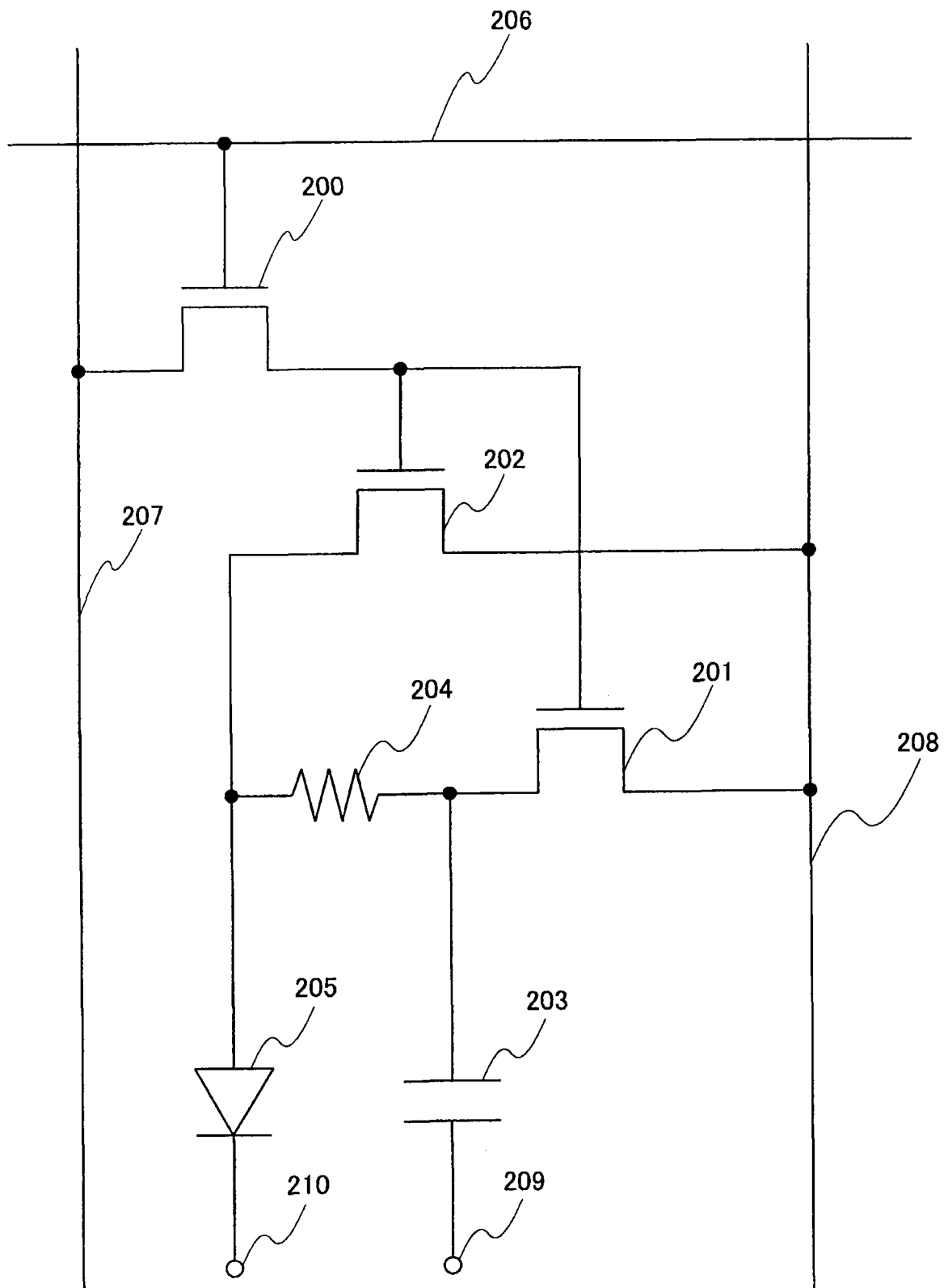


图 3

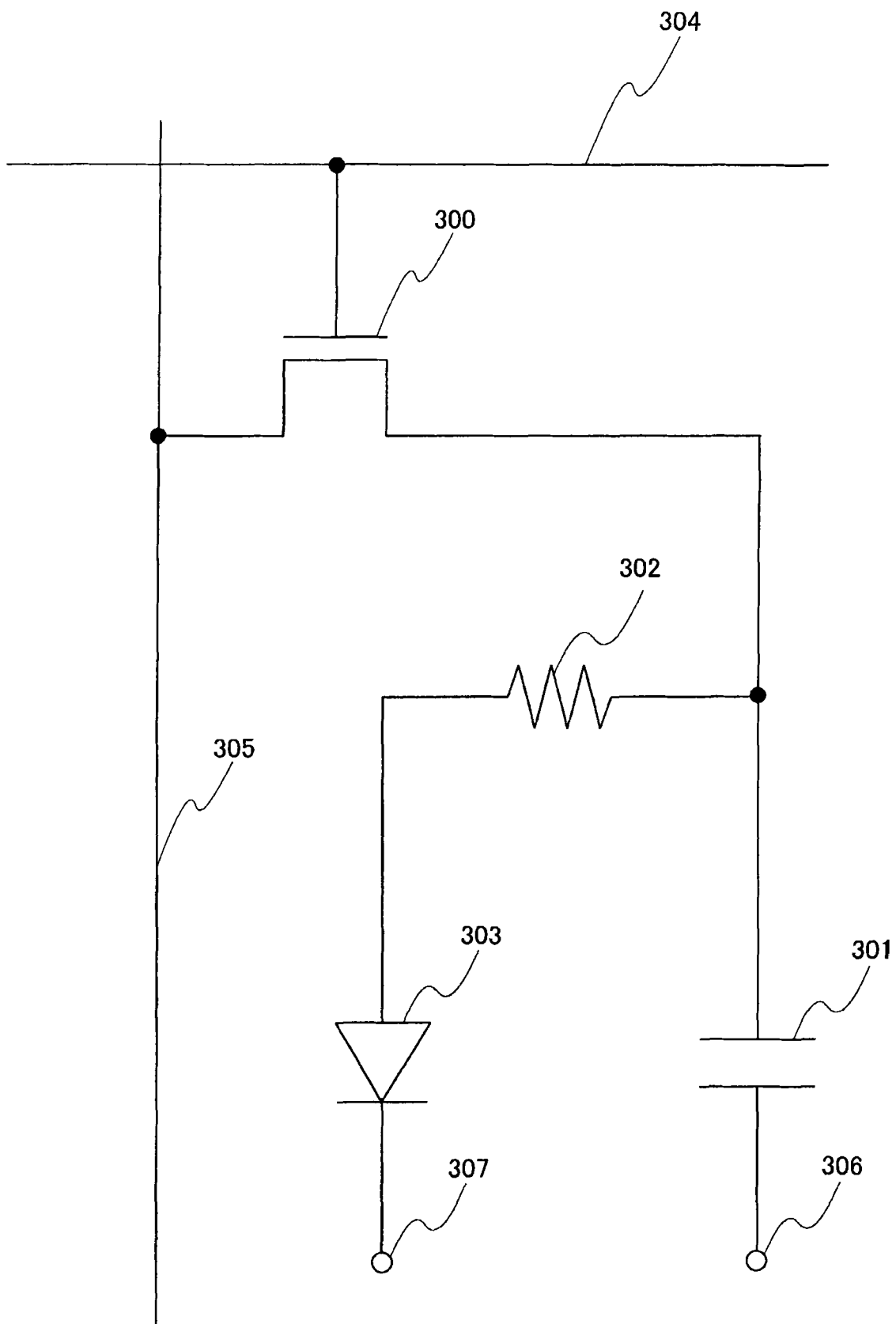


图 4

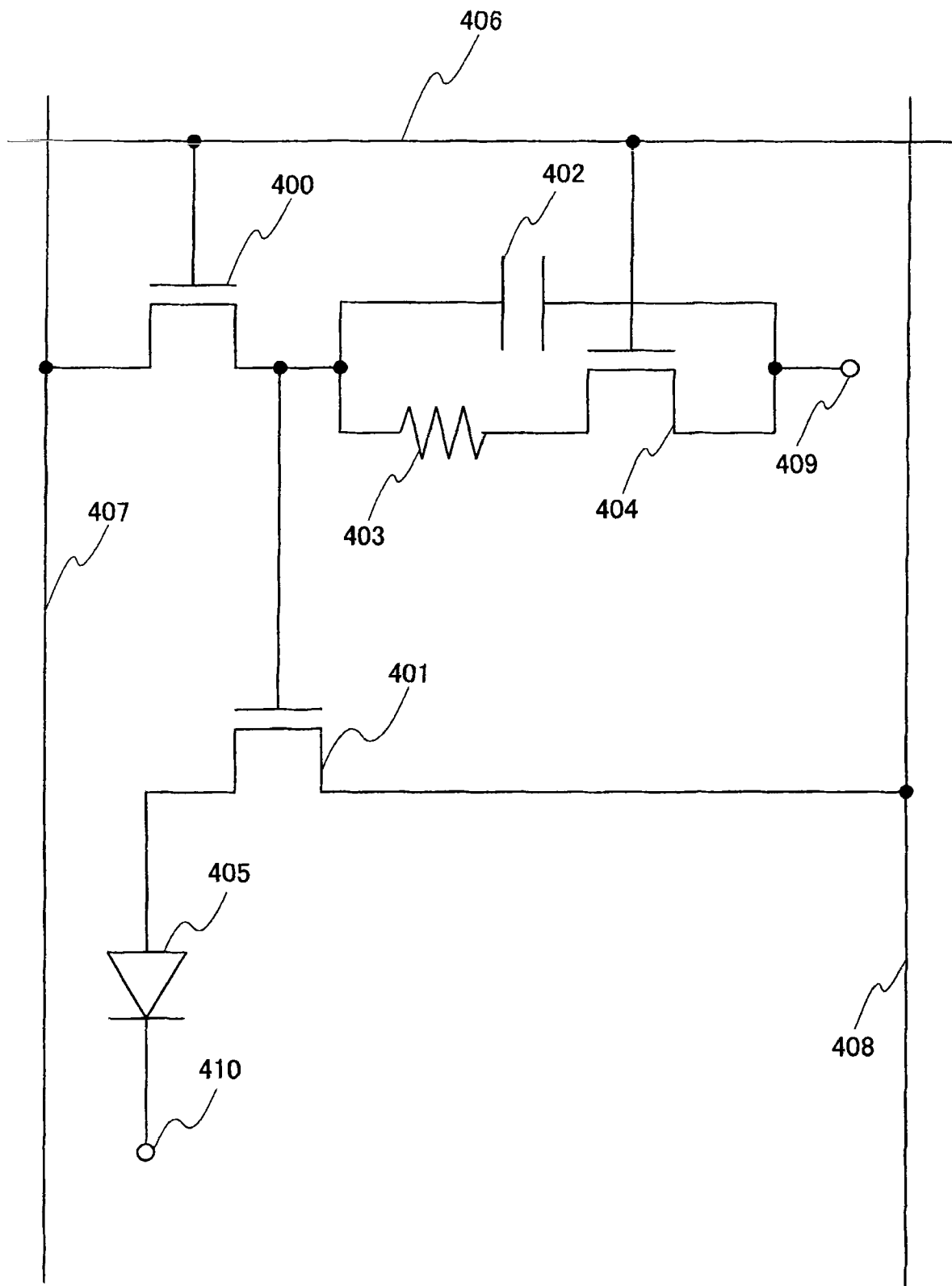


图 5

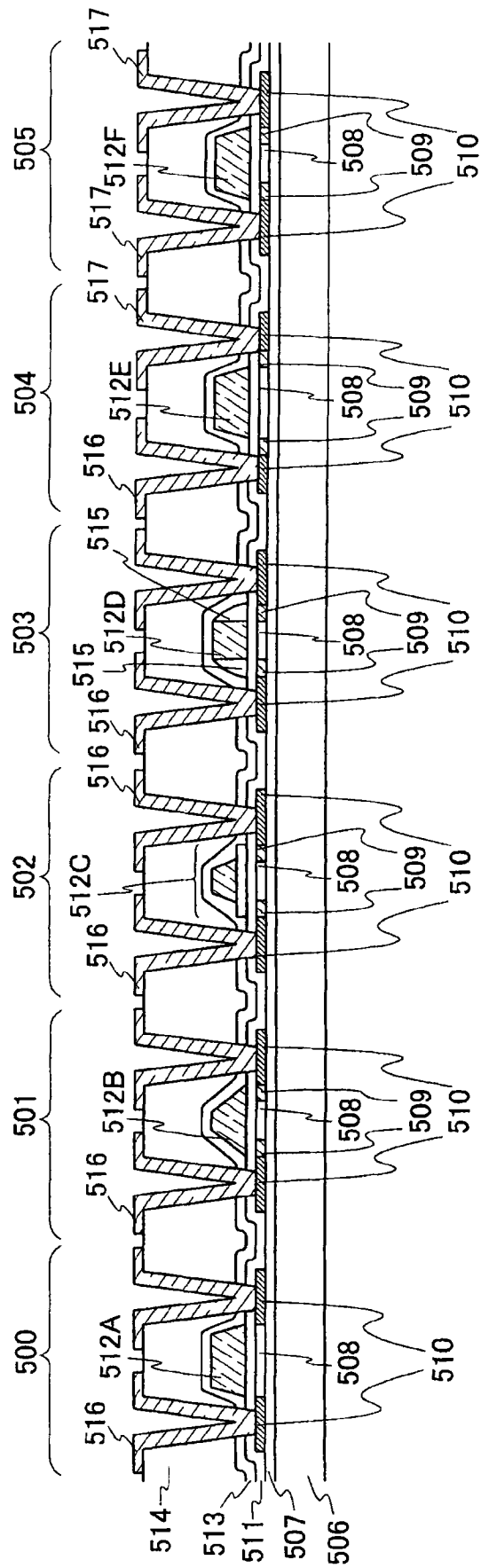


图 6

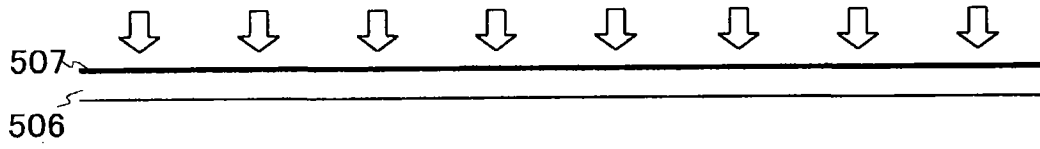


图 7A

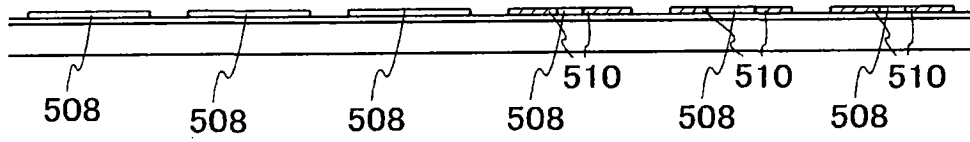


图 7B

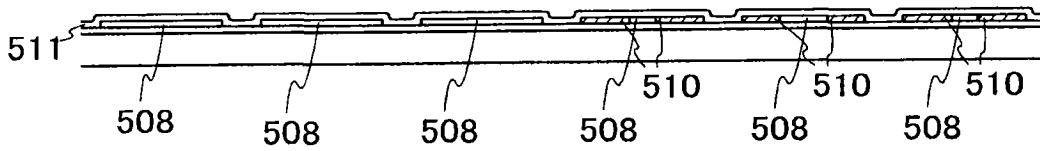


图 7C

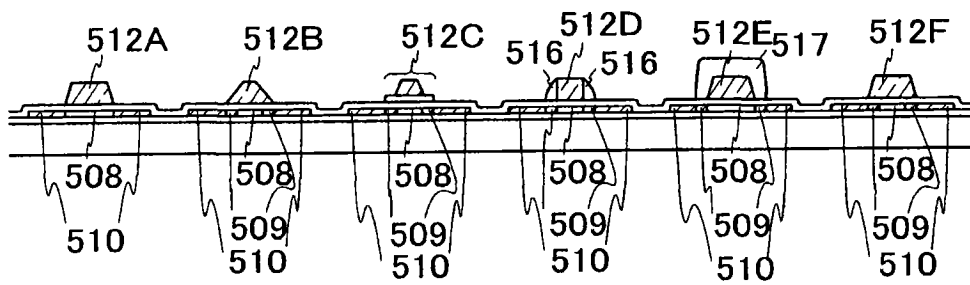


图 7D



图 7E

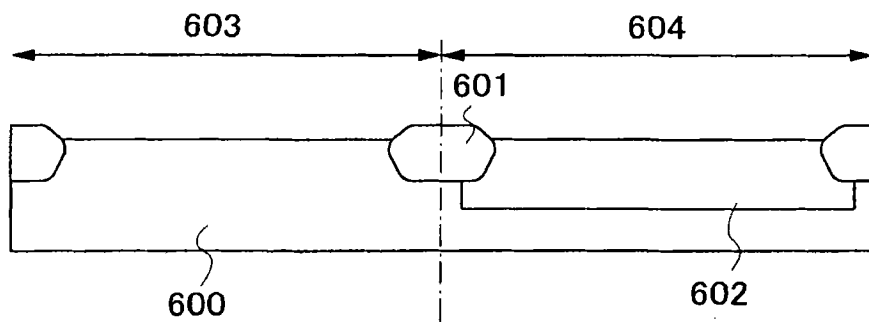


图 8A

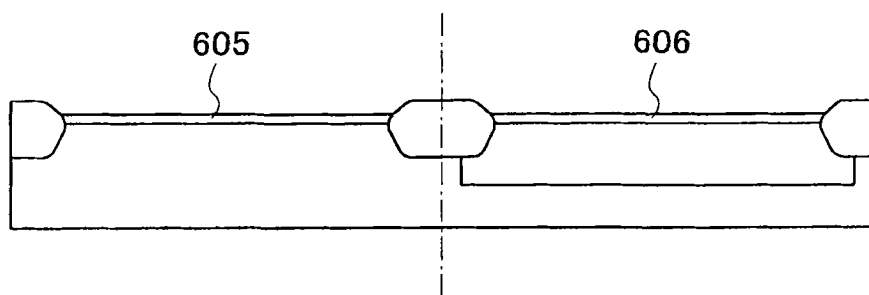


图 8B

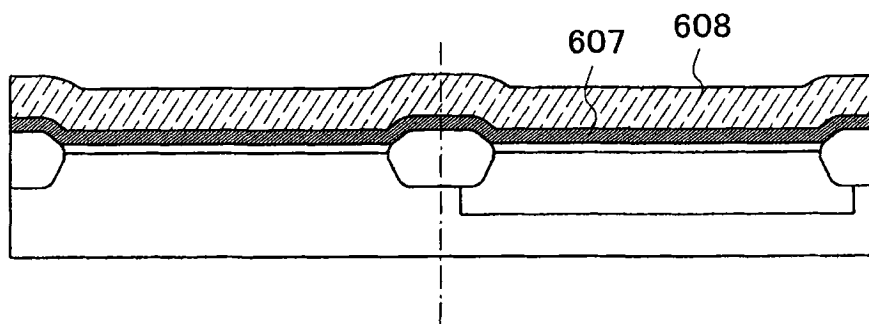


图 8C

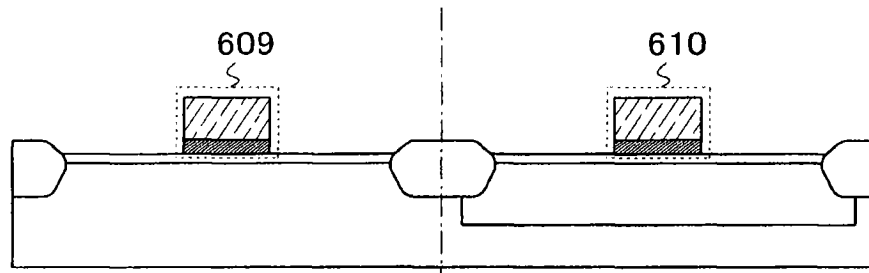


图 9A

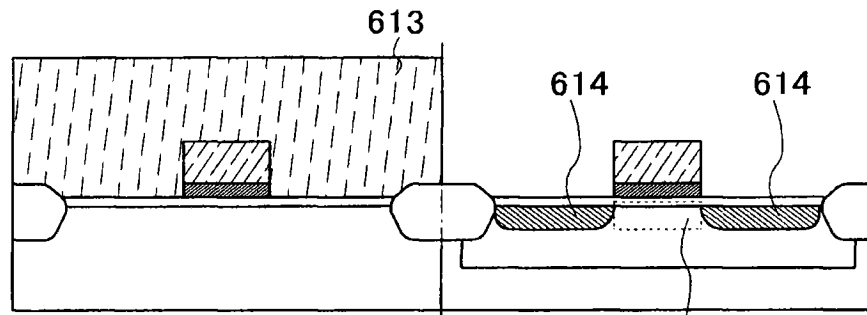


图 9B

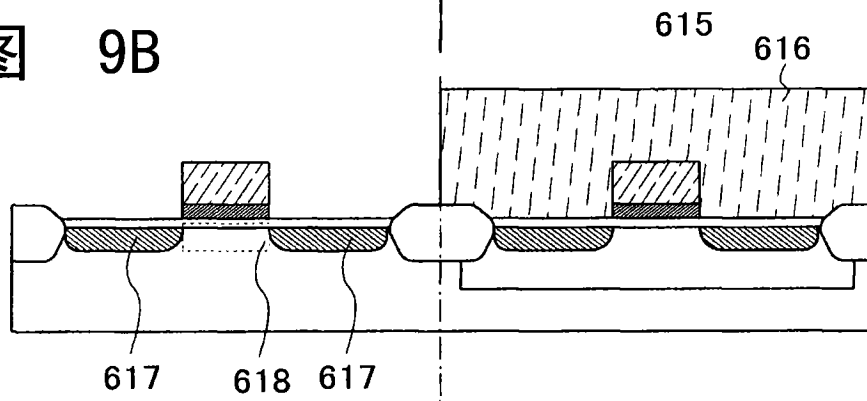


图 9C

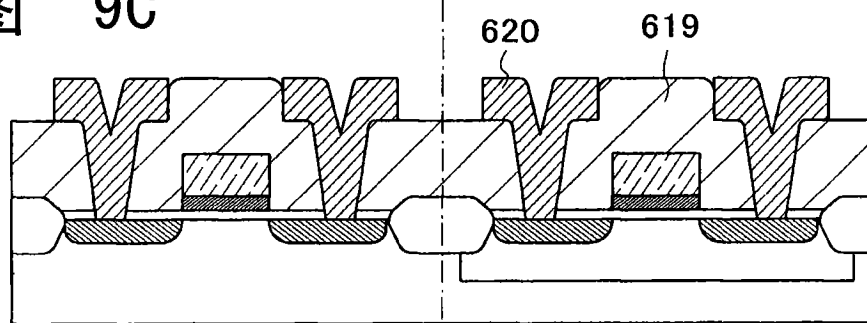


图 9D

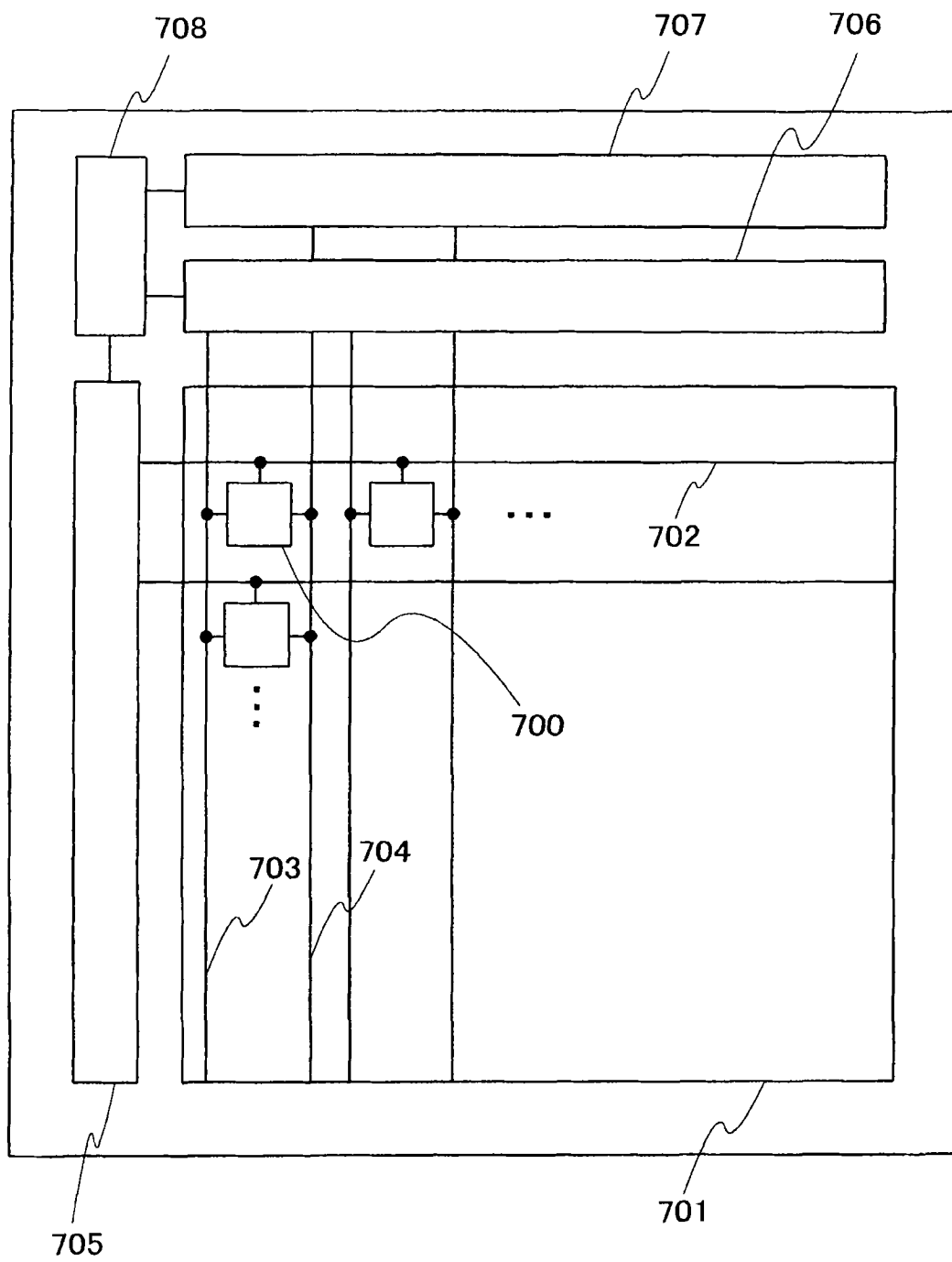


图 10

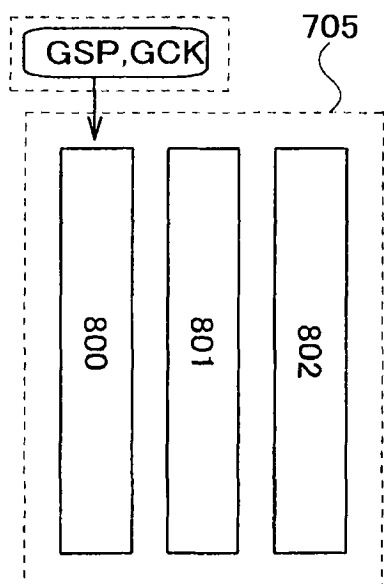


图 11A

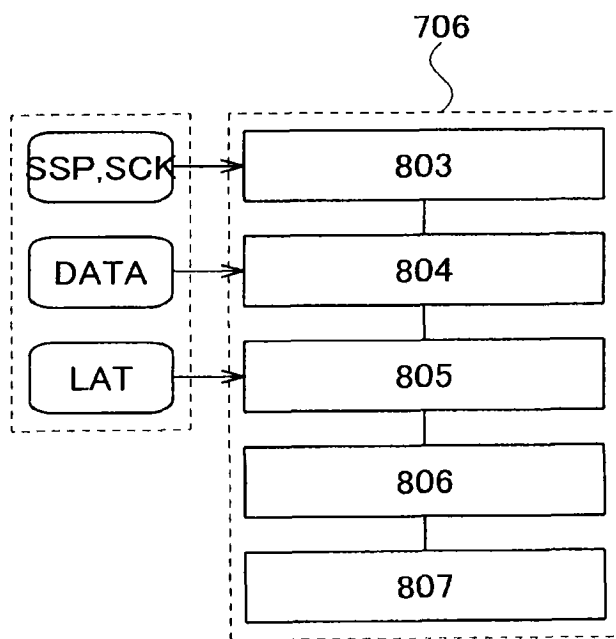


图 11B

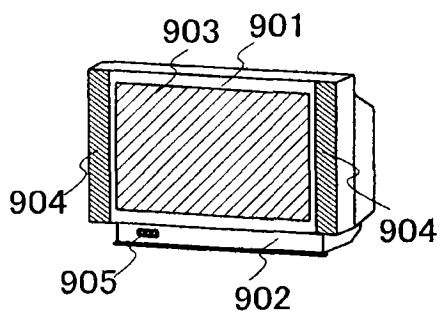


图 12A

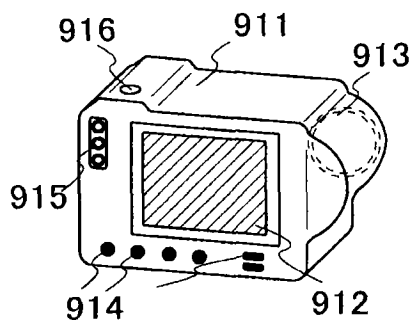


图 12B

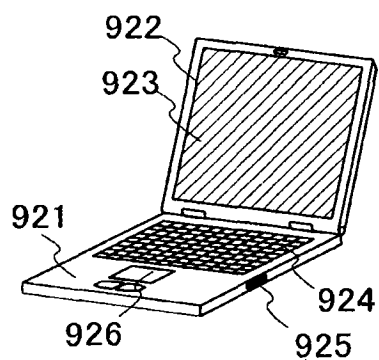


图 12C

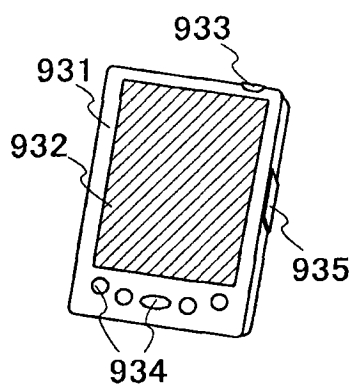


图 12D

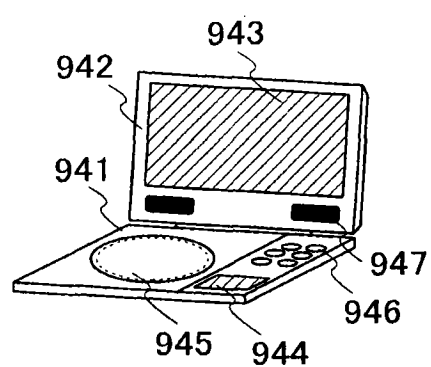


图 12E

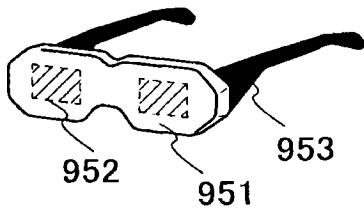


图 12F

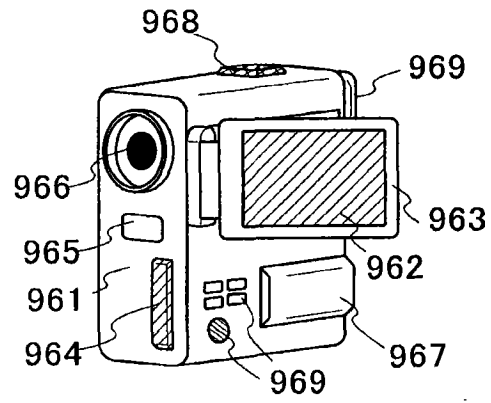


图 12G

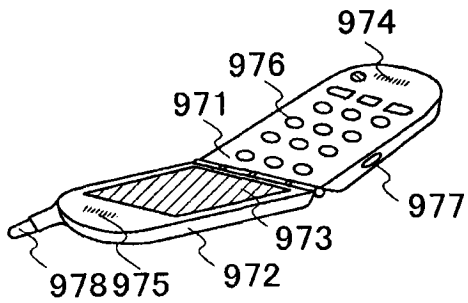


图 12H

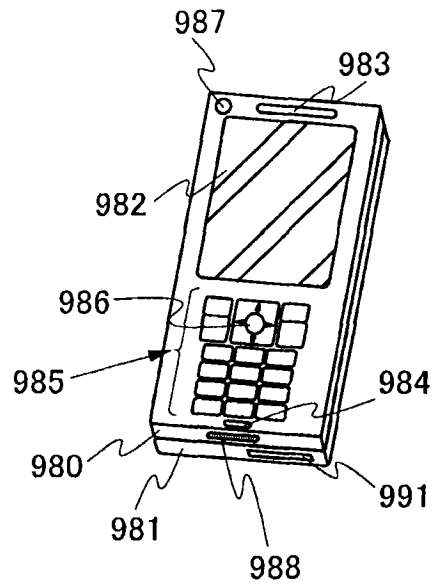


图 13A

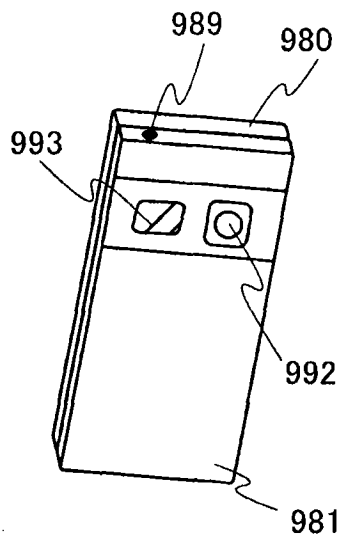


图 13B

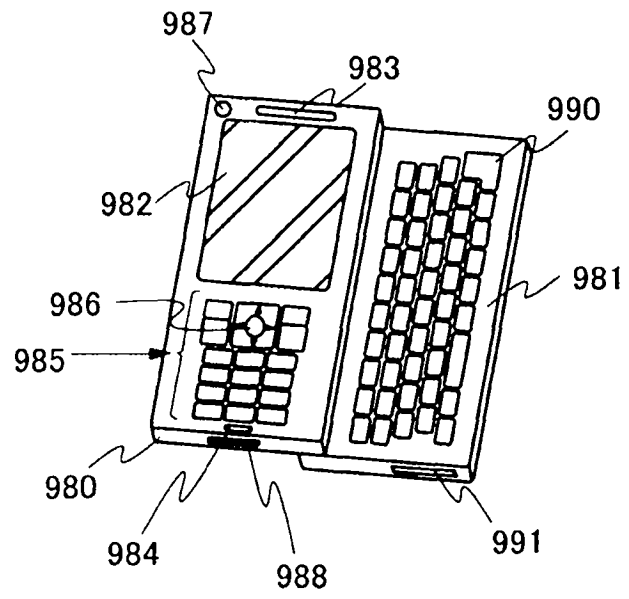


图 13C