



(12) 发明专利申请

(10) 申请公布号 CN 118263073 A

(43) 申请公布日 2024. 06. 28

(21) 申请号 202311361910.8

(51) Int. Cl.

(22) 申请日 2019.09.17

H01J 37/073 (2006.01)

(30) 优先权数据

H01J 37/28 (2006.01)

62/732,937 2018.09.18 US

16/259,317 2019.01.28 US

(62) 分案原申请数据

201980059591.0 2019.09.17

(71) 申请人 科磊股份有限公司

地址 美国加利福尼亚州

(72) 发明人 G·德尔加多 K·艾奥凯密迪

F·希尔 G·洛佩兹

R·F·加西亚

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

专利代理师 刘丽楠

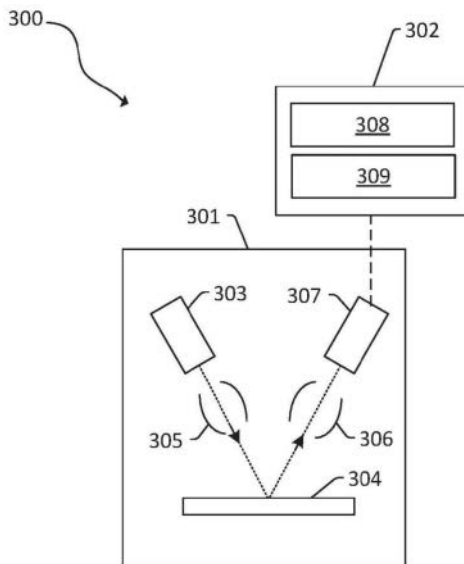
权利要求书2页 说明书7页 附图5页

(54) 发明名称

金属囊封光电阴极电子发射器

(57) 摘要

本申请实施例涉及一种金属囊封光电阴极电子发射器。本发明揭示一种光电阴极结构,其可包含 Cs_2Te 、 CsKTe 、 CsI 、 CsBr 、 GaAs 、 GaN 、 InSb 、 CsKSb 或金属中的一或多个者,所述光电阴极结构在外表面上具有保护膜。所述保护膜包含钪、镍、铂、铬、铜、金、银、铝中的一或多个者或其合金。所述保护膜可具有从1nm到10nm的厚度。所述光电阴极结构可用于如扫描电子显微镜的电子束工具中。



1. 一种电子发射器,其包括:
光电阴极结构,其包含 Cs_2Te 、 CsKTe 、 CsI 、 CsBr 、 GaAs 、 GaN 、 InSb 、 CsKSb 或金属中的一或多者;
衬底;
保护膜,其安置于与所述衬底相对的所述光电阴极结构的外表面上,其中所述保护膜包含钨、镍、铂、铬、铜、金、银、铝中的一或多者或其合金,其中所述保护膜的厚度经配置以取决于所述电子发射器的提取器配置及用于光电子发射的波长,所述保护膜的厚度进一步经配置以基于所述电子发射器的提取器配置而改变从1mm到2mm的值;以及
第二保护膜,其在所述衬底与所述光电阴极结构之间,其中所述第二保护膜包含钨、镍、铂、铬、铜、金、银、铝中的一或多者或其合金,
其中所述保护膜具有低于所述第二保护膜的功函数。
2. 根据权利要求1所述的电子发射器,其中所述衬底是石英、蓝宝石、UV熔融硅石、 CaF_2 或 MgF_2 中的一或多者。
3. 根据权利要求1所述的电子发射器,其中所述第二保护膜囊封所述光电阴极结构且安置于所述光电阴极结构与所述衬底之间,且其中所述衬底是石英、蓝宝石、UV熔融硅石、 CaF_2 或 MgF_2 中的一或多者。
4. 根据权利要求3所述的电子发射器,其进一步包括将电压施加到所述保护膜的电压源。
5. 根据权利要求1所述的电子发射器,其中所述光电阴极结构包含 Cs_2Te 或 CsKTe 且所述保护膜包含钨、镍或铂中的一或多者。
6. 根据权利要求1所述的电子发射器,其中所述保护膜包含镍。
7. 根据权利要求1所述的电子发射器,其中所述光电阴极结构经配置以在透射或反射模式中操作。
8. 根据权利要求1所述的电子发射器,其进一步包括将电压施加到所述保护膜的电压源。
9. 根据权利要求1所述的电子发射器,其中所述保护膜对UV波长透明。
10. 根据权利要求1所述的电子发射器,其中所述保护膜具有从1nm到10nm的所述厚度。
11. 根据权利要求1所述的电子发射器,其中所述保护膜具有小于或等于25%的多孔性。
12. 根据权利要求1所述的电子发射器,其中所述保护膜具有大于或等于0.92的填充密度。
13. 一种电子束工具,其包含根据权利要求1所述的电子发射器,其中所述电子束工具包含检测器,所述检测器接收由所述电子发射器产生且从晶片的表面反射的电子。
14. 一种用于提供电子发射器的方法,所述方法包括:
提供衬底和包含 Cs_2Te 、 CsKTe 、 CsI 、 CsBr 、 GaAs 、 GaN 、 InSb 、 CsKSb 或金属中的一或多者的光电阴极结构;
在与所述衬底相对的所述光电阴极结构的外表面上沉积保护膜,其中所述保护膜包含钨、镍、铂、铬、铜、金、银、铝中的一或多者或其合金,其中所述保护膜的厚度经配置以取决于所述电子发射器的提取器配置及用于光电子发射的波长,所述保护膜的厚度进一步经配

置以基于所述电子发射器的提取器配置而改变从1mm到2mm的值;及

在所述衬底与所述光电阴极结构之间沉积第二保护膜,其中所述保护膜具有低于所述第二保护膜的功函数。

15. 根据权利要求14所述的方法,其中所述沉积包含离子溅镀、磁控溅镀或原子层沉积。

16. 一种用于提供电子发射器的方法,所述方法包括:

提供所述电子发射器,其中所述电子发射器包括:

包含 Cs_2Te 、 CsKTe 、 CsI 、 CsBr 、 GaAs 、 GaN 、 InSb 、 CsKSb 或金属中的一或多者的光电阴极结构;

衬底;

安置于与所述衬底相对的所述光电阴极结构的外表面上的保护膜,其中所述保护膜包含钪、镍、铂、铬、铜、金、银、铝中的一或多者或其合金,其中所述保护膜的厚度经配置以取决于所述电子发射器的提取器配置及用于光电子发射的波长,所述保护膜的厚度进一步经配置以基于所述电子发射器的提取器配置而改变从1mm到2mm的值;及

位于所述衬底和所述光电阴极结构之间的第二保护膜,其中所述第二保护膜包括钪、镍、铂、铬、铜、金、银、铝中的一或多者或其合金,其中所述保护膜具有低于所述第二保护膜的功函数;以及

在光子被引导于所述光电阴极结构处时从所述光电阴极结构产生电子束。

17. 根据权利要求16所述的方法,其进一步包括执行所述光电阴极结构的等离子体清洗。

18. 根据权利要求16所述的方法,其中所述光电阴极结构在透射模式中产生所述电子束。

19. 根据权利要求16所述的方法,其中所述光电阴极结构在反射模式中产生所述电子束。

金属囊封光电阴极电子发射器

[0001] 分案申请的相关信息

[0002] 本案是分案申请。该分案申请的母案是2019年9月17日申请的国际专利申请案PCT/US2019/051372的进入国家阶段,申请号为“201980059591.0”,而发明名称为“金属囊封光电阴极电子发射器”的发明专利申请。上述申请案主张2018年9月18日申请且指派为第62/732,937号美国申请案的临时专利申请案的优先权,所述申请案的公开内容特此以引用的方式并入。

技术领域

[0003] 本公开涉及用于电子发射器的保护膜。

背景技术

[0004] 半导体制造行业的演进对良率管理及特定来说计量及检验系统提出更高要求。临界尺寸不断缩小,而行业需要减少实现高良率、高价值生产的时间。最小化从检测到良率问题到解决所述问题的总时间决定了半导体制造商的投资回报率。

[0005] 制造例如逻辑及存储器装置的半导体装置通常包含使用大量制造工艺处理半导体晶片以形成半导体装置的各种特征及多个层级。例如,光刻是涉及将图案从光罩转印到布置于半导体晶片上的光致抗蚀剂的半导体制造工艺。半导体制造工艺的额外实例包含(但不限于)化学机械抛光(CMP)、蚀刻、沉积及离子植入。可在单个半导体晶片上的布置中制造多个半导体装置且接着将其分离为个别半导体装置。

[0006] 在半导体制造期间的数个不同应用中使用电子束。例如,电子束可经调制且引导到半导体晶片、掩模或其它工件上的电子敏感抗蚀剂上以在工件上产生电子图案。电子束还可用于通过例如检测从晶片出射或反射的电子以检测缺陷、异常或非所要对象而检验晶片。

[0007] 在半导体制造工艺期间的各个步骤使用这些检验过程以促进制造工艺中的更高良率及因此更高利润。检验始终是制造例如集成电路(IC)的半导体装置的重要部分。然而,随着半导体装置尺寸减小,检验对于成功制造可接受半导体装置变得更为重要,这是因为较小缺陷可导致装置故障。例如,随着半导体装置的尺寸减小,缩小大小的缺陷的检测已变得必要,这是因为甚至相对小的缺陷可导致半导体装置中的非所要像差。

[0008] 光电阴极也已用于产生电子束。入射于光电阴极系统上的单个光束可产生能够递送高电子电流密度的具有高亮度的单个电子束。例如,碱基光电子发射器已用作UV光谱范围中的光电阴极发射器。这些光电阴极归因于真空环境及暴露于重深紫外线(DUV)光子而劣化。不存在明确方法来防止此在系统使用期限内发生。

[0009] 光电阴极电子发射器通常不具有保护涂层以保护其免受来自真空环境的氧化或碳积累的影响。一些具有保护盖层,但光电阴极上的现存保护盖层对清洗不稳健。因此,这些盖层无法在操作期间保护光电阴极电子发射器。

[0010] 因此,需要改进光电阴极电子发射器。

发明内容

[0011] 在第一实施例中提供一种电子发射器。所述电子发射器包括：光电阴极结构，其包含 Cs_2Te 、 CsKTe 、 CsI 、 CsBr 、 GaAs 、 GaN 、 InSb 、 CsKSb 或金属中的一或多者；及保护膜，其安置于所述光电阴极结构的外表面上。所述保护膜包含钪、镍、铂、铬、铜、金、银、铝中的一或多者或其合金。

[0012] 在例子中，电压源将电压供应到所述保护膜。

[0013] 所述电子发射器可进一步包含在衬底及所述衬底与所述光电阴极结构之间的第二保护膜。所述第二保护膜可包含钪、镍、铂、铬、铜、金、银、铝中的一或多者或其合金。在例子中，所述第二保护膜包含钪、镍或铂中的一或多者。所述衬底可为石英、蓝宝石、UV熔融硅石、 CaF_2 或 MgF_2 中的一或多者。

[0014] 所述电子发射器可进一步包含安置于所述光电阴极结构的与所述外表面相对的侧上的衬底。所述保护膜可囊封所述光电阴极结构且安置于所述光电阴极结构与所述衬底之间。所述衬底可为石英、蓝宝石、UV熔融硅石、 CaF_2 或 MgF_2 中的一或多者。电压源可将电压施加到所述保护膜。

[0015] 在例子中，所述光电阴极结构包含 Cs_2Te 或 CsKTe 且所述保护膜包含钪、镍或铂中的一或多者。

[0016] 在例子中，所述保护膜包含镍。

[0017] 所述光电阴极结构可经配置以在透射或反射模式中操作。

[0018] 所述保护膜可对UV波长透明。

[0019] 所述保护膜可具有从1nm到10nm的厚度。

[0020] 所述保护膜可具有小于或等于25%的多孔性。

[0021] 所述保护膜可具有大于或等于0.92的填充密度。

[0022] 电子束工具可包含所述第一实施例的所述电子发射器的例子。所述电子束工具包含检测器，所述检测器接收由所述电子发射器产生且从晶片的表面反射的电子。

[0023] 在第二实施例中提供一种方法。提供包含 Cs_2Te 、 CsKTe 、 CsI 、 CsBr 、 GaAs 、 GaN 、 InSb 、 CsKSb 或金属中的一或多者的光电阴极结构。在所述光电阴极结构的外表面上沉积保护膜。所述保护膜包含钪、镍、铂、铬、铜、金、银、铝中的一或多者或其合金。沉积可包含离子溅镀、磁控溅镀或原子层沉积。

[0024] 在第三实施例中提供一种方法。提供光电阴极结构。所述光电阴极结构包含 Cs_2Te 、 CsKTe 、 CsI 、 CsBr 、 GaAs 、 GaN 、 InSb 、 CsKSb 或金属中的一或多者及安置于所述光电阴极结构的外表面上的保护膜。所述保护膜包含钪、镍、铂、铬、铜、金、银、铝中的一或多者或其合金。在光子被引导于所述光电阴极结构处时从所述光电阴极结构产生电子束。

[0025] 可执行所述光电阴极结构的等离子体清洗。

[0026] 所述光电阴极结构可在透射模式或反射模式中产生所述电子束。

附图说明

[0027] 为更完全理解本公开的性质及目的，应参考结合附图进行的以下详细描述，其中：

[0028] 图1是根据本公开的电子发射器的实施例的横截面图；

[0029] 图2展示Pt/CsKTe/Ni光电阴极的稳定性的测试结果；

- [0030] 图3是根据本公开的方法实施例的流程图；
[0031] 图4是根据本公开的另一方法实施例的流程图；
[0032] 图5是根据本公开的系统的实施例的框图；及
[0033] 图6展示光电流的测试结果。

具体实施方式

[0034] 尽管将依据某些实施例描述所主张的标的物,但其它实施例(包含未提供本文中陈述的全部益处及特征的实施例)也在本公开的范围。可在不脱离本公开的范围的情况下做出各种结构、逻辑、工艺步骤及电子改变。因此,仅参考所附权利要求书定义本公开的范围。

[0035] 公开可在较低真空条件中操作的高量子效率光电阴极。钪、钪合金、铂、铂合金、镍、镍合金、铬、铬合金、铜、铜合金、其组合或其它金属可用于保护膜中以囊封光电阴极的一或多个表面。这些其它金属可为例如金、银或铝。光电阴极受真空条件影响可导致场发射性能的劣化。为维持高电子电流稳定性及使用期限,可使用保护膜完全或部分囊封光电阴极。保护膜使光电阴极抵抗氧化及碳积累。保护膜还具有相对低溅镀良率且可经受离子的腐蚀。另外,保护膜可提供优于使用光电阴极本身的优点。金属还可具有低于半导体及绝缘体的发射率。因此,使用保护膜可提供归因于一或多个金属的性质的较高电流稳定性,提供改进使用期限,提供较低发射率且可实现较低真空下的操作。当将电子束聚焦到一小点时,低发射率可为有益的。

[0036] 光电阴极是在光电阴极在透射或反射模式中暴露于光源时发射光子的电子源。光电阴极结构可为沉积于衬底上的块状材料、膜或一系列膜。光的(若干)波长可选择以优化所发射电子的发射电流量及能量展开度。由光电阴极产生的电流可比由冷场发射器产生的电流更稳定。许多材料可用于光电发射,包含硅、具有金属涂层的硅或碱金属卤化物。例如, Cs_2Te 及 CsKTe 光电阴极具有高量子效率以具有DUV范围中的光。可使用的其它光电阴极材料包含 CsI 、 CsBr 、 GaAs 、 GaN 、 InSb 、 CsKSb 或金属。其它光电阴极材料是可行的。

[0037] 图1是电子发射器100的实施例的横截面图。电子发射器100包含光电阴极结构101。光电阴极结构101可包含 Cs_2Te 及 CsKTe 。光电阴极结构101还可包含其它半导体或金属光电阴极材料。光电阴极结构101可包含平面特征,但其它形状是可行的。

[0038] 保护膜102安置于光电阴极结构101的外表面105上。保护膜102包含钪、镍、铂、铬、铜、金、银、铝中的一或多个或其合金。例如,保护膜102可为钪或钪合金,例如钪与铂的合金。保护膜102使光电阴极结构101在存在高电膜时更稳健且对离子溅镀、等离子体或其它清洗技术更稳健。

[0039] 在超高真空条件下,碳层可在电子束发射期间生长在电子发射器100的表面上。同样地,即使在超高真空条件中,电子发射器100的表面的氧化随时间而发生。碳或氧化可影响光电阴极性能。保护膜102可保护电子发射器的表面(例如光电阴极结构101的外表面105)以免受氧化及碳积累影响。这电子发射器100的使用期限有益。

[0040] 电子发射器100可进一步包含衬底104。衬底104可为石英、蓝宝石、UV熔融硅石、 CaF_2 或 MgF_2 中的一或多个。用于衬底的其它材料是可行的。

[0041] 在例子中,5 μm 镍保护膜102与光电阴极结构101一起使用。

[0042] 第二保护膜103可形成于衬底104与光电阴极结构101之间。第二保护膜103可在光电阴极结构101的与保护膜102相对的表面上。第二保护膜103包含钪、镍、铂、铬、铜、金、银、铝中的一或更多者或其合金。例如,第二保护膜103可为钪或钪合金,例如钪与铂的合金。

[0043] 第二保护膜103可不同于保护膜102。在例子中,第二保护膜103可为具有低吸收及可接受覆盖、电均匀性及等离子体效应的材料。保护膜102可具有低于第二保护膜103的功函数。

[0044] 在例子中,保护膜102及第二保护膜103是部分或全部囊封光电阴极结构101的相同保护膜的部分。衬底104安置于光电阴极结构101的与外表面105相对的侧上。保护膜及第二保护膜103安置于光电阴极结构101与衬底104之间。

[0045] 电压源106可将电压施加到保护膜102或第二保护膜103。将电压引入到保护膜102及/或第二保护膜103可提供到所要表面的电子迁移的控制。例如,如果电子发射器100的背侧上的第二保护膜103带正电荷,那么可使电子迁移到出射表面以增强电子发射。

[0046] 保护膜102或第二保护膜103可具有从1nm到10nm的厚度,包含到0.1nm的全部值及其间的范围。可从光电阴极结构101的外表面或保护膜102或第二保护膜103安置于其上的另一层测量此厚度。保护膜102的最佳厚度可经配置用于最佳电子发射。较大厚度虽然可行,但可能影响效率。

[0047] 保护膜102的厚度可取决于电子发射器100提取器配置及用于光电子发射的波长。例如,厚度可基于电子发射器100提取器配置而改变从1mm到2mm的值。如果厚度过大,那么其将吸收全部光及/或将归因于增加功函数而不容许电子容易地逸出。由于保护膜102通常提供保护功能,所以其可足够厚以在不影响性能的情况下保护光电阴极结构101。保护膜102还可供应电子,因此厚度可随着用于电子产生的光的波长而变化。例如,保护膜102的厚度可针对266nm波长优化,使得最小化功函数且表面上的覆盖是均匀的。

[0048] 衬底104的厚度还可针对特定波长优化。衬底104的厚度可经选择以优化电连续性,同时最小化光吸收。

[0049] 保护膜102的厚度还可经配置以针对最佳光透射且针对给定波长的最大量子效率优化以产生最佳电子发射。由于保护膜102的厚度增加,电子更难逸出到真空,因此量子效率减小。确切厚度可取决于光电阴极提取器配置及用于光电子发射的波长。优化波长可最小化能量展开度。

[0050] 保护膜102在光电阴极结构101的至少一发射区域中可不具有针孔。第二保护膜103也可不具有针孔。保护膜102或第二保护膜103可具有小于或等于25%的多孔性。如果多孔性大于25%,那么可损及保护。保护膜102或第二保护膜103可具有大于或等于0.92的填充密度。小于0.92的填充密度可损及保护。保护膜102的性质可不同于第二保护膜103的性质。

[0051] 可通过离子或磁控溅镀、原子层沉积(ALD)或通过提供致密、无针孔、均匀保护膜102的其它方法沉积保护膜102或第二保护膜103。以下方程式可使用折射率定义及测量多孔性(P)。

$$[0052] \quad P = \left[1 - \left(\frac{n_f^2}{n_b^2} \right) \times 100\% \right]$$

[0053] 在先前方程式中, n_f 是保护膜102的折射率且 n_b 是材料的折射率。使用以下方程式

将膜的填充密度 (PD) 定义为平均膜密度 (ρ_f) 与体积密度 (ρ_B) 之比。

[0054] PD =

[0055] 膜折射率与其填充密度之间的相关性可使用以下方程式表达。

$$[0056] \quad PD = \frac{(n_f^2 - 1)x(n_b^2 + 2)}{(n_f^2 + 2)x(n_b^2 - 1)}$$

[0057] 保护膜102在至少一发射区域中可不具有气泡及夹杂物。第二保护膜103也可不具有气泡及夹杂物。例如,保护膜102或第二保护膜103可包含仅具有小于1nm的直径或长度尺寸的瑕疵。

[0058] 保护膜102在发射区域内可具有少于 10^4 个杂质。杂质可包含碳、氧化物、作为溶解气体的氧、钠或钾。

[0059] 保护膜102可对电子场发射稳健,在存在高电场时稳健,对离子溅镀稳健且对等离子体或其它清洗方法稳健。可在不损坏保护膜102的情况下从保护膜102移除氧化及/或碳。例如,可通过分子氢、氢等离子体或其它等离子体将保护膜102清洗到原子级。

[0060] 除允许在不损坏保护膜102的情况下进行清洗以外,保护膜102还可抵抗氧化及碳污染。钨可能够分裂降落于其表面上的气体分子或防止此类气体分子粘附到其表面。这些分子能够扭曲电子发射器100的表面上的提取场且由于分子在表面上的移动性及驻留时间而导致增强发射,此转化为光束中的噪声。因此,保护膜102可为自清洗的。

[0061] 如果涂覆有保护膜102,那么光电阴极结构101可具有较平滑表面及较低发射率。光电阴极结构101上的保护膜102可例如在电压的施加期间控制到所要表面的电迁移。可使用光电阴极结构101的一个表面上的保护膜102及光电阴极结构101的相对表面上的第二保护膜103控制电迁移。保护膜102还可提供电子束的改进角扩展。较平滑保护膜102可提供此改进角扩展。

[0062] 使用保护膜102可实现电子发射器100在较高压力下的操作。光电阴极通常可在约 10^{-11} 托下操作。凭借保护膜102,电子发射器100可能够在约 10^{-9} 托下操作。

[0063] 保护膜102对UV波长透明。此可实现电子发射器100在透射模式及反射模式两者中的操作。透射模式照明光电阴极结构101的与外表面105相对的表面,例如穿过衬底104。反射模式照明光电阴极结构101的外表面105。

[0064] 电子源100的实施例可用作光罩及晶片检验系统中的电子源。例如,电子源100的实施例可用作使用单个或多个电子源的电子束晶片或光罩检验系统、使用单个或多个电子源的电子束晶片或光罩重检系统或使用单个或多个电子源的电子束晶片或光罩计量系统中的电子源。电子源100的实施例还可用于在晶片或光罩计量、重检或检验中使用单个或多个电子源产生x射线的系统中。

[0065] 图2展示Pt/CsKTe/Ni光电阴极的稳定性的测试结果。在约六小时周期内标绘提取电流。图2中所见的大多数噪声是由激光导致。图2证实具有保护膜(例如保护膜102)的光电阴极将具有较高稳定性及使用期限。

[0066] 图6展示图2的光电阴极的光电流的测试结果。图6证实光电流在长操作周期内相对稳定,此是对先前设计的改进。

[0067] 图3是方法200的流程图。在201,提供包含 Cs_2Te 、CsKTe、CsI、CsBr、GaAs、GaN、

InSb、CsKSb或金属中的一或多者的光电阴极结构。在例子中,光电阴极结构包含Cs₂Te或CsKTe。在202,在光电阴极结构的外表面上沉积保护膜。保护膜包含钨、镍、铂、铬、铜、金、银、铝中的一或多者或其合金。在例子中,保护膜包含钨、镍、铂、铬或铜中的一或多者。保护膜可为保护膜102的实施例。沉积可包含离子溅镀、磁控溅镀或ALD。沉积可提供所要膜密度、保形性质及针孔缺陷量。

[0068] 图4是方法250的流程图。在251,提供光电阴极结构。光电阴极结构包含Cs₂Te、CsKTe、CsI、CsBr、GaAs、GaN、InSb、CsKSb或金属中的一或多者。光电阴极结构还包含安置于光电阴极结构的外表面上的保护膜。保护膜包含钨、镍、铂、铬、铜、金、银、铝中的一或多者或其合金。在例子中,光电阴极结构包含Cs₂Te或CsKTe且保护膜包含钨、镍、铂、铬或铜中的一或多者。保护膜可为保护膜102的实施例。在252,在光子被引导于光电阴极结构处时从光电阴极结构产生电子束。电子产生可在约10⁻⁵托或更少(例如10⁻⁹托)下发生。可在透射或反射模式中产生电子束。

[0069] 在产生电子束之后,可任选地对光电阴极结构执行等离子体清洗。可使用等离子体清洗从表面移除氧化及碳。等离子体清洗可使用分子氢、氢等离子体或其它等离子体清洗到原子级。

[0070] 图5是系统300的实施例的框图。系统300包含经配置以产生晶片304的图像的晶片检验工具(其包含电子柱301)。

[0071] 晶片检验工具包含输出获取子系统,所述输出获取子系统包含至少一能量源及检测器。输出获取子系统可为基于电子束的输出获取子系统。例如,在一个实施例中,引导到晶片304的能量包含电子,且从晶片304检测的能量包含电子。以此方式,能量源可为电子束源。在图5中展示的一个此实施例中,输出获取子系统包含耦合到计算机子系统302的电子柱301。卡盘(未说明)可固持晶片304。

[0072] 也如图5中展示,电子柱301包含电子束源303,电子束源303经配置以产生由一或多个元件305聚焦到晶片304的电子。电子束源303可包含例如图1的电子源100的实施例。一或多个元件305可包含例如枪透镜、阳极、光束限制孔隙、闸阀、光束电流选择孔隙、物镜及扫描子系统,其全部可包含所属领域中已知的任何此类适合元件。

[0073] 可由一或多个元件306将从晶片304返回的电子(例如,二次电子)聚焦到检测器307。一或多个元件306可包含例如扫描子系统,所述扫描子系统可为包含于(若干)元件305中的相同扫描子系统。

[0074] 电子柱还可包含所属领域中已知的任何其它适合元件。

[0075] 尽管电子柱301在图5中展示为经配置使得电子按倾斜入射角引导到晶片304且按另一倾斜角从晶片304散射,但电子束可按任何适合角引导到晶片304且从晶片304散射。另外,基于电子束的输出获取子系统可经配置以使用多个模式来产生晶片304的图像(例如,使用不同照明角、收集角等)。基于电子束的输出获取子系统的多个模式可在输出获取子系统的任何图像产生参数方面不同。

[0076] 计算机子系统302可耦合到检测器307,使得计算机子系统302与检测器307或晶片检验工具的其它组件电子通信。检测器307可检测从晶片304的表面返回的电子,借此使用计算机子系统302形成晶片304的电子束图像。电子束图像可包含任何适合电子束图像。计算机子系统302包含处理器308及电子数据存储单元309。处理器308可包含微处理器、微控

制器或其它装置。

[0077] 应注意,本文中提供图5以大体上说明可用于本文中描述的实施例中的基于电子束的输出获取子系统的配置。如通常在设计商业输出获取系统时执行,本文中描述的基于电子束的输出获取子系统布置可经更改以优化输出获取子系统的性能。另外,本文中描述的系统可使用现存系统实施(例如,通过将本文中描述的功能性添加到现存系统)。对于一些此类系统,本文中描述的方法可被提供为系统的任选功能性(例如,除系统的其它功能性之外)。替代地,本文中描述的系统可被设计为全新系统。

[0078] 计算机子系统302可以任何适合方式(例如,经由一或多个传输媒体,其可包含有线及/或无线传输媒体)耦合到系统300的组件,使得处理器308可接收输出。处理器308可经配置以使用输出执行数个功能。晶片检验工具可从处理器308接收指令或其它信息。处理器308及/或电子数据存储单元309任选地可与另一晶片检验工具、晶片计量工具或晶片重检工具(未说明)电子通信以接收额外信息或发送指令。

[0079] 本文中描述的计算机子系统302、(若干)其它系统或(若干)其它子系统可为各种系统的部分,包含个人计算机系统、图像计算机、主计算机系统、工作站、网络设备、因特网设备或其它装置。(若干)子系统或(若干)系统还可包含所属领域中已知的任何适合处理器,例如并行处理器。另外,(若干)子系统或(若干)系统可包含作为单独或联网工具的具有高速处理及软件的平台。

[0080] 处理器308及电子数据存储单元309可安置于系统300或另一装置中或以其它方式成为系统300或另一装置的部分。在实例中,处理器308及电子数据存储单元309可为单独控制单元的部分或在集中式质量控制单元中。可使用多个处理器308或电子数据存储单元309。

[0081] 在实践中,处理器308可由硬件、软件及固件的任何组合实施。而且,如本文中描述的其功能可由一个单元执行,或在不同组件间划分,所述组件中的每一者又可由硬件、软件及固件的任何组合实施。处理器308实施各种方法及功能的程序代码或指令可存储于可读存储媒体(例如电子数据存储单元309中的存储器或其它存储器)中。

[0082] 图5的系统300仅是可使用电子源100的实施例或方法250的实施例的系统的实例。电子源100的实施例可为缺陷重检系统、检验系统、计量系统或某种其它类型的系统的部分。因此,本文中公开的实施例描述可针对具有或多或少适合于不同应用的不同能力的系统以数个方式定制的一些配置。

[0083] 可如本文中描述那样执行所述方法的步骤中的每一者。所述方法还可包含可由本文中描述的处理器及/或(若干)计算机子系统或(若干)系统执行的任何其它(若干)步骤。由一或多个计算机系统执行步骤,所述一或多个计算机系统可根据本文中描述的实施例中的任一者配置。另外,可由本文中描述的系统实施例中的任一者执行上文描述的方法。

[0084] 尽管已参考一或多个特定实施例描述本公开,但将理解,可在不脱离本公开的范围的情况下制作本公开的其它实施例。因此,本公开被视为仅受所附权利要求书及其合理解释限制。

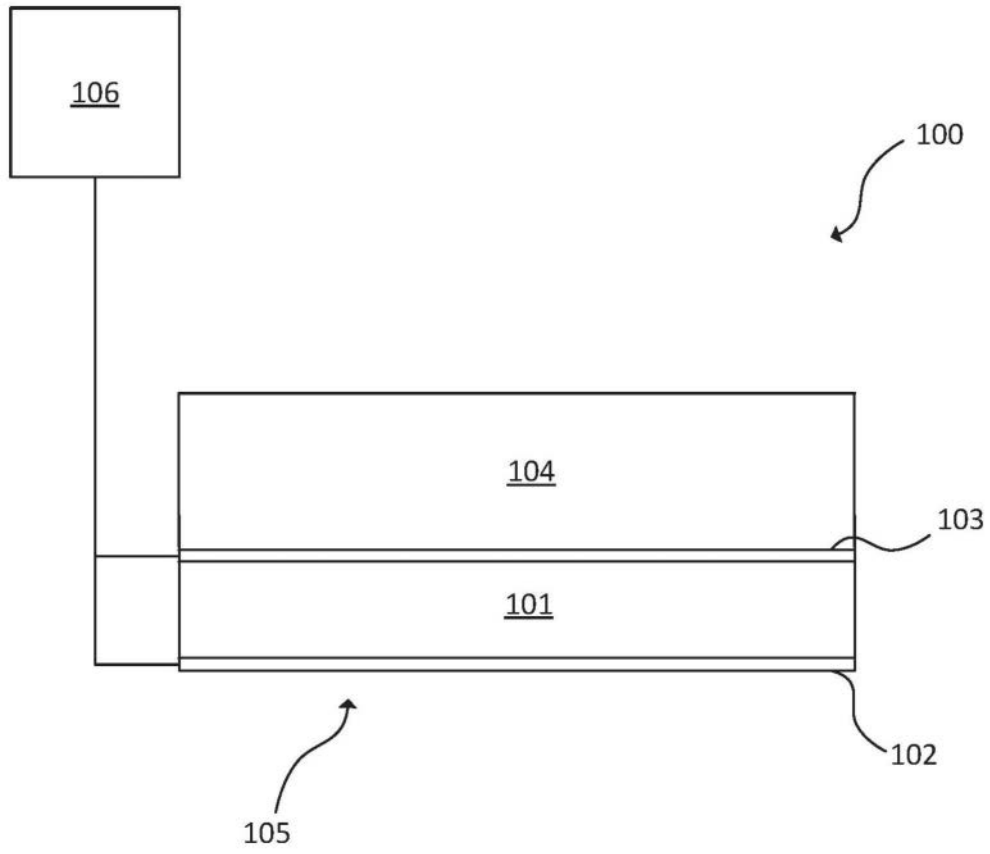


图1

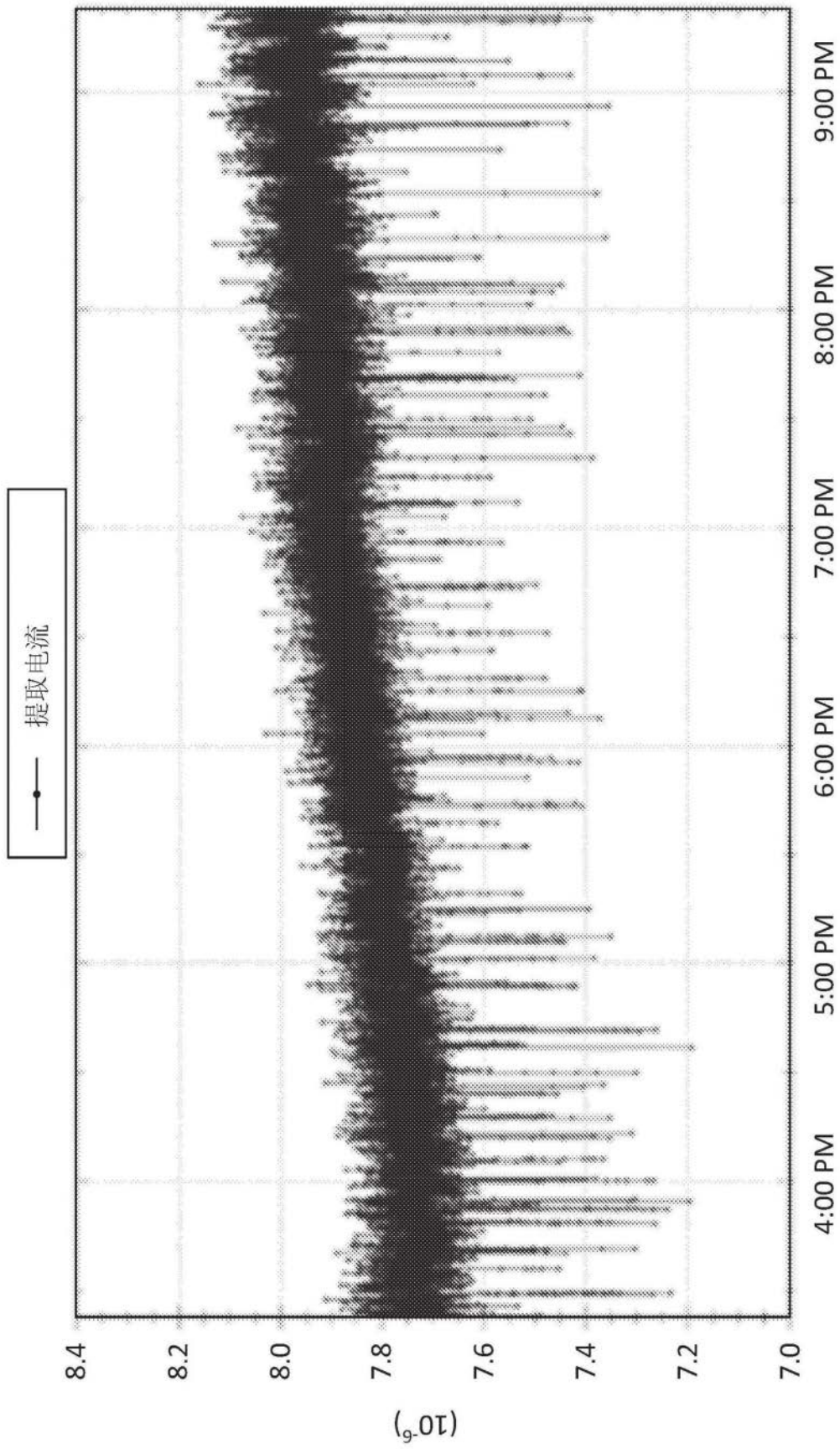


图2

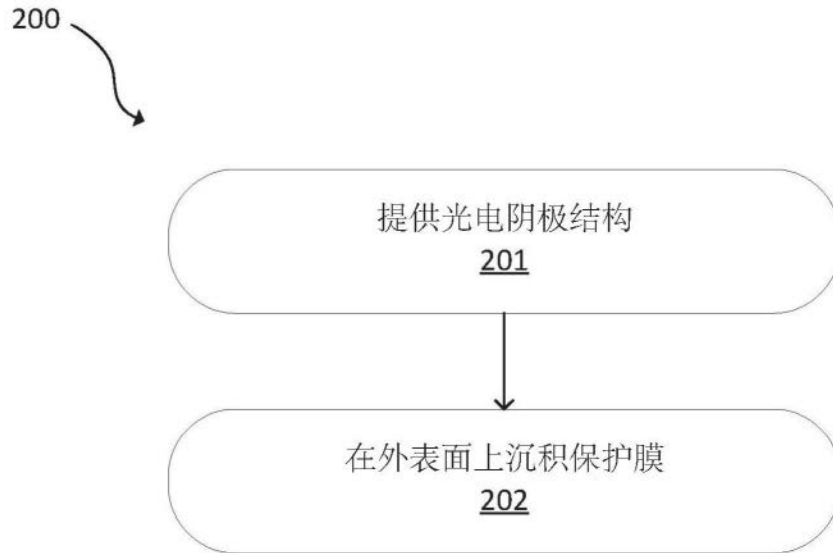


图3

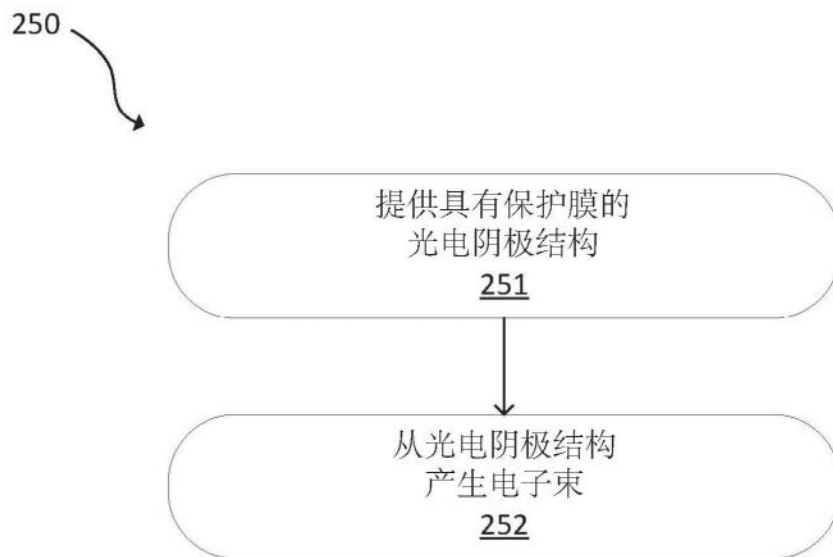


图4

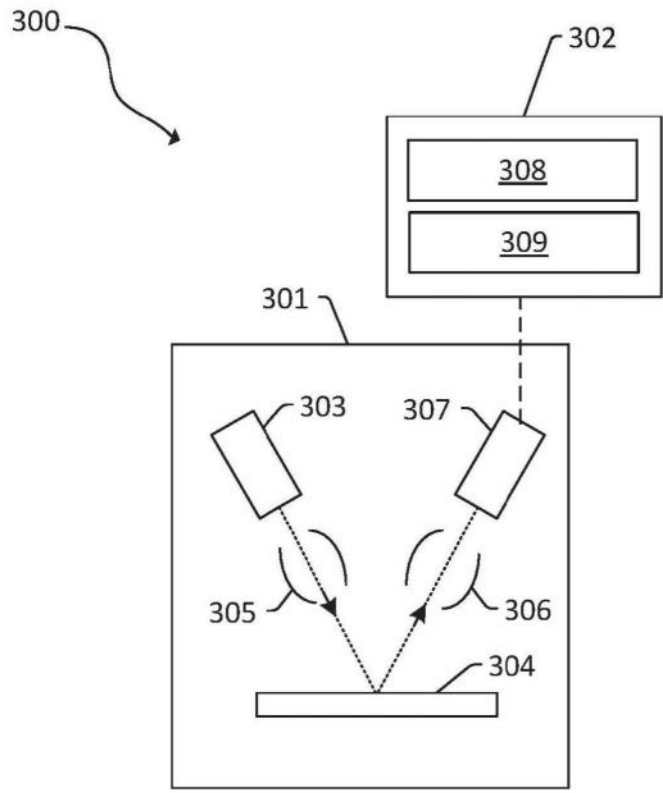


图5

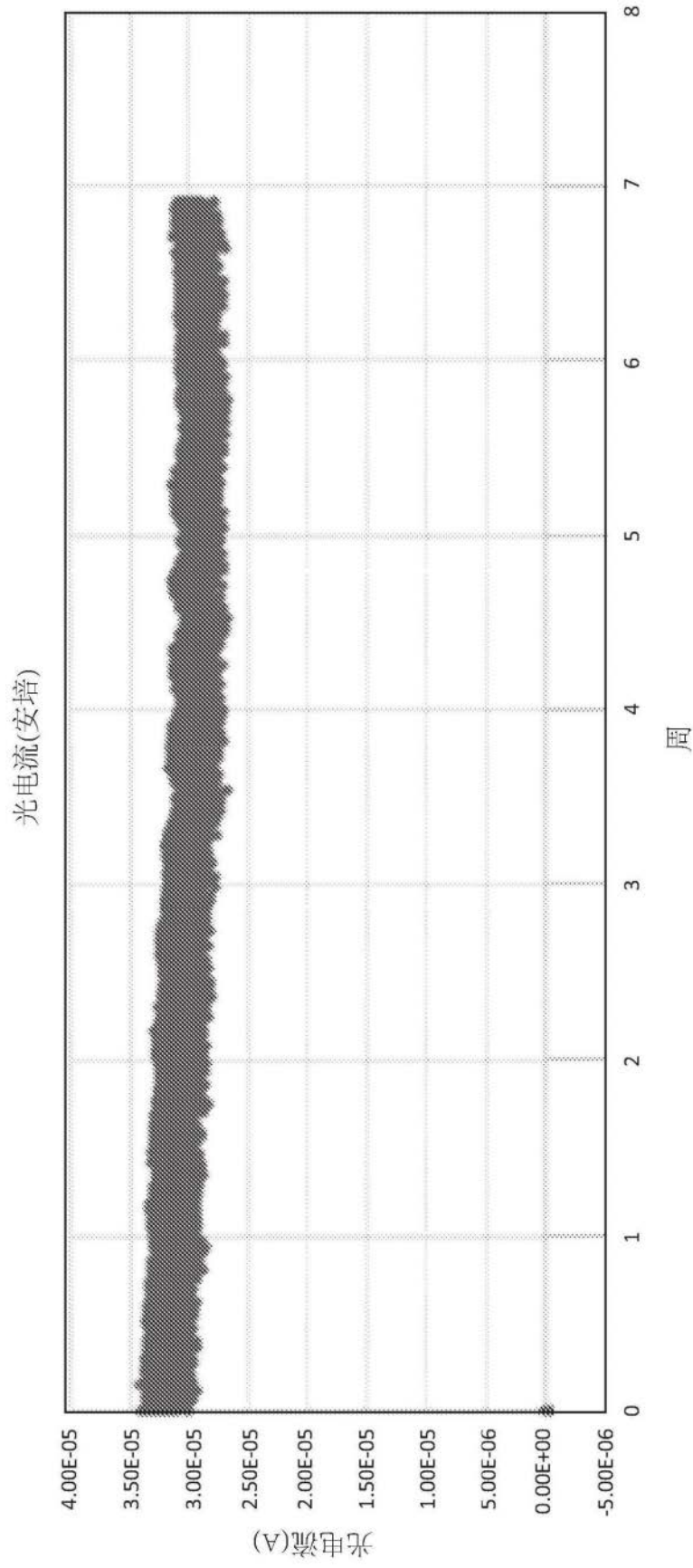


图6