



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0123935
(43) 공개일자 2017년11월09일

(51) 국제특허분류(Int. Cl.)
H01L 27/092 (2006.01) H01L 29/10 (2006.01)
H03K 19/0948 (2006.01)
(52) CPC특허분류
H01L 27/0928 (2013.01)
H01L 27/0922 (2013.01)
(21) 출원번호 10-2016-0053278
(22) 출원일자 2016년04월29일
심사청구일자 2016년04월29일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221, 401동 1003호 (도곡동, 도곡렉슬아파트)
(74) 대리인
심경식, 홍성욱

전체 청구항 수 : 총 12 항

(54) 발명의 명칭 반도체 소자

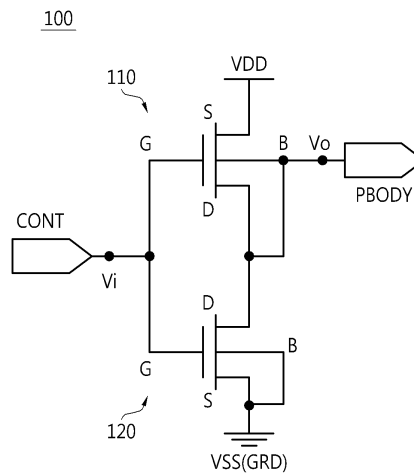
(57) 요약

반도체 소자는, PMOS; 및 PMOS와 상보적으로 배치되는 NMOS를 포함하고, PMOS는, 순방향 바디 바이어스(Forward Body Bias, FBB)를 인가할 수 있다.

이와 같은 반도체 소자에 의하면, 추가 전압을 생성하지 않더라도 문턱전압 영역에서 저전력으로 동작할 수 있다. 저전력 동작과 동시에, 동작 속도를 향상시킬 수 있다.

또한, 해당 반도체 소자가 속한 디지털 회로나 반도체 칩의 공간 차지를 감소시킬 수 있으며, 구성 및 공정을 단순화하고, 이에 따라 단가 절감 효과 또한 야기할 수 있다.

대표도 - 도3



(52) CPC특허분류

H01L 29/1087 (2013.01)

H03K 19/0948 (2013.01)

H03K 2217/0018 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 10052716

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 전자정보디바이스산업원천기술개발사업

연구과제명 스마트 센서 SoC용 초저전압 회로 및 IP 설계 기술 개발

기 여 율 1/1

주관기관 연세대학교

연구기간 2015.06.01 ~ 2016.05.31

명세서

청구범위

청구항 1

PMOS; 및

상기 PMOS와 상보적으로 배치되는 NMOS를 포함하고,

상기 PMOS는,

순방향 바디 바이어스(Forward Body Bias, FBB)를 인가하는 반도체 소자.

청구항 2

제 1 항에 있어서,

상기 반도체 소자는,

부하소자 및 구동소자를 포함하는 CMOS로 마련되는 반도체 소자.

청구항 3

제 2 항에 있어서,

상기 PMOS는,

상기 부하소자로 배치되고,

상기 NMOS는,

상기 구동소자로 배치되는 반도체 소자.

청구항 4

제 1 항에 있어서,

상기 PMOS는,

출력 노드에 연결되는 PMOS 바디(Body);

를 포함하는 반도체 소자.

청구항 5

제 4 항에 있어서,

상기 PMOS는,

상기 출력 노드에 연결되는 PMOS 드레인(Drain);

전원에 연결되는 PMOS 소스(Source); 및

입력 노드에 연결되는 PMOS 게이트(Gate);

를 더 포함하는 반도체 소자.

청구항 6

제 5 항에 있어서,

상기 NMOS는,

접지에 연결되는 NMOS 소스;

상기 출력 노드에 연결되는 NMOS 드레인; 및
상기 입력 노드에 연결되는 NMOS 게이트;
를 포함하는 반도체 소자.

청구항 7

제 6 항에 있어서,
상기 NMOS는,
상기 접지에 연결되는 NMOS 바디;
를 더 포함하는 반도체 소자.

청구항 8

제 1 항에 있어서,
상기 PMOS는,
논리값 1이 입력될 경우, 상기 순방향 바디 바이어스를 인가하는 반도체 소자.

청구항 9

제 6 항에 있어서,
상기 반도체 소자는,
표준셀(standard cell)과 전기적으로 연결되는 반도체 소자.

청구항 10

제 9 항에 있어서,
상기 반도체 소자는,
상기 표준셀과 교차 배치되는 반도체 소자.

청구항 11

제 9 항에 있어서,
상기 반도체 소자는,
탭셀(Tap cell)의 내부에 마련되어 FBB 탭셀(Forward Body Bias Tap cell)을 구성하고, 상기 FBB 탭셀을 통해
상기 전원 및 접지에 연결되는 반도체 소자.

청구항 12

제 10 항에 있어서,
상기 FBB 탭셀은,
상기 표준셀과 교차 배치되고,
상기 반도체 소자는,
상기 FBB 탭셀의 배치를 통해 상기 표준셀과 교차 배치되는 반도체 소자.

발명의 설명

기술 분야

본 발명은 문턱전압 영역에서 동작하는 반도체 소자에 관한 것이다.

[0001]

배경 기술

- [0002] IoT(Internet of Things)와 웨어러블 디바이스(wearable device) 등의 스마트 기기는 지속적인 모니터링이 요구되므로 장시간 동작하기 위해서는 전력의 효율성이 매우 중요하다. 따라서, 제한된 배터리로 고성능의 처리능력을 가지고 장시간 구동 가능한 반도체 칩의 적용이 요구되고 있다. 즉, 디바이스에 내장되어 있는 반도체 칩 SOC(System On Chip)의 전력 효율성을 높이기 위한 초저전력 기술이 요구되고 있다.
- [0003] 동적 전력 소모는 동작 전압의 제곱에 비례하므로, 동작 전압을 감소시킴으로써 전력의 효율성을 높일 수 있다. 하지만, 반도체 칩의 저전력을 위해 동작 전압을 낮춤에 따라 동작 속도 또한 감소하게 된다.
- [0004] 이와 같은 경우, 종래에는 동작 속도를 높이기 위해 전원 전압을 올리거나(Dynamic Voltage scaling) 복잡한 구조의 전원 공급 회로를 부가하였다. 다만, 복잡한 구조 또는 부가적인 회로는 공간을 많이 차지할 뿐만 아니라, 추가 전원을 생성하기 위한 전력 손실이 필요하게 된다. 또한, 반도체 칩의 단가가 점점 더 낮아지고 있기 때문에 저전력을 소비하면서 제조 공정을 단순화시킬 수 있는 장치를 필요로 하고 있는 실정이며, 이와 같은 추세에서 전원 공급 회로의 부가는 적합하지 않다.
- [0005] 따라서, 추가 전압 생성 없이 문턱전압 영역에서 저전력으로 동작하되, 동작 속도를 향상시킬 수 있으며, 구성 및 공정의 단순화를 만족하는 반도체 칩과 이에 포함되는 반도체 소자 등에 대한 기술 개발이 필요하다.
- [0006] 관련 선행기술로는 대한민국 공개특허공보 제10-2009-011812호(발명의 명칭:저전력 반도체 장치, 공개일자: 2009년 02월 02일)가 있다.

발명의 내용

해결하려는 과제

- [0007] 본 발명은 문턱전압 영역에서 저전력으로 동작하되, 동작 속도를 향상시키는 반도체 소자를 제공하고자 한다.

과제의 해결 수단

- [0008] 상술한 과제를 해결하기 위해, 다음과 같은 반도체 소자가 제공된다.
- [0009] 반도체 소자는, PMOS; 및 PMOS와 상보적으로 배치되는 NMOS를 포함하고, PMOS는, 순방향 바디 바이어스(Forward Body Bias, FBB)를 인가할 수 있다.
- [0010] 반도체 소자는, 부하소자 및 구동소자를 포함하는 CMOS로 마련될 수 있다.
- [0011] PMOS는, 부하소자로 배치되고, NMOS는, 구동소자로 배치될 수 있다.
- [0012] PMOS는, 출력 노드에 연결되는 PMOS 바디(Body); 를 포함할 수 있다.
- [0013] PMOS는, 출력 노드에 연결되는 PMOS 드레인(Drain); 전원에 연결되는 PMOS 소스(Source); 및 입력 노드에 연결되는 PMOS 게이트(Gate); 를 더 포함할 수 있다.
- [0014] NMOS는, 접지에 연결되는 NMOS 소스; 출력 노드에 연결되는 NMOS 드레인; 및 입력 노드에 연결되는 NMOS 게이트; 를 포함할 수 있다.
- [0015] NMOS는, 접지에 연결되는 NMOS 바디; 를 더 포함할 수 있다.
- [0016] PMOS는, 논리값 1이 입력될 경우, 순방향 바디 바이어스를 인가할 수 있다.
- [0017] 반도체 소자는, 표준셀(standard cell)과 전기적으로 연결될 수 있다.
- [0018] 반도체 소자는, 표준셀(standard cell)과 교차 배치될 수 있다.
- [0019] 반도체 소자는, 탭셀(Tap cell)의 내부에 마련되어 FBB 탭셀(Forward Body Bias Tap cell)을 구성하고, FBB 탭셀을 통해 전원 및 접지에 연결될 수 있다.
- [0020] FBB 탭셀은, 표준셀과 교차 배치되고, 반도체 소자는, FBB 탭셀의 배치를 통해 표준셀과 교차 배치될 수 있다.

발명의 효과

- [0021] 이와 같은 반도체 소자에 의하면, 추가 전압을 생성하지 않더라도 문턱전압 영역에서 저전력으로 동작할 수 있다. 저전력 동작과 동시에, 동작 속도를 향상시킬 수 있다.
- [0022] 또한, 해당 반도체 소자가 속한 디지털 회로나 반도체 칩의 공간 차지를 감소시킬 수 있으며, 구성 및 공정을 단순화하고, 이에 따라 단가 절감 효과 또한 야기할 수 있다.

도면의 간단한 설명

- [0023] 도 1은 반도체 소자가 속한 디지털 회로의 배치 배선의 일 예를 설명하기 위한 도면이다.
- 도 2는 일 실시예에 따른 FBB 탭셀을 설명하기 위한 도면이다.
- 도 3은 반도체 소자의 일 실시예에 따른 회로도이다.
- 도 4a는 반도체 소자의 단면을 일 예에 따라 도시한 단면도이다.
- 도 4b는 반도체 소자의 단면을 다른 예에 따라 도시한 단면도이다.
- 도 5a는 입력 논리값 0에 대한 반도체 소자의 동작을 설명하기 위한 도면이다.
- 도 5b는 입력 논리값 1에 대한 반도체 소자의 동작을 설명하기 위한 도면이다.
- 도 6은 반도체 소자에 의한 주파수 변화를 설명하기 위한 그래프이다.
- 도 7은 반도체 소자에 의한 에너지 효율(EDP)을 설명하기 위한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 본 명세서에 기재된 실시예와 도면에 도시된 구성은 개시된 발명의 바람직한 일 예에 불과할 뿐이며, 본 출원의 출원시점에 있어서 본 명세서의 실시예와 도면을 대체할 수 있는 다양한 변형 예들이 있을 수 있다.
- [0025] 이하에서는 첨부된 도면을 참조하여 반도체 소자를 후술된 실시예들에 따라 구체적으로 설명하도록 한다. 도면에서 동일한 부호는 동일한 구성 요소를 나타내는 것으로 한다.
- [0026] 도 1은 반도체 소자가 속한 디지털 회로의 배치 배선의 일 예를 설명하기 위한 도면이다.
- [0027] 도 1을 참조하면, 디지털 회로는 표준셀(standard cell, 10) 및 FBB 탭셀(FBB Tap cell, 20)과, 이에 연결된 전원선(35) 및 접지선(45)을 포함할 수 있다.
- [0028] 표준셀(10)은 디지털 회로의 기능을 결정하는 부분으로, 고유의 기능을 갖는 NAND, NOR, XOR, AND, OR, Flip-Flo, 인버터 등을 채용할 수 있다.
- [0029] FBB 탭셀(20)은 전원 및 접지연결을 위한 탭셀을 포함한다. FBB 탭셀(20)은 탭셀 내부에 순방향 바디 바이어스(Forward body bias, 이하 FBB라 칭함)를 제공하는 반도체 소자(도 3의 100 참조)를 포함한다. 즉, FBB 탭셀(20)은 순방향 바디 바이어스(FBB)를 제공하는 반도체 소자(100)를 포함하는 탭셀을 의미하는 것으로, 내부 반도체 소자(100)에 전원과 접지를 연결시킨다. 여기서, 순방향 바디 바이어스란 순방향 바이어스에 의해 트랜스듀서의 바디에 전류가 유도되는 것으로 정의될 수 있다.
- [0030] 표준셀(10) 및 FBB 탭셀(20)은 상단에는 전원선(35)이 배치되고, 하단에는 접지선(45)이 배치될 수 있다. 표준셀(10) 및 FBB 탭셀(20)은 상단의 전원선(35)과 연결되어 전원을 공급받을 수 있으며, 하단의 접지선(45)에 연결되어 접지될 수 있다. FBB 탭셀(20)은 전원선(35)으로부터 전원을 공급받아 반도체 소자(100)에 전달하며, 반도체 소자(100)와 접지선(45)을 연결하여 접지될 수 있도록 한다.
- [0031] 표준셀(10) 및 FBB 탭셀(20)은 교차 배치될 수 있다. 표준셀(10)은 FBB 탭셀(20)사이에 배치되고 FBB 탭셀(20)과 전기적으로 연결되어, FBB 탭셀(20)으로부터 순방향 바디 바이어스(FBB)를 제공받을 수 있다. 표준셀(10)은 순방향 바디 바이어스(FBB)를 제공받음으로써 저전력에서도 동작 속도를 향상시킬 수 있으며, 이에 대한 구체적인 설명은 후술하기로 한다.
- [0032] 표준셀(10) 및 FBB 탭셀(20)은 반도체 소자의 구조에 의해 두 영역으로 분리될 수 있다. 도 3을 통해 후술되겠

지만, 반도체 소자(100)는 PMOS 및 NMOS를 포함하는 CMOS 구조를 갖을 수 있으며, 이에 대응하여 표준셀(10)은 및 FBB 탭셀(20)은 n-well(또는 n형 기판) 영역 및 p-well(또는, p형 기판) 영역으로 분리될 수 있다.

[0033] 예를 들어, 표준셀(10) 및 FBB 탭셀(20)의 상부 영역(30)과 하부 영역(40)으로 나눌 수 있으며, 상부 영역(30)은 n-well 영역으로, 하부 영역(40)은 p형 기판(p-substrate) 영역으로 구분될 수 있다. 또한, 반도체 소자(100)의 기판(substrate) 구조에 따라, 표준셀(10) 및 FBB 탭셀(20)의 상부 영역(30)은 p-well 영역으로, 하부 영역(40)은 n형 기판(n-substrate) 영역으로 구분될 수도 있다.

[0034] 표준셀(10) 및 FBB 탭셀(20)은 상술한 바와 같이 두 영역 즉, n-well(또는 n형 기판) 영역 및 p-well(또는, p형 기판) 영역으로 분리 연결됨으로써, 상호간에 신호를 주고받거나, 전압 또는 전력을 제공받도록 한다. 표준셀(10)은 n-well(또는 n형 기판) 영역 및 p-well(또는, p형 기판) 영역을 통해 FBB 탭셀(20)과 분리 연결되어, FBB 탭셀(20)로부터 전압 또는 전력을 전달받고, 순방향 바디 바이어스(FBB)를 제공받을 수 있다.

[0035] 상술한 바에 따르면, 표준셀(10)은 FBB 탭셀(20)과 교차 배치되고, FBB 탭셀(20)로부터 전압 및 순방향 바디 바이어스(FBB)를 제공받음으로써, 문턱 전압 영역의 저전력 환경에서도 동작 속도를 높일 수 있다. 즉, 디지털 회로는 추가 전압 공급 회로가 없이, 전원 전압 또는 접지 전압으로만 동작 속도 향상이 가능하며, 추가 전압 회로를 공급할 필요가 없어 전체적인 공간 차지를 감소시킬 수 있게 된다.

[0036] 도 2는 일 실시예에 따른 FBB 탭셀을 설명하기 위한 도면이다. 구체적으로, 도 2의 (a)는 일반적인 탭셀(Conventional Tap cell)을 예시한 도면이며, 도 2의 (b)는 반도체 소자가 포함된 탭셀을 예시한 도면이다.

[0037] 도 2를 참조하면, FBB 탭셀(20)은 탭셀(Conventional Tap cell) 내부에 반도체 소자(100)를 포함하여, 반도체 소자(100)에 전원(V_{DD})를 제공하고 접지(V_{SS})를 연결시킬 수 있다.

[0038] 한편, 도 2의 (a) 및 도 2의 (b)를 비교할 때, FBB 탭셀(20)은 반도체 소자(100)를 포함함으로써, 그 너비(W_2)가 일반적인 탭셀(Conventional Tap cell)의 너비(W_1)보다 반도체 소자(100)의 폭에 비례하여 넓어지게 된다. 반도체 소자(100)는 대략 0.5 μ m 내외로 형성될 수 있으며, 예를 들어, 0.8 μ m의 탭셀(Conventional Tap cell)에 반도체 소자(100)를 포함시킬 경우, 1.3 μ m 내외의 FBB 탭셀(20)이 형성이 될 수 있다.

[0039] 이와 같이, 반도체 소자(100)를 포함시킴으로써 FBB 탭셀(20)의 너비는 넓어지는 경향이 있다. 따라서, 도 1에서 도시한 바와 같이, FBB 탭셀(20)이 표준셀(10)과 교차 배치될 때, 일반적인 탭셀(10)의 교차 배치 시보다 너비가 넓어지게 될 수 있다.

[0040] 다만, 일반적인 탭셀(10)의 적용 시에는, 동작 속도 향상을 위해 추가적인 전압 공급 회로가 필요하며, 추가 전압 공급 회로의 크기를 고려한다면 FBB 탭셀(20)의 너비증가는 무시 가능할 정도이다. 즉, FBB 탭셀(20)이 적용될 때, 전체적인 디지털 회로의 공간 차지는 오히려 감소할 수 있다.

[0041] 도 3은 반도체 소자의 일 실시예에 따른 회로도이다.

[0042] 도 3을 참조하면, 반도체 소자(100)는 CMOS 로 마련될 수 있다. 반도체 소자(100)는 트랜스듀서 PMOS(110) 및 NMOS(120)를 포함할 수 있으며, PMOS(110)와 NMOS(120)는 상보적으로 배치될 수 있다. 반도체 소자(100)는 PMOS(110)를 부하소자로 배치시키고, NMOS(120)를 구동소자로 배치시킬 수 있다.

[0043] 또한, 반도체 소자(100)는 CONT 단자 및 PBODY 단자에 연결된다. 반도체 소자(100)는 좌측의 CONT 단자에 연결되고, 우측의 PBODY 단자에 연결될 수 있다. 여기서, CONT 단자는 컨트롤 단자를 의미하고, PBODY 단자는 PMOS(110)의 바디(BODY, B)에 연결된 단자를 의미하는 것으로 한다.

[0044] 반도체 소자(100)는 CONT 소자의 제어에 의해 논리값 0 또는 1을 입력받고, 입력 논리값에 대응하여 PBODY 단자쪽으로 논리값 1 또는 0을 출력한다. 예를 들어, 반도체 소자(100)는 입력 0에 대응하여 1을 출력하고, 입력 1에 대응하여 0을 출력할 수 있다. 즉, 반도체 소자(100)는 인버터 타입으로 형성될 수 있다.

[0045] PMOS(110) 및 NMOS(120)는 각각 기판(substrate), 소스(Source S), 게이트(Gate, G), 및 드레인(Drain, D) 단자를 포함한다. 여기서, 소스(S) 전하의 캐리어(carrier)가 공급되는 부분이며, 드레인(D)은 전하 캐리어를 배출하는 부분이다. 또한, 게이트(G)는 전하의 캐리어의 흐름을 조절하는 부분으로, 게이트의 전압에 따라 소스(S)와 드레인(D) 사이에 전류가 흐르거나 차단될 수 있다. 또한, 소스(S)와 드레인(D) 사이에 전류가 흐를 때, 전류가 흐르는 통로를 채널(channel)이라고 칭할 수 있다.

[0046] PMOS(110)의 소스(S)는 전원(V_{DD})에 연결되고, 드레인(D)은 출력(V_o) 노드에 연결되며, 게이트(G)는 입력(V_i)

노드에 연결될 수 있다. 또한, PMOS(110)의 바디(B)는 드레인(D)에 연결될 수 있다. PMOS(110)의 바디(B)는 드레인(D)과 출력(V_o) 노드를 연결할 수 있다.

[0047] NMOS(120)의 소스(S)는 접지(V_{ss})에 연결되고, 드레인(D)은 출력(V_o) 노드에 연결되며, 게이트(G)는 입력(V_i) 노드에 연결될 수 있다. 또한, NMOS(120)의 바디(B)는 드레인(D)에 연결될 수 있다. NMOS(120)의 바디(B)는 드레인(D)과 접지(V_{ss})를 연결할 수 있다.

[0048] 도 4a는 반도체 소자의 단면을 일 예에 따라 도시한 단면도이며, 도 4b는 반도체 소자의 단면을 다른 예에 따라 도시한 단면도이다.

[0049] 도 4a 및 도 4b를 참조하면, 반도체 소자(100)는 금속-산화물-반도체(Metal-Oxide Semiconductor)의 3층의 적층 구조를 갖을 수 있다. 금속층(L1)은 P형 기판, n형 기판, p-well, 또는 n-well로 마련될 수 있다. 금속층(L1)에는 소스(S)와 드레인(D)이 형성될 수 있으며, 소스(S)와 드레인(D)은 동일한 구조로 마련되어 서로 바뀌더라도 상관이 없다. PMOS(110)의 소스(S) 및 드레인(D)은 서로 동일한 구조를 갖으며, NMOS(120)의 소스(S) 및 드레인(D)은 서로 동일한 구조를 갖는다.

[0050] 금속층(L1) 위에는 산화물층(L2)이 마련될 수 있다. 산화물층(L2)은 SiO_2 등의 산화막으로 형성되어 절연층을 구성할 수 있다. 산화물층(L2) 위에는 반도체층(L3)이 마련될 수 있다. 반도체층(L3)은 금속에 가까운 고 농도 폴리 실리콘(poly silicon) 등으로 형성될 수 있으며, 실리콘(silicon)은 n형 또는 p형 반도체로 형성될 수 있다. 이와 같은, 산화물층(L2)과 반도체층(L3)은 게이트(G)를 구성할 수 있다.

[0051] 반도체 소자(100)는 도 4a에 도시된 바와 같이 n-well CMOS 공정으로 제작될 수도 있고, 도 4b에 도시된 바와 같이 p-well CMOS 공정으로 제작될 수도 있다. 또는, 도시된 바와 달리, n-well 및 p-well 을 모두 사용한 twin-well CMOS로 제작되는 것도 가능할 것이다.

[0052] 먼저, 도 4a에 도시된 바와 같이, 반도체 소자(100)는 n-well CMOS 공정으로 제작될 수 있다. 반도체 소자(100)는 p형 기판에 n-well을 형성하며, PMOS(110)는 n-well 안에 만들어지고, NMOS(120)는 p형 기판(p-substrate)에 만들어질 수 있다.

[0053] PMOS(110)는 n-well 위에 소스(S)- 게이트(G)-드레인(D)으로 구성된 pnp 접합 구조를 갖을 수 있다. 마찬가지로, NMOS(120)는 p형 기판 위에 소스(S)- 게이트(G)-드레인(D)으로 구성된 npn 접합 구조를 갖을 수 있다. 또한, n-well은 p^+ 영역을 통해 전원(V_{DD})으로 연결되고, p형 기판은 p^+ 확산영역을 통해 접지(V_{SS})로 연결될 수 있다. 여기서, n-well과 PMOS(110)의 pn접합에 순방향 바디 바이어스(FBB)가 인가되면, 동작 속도를 증가하게 된다.

[0054] 전술한 바 있듯이, 소스(S)와 드레인(D) 사이에 전류가 흐를 때, 전류가 흐르는 통로를 채널이라고 하였다. 이 때, 전류는 소스(S)와 드레인(D) 사이에 흐르는 것이며, 게이트(G)에서 소스(S) 또는 게이트(G)에서 드레인(D)으로 전류가 흐르지 않는다. 즉, 채널이 생기는 지역은 게이트(G) 아래쪽이 된다. 그런데 채널은 항상 존재하는 것이 아니고 전류가 흐를 때만 생성되는 것으로, 게이트(G)와 소스(S) 사이의 전압(이하, 게이트-소스 전압 ' V_{GS} ' 라 칭함)이 일정전압 즉, 문턱전압(V_{TH})보다 커야 생성될 수 있다.

[0055] 게이트-소스 전압(V_{GS})이 문턱전압(V_{TH})보다 크면 클수록 채널의 두께가 증가하여 더 많은 전류가 흐를 수 있다. 여기서 채널의 두께가 증가한다는 것은 전류가 흐를 수 있는 통로가 넓어졌다는 것을 의미하며, 전기적으로는, 전압(V_{GS})이 문턱전압(V_{TH})보다 크면 클수록 소스(S)와 드레인(D) 사이의 저항이 작아져 동작 속도를 증가시킬 수 있다는 것을 의미한다.

[0056] 게이트-소스 전압(V_{GS})이 문턱전압 미만($V_{GS} < V_{TH}$)일 때는 소스(S)와 드레인(D) 사이에 채널이 없기 때문에, 소스(S)와 드레인(D)이 서로 다른 전위에 있다. 반면, 게이트-소스 전압(V_{GS})이 문턱전압 이상을 걸어주면($V_{GS} \geq V_{TH}$), 채널이 생겨서 소스(S)와 드레인(D)이 연결되어 소스(S)와 드레인(D)의 전위가 같아진다. 즉, PMOS(110) 또는 NMOS(120)는 온/오프 스위치(on/off switch)와 같은 동작을 하며, 스위치의 양쪽 단자는 소스(S)와 드레인(D)이 되고 게이트-소스 전압(V_{GS})은 스위치를 온(on)시키거나 오프(off)시키는 동작을 결정한다. PMOS(110) 또는 NMOS(120)는 전압제어 전류원이라고 할 수 있는 것이다.

[0057] PMOS(110) 및 NMOS(120)의 온/오프 스위치 동작에 대해서는 도 5a 및 도 5b를 참조하여 더욱 구체적으로 상술하

기로 한다. 도 5a는 입력 논리값 0에 대한 반도체 소자의 동작을 설명하기 위한 도면이며, 도 5b는 입력 논리값 1에 대한 반도체 소자의 동작을 설명하기 위한 도면이다.

- [0058] 전술한 바와 같이, 반도체 소자(100)는 입력 0에 대응하여 1을 출력하고, 입력 1에 대응하여 0을 출력하는 인버터 타입으로 형성될 수 있다.
- [0059] 도 5a를 참조하면, 게이트(G)에 입력되는 입력전압(V_i)이 논리값 '0' 또는 V_{ss} 일 때, 바디(B)에서 출력되는 출력전압(V_o)는 논리값 '1' 또는 V_{DD} 가 된다.
- [0060] PMOS(110)에서 소스(S)는 전원(V_{DD})에 연결되고, 드레인(D)은 출력(V_o) 노드와 연결되며, 인버터 작용에 따른 출력전압(V_o)는 V_{DD} 가 되므로, 결국 소스(S)와 드레인(D)의 전위가 같아지는 것이다. 즉, PMOS(110)의 소스(S)와 드레인(D)이 연결되어, 스위치 '온(ON) 상태'가 된다.
- [0061] 반면, NMOS(120)에서 소스(S)는 접지(V_{ss})에 연결되고, 드레인(D)은 출력(V_o) 노드와 연결되며, 인버터 작용에 의한 출력전압(V_o)는 V_{DD} 가 되므로, 결국 소스(S)와 드레인(D)가 $V_{DD} - V_{ss}$ 의 전위차를 갖게 된다. 즉, NMOS(120)의 소스(S)와 드레인(D) 사이가 개방되며, 스위치 '오프(OFF) 상태'가 된다.
- [0062] 도 5b를 참조하면, 게이트(G)에 입력되는 입력전압(V_i)이 논리값 '1' 또는 V_{DD} 일 때, 바디(B)에서 출력되는 출력전압(V_o)는 논리값 '0' 또는 V_{ss} 가 된다.
- [0063] NMOS(120)에서 소스(S)는 접지(V_{ss})에 연결되고, 드레인(D)은 출력(V_o) 노드와 연결되며, 인버터 작용에 의한 출력전압(V_o)는 V_{ss} 가 되므로, 결국 소스(S)와 드레인(D)의 전위가 같아지는 것이다. 즉, NMOS(120)의 소스(S)와 드레인(D)이 연결되어, 스위치 '온(ON) 상태'가 된다.
- [0064] 반면, PMOS(110)에서 소스(S)는 전원(V_{DD})에 연결되고, 드레인(D)은 출력(V_o) 노드와 연결되며, 인버터 작용에 따른 출력전압(V_o)는 V_{ss} 가 되므로, 결국 소스(S)와 드레인(D)가 $V_{DD} - V_{ss}$ 의 전위차를 갖게 된다. 즉, PMOS(110)의 소스(S)와 드레인(D) 사이가 개방되며, 스위치 '오프(OFF) 상태'가 된다.
- [0065] 다만, 도 4a를 다시 참조하면, PMOS(110)의 소스(S)는 p+영역에서 전원 전압 V_{DD} 을 형성하고, 바디(B)는 n+영역에서 접지전압 V_{ss} 를 형성하므로, pn접합에 의해 소스(S)에서 바디(B)로 전류가 흐르는 순방향 바디 바이어스(FBB)가 인가된다. 또한, PMOS(110)에서 바디(B)는 드레인(D)과 연결되어 있어, 소스(s)에서 바디(B)로 전류가 흐르는 것은 소스(S)에서 드레인(D)으로 전류가 흐르는 것으로 볼 수 있으며, 이에 따라 소스(S)와 드레인(D) 사이에 채널이 형성되어 채널의 두께에 비례하여 동작 속도를 증가시킬 수 있게 된다.
- [0066] 즉, 게이트(G)에 입력되는 입력전압(V_i)이 논리값 '1' 또는 V_{DD} 일 때, 소스(S)와 드레인(D) 사이가 스위치 오프되지 않고, 순방향 바디 바이어스(FBB)에 의해 전류의 흐름이 발생하여 채널이 형성되고, 이와 같은 채널 형성에 의해 동작 속도가 증가될 수 있게 되는 것이다.
- [0067] 도 4a에 도시된 바와 같이, PMOS(110)가 n-well 안에 만들어지고, NMOS(120)는 p형 기판(p-substrate)에 만들어지는 경우, 도 1의 상부 영역(30)은 n-well 영역이 되고, 하부 영역(40)은 p형 기판 영역이 되는 것으로 한다. 반도체 소자(100) 및 이를 포함하는 FBB 탭셀(20)은 상부 영역(30)을 통해 표준셀(10)과 n-well을 공유하고, 하부 영역(40)을 통해 p형 기판을 공유할 수 있다. 이에 따라, 반도체 소자(100)의 동작 속도는 표준셀(10)의 동작 속도에 바로 영향을 미치고, 반도체 소자(100)의 동작 속도 증가는 표준셀(10)의 동작 속도 향상에 기여하게 되는 것이다.
- [0068] 다음으로, 반도체 소자(100)는 도 4b에 도시된 바와 같이 p-well CMOS 공정으로 제작될 수도 있다. 반도체 소자(100)는 n형 기판에 p-well을 형성하며, PMOS(110)는 n형 기판(n-substrate)에 만들어지고, NMOS(120)는 p-well 안에 만들어질 수 있다.
- [0069] PMOS(110)는 n형 기판 위에 소스(S)- 게이트(G)-드레인(D)으로 구성된 pnp 접합 구조를 갖을 수 있다. 마찬가지로, NMOS(120)는 p-well 위에 소스(S)- 게이트(G)-드레인(D)으로 구성된 npn 접합 구조를 갖을 수 있다. 또한, n형 기판은 p+ 영역을 통해 전원(V_{DD})으로 연결되고, p-well은 p+ 확산영역을 통해 접지(V_{ss})로 연결될 수 있다. 여기서, n형 기판과 PMOS(110)의 pn접합에 순방향 바디 바이어스(FBB)가 인가되면, 동작 속도를 증가하게

된다.

- [0070] 구체적으로, 게이트(G)에 입력되는 입력전압(V_i)이 논리값 '1' 또는 V_{DD} 일 때, PMOS(110)의 소스(S)는 p+영역에서 전원 전압 V_{DD} 을 형성하고, 바디(B)는 n+영역에서 접지전압 V_{SS} 를 형성하므로, pn접합에 의해 소스(S)에서 바디(B)로 전류가 흐르는 순방향 바디 바이어스(FBB)가 인가된다. 또한, PMOS(110)에서 바디(B)는 드레인(D)과 연결되어 있어, 소스(s)에서 바디(B)로 전류가 흐르는 것은 소스(S)에서 드레인(D)으로 전류가 흐르는 것으로 볼 수 있으며, 이에 따라 소스(S)와 드레인(D) 사이에 채널이 형성되어 채널의 두께에 비례하여 동작 속도를 증가시킬 수 있게 된다.
- [0071] 도 4b에 도시된 바와 같이, PMOS(110)가 n형 기판(n-substrate)에 만들어지고, NMOS(120)는 p-well 안에 만들어지는 경우, 도 1의 상부 영역(30)은 p-well 영역이 되고, 하부 영역(40)은 n형 기판 영역이 되는 것으로 한다. 즉, 반도체 소자(100) 및 이를 포함하는 FBB 탭셀(20)은 상부 영역(30)을 통해 표준셀(10)과 p-well을 공유하고, 하부 영역(40)을 통해 n형 기판을 공유할 수 있으며, 이에 따라, 반도체 소자(100)의 동작 속도 증가는 표준셀(10)의 동작 속도 향상에 기여할 수 있다.
- [0072] 또한, 도 4a 및 도 4b를 통해 상술한 바와 같이, PMOS(110) 상에 순방향 바디 바이어스(FBB)가 인가되는 경우, 게이트-소스 전압(V_{GS})≒0 이므로, 문턱전압(V_{TH})를 0에 근접하게 감소시킬 수 있으며, 문턱전압(V_{TH})의 감소에 따라 전력 소비를 줄일 수 있어, 저전력 소비를 요구하는 디지털 회로에 적합해진다.
- [0073] 즉, 반도체 소자(100)는 순방향 바디 바이어스(FBB)를 이용함으로써 저전력으로 동작될 수 있고, 이와 동시에 동작 속도 또한 향상시킬 수 있다.
- [0074] 도 6은 반도체 소자에 의한 주파수 변화를 설명하기 위한 그래프이다.
- [0075] 도 6을 참조하면, 가로축은 온도(단위는 °C) 세로축은 동작 주파수(단위는 Hz)를 나타낸다. 또한, 두 그래프 중에서, 게이트(G)를 통해 논리값 '0' (또는 V_{SS})이 입력될 때의 그래프가 하부 그래프이며, 논리값 '1' (또는 V_{DD})이 입력될 때의 그래프가 상부 그래프이다.
- [0076] 즉, 임의의 온도에서 논리값 '0' 을 입력할 때보다 논리값 '1' 을 입력하여 순방향 바디 바이어스(FBB)를 인가할 때, 동작 주파수가 더 높게 나타나는 것을 볼 수 있다. 예를 들어, 상온(25 °C)에서 입력 논리값 1 에 대한 동작 주파수는 약 0.75×10^7 에서 약 1.25×10^7 로 60% 이상 증가하게 된다.
- [0077] 반도체 소자(100)를 포함하는 디지털 회로에서 동작 속도는 동작 주파수에 비례한다. 따라서, 도 6의 동작 주파수와 마찬가지로, 온도와 상관없이 논리값 '1'을 입력하여 순방향 바디 바이어스(FBB)를 인가할 때, 논리값 '0'을 입력할 때보다 동작 속도가 높아짐을 예상할 수 있다.
- [0078] 도 7은 반도체 소자에 의한 에너지 효율(EDP)를 설명하기 위한 그래프이다.
- [0079] 도 7을 참조하면, 가로축은 온도(단위는 °C) 세로축은 에너지 효율 EDP(Energy Delay Product, 단위는 w/Hz^2)를 나타낸다. 여기서, EDP는 그 값이 클수록 정해진 시간에 정해진 일을 하는데 더 많은 전력을 소모함을 의미하는 것으로, EDP 값이 클수록 에너지 효율이 떨어진다.
- [0080] 또한, 두 그래프 중에서, 게이트(G)를 통해 논리값 '0' (또는 V_{SS})이 입력될 때의 그래프가 상부 그래프이며, 논리값 '1' (또는 V_{DD})이 입력될 때의 그래프가 하부 그래프이다. 두 그래프의 비교할 때, 약 65도 이전에는 논리값 '0' 을 입력할 때보다 논리값 '1' 을 입력하여 순방향 바디 바이어스(FBB)를 인가할 때, EDP 값이 작아지는 것을 확인할 수 있다. 즉, 약 65도 이전까지는 논리값 '1' 을 입력하여 순방향 바디 바이어스(FBB)를 인가하는 것이 전력소모가 적으며, 저전력 운영에 적합함을 알 수 있다.
- [0081] 도 6 및 도 7에서 나타난 바와 같이, 반도체 소자(100) 및 이를 포함한 디지털 회로는 순방향 바디 바이어스(FBB)를 이용함으로써 저전력으로 동작될 수 있고, 이와 동시에 동작 속도 또한 향상시킬 수 있다.
- [0082] 상술한 바와 같은 반도체 소자(100)에 의하면, 추가 전압을 생성하지 않더라도 문턱전압 영역에서 저전력으로 동작할 수 있다. 저전력 동작과 동시에, 동작 속도를 향상시킬 수 있다. 또한, 해당 반도체 소자가 속한 디지털 회로나 반도체 칩의 공간 차지를 감소시킬 수 있으며, 구성 및 공정을 단순화하고, 이에 따라 단가 절감 효과

또한 야기할 수 있다.

[0083] 이상과 같이 예시된 도면을 참조로 하여, 반도체 소자의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며, 한정적이 아닌 것으로 이해해야만 한다.

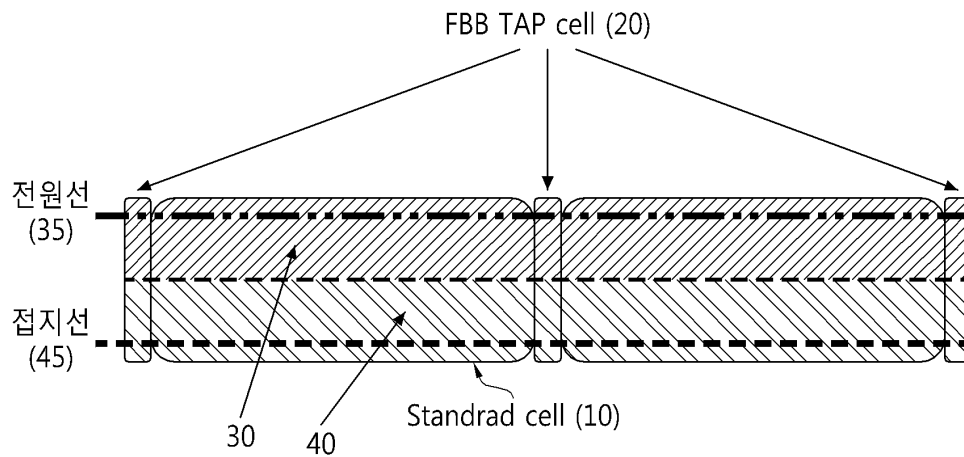
부호의 설명

[0084]

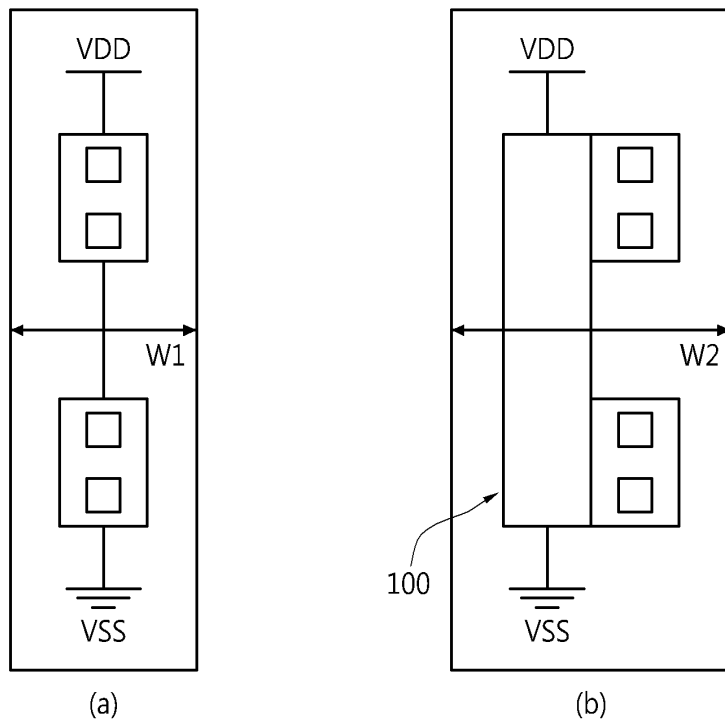
10 : 표준 셀	20 : FBB 텅셀
100 : 반도체 소자	110 : PMOS
120 : NMOS	

도면

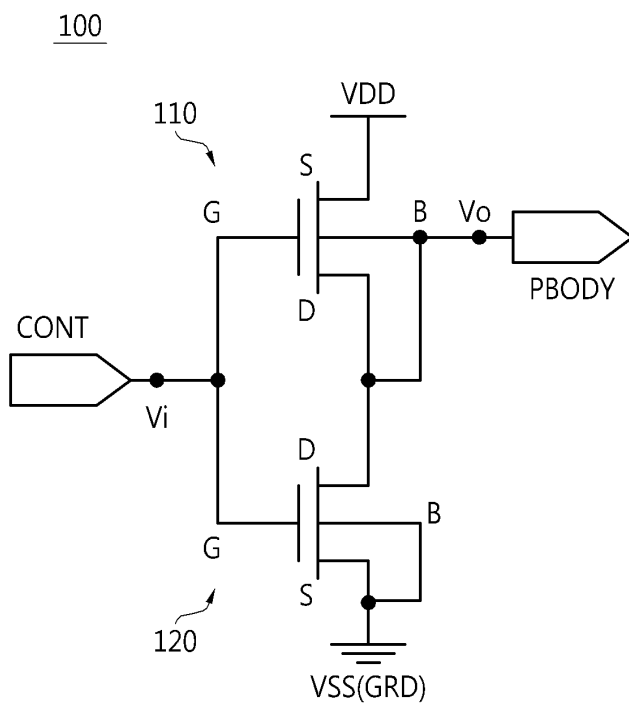
도면1



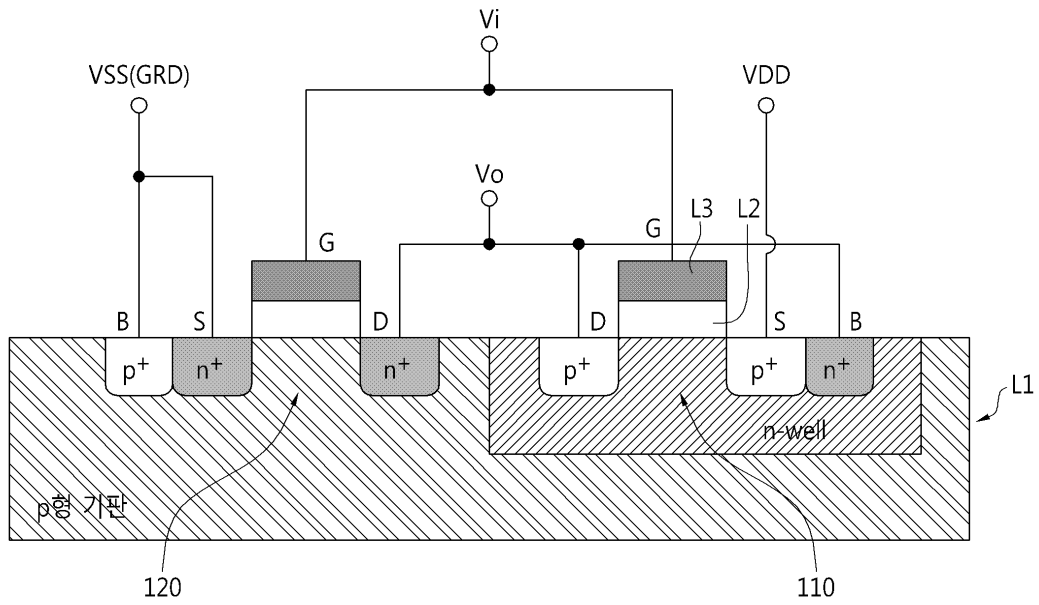
도면2



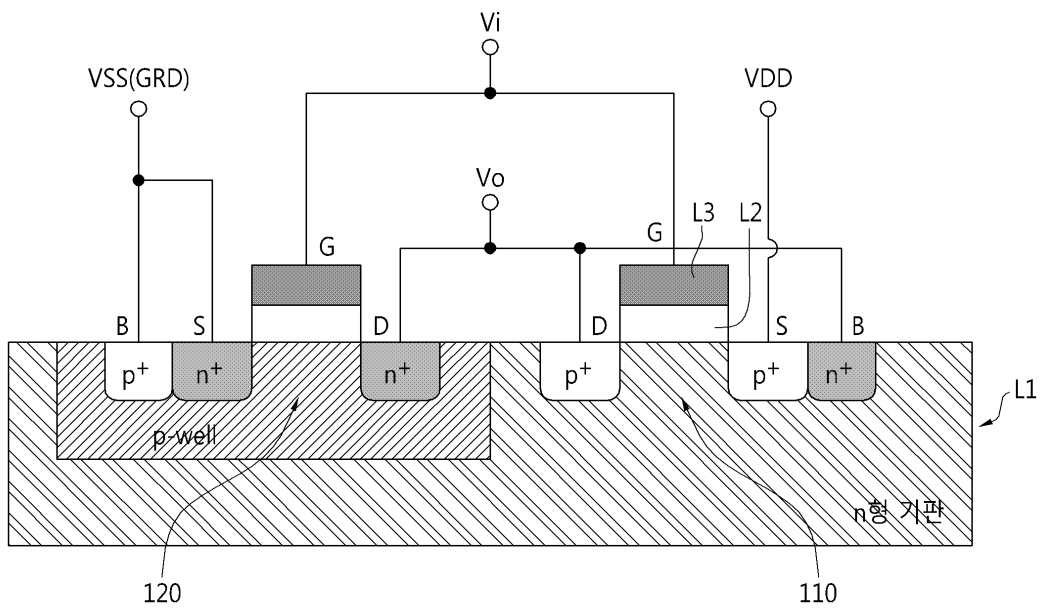
도면3



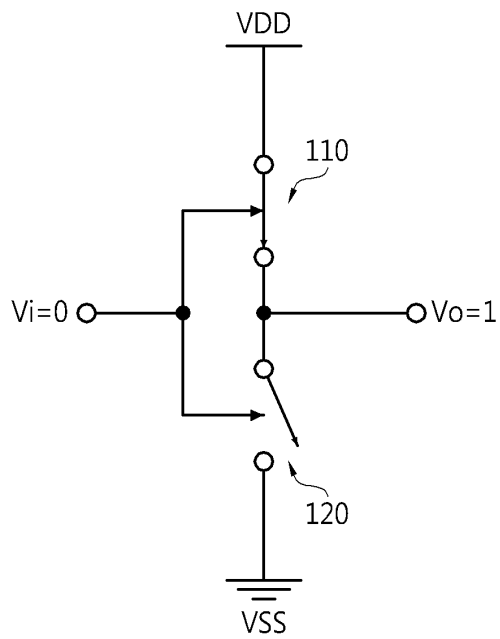
도면4a



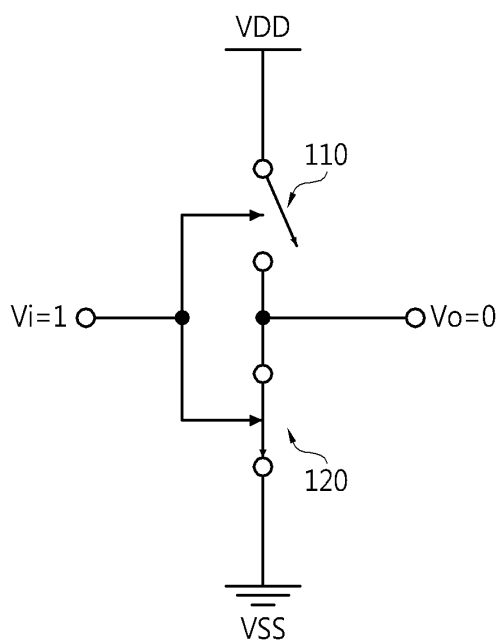
도면4b



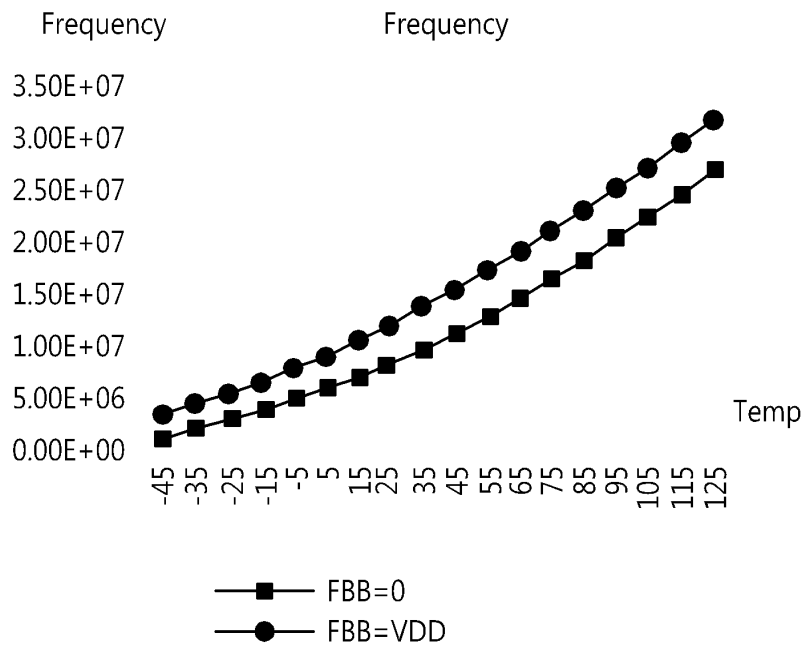
도면5a



도면5b



도면6



도면7

