

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4891962号  
(P4891962)

(45) 発行日 平成24年3月7日(2012.3.7)

(24) 登録日 平成23年12月22日(2011.12.22)

|                          |  |              |       |
|--------------------------|--|--------------|-------|
| (51) Int. Cl.            |  | F I          |       |
| HO 1 L 21/3213 (2006.01) |  | HO 1 L 21/88 | C     |
| HO 1 L 27/11 (2006.01)   |  | HO 1 L 27/10 | 3 8 1 |
| HO 1 L 21/8244 (2006.01) |  | HO 1 L 21/90 | A     |
| HO 1 L 21/768 (2006.01)  |  |              |       |

請求項の数 5 (全 20 頁)

(21) 出願番号 特願2008-238004 (P2008-238004)  
 (22) 出願日 平成20年9月17日(2008.9.17)  
 (65) 公開番号 特開2010-73797 (P2010-73797A)  
 (43) 公開日 平成22年4月2日(2010.4.2)  
 審査請求日 平成22年8月2日(2010.8.2)

(73) 特許権者 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100089118  
 弁理士 酒井 宏明  
 (72) 発明者 高畑 和宏  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 審査官 須賀 亮介

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の構成部材と、

前記第1の構成部材の長手方向の延長上において前記第1の構成部材と離間して延在する第2の構成部材と、

前記第1の構成部材及び第2の構成部材の短手方向において前記第1の構成部材および前記第2の構成部材と離間し、且つ前記第1の構成部材および前記第2の構成部材との一部において対向する第3の構成部材と、

を半導体基板上に備える半導体装置の製造方法であって、

前記第3の構成部材のうち、前記長手方向における前記第1の構成部材と前記第2の構成部材との間に対向する位置から前記長手方向における前記第1の構成部材側の端部までの第1領域と、前記第1の構成部材とを形成するための第1のマスクパターンを半導体基板上に同時にリソグラフィにより転写する工程と、

前記第3の構成部材のうち前記第1領域外の領域を含む第2領域と、前記第2の構成部材を形成するための第2のマスクパターンを前記半導体基板上に同時にリソグラフィにより転写する工程と、

前記第1のマスクパターンを用いて前記半導体基板上に前記第3の構成部材のうちの前記第1領域と前記第1の構成部材とを形成し、前記第2のマスクパターンを用いて前記半導体基板上に前記第3の構成部材のうちの前記第2領域と前記第2の構成部材とを形成する工程と、

10

20

を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

前記第 2 領域が、前記第 1 領域の前記第 2 の構成部材側の端部において前記第 1 領域と重複していること、

を特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

第 1 の構成部材と、

前記第 1 の構成部材の長手方向の延長上において前記第 1 の構成部材と離間して延在する第 2 の構成部材と、

前記第 1 の構成部材及び第 2 の構成部材の短手方向において前記第 1 の構成部材および前記第 2 の構成部材と離間し、且つ前記第 1 の構成部材および前記第 2 の構成部材と

10

その一部において対向する第 3 の構成部材と、

前記第 1 の構成部材と前記第 3 の構成部材との間の領域において前記第 1 の構成部材および前記第 3 の構成部材の双方と離間して設けられた第 1 のコンタクトと、

前記第 2 の構成部材と前記第 3 の構成部材との間の領域において前記第 2 の構成部材および前記第 3 の構成部材の双方と離間して設けられた第 2 のコンタクトと、

を半導体基板上に備える半導体装置の製造方法であって、

前記第 3 の構成部材のうち、前記長手方向における前記第 1 の構成部材と前記第 2 の構成部材との間に対向する位置から前記長手方向における前記第 1 の構成部材側の端部までの第 1 領域と、前記第 1 の構成部材とを形成するための第 1 のマスクパターンを半導体基

20

板上に同時にリソグラフィにより転写する工程と、

前記第 3 の構成部材のうち前記第 1 領域外の領域を含む第 2 領域と、前記第 2 の構成部材を形成するための第 2 のマスクパターンを前記半導体基板上に同時にリソグラフィにより転写する工程と、

前記第 1 のマスクパターンを用いて前記半導体基板上に前記第 3 の構成部材のうちの前記第 1 領域と前記第 1 の構成部材とを形成し、前記第 2 のマスクパターンを用いて前記半導体基板上に前記第 3 の構成部材のうちの前記第 2 領域と前記第 2 の構成部材とを形成する工程と、

30

前記第 1 のコンタクトを形成するための第 3 のマスクパターンを、形成した前記第 1 の構成部材および前記第 3 の構成部材に対して直接位置合わせをしてリソグラフィにより前記半導体基板上における前記第 1 の構成部材と前記第 3 の構成部材の第 1 領域との間の領域に形成する工程と、

前記第 2 のコンタクトを形成するための第 4 のマスクパターンを、形成した前記第 2 の構成部材および前記第 3 の構成部材に対して直接位置合わせをしてリソグラフィにより前記半導体基板上における前記第 2 の構成部材と前記第 3 の構成部材の第 2 領域との間の領域に形成する工程と、

40

前記第 3 のマスクパターンを用いて前記半導体基板上における前記第 1 の構成部材と前記第 3 の構成部材の第 1 領域との間に前記第 1 のコンタクト形成用のコンタクトホールを形成し、前記第 4 のマスクパターンを用いて前記半導体基板上における前記第 2 の構成部材と前記第 3 の構成部材の第 2 領域との間に前記第 2 のコンタクト形成用のコンタクトホールを形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 4】

前記第 1 の構成部材、前記第 2 の構成部材および前記第 3 の構成部材が、スタティックランダムアクセスメモリのゲート電極であること、

を特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】

前記第 1 の構成部材と第 2 の構成部材との前記長手方向における距離は、前記リソグラフィ工程に用いる露光装置の解像限界を超える距離であること、

を特徴とする請求項 1 乃至 4 に記載の半導体装置の製造方法。

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置の製造方法に関するものである。

## 【背景技術】

## 【0002】

半導体装置の小面積化、小型化が進むにつれて、高集積SRAM (Static Random Access Memory) においては、ゲート電極の長手方向において隣接するゲート電極間の距離は短くなり、現在は要求される距離がフォトリソグラフィ技術の解像度の限界を超えている。しかしながら、半導体装置の小面積化、小型化のためにゲート電極間の距離のさらなる短縮が求められている（例えば、特許文献1参照。）。

10

## 【0003】

また、ゲート電極の短手方向において隣接するゲート電極間にはコンタクトが形成されるが、ゲート電極とコンタクトとが短絡しないように、コンタクトを形成する際のコンタクトホールをゲート電極間において精度良く位置合わせする必要がある。しかしながら、さらなる半導体装置の小面積化、小型化のためにゲート電極の短手方向においても隣接するゲート電極間の距離の短縮が求められている。このため、ゲート電極 - コンタクト間の距離もさらに短くなるため、コンタクトホールの位置合わせが難しくなっている。

## 【0004】

また、上述したような配置パターン間の距離の短縮はゲート電極に限らず、配線層においても同様であり、配置パターン間の距離のさらなる短縮が求められている。

20

## 【0005】

【特許文献1】特開2004-356469号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0006】

本発明は、上記に鑑みてなされたものであって、半導体基板の面内方向における構成部材間の距離を短縮し、且つ所望の位置に良好な位置精度で構成部材を形成することができる半導体装置の製造方法を提供することを目的とする。

## 【課題を解決するための手段】

30

## 【0007】

本願発明の一態様によれば、第1の構成部材と、前記第1の構成部材の長手方向の延長上において前記第1の構成部材と離間して延在する第2の構成部材と、前記第1の構成部材及び第2の構成部材の短手方向において前記第1の構成部材および前記第2の構成部材と離間し、且つ前記第1の構成部材および前記第2の構成部材とその一部において対向する第3の構成部材と、を半導体基板上に備える半導体装置の製造方法であって、前記第3の構成部材のうち、前記長手方向における前記第1の構成部材と前記第2の構成部材との間に対向する位置から前記長手方向における前記第1の構成部材側の端部までの第1領域と、前記第1の構成部材とを形成するための第1のマスクパターンを半導体基板上に同時にリソグラフィにより転写する工程と、前記第3の構成部材のうち前記第1領域外の領域を含む第2領域と、前記第2の構成部材を形成するための第2のマスクパターンを前記半導体基板上に同時にリソグラフィにより転写する工程と、前記第1のマスクパターンを用いて前記半導体基板上に前記第3の構成部材のうち前記第1領域と前記第1の構成部材とを形成し、前記第2のマスクパターンを用いて前記半導体基板上に前記第3の構成部材のうち前記第2領域と前記第2の構成部材とを形成する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

40

## 【0008】

また、本願発明の一態様によれば、第1の構成部材と、前記第1の構成部材の長手方向の延長上において前記第1の構成部材と離間して延在する第2の構成部材と、前記第1の構成部材及び第2の構成部材の短手方向において前記第1の構成部材および前記第2の構

50

成部材と離間し、且つ前記第 1 の構成部材および前記第 2 の構成部材とその一部において対向する第 3 の構成部材と、前記第 1 の構成部材と前記第 3 の構成部材との間の領域において前記第 1 の構成部材および前記第 3 の構成部材の双方と離間して設けられた第 1 のコンタクトと、前記第 2 の構成部材と前記第 3 の構成部材との間の領域において前記第 2 の構成部材および前記第 3 の構成部材の双方と離間して設けられた第 2 のコンタクトと、を半導体基板上に備える半導体装置の製造方法であって、前記第 3 の構成部材のうち、前記長手方向における前記第 1 の構成部材と前記第 2 の構成部材との間に対向する位置から前記長手方向における前記第 1 の構成部材側の端部までの第 1 領域と、前記第 1 の構成部材とを形成するための第 1 のマスクパターンを半導体基板上に同時にリソグラフィにより転写する工程と、前記第 3 の構成部材のうち前記第 1 領域外の領域を含む第 2 領域と、前記第 2 の構成部材を形成するための第 2 のマスクパターンを前記半導体基板上に同時にリソグラフィにより転写する工程と、前記第 1 のマスクパターンを用いて前記半導体基板上に前記第 3 の構成部材のうちの前記第 1 領域と前記第 1 の構成部材とを形成し、前記第 2 のマスクパターンを用いて前記半導体基板上に前記第 3 の構成部材のうちの前記第 2 領域と前記第 2 の構成部材とを形成する工程と、前記第 1 のコンタクトを形成するための第 3 のマスクパターンを、形成した前記第 1 の構成部材および前記第 3 の構成部材に対して直接位置合わせをしてリソグラフィにより前記半導体基板上における前記第 1 の構成部材と前記第 3 の構成部材の第 1 領域との間の領域に形成する工程と、前記第 2 のコンタクトを形成するための第 4 のマスクパターンを、形成した前記第 2 の構成部材および前記第 3 の構成部材に対して直接位置合わせをしてリソグラフィにより前記半導体基板上における前記第 2 の構成部材と前記第 3 の構成部材の第 2 領域との間の領域に形成する工程と、前記第 3 のマスクパターンを用いて前記半導体基板上における前記第 1 の構成部材と前記第 3 の構成部材の第 1 領域との間に前記第 1 のコンタクト形成用のコンタクトホールを形成し、前記第 4 のマスクパターンを用いて前記半導体基板上における前記第 2 の構成部材と前記第 3 の構成部材の第 2 領域との間に前記第 2 のコンタクト形成用のコンタクトホールを形成する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

【発明の効果】

【0009】

本発明によれば、半導体基板の面内方向における構成部材間の距離を短縮し、且つ所望の位置に良好な位置精度で構成部材を形成することができる半導体装置の製造方法を提供

【発明を実施するための最良の形態】

【0010】

以下に添付図面を参照して、この発明にかかる半導体装置の実施の形態を詳細に説明する。なお、本発明は以下の記述に限定されるものではなく、本発明の要旨を逸脱しない範囲において適宜変更可能である。また、以下に示す図面においては、理解の容易のため、各部材の縮尺が実際とは異なる場合がある。各図面間においても同様である。また、本発明と直接関係のない部材については図示等の説明を省略する。

【0011】

(第 1 の実施の形態)

図 1 は、本発明の第 1 の実施の形態にかかる半導体装置であって 6 トランジスタが点対称型でレイアウトされた高集積 S R A M の一部の構成を説明する図であり、図 1 ( a ) は平面図、図 1 ( b ) は断面図である。この半導体装置は、半導体基板上において複数のトランジスタ ( 図示省略 ) が素子形成領域 ( 活性領域 ) 1 1 1 内に設けられている。この素子形成領域 1 1 1 は、素子分離領域 1 1 2 に取り囲まれることにより区画形成されている。また、各素子形成領域 1 1 1 内の半導体基板内には、トランジスタのソースおよびドレインとなる 2 つの不純物拡散層が設けられる ( 図示省略 ) 。

【0012】

この 2 つの拡散層間の半導体基板上に、シリコン酸化膜からなるゲート絶縁膜 ( 図示省略 ) を介してポリシリコンからなる略矩形形状の複数のゲート電極 1 2 1 が略平行に設け

られ、さらに該ゲート電極 1 2 1 を覆って半導体基板の全面に層間絶縁膜 1 2 2 が設けられている。また、層間絶縁膜 1 2 2 内には、不純物拡散層またはゲート電極 1 2 1 に導通するコンタクトホール A 1 1 3 およびコンタクトホール B 1 1 4 が複数設けられる。なお、図 1 ( a ) および図 1 ( b ) は、層間絶縁膜 1 2 2 にコンタクトホール A 1 1 3 およびコンタクトホール B 1 1 4 が形成された状態を示しており、図 1 ( a ) においては、層間絶縁膜 1 2 2 を透過して見た状態を示している。

#### 【 0 0 1 3 】

本実施の形態では、ゲート電極 1 2 1 の長手方向 ( 図 1 ( a ) における X 方向。以下、長手方向と呼ぶ。 ) において隣接するゲート電極 1 2 1 は、略同一線上に配置されている。また、長手方向 ( 図 1 ( a ) における X 方向 ) において隣接するゲート電極 1 2 1 間の距離  $L X 1$  は、フォトリソグラフィ技術の解像度の限界を超えた非常に短い距離とされており、形成が非常に困難な構成とされている。

10

#### 【 0 0 1 4 】

また、ゲート電極 1 2 1 の短手方向 ( 図 1 ( a ) における Y 方向。以下、短手方向と呼ぶ。 ) において隣接するゲート電極 1 2 1 間にはコンタクトホール A 1 1 3 またはコンタクトホール B 1 1 4 が形成されているが、ゲート電極 1 2 1 - コンタクトホール A 1 1 3 間の距離、ゲート電極 1 2 1 - コンタクトホール B 1 1 4 間の距離  $L Y 1$  は、フォトリソグラフィ技術の解像度の限界を超えた非常に短い距離とされている。このため、コンタクトホール A 1 1 3 またはコンタクトホール B 1 1 4 を用いて形成されるコンタクトとゲート電極 1 2 1 とを短絡させないようにコンタクトホール A 1 1 3、コンタクトホール B 1 1 4 を所定の位置に形成することが非常に困難な構成とされている。このように半導体基板の面内方向における部材間の距離をフォトリソグラフィ技術の解像度の限界を超えた短い長さとすることにより、本実施の形態にかかる S R A M は、トランジスタが高集積され、小面積化が図られた S R A M が実現されている。

20

#### 【 0 0 1 5 】

以下、上述した本実施の形態にかかる S R A M の製造方法について図 2 ~ 図 1 3 を用いて説明する。図 2 ~ 図 1 3 は本実施の形態にかかる S R A M の製造方法を説明するための図であり、各図の ( a ) は平面図であり、各図の ( b ) は、各図の ( a ) の A - A における断面図である。なお、以下の説明ではゲート絶縁膜の形成については省略する。まず図 2 に示すように半導体装置の設計レイアウトの中から、S R A M 部の設計レイアウトを抽出し、抽出された設計レイアウトからゲート電極 1 2 1 の矩形パターン 1 2 1 p を抽出する。

30

#### 【 0 0 1 6 】

次に、抽出した各ゲート電極 1 2 1 の矩形パターン 1 2 1 p を、図 3 に示すように各矩形パターンの長手方向 ( 図 3 における X 方向 ) の中間位置を境界にして略矩形形状のゲートパターン A ( 以下、ゲート A と呼ぶ ) 1 1 とゲートパターン B ( 以下、ゲート B と呼ぶ ) 1 2 との略矩形形状の 2 つのパターンに分割し、ゲート電極 1 2 1 の設計レイアウトをゲート A 1 1 とゲート B 1 2 との 2 つに分割する。なお、ここでは、各矩形パターンの長手方向の中間位置を境界にして各矩形パターンを 2 つのパターンに分割したが、この境界は、短手方向において対向する他の 2 つのゲート電極 1 2 1 間の位置で有ればよい。

40

#### 【 0 0 1 7 】

そして、分割されたそれぞれのレイアウトに対し、半導体基板上に設計値どおりのパターンが形成されるように、光近接効果補正 ( O P C : Optical Proximity Correction ) を用いて補正されたゲート電極パターンが形成されたフォトマスクを作製する。すなわち、ゲート A 用フォトマスクと、ゲート B 用フォトマスクと、の 2 つのフォトマスクを作製する。このとき、フォトマスクにおけるゲート A とゲート B とのパターンは、図 4 に示すようにゲート A 1 1 とゲート B 1 2 とが矩形パターンの長手方向において互いが数十 nm 程度重なるように形成される。

#### 【 0 0 1 8 】

次に、S R A M 部の設計レイアウトからコンタクトホールの設計レイアウトを抽出する

50

。そして、その設計レイアウトの中から、図5に示すように短手方向（図5におけるY方向）において隣接する2つのゲートA11間に挟まれた正方形形状のコンタクトホールをコンタクトホールパターンA13として設定する。また、図5に示すように短手方向（図5におけるY方向）において隣接する2つのゲートB12間に挟まれた正方形形状のコンタクトホールパターンをコンタクトホールパターンB14として設定する。これにより、コンタクトホールの設計レイアウトをコンタクトホールパターンA13とコンタクトホールパターンB14との2つに分割する。

#### 【0019】

なお、その他のコンタクトホールパターンは、プロセスマージンに応じてコンタクトホールパターンA13かコンタクトホールパターンB14に分類する。そして、分割されたそれぞれのレイアウトに対し、半導体基板上に設計値どおりのパターンが形成されるように、光近接効果補正（OPC：Optical Proximity Correction）を用いて補正されたコンタクトホールパターン又は解像されない補助パターンが付加されたコンタクトホールパターンが形成されたフォトマスクを作製する。すなわち、コンタクトホールパターンA用フォトマスクと、コンタクトホールパターンB用フォトマスクと、の2つのフォトマスクを作製する。

#### 【0020】

次に、図6（a）、（b）に示すように素子分離領域112に取り囲まれることにより区画形成された素子形成領域111が形成された半導体基板の主面上にゲート電極形成用のポリシリコン膜121aを形成し、その上に第1のハードマスク膜131aとして例えばシリコン窒化膜を形成する。そして、ゲートA用のフォトマスクを用いたフォトリソグラフィにより、図6（a）、（b）に示すように第1のハードマスク膜131a上に第1のレジストパターン132を形成する。これにより、半導体基板の主面上におけるゲートA11に対応した位置に第1のレジストパターン132が形成される。その後、必要に応じてエッチングにより第1のレジストパターン132のスリミング処理を行う。

#### 【0021】

次に、第1のレジストパターン132をマスクとして用いて第1のハードマスク膜131aをエッチングし、図7（a）、（b）に示すようにポリシリコン膜121a上に第1のハードマスクパターン131を形成する。これにより、ゲートA11に対応した位置に第1のハードマスクパターン131が形成される。

#### 【0022】

次に、ゲートB用のフォトマスクを用いたフォトリソグラフィにより、図8（a）、（b）に示すようにゲートB12に対応した位置に第2のレジストパターン133を形成する。また、ゲートA用フォトマスクのパターンとゲートB用フォトマスクのパターンとは、図4に示すように矩形パターンの長手方向において互いが数十nm程度重なるように形成されているため、第2のレジストパターン133はその一部が第1のハードマスクパターン131と重なって形成される。なお、第2のレジストパターン133は、矩形パターン121pの領域であって少なくとも第1のハードマスクパターン131の領域以外の全領域に形成される。その後、必要に応じてエッチングにより第2のレジストパターン133のスリミング処理を行う。

#### 【0023】

次に、第1のハードマスクパターン131と第2のレジストパターン133とをマスクとして用いてポリシリコン膜121aをエッチングし、第1のハードマスクパターン131と第2のレジストパターン133とを除去することで、図9（a）、（b）に示すようにゲート電極121を形成する。

#### 【0024】

次に、図10（a）、（b）に示すように層間絶縁膜122、第2のハードマスク膜134aをこの順で半導体基板上に形成する。さらに第3のレジスト膜（図示せず）を半導体基板上に形成し、コンタクトホールパターンA用のフォトマスクを用いたフォトリソグラフィにより、図10（a）、（b）に示すように第3のレジストパターン135を形成

10

20

30

40

50

し、コンタクトホールパターン A 1 3 を形成する。

【 0 0 2 5 】

このとき、コンタクトホールパターン A 1 3 は、ゲート A 1 1 に対して位置合わせをして露光が行われる。すなわち、コンタクトホールパターン A 1 3 の一部は下地層のゲート A 1 1 に重ね合わせるように位置合わせされ、また、コンタクトホールパターン A 1 3 の他の一部は、短手方向に隣接するゲート A 1 1 間の領域においてゲート A 1 1 に重複しないように位置合わせされて、露光が行われる。そして、図 1 0 ( a )、( b ) に示すように、第 3 のレジストパターン 1 3 5 をマスクとして用いて第 2 のハードマスク膜 1 3 4 a をエッチングする。

【 0 0 2 6 】

次に、第 3 のレジストパターン 1 3 5 を除去し、第 4 のレジスト膜 ( 図示せず ) を半導体基板上に形成し、コンタクトホールパターン B 用のフォトマスクを用いたフォトリソグラフィにより、図 1 1 ( a )、( b ) に示すように第 4 のレジストパターン 1 3 6 を形成し、コンタクトホールパターン B 1 4 を形成する。

【 0 0 2 7 】

このとき、コンタクトホールパターン B 1 4 は、ゲート B 1 2 に対して位置合わせをして露光が行われる。すなわち、コンタクトホールパターン B 1 4 の一部は下地層のゲート B 1 2 に重ね合わせるように位置合わせされ、また、コンタクトホールパターン B 1 4 の他の一部は短手方向に隣接するゲート B 1 2 間の領域においてゲート B 1 2 に重複しないように位置合わせされて、露光が行われる。そして、図 1 1 ( a )、( b ) に示すように、第 4 のレジストパターン 1 3 6 をマスクとして用いて第 2 のハードマスク膜 1 3 4 a をエッチングして第 2 のハードマスクパターン 1 3 4 を形成する。

【 0 0 2 8 】

その後、第 4 のレジストパターン 1 3 6 を除去し、第 2 のハードマスクパターン 1 3 4 をマスクとして用いて層間絶縁膜 1 2 2 をエッチングすることによりコンタクトホール A 1 1 3 およびコンタクトホール B 1 1 4 を形成することにより、図 1 ( a )、( b ) に示した第 1 の実施の形態にかかる高集積 S R A M が形成される。

【 0 0 2 9 】

上述したように、本実施の形態にかかる高集積 S R A M の製造方法によれば、ゲート電極 1 2 1 形成用のエッチングマスクをリソグラフィを用いて形成する際に、ゲート電極 1 2 1 のパターンを、パターンのライン端において同じ種類のパターン同士が向かい合わないようゲート A 1 1 とゲート B 1 2 との 2 つのパターンに分割する。そして、分割したパターンをそれぞれ異なる 2 枚のフォトマスク上に配置して、2 回の露光工程に分けてエッチングマスクに転写する。すなわち、長手方向において隣接するゲート電極 1 2 1 のパターン端を片方ずつ異なるフォトマスク上に配置し、2 回の露光工程に分けてエッチングマスクに転写する。これにより、長手方向において隣接するゲート電極 1 2 1 間の距離である L X 1 がフォトリソグラフィ技術の解像度の限界を超えた長さであっても、エッチングマスク形成の際の距離 L X 1 に起因したフォトリソグラフィ工程の露光における寸法精度の劣化を防止することができ、長手方向における所望の位置に良好な位置精度で複数のゲート電極 1 2 1 を形成することができる。なお、ここでは分割したパターンをそれぞれ異なる 2 枚のフォトマスク上に配置して、2 回の露光工程に分けてエッチングマスクに転写する場合について説明したが、分割したパターンを 1 枚のフォトマスクに別々に配置して、2 回の露光工程に分けてエッチングマスクに転写してもよい。

【 0 0 3 0 】

また、本実施の形態にかかる高集積 S R A M の他の製造方法によれば、長手方向において重複する領域のゲート電極 1 2 1 のパターンを、同じ種類のパターン同士としてゲート A 1 1 とゲート B 1 2 との 2 つに分割する。そして、分割したパターンをそれぞれ異なる 2 枚のフォトマスク上に配置して、2 回の露光工程に分けてエッチングマスクに転写する。短手方向においてゲート A 1 1 間の領域に配置されるコンタクトホールパターン A 1 3 は、ゲート電極 1 2 1 におけるゲート A 1 1 と直接位置合わせして露光が行われる。また

10

20

30

40

50

、短手方向においてゲート B 1 2 間の領域に配置されるコンタクトホールパターン B 1 4 は、ゲート電極 1 2 1 におけるゲート B 1 2 と直接位置合わせして露光が行われる。

【 0 0 3 1 】

これにより、コンタクトホールのパターンは隣接するゲート電極 1 2 1 のパターンのみと直接位置合わせされるため、短手方向において隣接するゲート電極 1 2 1 との間の距離である距離 L Y 1 がフォトリソグラフィ技術の解像度の限界を超えた長さであっても、ゲート電極 1 2 1 とコンタクトホールパターンとの重ね合わせ精度を劣化させることなく、所望の位置に良好な位置精度で複数のコンタクトホール 1 1 3、1 1 4 を形成することができる。また、コンタクトホールのパターンは隣接するゲート電極 1 2 1 のパターンのみと直接位置合わせされるため、短手方向において隣接するゲート電極 1 2 1 との間の距離である距離 L Y 1 や短手方向において隣接するゲート電極 1 2 1 の位置が間接位置合わせ精度の限界を超えている場合であっても、ゲート電極 1 2 1 とコンタクトホールパターンとの重ね合わせ精度を劣化させることなく、所望の位置に良好な位置精度で複数のコンタクトホール 1 1 3、1 1 4 を形成することができる。ここで、間接位置合わせ精度とは、例えば第 1 のコンタクトホールのパターンが短手方向において隣接する第 1 のゲート電極のパターンと個別に直接位置合わせされず、他の第 2 のコンタクトホールのパターンとこの第 2 のコンタクトホールのパターンに短手方向において隣接する第 2 のゲート電極のパターンとの位置合わせに従って第 1 のコンタクトホールのパターンの位置が決定される場合の、第 1 のコンタクトホールのパターンと第 1 のゲート電極のパターンとの位置合わせ精度である。

【 0 0 3 2 】

したがって、本実施の形態にかかる高集積 S R A M の製造方法によれば、長手方向において隣接するゲート電極間の距離、およびゲート電極とコンタクトホールとの間の距離を短縮しつつ、これらの部材を所望の位置に良好な位置精度で形成することができ、半導体装置の小面積化を図ることができる。

【 0 0 3 3 】

( 第 2 の実施の形態 )

第 2 の実施の形態では、第 1 の実施の形態の図 1 で示した高集積 S R A M の他の製造方法について図 1 2 ~ 図 1 6 を用いて説明する。なお、図 1 2 ~ 図 1 6 は本実施の形態にかかる S R A M の製造方法を説明するための図であり、各図の ( a ) は平面図であり、各図の ( b ) は、各図の ( a ) の A - A における断面図である。なお、以下の説明ではゲート絶縁膜の形成については省略する。

【 0 0 3 4 】

まず上述した第 1 の実施の形態において図 2 ~ 図 5 を用いて説明した工程に従って、ゲート A 用フォトマスク、ゲート B 用フォトマスク、コンタクトホールパターン A 用フォトマスク、コンタクトホールパターン B 用フォトマスクを作製する。

【 0 0 3 5 】

次に、図 1 2 ( a )、( b ) に示すように素子分離領域 1 1 2 に取り囲まれることにより区画形成された素子形成領域 1 1 1 が形成された半導体基板の主面上にゲート電極形成用のポリシリコン膜 1 2 1 a を形成し、その上に第 1 のハードマスク膜 1 4 1 a として例えばシリコン窒化膜を形成し、さらにその上に、第 2 のハードマスク膜 1 4 2 a として例えばシリコン酸化膜を形成する。そして、ゲート A 用のフォトマスクを用いたフォトリソグラフィにより、図 1 2 ( a )、( b ) に示すように第 2 のハードマスク膜 1 4 2 a 上に第 1 のレジストパターン 1 4 3 を形成する。これにより、半導体基板の主面上におけるゲート A 1 1 に対応した位置に第 1 のレジストパターン 1 4 3 が形成される。その後、必要に応じてエッチングにより第 1 のレジストパターン 1 4 3 のスリミング処理を行う。

【 0 0 3 6 】

次に、第 1 のレジストパターン 1 4 3 をマスクとして用いて第 2 のハードマスク膜 1 4 2 a をエッチングし、図 1 3 ( a )、( b ) に示すように第 1 のハードマスク膜 1 4 1 a 上に第 2 のハードマスクパターン 1 4 2 を形成する。これにより、半導体基板の主面上に

おけるゲートA 1 1に対応した位置に第2のハードマスクパターン1 4 2が形成される。

【0037】

次に、ゲートB用のフォトマスクを用いたフォトリソグラフィにより、図14(a)、(b)に示すように半導体基板の主面上におけるゲートB 1 2に対応した位置に第2のレジストパターン1 4 4を形成する。また、ゲートA用フォトマスクのパターンとゲートB用フォトマスクのパターンとは、図4に示すように矩形パターンの長手方向において互いが数十nm程度重なるように形成されているため、第2のレジストパターン1 4 4はその一部が第2のハードマスクパターン1 4 2と重なって形成される。その後、必要に応じてエッチングにより第2のレジストパターン1 4 4のスリミング処理を行う。

【0038】

次に、第2のハードマスクパターン1 4 2と第2のレジストパターン1 4 4とをマスクとして用いて第1のハードマスク膜1 4 1 aをエッチングし、図15(a)、(b)に示すように第1のハードマスクパターン1 4 1を形成する。これにより、半導体基板の主面上におけるゲートA 1 1およびゲートB 1 2に対応した位置に第1のハードマスクパターン1 4 1が形成される。

【0039】

次に、第1のハードマスクパターン1 4 1をマスクとして用いてポリシリコン膜1 2 1 aをエッチングし、図16(a)、(b)に示すようにゲート電極1 2 1を形成する。以後は、第1の実施の形態における層間絶縁膜1 2 2の形成(図10)以降の工程を実施することにより、図1で示した高集積SRAMを形成することができる。

【0040】

上述した本実施の形態にかかる高集積SRAMの他の製造方法においても、第1の実施の形態と同じ効果を得ることができる。すなわち、長手方向において隣接するゲート電極間の距離、およびゲート電極とコンタクトホールとの間の距離を短縮しつつ、これらの部材を所望の位置に良好な位置精度で形成することができ、半導体装置の小面積化を図ることができる。

【0041】

(第3の実施の形態)

第3の実施の形態では、半導体装置におけるゲート電極の他の製造方法について説明する。図17は、第3の実施の形態にかかる半導体装置におけるゲート電極1 5 2の配置を説明するための図であり、図17(a)は平面図、図17(b)は断面図である。図17(a)、図17(b)においては、半導体基板1 5 1上にポリシリコンからなる略矩形形状の複数のゲート電極1 5 2(ゲート電極1 5 2 A、ゲート電極1 5 2 B、ゲート電極1 5 2 C)が略平行に形成されている。

【0042】

ここで、ゲート電極1 5 2 Aとゲート電極1 5 2 Bとはゲート電極1 5 2の長手方向(図17(a)におけるX方向。以下、長手方向と呼ぶ)において距離L X 2だけ離間して略同一線上に配置されている。距離L X 2は、長手方向(図17(a)におけるX方向)において隣接するゲート電極1 5 2 Aとゲート電極1 5 2 Bとの距離である。また、ゲート電極1 5 2 Cは、ゲート電極1 5 2 Aとゲート電極1 5 2 Bとに対してゲート電極1 5 2の短手方向(図17(a)におけるY方向。以下、短手方向と呼ぶ。)において距離L Y 2だけ離間して、且つ、長手方向(図17(a)におけるX方向)においてゲート電極1 5 2 Aおよびゲート電極1 5 2 Bにそれぞれ一部、例えば略同一長さだけ重複して配置されている。距離L Y 2は、短手方向(図17(a)におけるY方向)において隣接する、ゲート電極1 5 2 Aとゲート電極1 5 2 Cとの距離およびゲート電極1 5 2 Bとゲート電極1 5 2 Cとの距離である。なお、詳細にはゲート電極1 5 2の下部にはゲート絶縁膜が形成され、半導体基板1 5 1には素子形成領域や素子分離領域などが形成されるが、ここでは省略する。

【0043】

本実施の形態では、距離L X 2は、フォトリソグラフィ技術の解像度の限界を超えた非

10

20

30

40

50

常に短い距離とされており、形成が非常に困難な構成とされている。また、距離LY2は、フォトリソグラフィ技術の解像度の限界を超えた非常に短い距離とされており、形成が非常に困難な構成とされている。このようなレイアウトとすることで、本実施の形態にかかる半導体装置は、トランジスタが高集積され、小面積化が図られた半導体装置が実現されている。

#### 【0044】

以下、上述した本実施の形態にかかる半導体装置におけるゲート電極の製造方法について図18～図23を用いて説明する。図18～図23は本実施の形態にかかる半導体装置の製造方法を説明するための図であり、各図の(a)は平面図であり、各図の(b)は、各図の(a)のA-Aにおける断面図である。また、以下の説明ではゲート絶縁膜の形成

10

#### 【0045】

次に、抽出したゲート電極152の矩形パターン152pのうちゲート電極152Aの矩形パターン152pをゲートパターンA(以下、ゲートAと呼ぶ)153、ゲート電極152Bの矩形パターン152pをゲートパターンB(以下、ゲートBと呼ぶ)154としてゲート電極152の設計レイアウトをゲートA153とゲートB154との2つに分割する。

#### 【0046】

また、ゲート電極152Cは、長手方向(図18(a)におけるX方向)においてゲート電極152Aの矩形パターン152p(ゲートA)とゲート電極152Bの矩形パターン152p(ゲートB)とのどちらにも重複(対向)しない位置を境界にして略矩形形状の2つのパターンに分割し、且つ短手方向(図18(a)におけるY方向)において隣接するパターンが異なるパターンとなるように、分割した2つのパターンをゲートA153とゲートB154とに分類する。すなわち、分割した2つのパターンのうち、短手方向(図18(a)におけるY方向)において、ゲート電極152Aの矩形パターン152p(ゲートA)と隣接する位置のゲート電極152Cの矩形パターン152pをゲートB154、ゲート電極152Bの矩形パターン152p(ゲートB)と隣接する位置のゲート電極152Cの矩形パターン152pをゲートA153とする。

20

#### 【0047】

そして、分類されたそれぞれのレイアウトに対し、半導体基板上に設計値どおりのパターンが形成されるように、光近接効果補正(OPC:Optical Proximity Correction)を用いて補正されたゲート電極パターンが形成されたフォトマスクを作製する。すなわち、ゲートA用フォトマスクと、ゲートB用フォトマスクと、の2つのフォトマスクを作製する。このとき、フォトマスクにおけるゲートAとゲートBとのパターンは、図19に示すようにゲートA153とゲートB154とが長手方向において互いが数十nm程度重なるように形成される。

30

#### 【0048】

次に、図20(a)、(b)に示すように半導体基板151の主面上にゲート電極形成用のポリシリコン膜152aを形成し、その上にハードマスク膜161aとして例えばシリコン窒化膜を形成する。

40

#### 【0049】

そして、ゲートA用のフォトマスクを用いたフォトリソグラフィにより、図20(a)、(b)に示すようにハードマスク膜161a上に第1のレジストパターン162を形成する。これにより、半導体基板151の主面上におけるゲートA153に対応した位置に第1のレジストパターン162が形成される。その後、必要に応じてエッチングにより第1のレジストパターン132のスリミング処理を行う。

#### 【0050】

次に、第1のレジストパターン162をマスクとして用いてハードマスク膜161aをエッチングし、図21(a)、(b)に示すようにポリシリコン膜152a上にハードマ

50

スクパターン 161 を形成する。これにより、半導体基板 151 の主面上におけるゲート A 153 に対応した位置にハードマスクパターン 161 が形成される。

【0051】

次に、ゲート B 用のフォトマスクを用いたフォトリソグラフィにより、図 22 (a)、(b) に示すようにゲート B 154 に対応した位置に第 2 のレジストパターン 162 を形成する。また、ゲート A 用フォトマスクのパターンとゲート B 用フォトマスクのパターンとが図 19 に示すように長手方向において互いが数十 nm 程度重なるように形成されているため、第 2 のレジストパターン 163 はその一部がハードマスクパターン 161 と重なって形成される。その後、必要に応じてエッチングにより第 2 のレジストパターン 163 のスリミング処理を行う。

10

【0052】

次に、ハードマスクパターン 161 と第 2 のレジストパターン 163 とをマスクとして用いてポリシリコン膜 152 a をエッチングし、ハードマスクパターン 161 と第 2 のレジストパターン 163 とを除去することで、図 17 (a)、(b) に示したゲート電極 152 を形成することができる。

【0053】

上述したように、本実施の形態にかかる半導体装置の製造方法によれば、ゲート電極 152 A 形成用のエッチングマスクである第 2 のレジストパターン 163 と、ゲート電極 152 B 形成用のエッチングマスクであるハードマスクパターン 161 とをリソグラフィ工程により形成する際に、長手方向において隣接するエッチングマスクを異なるリソグラフィ工程により形成する。すなわち、長手方向において隣接するゲート電極 152 のパターンを片方ずつ異なるフォトマスク上に配置し、2 回の露光工程に分けてエッチングマスクに転写する。これにより、長手方向において隣接するゲート電極 152 間の距離である  $L \times 2$  がフォトリソグラフィ技術の解像度の限界を超えた長さであっても、エッチングマスク形成の際の距離  $L \times 2$  に起因したフォトリソグラフィ工程の露光における寸法精度の劣化を防止することができ、長手方向における所望の位置に良好な位置精度で複数のゲート電極 152 を形成することができる。なお、ここでは長手方向において隣接するゲート電極 152 のパターンを片方ずつ異なるフォトマスク上に配置し、2 回の露光工程に分けてエッチングマスクに転写する場合について説明したが、隣接するゲート電極 152 のパターンを 1 枚のフォトマスクに別々に配置して、2 回の露光工程に分けてエッチングマスクに転写してもよい。

20

30

【0054】

また、本実施の形態にかかる半導体装置の他の製造方法によれば、ゲート電極 152 C 形成用のエッチングマスクをハードマスクパターン 161 と第 2 のレジストパターン 163 とに分割して作製する。また、ハードマスクパターン 161 と第 2 のレジストパターン 163 とを形成する際に、長手方向においてエッチングマスクが重複する領域を異なるリソグラフィ工程により形成する。これにより、短手方向において隣接するゲート電極 152 間の距離である距離  $L \times 2$  がフォトリソグラフィ技術の解像度の限界を超えた長さであっても、距離  $L \times 2$  に起因したフォトリソグラフィ工程の露光における寸法精度の劣化を防止することができ、短手方向における所望の位置に良好な位置精度で複数のゲート電極 152 を形成することができる。

40

【0055】

また、本実施の形態においては、ゲート A 用フォトマスクとゲート B 用フォトマスクとにおいてゲート A とゲート B のパターンが長手方向において互いが数十 nm 程度重なるように形成されるため、第 2 のレジストパターン 163 はその一部がハードマスクパターン 161 と重なって形成される。これにより、ゲート A 用フォトマスクを用いてハードマスクパターン 161 を形成する際、またはゲート B 用フォトマスクを用いて第 2 のレジストパターン 163 を形成する際に、長手方向において多少の位置ずれが生じてハードマスクパターン 161 と第 2 のレジストパターン 163 とが離間することが防止される。すなわち、ゲート電極 152 を形成するためのマスクを 2 回の異なるリソグラフィ工程により

50

形成することに起因してゲート電極 152C 形成用のマスクパターンが分断されることが防止され、所望の形状のゲート電極 152C を形成することができる。

【0056】

したがって、本実施の形態にかかる半導体装置の製造方法によれば、長手方向および短手方向において隣接するゲート電極間の距離を短縮しつつ、これらの部材を所望の位置に良好な位置精度で形成することができ、半導体装置の小面積化を図ることができる。

【0057】

(第4の実施の形態)

第4の実施の形態では、半導体装置における配線層の製造方法について説明する。図24は、第4の実施の形態にかかる半導体装置における配線層の配置を説明するための図であり、図24(a)は平面図、図24(b)は断面図である。図24(a)、図24(b)においては、層間絶縁膜171上に銅(Cu)からなる略矩形形状の複数の銅(Cu)配線172(Cu配線172A、Cu配線172B、Cu配線172C)が略平行に形成されている。

10

【0058】

ここで、Cu配線172AとCu配線172BとはCu配線172の長手方向(図23(a)におけるX方向。以下、長手方向と呼ぶ)において距離LX3だけ離間して略同一線上に配置されている。距離LX3は、長手方向(図23(a)におけるX方向)において隣接するCu配線172AとCu配線172Bとの距離である。また、Cu配線172Cは、Cu配線172AとCu配線172Bとに対してCu配線172の短手方向(図23(a)におけるY方向。以下、短手方向と呼ぶ。)において距離LY3だけ離間して、且つ、長手方向(図23(a)におけるX方向)においてCu配線172AおよびCu配線172Bに略同一長さだけ重複して配置されている。距離LX3は、短手方向(図23(a)におけるY方向)において隣接する、Cu配線172AとCu配線172Cとの距離およびCu配線172BとCu配線172Cとの距離である。

20

【0059】

本実施の形態では、距離LX3、フォトリソグラフィ技術の解像度の限界を超えた非常に短い距離とされており、形成が非常に困難な構成とされている。また、距離LY3は、フォトリソグラフィ技術の解像度の限界を超えた非常に短い距離とされており、形成が非常に困難な構成とされている。このようなレイアウトとすることで、本実施の形態にかかる半導体装置は、トランジスタの高集積化、小面積化が可能とされている。

30

【0060】

以下、上述した本実施の形態にかかる半導体装置におけるCu配線172の製造方法について説明する。まず半導体装置の設計レイアウトの中から、Cu配線172の矩形パターン172pを抽出する。次に、抽出したCu配線172の矩形パターン172pのうちCu配線172Aの矩形パターン172pを配線パターンA(以下、配線Aと呼ぶ)173、Cu配線172Bの矩形パターン172pを配線パターンB(以下、配線Bと呼ぶ)174としてCu配線172の設計レイアウトを配線A153と配線B154との2つに分類する。

【0061】

以降は、第3の実施の形態の図20以降と同様の工程を実施することで、(Cu)配線172(Cu配線172A、Cu配線172B、Cu配線172C)を形成することができる。この場合、配線AがゲートAに対応し、配線BがゲートBに対応する。また、本実施の形態においてはポリシリコン膜152aの代わりにCu膜を形成する。

40

【0062】

本実施の形態にかかる半導体装置の製造方法によれば、Cu配線172A形成用のエッチングマスクをリソグラフィ工程により形成する際に、長手方向において隣接するエッチングマスクを異なるリソグラフィ工程により形成する。すなわち、長手方向において隣接するCu配線172のパターンを片方ずつ異なるフォトマスク上に配置し、2回の露光工程に分けてエッチングマスクに転写する。これにより、長手方向において隣接するCu配

50

線 172 間の距離である  $L \times 3$  がフォトリソグラフィ技術の解像度の限界を超えた長さであっても、エッチングマスク形成の際の距離  $L \times 3$  に起因したフォトリソグラフィ工程の露光における寸法精度の劣化を防止することができ、長手方向における所望の位置に良好な位置精度で複数の Cu 配線 172 を形成することができる。なお、ここでは長手方向において隣接する Cu 配線 172 のパターンを片方ずつ異なるフォトマスク上に配置し、2 回の露光工程に分けてエッチングマスクに転写する場合について説明したが、隣接する Cu 配線 172 のパターンを 1 枚のフォトマスクに別々に配置して、2 回の露光工程に分けてエッチングマスクに転写してもよい。

【0063】

また、本実施の形態にかかる半導体装置の他の製造方法によれば、Cu 配線 172 C 形成用のエッチングマスクを分割して作製する。また、エッチングマスクを形成する際に、長手方向においてエッチングマスクが重複する領域を異なるリソグラフィ工程により形成する。これにより、短手方向において隣接する Cu 配線 172 間の距離である距離  $L \times 3$  がフォトリソグラフィ技術の解像度の限界を超えた長さであっても、距離  $L \times 3$  に起因したフォトリソグラフィ工程の露光における寸法精度の劣化を防止することができ、短手方向における所望の位置に良好な位置精度で複数の Cu 配線 172 を形成することができる。

【0064】

また、本実施の形態においては、配線 A 用フォトマスクと配線 B 用フォトマスクとにおいて配線 A と配線 B のパターンが長手方向において互いが数十 nm 程度重なるように形成される。これにより、Cu 配線 172 を形成するためのマスクを 2 回の異なるリソグラフィ工程により形成することに起因して Cu 配線 172 C 形成用のマスクパターンが分断されることが防止され、所望の形状の Cu 配線 172 C を形成することができる。

【0065】

したがって、本実施の形態にかかる半導体装置の製造方法によれば、長手方向および短手方向において隣接する配線間の距離を短縮しつつ、これらの部材を所望の位置に良好な位置精度で形成することができ、半導体装置の小面積化を図ることができる。

【図面の簡単な説明】

【0066】

【図 1】この発明の一実施形態に従った半導体装置の構成を説明する図である。

【図 2】この発明の一実施形態に従った半導体装置の製造方法を説明する図である。

【図 3】この発明の一実施形態に従った半導体装置の製造方法を説明する図である。

【図 4】この発明の一実施形態に従った半導体装置の製造方法を説明する図である。

【図 5】この発明の一実施形態に従った半導体装置の製造方法を説明する図である。

【図 6】この発明の一実施形態に従った半導体装置の製造方法を説明する図である。

【図 7】この発明の一実施形態に従った半導体装置の製造方法を説明する図である。

【図 8】この発明の一実施形態に従った半導体装置の製造方法を説明する図である。

【図 9】この発明の一実施形態に従った半導体装置の製造方法を説明する図である。

【図 10】この発明の一実施形態に従った半導体装置の製造方法を説明する図である。

【図 11】この発明の一実施形態に従った半導体装置の製造方法を説明する図である。

【図 12】この発明の一実施形態に従った半導体装置の他の製造方法を説明する図である。

【図 13】この発明の一実施形態に従った半導体装置の他の製造方法を説明する図である。

【図 14】この発明の一実施形態に従った半導体装置の他の製造方法を説明する図である。

【図 15】この発明の一実施形態に従った半導体装置の他の製造方法を説明する図である。

【図 16】この発明の一実施形態に従った半導体装置の他の製造方法を説明する図である。

10

20

30

40

50

【図 17】この発明の一実施形態に従った半導体装置のゲート電極を説明する図である。

【図 18】この発明の一実施形態に従った半導体装置のゲート電極の製造方法を説明する図である。

【図 19】この発明の一実施形態に従った半導体装置のゲート電極の製造方法を説明する図である。

【図 20】この発明の一実施形態に従った半導体装置のゲート電極の製造方法を説明する図である。

【図 21】この発明の一実施形態に従った半導体装置のゲート電極の製造方法を説明する図である。

【図 22】この発明の一実施形態に従った半導体装置のゲート電極の製造方法を説明する図である。

【図 23】この発明の一実施形態に従った半導体装置の配線層を説明する図である。

【図 24】この発明の一実施形態に従った半導体装置の配線層の製造方法を説明する図である。

【符号の説明】

【0067】

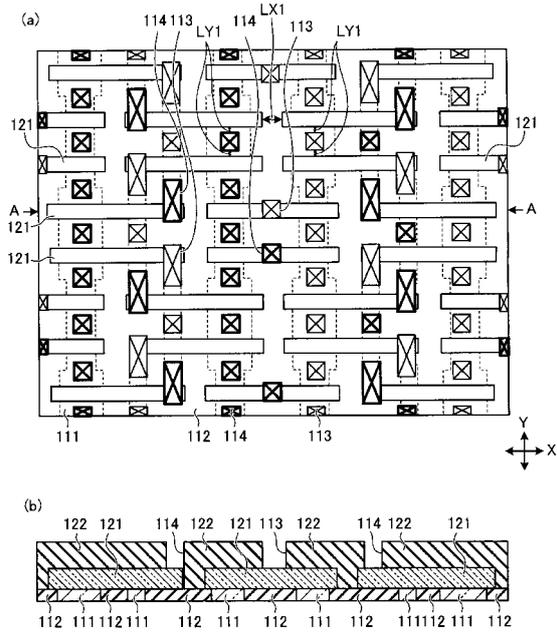
11 ゲートパターンA(ゲートA)、12 ゲートパターンB(ゲートB)、13  
 コンタクトホールパターンA、14 コンタクトホールパターンB、111 素子形成領  
 域(活性領域)、112 素子分離領域、113 コンタクトA、114 コンタクトB  
 、121 ゲート電極、121a ポリシリコン膜、121p ゲート電極121の矩形  
 パターン、122 層間絶縁膜、131 第1のハードマスクパターン、131a 第1  
 のハードマスク膜、132 第1のレジストパターン、133 第2のレジストパターン  
 、134 第2のハードマスクパターン、134a 第2のハードマスク膜、135 第  
 3のレジストパターン、136 第4のレジストパターン、141 第1のハードマスク  
 パターン、141a 第1のハードマスク膜、142 第2のハードマスクパターン、1  
 42a 第2のハードマスク膜、151 半導体基板、152 ゲート電極、152(1  
 52A、152B、152C) ポリシリコン膜、153 ゲートパターンA(ゲートA  
 )、154 ゲートパターンB(ゲートB)、161 ハードマスクパターン、161a  
 ハードマスク膜、162 第1のレジストパターン、163 第2のレジストパターン  
 、171 層間絶縁膜、172 銅(Cu)配線、173 配線パターンA、174 配  
 線パターンB。

10

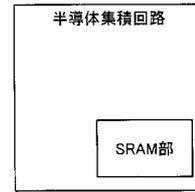
20

30

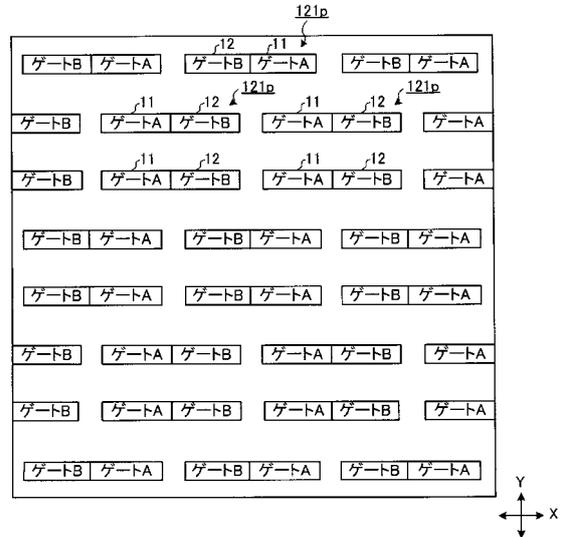
【図1】



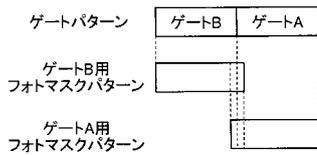
【図2】



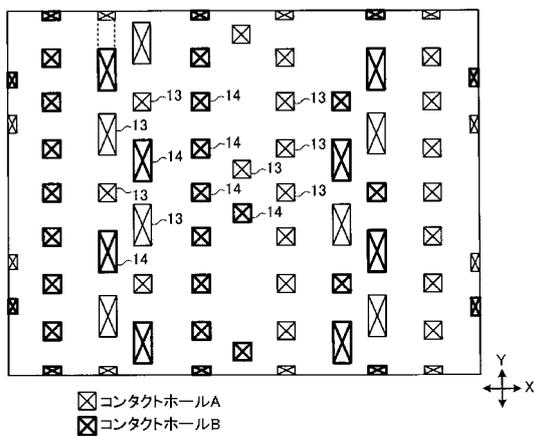
【図3】



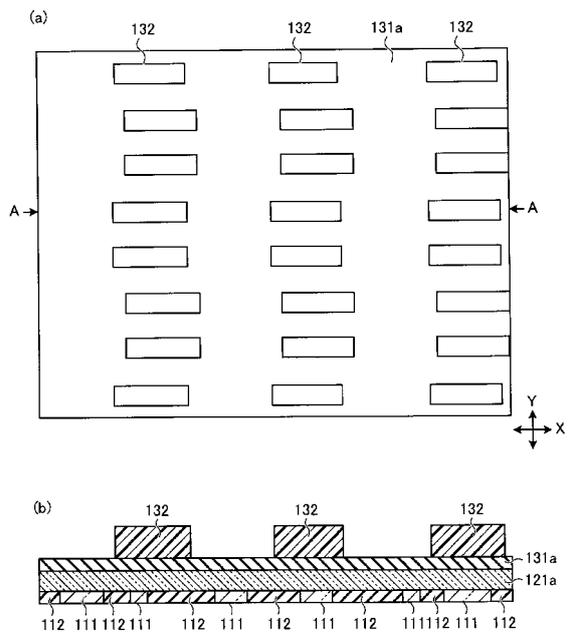
【図4】



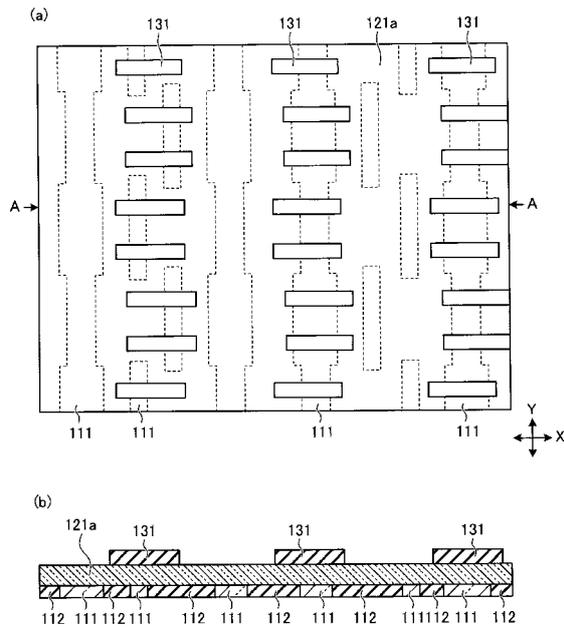
【図5】



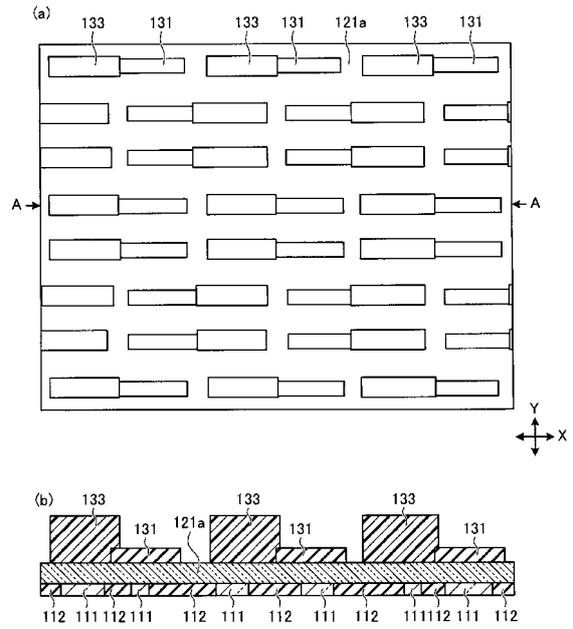
【図6】



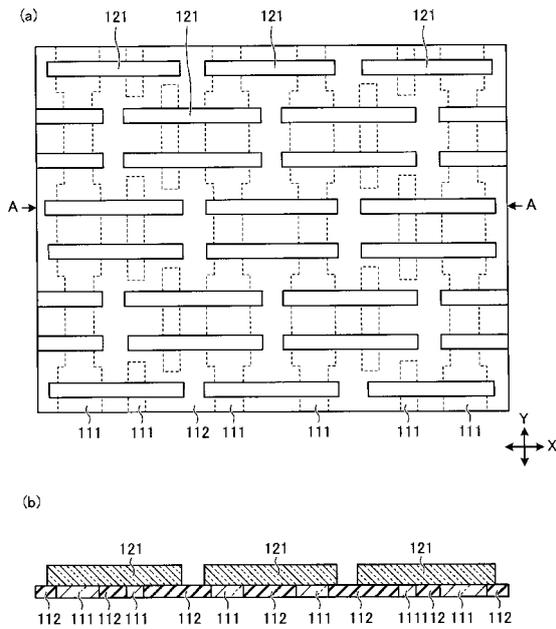
【 図 7 】



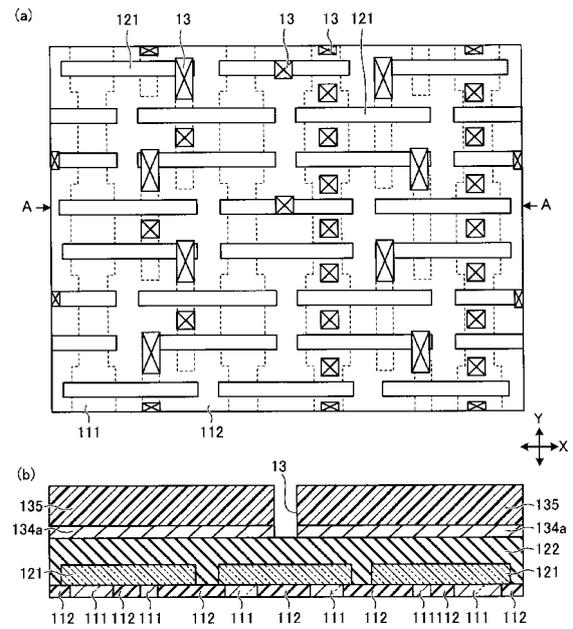
【 図 8 】



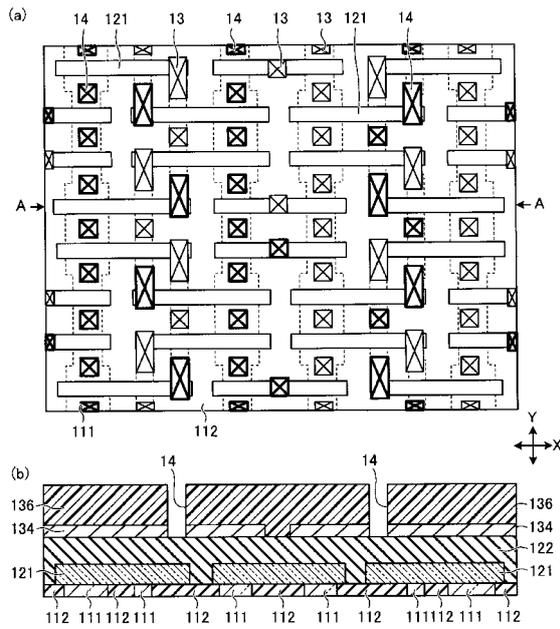
【 図 9 】



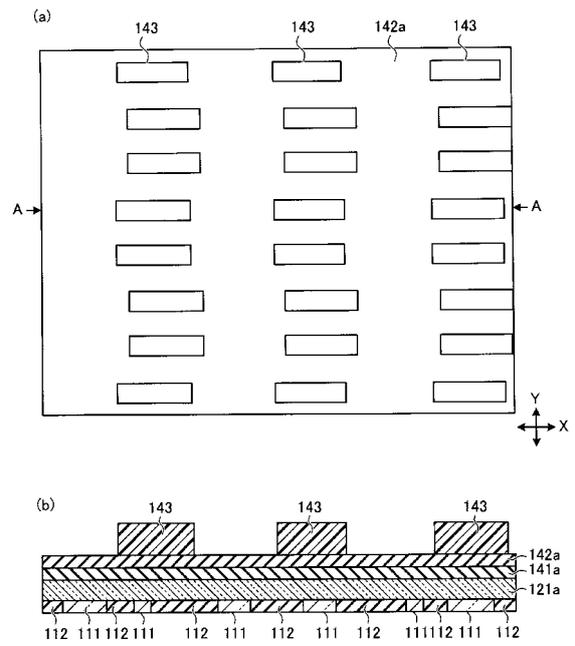
【 図 10 】



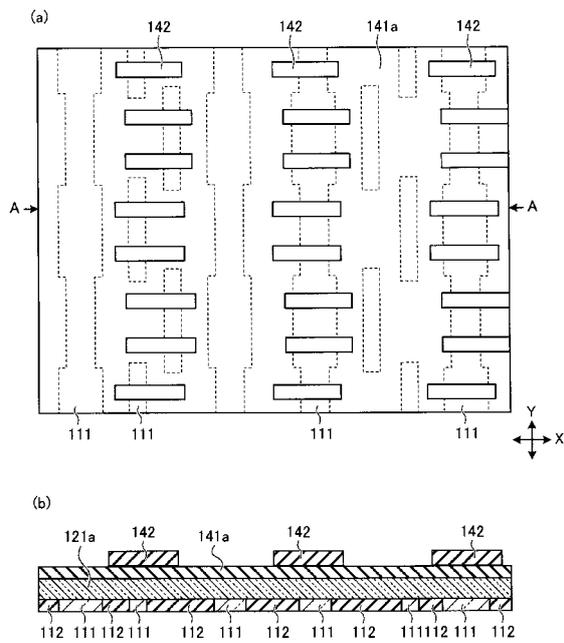
【 図 1 1 】



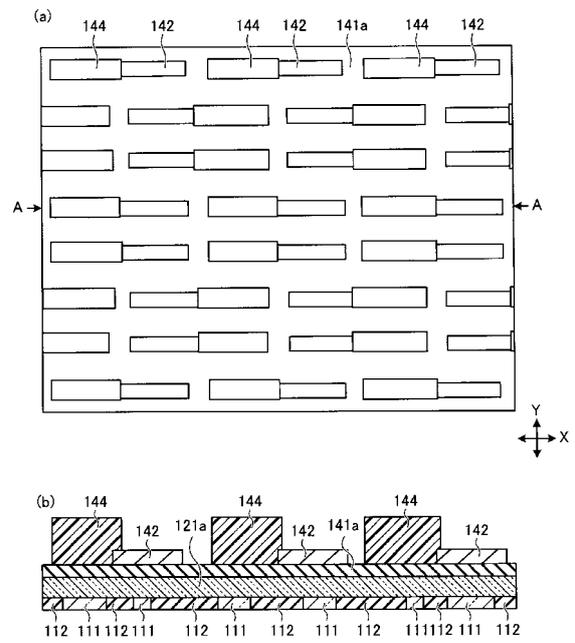
【 図 1 2 】



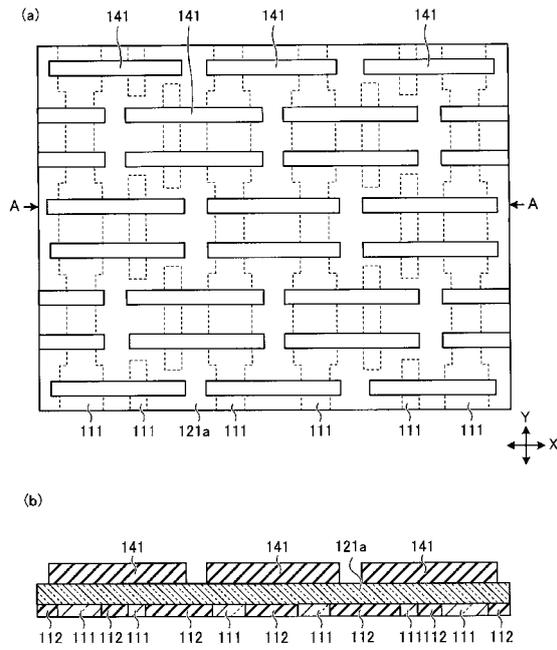
【 図 1 3 】



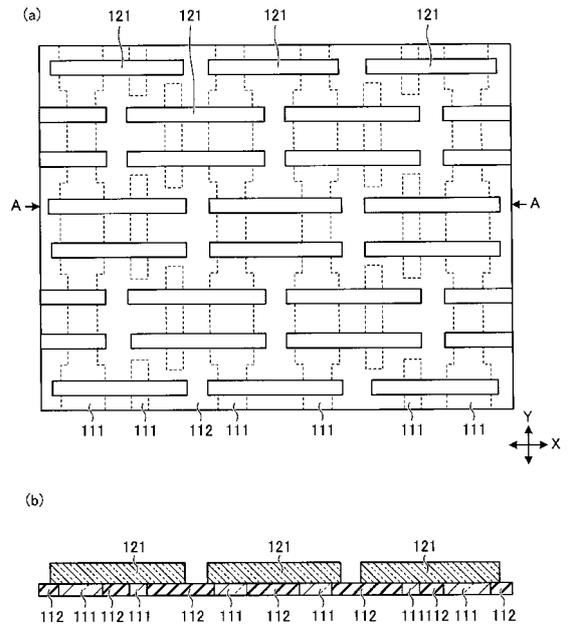
【 図 1 4 】



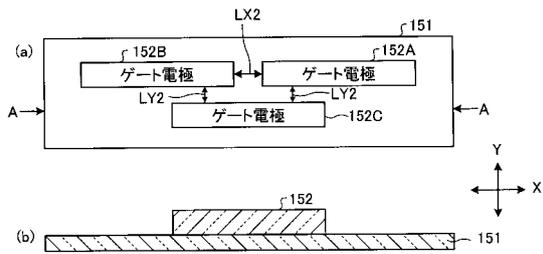
【図15】



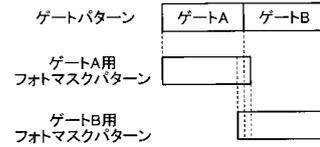
【図16】



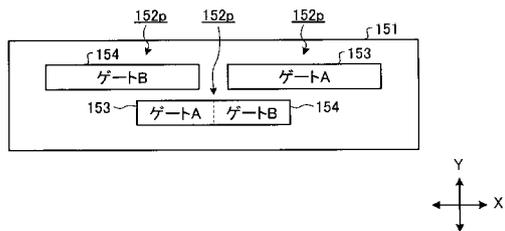
【図17】



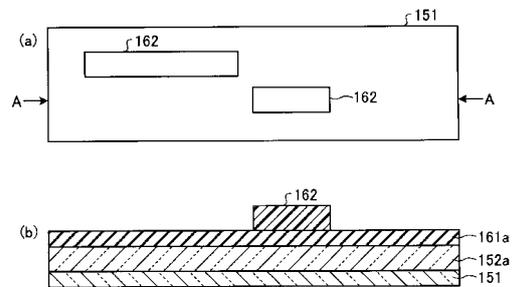
【図19】



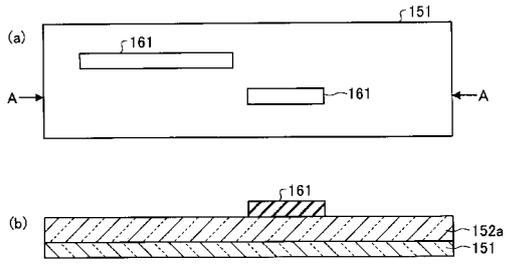
【図18】



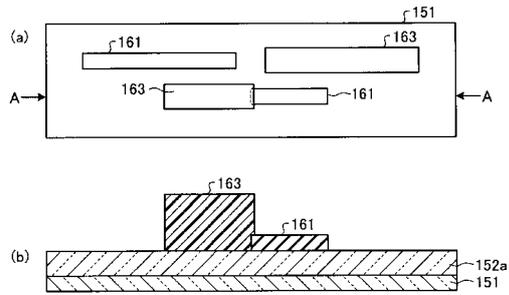
【図20】



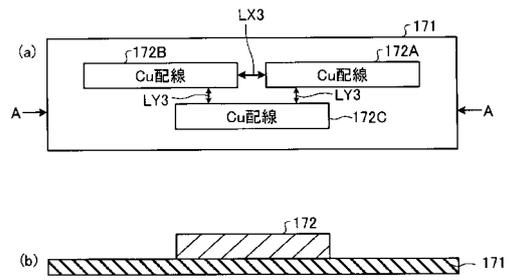
【図 2 1】



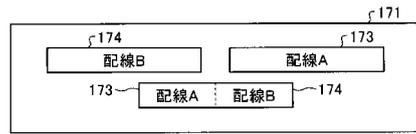
【図 2 2】



【図 2 3】



【図 2 4】



---

フロントページの続き

- (56)参考文献 特開平04 - 212957 (JP, A)  
特開2001 - 060003 (JP, A)  
特開2005 - 150494 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/28 - 21/288  
H01L 21/3205  
H01L 21/3213  
H01L 21/44 - 21/445  
H01L 21/768  
H01L 23/52 - 23/522  
H01L 29/40 - 29/49  
H01L 29/872  
H01L 21/30  
H01L 21/027  
H01L 27/10 - 27/112  
H01L 21/8242 - 21/8247  
H01L 21/8229