(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2009-522902
(P2009-522902A)
(43)公表日　平成21年6月11日(2009.6.11)

(51)Int.Cl.		F I		テーマコード（参考）
H04L 7/04	(2006.01)	H04L 7/04	B	5K047

審査請求 有　予備審査請求 未請求　（全 12 頁）

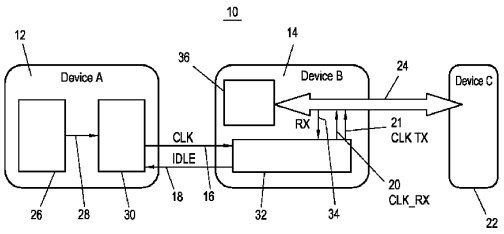
(21)出願番号	特願2008-549074 (P2008-549074)
(86)(22)出願日	平成18年12月14日 (2006.12.14)
(85)翻訳文提出日	平成20年8月29日 (2008.8.29)
(86)国際出願番号	PCT/IB2006/054845
(87)国際公開番号	WO2007/077501
(87)国際公開日	平成19年7月12日 (2007.7.12)
(31)優先権主張番号	06100035.2
(32)優先日	平成18年1月3日 (2006.1.3)
(33)優先権主張国	欧州特許庁 (EP)

(71)出願人　507219491
エヌエックスピー　ビー　ヴィ
オランダ国　５６５６エイジー　アインドーフェン　ハイ　テク　キャンパス　６０
(74)代理人　100147485
弁理士　杉村　憲司
(74)代理人　100134005
弁理士　澤田　達也
(74)代理人　100143568
弁理士　英　貢

最終頁に続く

(54)【発明の名称】シリアルデータ通信システムおよび方法

(57)【要約】
シリアルデータ通信システム(10)が、制御信号(18)に応じたデューティサイクルを有するクロック信号(16)を発生するように構成されたローカルクロック発生装置(12)、及びシリアルデータ信号の受信に応じて上記制御信号(18)を発生し、上記ローカルクロック発生装置(12)から受信したクロック信号(16)から送信及び受信クロック信号(20,21)を導出するように構成されたシリアルデータ通信制御装置(14)を備えている。



【特許請求の範囲】
【請求項１】
制御信号に応じたデューティサイクルを有するクロック信号を発生するローカルクロック信号発生装置と；
シリアルデータ信号の受信に応じて前記制御信号を発生し、前記ローカルクロック発生装置から受信した前記クロック信号から送信クロック信号および受信クロック信号を導出するように構成されたシリアルデータ通信制御装置と
を備えていることを特徴とするシリアルデータ通信システム。
【請求項２】
前記ローカルクロック発生装置が、前記制御信号が第１状態を有する場合に第１デューティサイクルを有する前記クロック信号を発生し、前記制御信号が第２状態を有する場合に、前記第１デューティサイクルとは異なる第２デューティサイクルを有する前記クロック信号を発生するように構成されていることを特徴とする請求項１に記載のシリアルデータ通信システム。
【請求項３】
前記シリアルデータ通信制御装置が、前記シリアルデータ信号を所定時間受信した後に、前記ローカルクロック発生装置から受信した前記クロック信号から前記送信クロック信号および前記受信クロック信号を導出するように構成されていることを特徴とする請求項１に記載のシリアルデータ通信システム。
【請求項４】
前記シリアルデータ通信制御装置が、前記制御信号がそれぞれの状態を有する際に、前記クロック信号のパルスの負のエッジによってトリガされて前記受信クロック信号の負のパルスを発生するように構成されていることを特徴とする請求項１に記載のシリアルデータ通信システム。
【請求項５】
RS２３２規格に従ってデータをシリアルに送信および受信するように構成されていることを特徴とする請求項１に記載のシリアルデータ通信システム。
【請求項６】
高周波ローカルクロック信号を発生する発振器と；
制御信号に応じたデューティサイクルを有する高周波ローカルクロック信号からクロック信号を発生するように構成されたクロック発生回路と
を備えていることを特徴とするローカルクロック発生装置。
【請求項７】
受信データ信号から、クロック信号の発生を制御するための制御信号を発生するように構成された送受信クロック発生回路と；
シリアルデータ通信装置から受信したデータ、およびシリアルデータ通信装置に送信するデータを処理するデータ処理回路と
を備えていることを特徴とするシリアルデータ通信制御装置。
【請求項８】
前記送受信クロック発生回路が、マルチプレクサを有する制御信号発生回路と、カウンタを備えたマルチプレクサ制御回路とを備え、前記マルチプレクサは、前記受信データ信号および一定値の信号を当該マルチプレクサの入力信号として受信し、前記マルチプレクサ制御回路は、前記カウンタのカウント値に応じて、前記マルチプレクサの前記入力信号のいずれかを前記マルチプレクサの出力に切り替え接続して前記制御信号とするように構成されていることを特徴とする請求項７に記載のシリアルデータ通信装置。
【請求項９】
ローカルクロック発生装置が、制御信号に応じたデューティサイクルを有するクロック信号を発生するステップと；
シリアルデータ通信制御装置が、シリアルデータ信号の受信に応じて前記制御信号を発生し、前記ローカルクロック発生装置から受信した前記クロック信号から、送信クロック

信号及び受信クロック信号を導出するステップと
を備えていることを特徴とするシリアルデータ通信方法。
【発明の詳細な説明】
【技術分野】
【０００１】
（発明の分野）
本発明は、シリアルデータ通信、特に非同期シリアルデータ通信に関するものである。
【背景技術】
【０００２】
（発明の背景）
シリアルデータ通信システムにおける本質的なコスト要因は、クロック信号を送受信するために必要なピンの本数である。他の重要なコスト基準は、シリアルデータ通信システムの装置間の通信接続のクロック周波数である、というのは、クロック周波数がシステムの電力消費を決定するからである。
【０００３】
いくつかの装置を有するシリアルデータ通信システムは、ローカル（局所的）クロック発生器または高周波クロック信号を用いて、必要な通信クロックをそこから導出することが多い。しかし、データを送受信するためにいくつかの異なる通信クロックを必要とする場合には、この高周波クロック信号は、異なる通信クロックを導出することを可能にするために、最速の通信クロックの何倍もの周波数を有しなければならない。一般に、この周波数は最速の通信クロックの２０～４０倍でなければならない。例えば５Mbaud（ボー）の通信クロックについては、１００から２００MHzの周波数を有する高周波クロック信号が必要になる。このような高周波数を複数のピンを通して導かなければならず、このことは非常に大量の電力消費を生じさせる。
【０００４】
単一の装置を、データを送受信するための異なる通信クロック信号を発生するローカルクロック発生器として設けることも可能である。この通信クロック信号はデータ通信装置に導かれ、このデータ通信装置は、この通信クロック信号を用いて、他のデータ通信装置に信号を送信し、他のデータ通信装置から信号を受信する。しかし、このことは、送信クロック信号、受信クロック信号、および通信を制御する制御信号を導くために、ローカルクロック発生器から各装置への少なくとも３本の接続線を必要とする。したがって配線が複雑になる。
【発明の開示】
【発明が解決しようとする課題】
【０００５】
（発明の目的及び概要）
本発明の目的は、前述した解決法よりも複雑でない配線を必要とするシリアルデータ通信システムおよび方法を提供することにある。
【課題を解決するための手段】
【０００６】
上記目的を達成するために、本発明によるシリアルデータ通信システムによって次に規定する特徴が提供され、即ち、本発明によるシリアルデータ通信システムは：
制御信号に依存するデューティサイクルを有するクロック信号を発生するように構成されたローカルクロック発生装置と；
シリアルデータ信号の受信に応じて制御信号を発生し、上記ローカルクロック発生装置から受信したクロック信号から送信及び受信クロック信号を導出するように構成されたシリアルデータ通信制御装置とを備えていることを特徴とする。
【０００７】
上記目的を達成するために、本発明によるシリアルデータ通信方法によって次に規定する特徴が提供され、即ち、本発明によるシリアルデータ通信システムは：

ローカルクロック発生装置が、制御信号に依存したデューティサイクルを有するクロック信号を発生するステップと；
シリアルデータ通信制御装置が　シリアルデータ信号の受信に応じて制御信号を発生し、上記ローカルクロック発生装置から受信したクロック信号から送信及び受信クロック信号を導出するステップとを備えている。

【０００８】

本発明による特徴は、クロック信号を送信するために、ローカルクロック発生装置とシリアルデータ通信制御装置との間に単一のクロックライン（線）しか必要としないという利点を提供する。したがって、これら２つの装置間の配線がより複雑でなくなる。さらに、集積回路の場合には、シリアルデータ通信制御装置が、ローカルクロック発生装置が必要とするクロック信号の発生を制御することができるので、システムの電力消費を増大させて高周波クロック信号をピンやパッドを通して導かなければならないことがない。

【０００９】

上記ローカルクロック発生装置は、上記制御信号が第１状態を有する場合に第１デューティサイクルを有し、上記制御信号が第２状態を有する場合に、第１デューティサイクルとは異なる第２デューティサイクルを有するクロック信号を発生するよう構成することができる。例えば、上記制御信号は、クロックの発生を制御するための論理値0および論理値１の２つの状態を有する論理信号とすることができる。

【００１０】

信頼性のある動作のために、上記シリアルデータ通信制御装置は、シリアルデータ信号を所定時間受信した後に、上記ローカルクロック発生装置から受信したクロック信号から送信及び受信クロック信号を導出するよう構成することができる。この所定時間は、受信したデータ信号に含まれる妨害信号をフィルターで除去するためのフィルターとして働く。妨害信号は通常非常に短く、即ち、この所定時間よりずっと短いので、これらの妨害信号は受信および送信クロック信号の導出に影響し得ない。

【００１１】

本発明の好適例では、上記シリアルデータ通信制御装置は、上記制御信号がそれぞれの状態を有する際に、上記クロック信号パルスの負の（立下り）エッジによってトリガされて上記受信クロック信号のパルスを発生するように構成されている。

【００１２】

本発明の好適例では、上記システムが、RS232規格に従ってデータをシリアルで送受信するよう構成されている。

【００１３】

他の態様によれば、本発明は、本発明によるシステムとともに使用されるローカルクロック発生装置に関するものであり、このローカルクロック発生装置は、ローカル高周波クロック信号を発生するための発振器、およびこのローカル高周波クロック信号から、制御信号に応じたデューティサイクルを有するクロック信号を発生するように構成されたクロック発生回路を備えている。この装置は例えば独立した装置として、あるいは本発明によるシリアルデータ通信システムを備えた集積回路内に実現することができる。

【００１４】

さらに他の態様によれば、本発明は、本発明によるシステムまたは装置とともに使用されるシリアルデータ通信制御装置に関するものであり、このシリアルデータ通信装置は、受信データ信号からクロック信号の発生を制御するための制御信号を発生するよう構成された送受信クロック発生回路、およびシリアルデータ通信装置から受信したデータ及びシリアルデータ通信装置に送信されるデータを処理するデータ処理回路を備えている。

【００１５】

一好適例では、上記送受信クロック発生回路が、マルチプレクサ（多重器）を有する制御信号発生回路、及びカウンタを備えたマルチプレクサ制御回路を備え、上記マルチプレクサは、受信データ信号および一定値の信号をその入力側で受信し、上記マルチプレクサ制御回路は、カウンタのカウント値に応じてマルチプレクサの入力信号のいずれかをマル

チプレクサの出力に切り替え接続して制御信号とするように構成されている。

【００１６】

本発明の上述した態様および他の態様は、以下に記載する好適な実施例より明らかになり、これらの実施例を参照しながら説明する。

以下、本発明を、好適な実施例を参照しながらより詳細に説明する。しかし、本発明はこの好適な実施例に限定されない。

【発明を実施するための最良の形態】

【００１７】

図１に、シリアルデータ通信システム10の概略的な回路ブロック図を示し、シリアルデータ通信システム10は、ローカルクロック発生装置12（図１では装置Ａとも表す）およびシリアルデータ通信制御装置14（図１では装置Bとも表す）を備えている。例えば非同期マイクロプロセッサによって実現される装置Ｂ 14は、シリアル通信リンク24上で他の装置Ｃ 22（例えばパーソナルコンピュータPC）と通信する。装置Ｂ 14と装置Ｃ 22とは、シリアル通信リンク24上で高いデータレートでシリアルにデータを送信及び受信することができ、シリアル通信リンク24は例えばRS232規格に基づくものとすることができる。しかし、本発明はRS232に基づくシリアル通信リンクに限定されず、個別のクロックラインが指定されていないすべての非同期シリアル通信リンクに適用することができる。

【００１８】

ローカルクロック発生装置14は例えば、13.56ＭＨｚ水晶発振器26を有して非常に正確かつ安定した高周波ローカルクロック信号28を発生するNFC装置とすることができる。この高周波ローカルクロック信号28はクロック発生回路30に供給され、クロック発生回路30は、シリアルデータ通信制御装置14から受信した制御信号IDLE 18の状態に応じたデューティサイクルを有するクロック信号CLK 16を発生する。クロック信号CLK 16は、シリアルデータ通信制御装置14では、装置Ｃ 22から受信したシリアルデータ信号に含まれるデータをサンプリングするための受信クロック信号CLK_RX 20を導出するために使用される。さらに、クロック信号CLK 16は、連続データ通信制御装置14でも、送信クロック信号CLK_TX 21を発生する基礎として使用される。

【００１９】

シリアルデータ通信制御装置14は、送受信クロック発生回路32を備え、送受信クロック発生回路32は、受信データ信号RX 34から制御信号IDLE 18を発生するように設計され、これについては後に詳細に説明する。さらに、送受信クロック発生回路32は、受信クロック信号CLK_RX 20および送信クロック信号CLK_TX 21を、共にクロック信号CLK 16から導出することによって発生するように設計されている。装置Ｂ 14は、装置Ｃから受信したデータおよび装置Ｃ 22に送信するデータを処理するデータ処理回路36も備えている。

【００２０】

図２に、受信データ信号RX 34から制御信号IDLE 18を発生する回路を示す。この回路は、受信データ信号RX_34および論理値0を入力側で受信するマルチプレクサ38を備えている。マルチプレクサ38は、カウンタ42およびコンパレータ（比較器）44によって発生されるマルチプレクサ制御信号40に応じて、その入力の一方をその出力に切り替え接続する。カウント値が０である場合には、コンパレータ44は、受信データ信号RX 34がマルチプレクサの出力に切り替え接続されるようなマルチプレクサ制御信号40を発生する。従って、制御信号IDLE 18は受信データ信号RX 34となる。カウント値が0でない場合には、コンパレータ44は、論理値0がマルチプレクサの出力に切り替え接続されるようなマルチプレクサ制御信号40を発生する。従って、制御信号IDLE 18は論理値0となる。

【００２１】

図３に、シリアルデータ通信システム10の信号の経過をタイミング図の形で示す。以下では、図１に示すシステム10の機能を、図３に示す信号の経過に関係付けて詳細に説明する。このタイミング図は、クロック信号CLK、送信クロック信号CLK_TX、受信クロック信号CLK_RX、およびローカルクロック発生装置12によって発生されるクロック信号CLKを制御するための制御信号IDLEを示す。信号の経過はRS232規格のプロトコルに対応する。

【００２２】
装置Ｂ 14と装置Ｃ 22との間のシリアル通信のために、通信装置14および22は次の宣言文を満足しなければならない。
a) 両方の装置が同じ周波数でシリアルデータを送信する、すなわち、一方の装置の送信クロック信号CLK_TXは他方の装置の受信クロック信号CLK_RXに等しくなければならない。
b) 両方の装置間のシリアル通信は、スタートビットのような初期化信号によって初期化され、この初期化信号は、シリアルデータが送信装置から受信装置に送信されることを受信装置に信号通知する。
ｃ）初期化信号後に、所定数のデータビット、例えば8または2ビットが送信され、この所定数のデータビット後に、ストップビットがシリアルデータ通信の終了を信号通知する。
【００２３】
図３のタイミング図には、各々が４ビット（１つのスタートビット、２つのデータビット、及び１つのストップビット）から成る２つのデータストリームのシリアル伝送を示す。
R232規格によれば、スタートビットは論理値0であり、ストップビットは論理値1である。タイミング図は時刻t0から始まる。装置Ｃ 22から装置Ｂ 14にデータが送信されないので、装置Ｂ 14では受信データ信号RX 34が論理値1である。受信データ信号RX 34はマルチプレクサ38によって切り替え接続されて制御信号IDLE 18になる（図２参照）。ローカルクロック発生装置12は、約50％の所定デューティサイクルを有するクロック信号CLK 16を発生する。クロック信号CLK16のクロック周波数は　時刻t3から時刻t1を減じた時間分のビット長によって規定され、時刻t2から時間t1を減じた時間分のデューティサイクルを有する。クロック信号CLK 16の各々の正の（立ち上がり）エッジは、時刻t1、t3、等で送受信クロック発生回路32をトリガして、送信クロック信号CLK_TX 21のパルスを発生させる。シリアルデータを受信しない限り、送受信クロック発生回路32は論理値0を受信クロック信号CLK_RX 20として出力する。
【００２４】
時刻t4では、装置Ｂ 14は装置Ｃ 22からの信号を受信し、この信号はシリアルデータ通信のスタートビットであり得る。この信号を受信すると、制御信号IDLE 18は送受信クロック発生回路32によって論理値１から論理値0に切り替えられる。クロック発生装置12は特定期間だけ待機し、この期間後に、制御信号IDLE 18がまだ（時刻t5において）論理値0であるか否かをチェックする。この特定期間は、受信した信号をシリアルデータ伝送のスタートビットとして解釈するために必要なビット長に相当する。なお、この特定期間は、ビット長の半分より長くも短くもすることができる。しかし、装置Ｃ 22から受信した信号に含まれる一般的な妨害信号の時間長よりは長くすべきであり、これについては後に詳細に説明する。
【００２５】
上記特定期間後に、ローカルクロック発生装置Ａ 12は　制御信号IDLE 18をシリアルデータを受信するためのスタートビットとして解釈して、クロック信号CLK 16の負の（立下り）エッジを発生する（クロック信号CLK 16は時刻t 5で論理値1であるものと仮定する）。この負のエッジは送受信クロック発生回路32をトリガして、受信したシリアルデータRXをサンプリングするための受信クロック信号CLK_RXのサンプリングパルスを発生させる。同時に、送受信クロック発生回路32は、カウンタ42（図２参照）を始動させて、シリアル通信の所定データビットの期間をカウントダウンする。図３のタイミング図では、この期間はデータの３ビットに等しい。
【００２６】
カウンタ42がカウントダウンしている限り、マルチプレクサ制御信号40は論理値0をマルチプレクサ38の出力に切り替え接続し、これにより、制御信号IDLE 18は、シリアル伝送のデータビットの所定期間中論理値0に留まる。この期間中、送受信クロック発生回路3

2は、受信クロック信号CLK_RXの時刻t5、t7、t8、t9においてサンプリングパルスを発生する。このサンプリングパルスによって、受信したシリアルデータは時刻t5、t7、t8、t9でサンプリングされる。

【００２７】

時刻t9では、カウンタ42のカウント値は0であり、従って、マルチプレクサ38は、受信したシリアルデータRXをその出力に切り替え接続し、これにより、制御信号IDLE 18は受信したシリアルデータRXになる。RS232規格によれば、シリアルデータが送信されていない際に受信されるシリアルデータは論理値1であるので、制御信号IDLE 18も論理0から論理1に切り替え復帰する。このことは、ローカルクロック発生回路12に、約50%のデューティサイクルを有するクロック信号CLK 16を再び発生させ、この時刻をt10で参照する。制御信号IDLE 18は論理値1であるので、送受信クロック発生回路32は、論理値0を、クロック信号CLK 16から導出した受信クロック信号CLK_RX 20として再び出力する。

【００２８】

時刻t11とt12との間は、受信したシリアルデータ信号RXは妨害パルスを含み、これらの妨害パルスは制御信号IDLE 18中にも生じる。しかし、これらの妨害パルスはある期間の半分より短く、従って装置Ａ 12および装置Ｂ 14によってシリアルデータ送信のスタートビットとして解釈されない。時刻t13では、制御信号IDLE 18の負のエッジが発生し、 制御信号IDLE 18は特定期間中論理値0に留まり、この特定期間は、クロック発生装置12に、制御信号IDLE 18をシリアルデータを受信するためのスタートビットとして解釈させて、時刻t14でクロック信号CLK 16の負のエッジを再び発生させる（クロック信号CLK 16は時刻t14で論理値1であるものと仮定する）ために必要な期間である。この負のエッジは、送受信クロック発生回路32をトリガして、受信したシリアルデータRXをサンプリングするための受信クロック信号CLK_RXのサンプリングパルスを発生させる。また同時に、送受信クロック発生回路32はカウンタ42（図２参照）を始動させて、シリアル伝送の所定データビットの期間中カウントダウンさせて、受信したシリアルデータRXから所定数のビットをサンプリングする。

【００２９】

本発明によれば、装置Ｂ 14は、データを受信または送信する際、及びデータを処理しなければならない際のみに電力を消費する。また、装置Ｂ 14が、より複雑な信号によって、例えば所定の制御プロトコルによって、さらにはコマンドによって装置Ａ 12を制御することも可能である。これらのコマンドは、装置Ｂ 14から装置Ａ 12にシリアルに送信することができ、あるいはパラレル（並列的）に送信することもできるが、このことは２本以上の制御接続線を必要とする。

【図面の簡単な説明】

【００３０】

【図１】本発明によるシリアルデータ通信システムの概略回路ブロック図である。

【図２】本発明によるローカルクロック発生装置によって発生されるクロック信号のデューティサイクルを制御するための制御信号を発生する回路の具体例を示す図である。

【図３】図１のデータ通信システムにおいて発生される異なる信号を有するタイミング図である。

【図１】

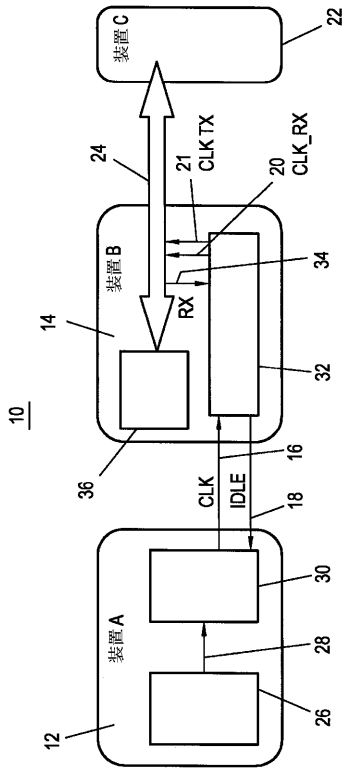


Fig. 1

【図２】

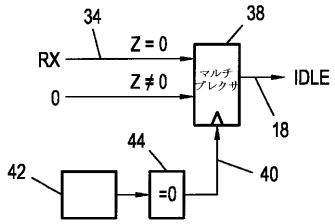
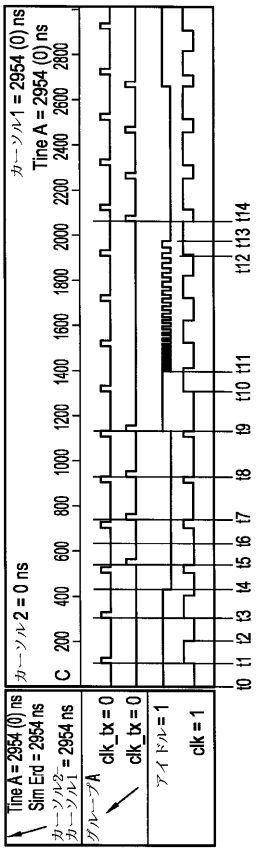


Fig. 2

【図３】

Fig. 3



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2006/054845

A. CLASSIFICATION OF SUBJECT MATTER
INV. H03L7/00 H04L7/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04L H03L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 6 664 859 B1 (CHEN JEN-YING [TW] ET AL) 16 December 2003 (2003-12-16) abstract columns 1-4 figures 1-5	1,2,4-7, 9 3,8
X	GB 2 204 467 A (SILICON SYSTEMS INC SILICON SYSTEMS INC [US]) 9 November 1988 (1988-11-09) abstract pages 6-9 figures 1-4	6
X A	US 6 331 999 B1 (DUCAROIR FRANCOIS [US] ET AL) 18 December 2001 (2001-12-18) abstract column 3, line 12 - column 9, line 11 figures 3-6	6,7 1-5,8,9

-/--

[X] Further documents are listed in the continuation of Box C. [X] See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
9 May 2007	24/05/2007

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Moser, Jochen

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2006/054845

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2004/161068 A1 (ZERBE JARED [US] ET AL) 19 August 2004 (2004-08-19)	3,8
A	abstract page 1 - page 2 figures 1,4,7,8	1,2,4-7, 9

Form PCT/ISA/210 (continuation of second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/IB2006/054845

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 6664859	B1	16-12-2003	NONE		
GB 2204467	A	09-11-1988	JP	1039144 A	09-02-1989
			JP	2075040 C	25-07-1996
			JP	7093618 B	09-10-1995
			US	4800340 A	24-01-1989
US 6331999	B1	18-12-2001	NONE		
US 2004161068	A1	19-08-2004	NONE		

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72)発明者 クレメンス ブライトフス
オーストリア国 アー－１１０１ ウィーン グートハイルーショーダーーガッセ ８－１２ エヌエックスピー セミコンダクターズ オーストリア ゲーエムベーハー

Ｆターム(参考) 5K047 AA16 GG06 MM53