

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6304700号
(P6304700)

(45) 発行日 平成30年4月4日(2018.4.4)

(24) 登録日 平成30年3月16日(2018.3.16)

(51) Int.Cl.	F 1			
HO 1 L 23/48	(2006.01)	HO 1 L	23/48	Q
HO 1 L 23/29	(2006.01)	HO 1 L	23/30	R
HO 1 L 23/31	(2006.01)	HO 1 L	25/04	C
HO 1 L 25/07	(2006.01)	HO 1 L	23/50	L
HO 1 L 25/18	(2006.01)	HO 1 L	23/48	G

請求項の数 15 (全 54 頁) 最終頁に続く

(21) 出願番号	特願2017-18254 (P2017-18254)	(73) 特許権者	301041553
(22) 出願日	平成29年2月3日(2017.2.3)	株式会社パウデック	栃木県小山市若木町一丁目23番15号
(65) 公開番号	特開2018-56538 (P2018-56538A)	(74) 代理人	100120640
(43) 公開日	平成30年4月5日(2018.4.5)	弁理士	森 幸一
審査請求日	平成29年5月23日(2017.5.23)	(72) 発明者	河合 弘治
(31) 優先権主張番号	特願2016-186741 (P2016-186741)	株式会社パウデック内	栃木県小山市若木町一丁目23番15号
(32) 優先日	平成28年9月26日(2016.9.26)	(72) 発明者	八木 修一
(33) 優先権主張国	日本国(JP)	株式会社パウデック内	栃木県小山市若木町一丁目23番15号
早期審査対象出願		(72) 発明者	越後谷 祥子
		株式会社パウデック内	栃木県小山市若木町一丁目23番15号
		(72) 発明者	株式会社パウデック内

最終頁に続く

(54) 【発明の名称】半導体パッケージ、モジュールおよび電気機器

(57) 【特許請求の範囲】

【請求項 1】

金属基板の一方の主面と両面プリント配線基板の一方の主面との間に設けられて使用される半導体パッケージであって、

前記半導体パッケージは、

厚さが 120 μ m 以下のサファイア基板の第 1 主面上に 3 端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第 1 電極、第 2 電極および第 3 電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

前記第 1 電極、前記第 2 電極および前記第 3 電極とそれぞれ接触して電気的に接続され、前記半導体層の外部に引き出された第 1 電極パッド、第 2 電極パッドおよび第 3 電極パッドと、

前記第 1 電極、前記第 2 電極、前記第 3 電極、前記半導体層および前記サファイア基板の側面を封止する電気的に絶縁性の樹脂と、
を有し、

前記半導体チップの四つの辺を反時計方向に順に S₁、S₂、S₃、S₄ としたとき、前記第 1 電極は、辺 S₁ に平行な長辺と辺 S₂ に平行な短辺とを有する細長い長方形の形状を有し、辺 S₁、S₂ に近接して設けられており、前記第 1 電極の長辺の長さは辺 S₁ の長さより短く、前記第 2 電極は、辺 S₃ に平行な長辺と辺 S₂ に平行な短辺とを有する細長い長方形の形状を有し、辺 S₂、S₃ に近接して設けられており、前記第 2 電極の長辺の長さは辺 S₃ の長さより短く、前記第 3 電極は、辺 S₄ に平行な長辺と辺 S₁ に平行

10

20

な短辺とを有する長方形の形状を有し、前記第1電極と辺S₄との間の領域において辺S₁、S₄に近接して設けられ、

前記第1電極パッドは前記第1電極から前記樹脂上を経由して辺S₁に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第1電極パッドの先端は辺S₁に平行であり、前記第2電極パッドは前記第2電極から前記樹脂上を経由して辺S₃に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第2電極パッドの先端は辺S₃に平行であり、前記第3電極パッドは前記第3電極から前記樹脂上を経由して辺S₄に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第3電極パッドの先端は辺S₄に平行であり、

10

前記半導体パッケージは、前記サファイア基板の第2主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第1電極パッド、前記第2電極パッドおよび前記第3電極パッドの前記樹脂から突出した部分の前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の所定の配線の所定の部位に接続されて所定の回路が構成されることを特徴とする半導体パッケージ。

【請求項2】

金属基板の一方の主面と両面プリント配線基板の一方の主面との間に設けられて使用される半導体パッケージであって、

前記半導体パッケージは、

厚さが120μm以下のサファイア基板の第1主面上に3端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第1電極、第2電極および第3電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

20

前記第1電極、前記第2電極および前記第3電極とそれぞれ接触して電気的に接続され、前記半導体層の上方に引き出された第1電極パッド、第2電極パッドおよび第3電極パッドと、

前記第1電極、前記第2電極、前記第3電極、前記半導体層および前記サファイア基板の側面を封止する電気的に絶縁性の樹脂と、
を有し、

前記半導体チップの四つの辺を反時計方向に順にS₁、S₂、S₃、S₄としたとき、前記第1電極は、辺S₁に平行な長辺と辺S₂に平行な短辺とを有する細長い長方形の形状を有し、辺S₁、S₂に近接して設けられており、前記第1電極の長辺の長さは辺S₁の長さより短く、前記第2電極は、辺S₃に平行な長辺と辺S₂に平行な短辺とを有する細長い長方形の形状を有し、边S₂、S₃に近接して設けられており、前記第2電極の長辺の長さは辺S₃の長さより短く、前記第3電極は、辺S₄に平行な長辺と辺S₁に平行な短辺とを有する長方形の形状を有し、前記第1電極と辺S₄との間の領域において辺S₁、S₄に近接して設けられ、

30

前記第1電極パッドは前記第1電極から前記半導体層に対して垂直上方に引き出された後、辺S₁に跨るように前記半導体層の上方を前記半導体層に平行に延在し、前記第1電極パッドの外側の先端は辺S₁に平行であり、前記第2電極パッドは前記第2電極から前記半導体層に対して垂直上方に引き出された後、辺S₃に跨るように前記半導体層の上方を前記半導体層に平行に延在し、前記第2電極パッドの外側の先端は辺S₃に平行であり、前記第3電極パッドは前記第3電極から前記半導体層に対して垂直上方に引き出された後、辺S₄に跨るように前記半導体層の上方を前記半導体層に平行に延在し、前記第3電極パッドの外側の先端は辺S₄に平行であり、

40

前記樹脂の輪郭は、前記半導体チップの側面の前記樹脂の厚さの分だけ前記半導体チップより大きいが、前記半導体チップの外形とほぼ相似になっており、

前記第1電極パッドの前記先端、前記第2電極パッドの前記先端および前記第3電極パッドの前記先端は前記樹脂の輪郭と一致し、

前記半導体パッケージは、前記サファイア基板の第2主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第1電極パッド、前

50

記第2電極パッドおよび前記第3電極パッドの前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の所定の配線の所定の部位に接続されて所定の回路が構成されることを特徴とする半導体パッケージ。

【請求項3】

前記半導体層はGaN系半導体層、前記3端子半導体素子はGaN系電界効果トランジスタである請求項1または2記載の半導体パッケージ。

【請求項4】

前記GaN系電界効果トランジスタは分極超接合GaN系電界効果トランジスタである請求項3記載の半導体パッケージ。

【請求項5】

前記第1電極はソース電極、前記第2電極はドレイン電極、前記第3電極はゲート電極である請求項3または4記載の半導体パッケージ。

【請求項6】

金属基板と、

前記金属基板の一方の主面上に実装された一つまたは複数の半導体パッケージと、

前記一つまたは複数の半導体パッケージ上に所定の回路を構成するように設けられた所定の配線を一方の主面に有する両面プリント配線基板とを有し、

前記半導体パッケージは、

厚さが120μm以下のサファイア基板の第1主面上に3端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第1電極、第2電極および第3電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

前記第1電極、前記第2電極および前記第3電極とそれぞれ接触して電気的に接続され、前記半導体層の外部に引き出された第1電極パッド、第2電極パッドおよび第3電極パッドと、

前記第1電極、前記第2電極、前記第3電極、前記半導体層および前記サファイア基板の側面を封止する電気的に絶縁性の樹脂と、
を有し、

前記半導体チップの四つの辺を反時計方向に順にS₁、S₂、S₃、S₄としたとき、前記第1電極は、辺S₁に平行な長辺と辺S₂に平行な短辺とを有する細長い長方形の形状を有し、辺S₁、S₂に近接して設けられており、前記第1電極の長辺の長さは辺S₁の長さより短く、前記第2電極は、辺S₃に平行な長辺と辺S₂に平行な短辺とを有する細長い長方形の形状を有し、辺S₂、S₃に近接して設けられており、前記第2電極の長辺の長さは辺S₃の長さより短く、前記第3電極は、辺S₄に平行な長辺と辺S₁に平行な短辺とを有する長方形の形状を有し、前記第1電極と辺S₄との間の領域において辺S₁、S₄に近接して設けられ、

前記第1電極パッドは前記第1電極から前記樹脂上を経由して辺S₁に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第1電極パッドの先端は辺S₁に平行であり、前記第2電極パッドは前記第2電極から前記樹脂上を経由して辺S₃に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第2電極パッドの先端は辺S₃に平行であり、前記第3電極パッドは前記第3電極から前記樹脂上を経由して辺S₄に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第3電極パッドの先端は辺S₄に平行であり、

前記半導体パッケージは、前記サファイア基板の第2主面を前記金属基板の前記一方の主面に接觸させて前記金属基板の前記一方の主面上に実装され、前記第1電極パッド、前記第2電極パッドおよび前記第3電極パッドの前記樹脂から突出した部分の前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の前記所定の配線の所定の部位に接続されて前記所定の回路が構成されているモジュール。

【請求項7】

金属基板と、

10

20

30

40

50

前記金属基板の一方の主面上に実装された一つまたは複数の半導体パッケージと、
前記一つまたは複数の半導体パッケージ上に所定の回路を構成するように設けられた所定の配線を一方の主面に有する両面プリント配線基板とを有し、

前記半導体パッケージは、

厚さが $120 \mu m$ 以下のサファイア基板の第1主面上に3端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第1電極、第2電極および第3電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

前記第1電極、前記第2電極および前記第3電極とそれぞれ接触して電気的に接続され、前記半導体層の上方に引き出された第1電極パッド、第2電極パッドおよび第3電極パッドと、

前記第1電極、前記第2電極、前記第3電極、前記半導体層および前記サファイア基板の側面を封止する電気的に絶縁性の樹脂と、
を有し、

前記半導体チップの四つの辺を反時計方向に順に S_1 、 S_2 、 S_3 、 S_4 としたとき、前記第1電極は、辺 S_1 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_1 、 S_2 に近接して設けられており、前記第1電極の長辺の長さは辺 S_1 の長さより短く、前記第2電極は、辺 S_3 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_2 、 S_3 に近接して設けられており、前記第2電極の長辺の長さは辺 S_3 の長さより短く、前記第3電極は、辺 S_4 に平行な長辺と辺 S_1 に平行な短辺とを有する長方形の形状を有し、前記第1電極と辺 S_4 との間の領域において辺 S_1 、 S_4 に近接して設けられ、

前記第1電極パッドは前記第1電極から前記半導体層に対して垂直上方に引き出された後、辺 S_1 に跨るように前記半導体層の上方を前記半導体層に平行に延在し、前記第1電極パッドの外側の先端は辺 S_1 に平行であり、前記第2電極パッドは前記第2電極から前記半導体層に対して垂直上方に引き出された後、辺 S_3 に跨るように前記半導体層の上方を前記半導体層に平行に延在し、前記第2電極パッドの外側の先端は辺 S_3 に平行であり、前記第3電極パッドは前記第3電極から前記半導体層に対して垂直上方に引き出された後、辺 S_4 に跨るように前記半導体層の上方を前記半導体層に平行に延在し、前記第3電極パッドの外側の先端は辺 S_4 に平行であり、

前記樹脂の輪郭は、前記半導体チップの側面の前記樹脂の厚さの分だけ前記半導体チップより大きいが、前記半導体チップの外形とほぼ相似になっており、

前記第1電極パッドの前記先端、前記第2電極パッドの前記先端および前記第3電極パッドの前記先端は前記樹脂の輪郭と一致し、

前記半導体パッケージは、前記サファイア基板の第2主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第1電極パッド、前記第2電極パッドおよび前記第3電極パッドの前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の前記所定の配線の所定の部位に接続されて前記所定の回路が構成されているモジュール。

【請求項 8】

一つまたは複数のモジュールを有し、

少なくとも一つの前記モジュールは、

金属基板と、

前記金属基板の一方の主面上に実装された一つまたは複数の半導体パッケージと、
前記一つまたは複数の半導体パッケージ上に所定の回路を構成するように設けられた所定の配線を一方の主面に有する両面プリント配線基板とを有し、

前記半導体パッケージは、

厚さが $120 \mu m$ 以下のサファイア基板の第1主面上に3端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第1電極、第2電極および第3電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

前記第1電極、前記第2電極および前記第3電極とそれぞれ接触して電気的に接続され

、前記半導体層の外部に引き出された第1電極パッド、第2電極パッドおよび第3電極パッドと、

前記第1電極、前記第2電極、前記第3電極、前記半導体層および前記サファイア基板の側面を封止する電気的に絶縁性の樹脂と、
を有し、

前記半導体チップの四つの辺を反時計方向に順にS₁、S₂、S₃、S₄としたとき、前記第1電極は、辺S₁に平行な長辺と辺S₂に平行な短辺とを有する細長い長方形の形状を有し、辺S₁、S₂に近接して設けられており、前記第1電極の長辺の長さは辺S₁の長さより短く、前記第2電極は、辺S₃に平行な長辺と辺S₂に平行な短辺とを有する細長い長方形の形状を有し、辺S₂、S₃に近接して設けられており、前記第2電極の長辺の長さは辺S₃の長さより短く、前記第3電極は、辺S₄に平行な長辺と辺S₁に平行な短辺とを有する長方形の形状を有し、前記第1電極と辺S₄との間の領域において辺S₁、S₄に近接して設けられ、

前記第1電極パッドは前記第1電極から前記樹脂上を経由して辺S₁に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第1電極パッドの先端は辺S₁に平行であり、前記第2電極パッドは前記第2電極から前記樹脂上を経由して辺S₃に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第2電極パッドの先端は辺S₃に平行であり、前記第3電極パッドは前記第3電極から前記樹脂上を経由して辺S₄に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第3電極パッドの先端は辺S₄に平行であり、

前記半導体パッケージは、前記サファイア基板の第2主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第1電極パッド、前記第2電極パッドおよび前記第3電極パッドの前記樹脂から突出した部分の前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の前記所定の配線の所定の部位に接続されて前記所定の回路が構成されているモジュールである電気機器。

【請求項9】

一つまたは複数のモジュールを有し、
少なくとも一つの前記モジュールは、
金属基板と、

前記金属基板の一方の主面上に実装された一つまたは複数の半導体パッケージと、
前記一つまたは複数の半導体パッケージ上に所定の回路を構成するように設けられた所定の配線を一方の主面に有する両面プリント配線基板とを有し、

前記半導体パッケージは、

厚さが120μm以下のサファイア基板の第1主面上に3端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第1電極、第2電極および第3電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

前記第1電極、前記第2電極および前記第3電極とそれぞれ接触して電気的に接続され、前記半導体層の上方に引き出された第1電極パッド、第2電極パッドおよび第3電極パッドと、

前記第1電極、前記第2電極、前記第3電極、前記半導体層および前記サファイア基板の側面を封止する電気的に絶縁性の樹脂と、
を有し、

前記半導体チップの四つの辺を反時計方向に順にS₁、S₂、S₃、S₄としたとき、前記第1電極は、辺S₁に平行な長辺と辺S₂に平行な短辺とを有する細長い長方形の形状を有し、辺S₁、S₂に近接して設けられており、前記第1電極の長辺の長さは辺S₁の長さより短く、前記第2電極は、辺S₃に平行な長辺と辺S₂に平行な短辺とを有する細長い長方形の形状を有し、辺S₂、S₃に近接して設けられており、前記第2電極の長辺の長さは辺S₃の長さより短く、前記第3電極は、辺S₄に平行な長辺と辺S₁に平行な短辺とを有する

10

20

30

40

50

な短辺とを有する長方形の形状を有し、前記第1電極と辺S₄との間の領域において辺S₁、S₄に近接して設けられ、

前記第1電極パッドは前記第1電極から前記半導体層に対して垂直上方に引き出された後、辺S₁に跨るように前記半導体層の上方を前記半導体層に平行に延在し、前記第1電極パッドの外側の先端は辺S₁に平行であり、前記第2電極パッドは前記第2電極から前記半導体層に対して垂直上方に引き出された後、辺S₃に跨るように前記半導体層の上方を前記半導体層に平行に延在し、前記第2電極パッドの外側の先端は辺S₃に平行であり、前記第3電極パッドは前記第3電極から前記半導体層に対して垂直上方に引き出された後、辺S₄に跨るように前記半導体層の上方を前記半導体層に平行に延在し、前記第3電極パッドの外側の先端は辺S₄に平行であり、

10

前記樹脂の輪郭は、前記半導体チップの側面の前記樹脂の厚さの分だけ前記半導体チップより大きいが、前記半導体チップの外形とほぼ相似になっており、

前記第1電極パッドの前記先端、前記第2電極パッドの前記先端および前記第3電極パッドの前記先端は前記樹脂の輪郭と一致し、

前記半導体パッケージは、前記サファイア基板の第2主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第1電極パッド、前記第2電極パッドおよび前記第3電極パッドの前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の前記所定の配線の所定の部位に接続されて前記所定の回路が構成されているモジュール

である電気機器。

20

【請求項10】

金属基板の一方の主面と両面プリント配線基板の一方の主面との間に設けられて使用される半導体パッケージであって、

前記半導体パッケージは、

厚さが120μm以下のサファイア基板の第1主面上にダイオードを構成する半導体層が設けられ、前記半導体層上に第1電極、第2電極および第3電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

前記第1電極および前記第2電極とそれぞれ接触して電気的に接続され、前記半導体層の外部に引き出された第1電極パッドおよび第2電極パッドと、

前記第1電極、前記第2電極、前記第3電極、前記半導体層および前記サファイア基板の側面を封止する電気的に絶縁性の樹脂と、
を有し、

30

前記半導体チップの四つの辺を反時計方向に順にS₁、S₂、S₃、S₄としたとき、前記第1電極は、辺S₁に平行な長辺と辺S₂に平行な短辺とを有する細長い長方形の形状を有し、辺S₁、S₂に近接して設けられており、前記第1電極の長辺の長さは辺S₁の長さより短く、前記第2電極は、辺S₃に平行な長辺と边S₂に平行な短辺とを有する細長い長方形の形状を有し、辺S₂、S₃に近接して設けられており、前記第2電極の長辺の長さは辺S₃の長さより短く、前記第3電極は、辺S₄に平行な長辺と辺S₁に平行な短辺とを有する長方形の形状を有し、前記第1電極と辺S₄との間の領域において辺S₁、S₄に近接して設けられ、

40

前記第1電極パッドは前記第1電極から前記樹脂上を経由して辺S₁に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第1電極パッドの先端は辺S₁に平行であり、前記第2電極パッドは前記第2電極から前記樹脂上を経由して辺S₃に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第2電極パッドの先端は辺S₃に平行であり、

前記第1電極および前記第2電極がアノード電極およびカソード電極を構成し、前記第1電極パッドおよび前記第2電極パッドがアノード電極パッドおよびカソード電極パッドを構成し、

前記半導体パッケージは、前記サファイア基板の第2主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第1電極パッドおよ

50

び前記第2電極パッドの前記樹脂から突出した部分の前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の所定の配線の所定の部位に接続されて所定の回路が構成されることを特徴とする半導体パッケージ。

【請求項11】

金属基板の一方の主面と両面プリント配線基板の一方の主面との間に設けられて使用される半導体パッケージであって、

前記半導体パッケージは、

厚さが120μm以下のサファイア基板の第1主面上にダイオードを構成する半導体層が設けられ、前記半導体層上に第1電極、第2電極および第3電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

10

前記第1電極および前記第2電極とそれぞれ接触して電気的に接続され、前記半導体層の上方に引き出された第1電極パッドおよび第2電極パッドと、

前記第1電極、前記第2電極、前記第3電極、前記半導体層および前記サファイア基板の側面を封止する電気的に絶縁性の樹脂と、

を有し、

前記半導体チップの四つの辺を反時計方向に順にS₁、S₂、S₃、S₄としたとき、前記第1電極は、辺S₁に平行な長辺と辺S₂に平行な短辺とを有する細長い長方形の形状を有し、辺S₁、S₂に近接して設けられており、前記第1電極の長辺の長さは辺S₁の長さより短く、前記第2電極は、辺S₃に平行な長辺と辺S₄に平行な短辺とを有する細長い長方形の形状を有し、辺S₂、S₃に近接して設けられており、前記第2電極の長辺の長さは辺S₃の長さより短く、前記第3電極は、辺S₄に平行な長辺と辺S₁に平行な短辺とを有する長方形の形状を有し、前記第1電極と辺S₄との間の領域において辺S₁、S₄に近接して設けられ、

20

前記第1電極パッドは前記第1電極から前記半導体層に対して垂直上方に引き出された後、辺S₁に跨るように前記半導体層の上方を前記半導体層に平行に延在し、前記第1電極パッドの外側の先端は辺S₁に平行であり、前記第2電極パッドは前記第2電極から前記半導体層に対して垂直上方に引き出された後、辺S₃に跨るように前記半導体層の上方を前記半導体層に平行に延在し、前記第2電極パッドの外側の先端は辺S₃に平行であり、

前記樹脂の輪郭は、前記半導体チップの側面の前記樹脂の厚さの分だけ前記半導体チップより大きいが、前記半導体チップの外形とほぼ相似になっており、

30

前記第1電極パッドの前記先端および前記第2電極パッドの前記先端は前記樹脂の輪郭と一致し、

前記第1電極および前記第2電極がアノード電極およびカソード電極を構成し、前記第1電極パッドおよび前記第2電極パッドがアノード電極パッドおよびカソード電極パッドを構成し、

前記半導体パッケージは、前記サファイア基板の第2主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第1電極パッドおよび前記第2電極パッドの前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の所定の配線の所定の部位に接続されて所定の回路が構成されることを特徴とする半導体パッケージ。

40

【請求項12】

金属基板と、

前記金属基板の一方の主面上に実装された一つまたは複数の半導体パッケージと、

前記一つまたは複数の半導体パッケージ上に所定の回路を構成するように設けられた所定の配線を一方の主面に有する両面プリント配線基板とを有し、

前記半導体パッケージは、

厚さが120μm以下のサファイア基板の第1主面上にダイオードを構成する半導体層が設けられ、前記半導体層上に第1電極、第2電極および第3電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

50

前記第1電極および前記第2電極とそれぞれ接触して電気的に接続され、前記半導体層の外部に引き出された第1電極パッドおよび第2電極パッドと、

前記第1電極、前記第2電極、前記第3電極、前記半導体層および前記サファイア基板の側面を封止する電気的に絶縁性の樹脂と、
を有し、

前記半導体チップの四つの辺を反時計方向に順にS₁、S₂、S₃、S₄としたとき、前記第1電極は、辺S₁に平行な長辺と辺S₂に平行な短辺とを有する細長い長方形の形状を有し、辺S₁、S₂に近接して設けられており、前記第1電極の長辺の長さは辺S₁の長さより短く、前記第2電極は、辺S₃に平行な長辺と辺S₂に平行な短辺とを有する細長い長方形の形状を有し、辺S₂、S₃に近接して設けられており、前記第2電極の長辺の長さは辺S₃の長さより短く、前記第3電極は、辺S₄に平行な長辺と辺S₁に平行な短辺とを有する長方形の形状を有し、前記第1電極と辺S₄との間の領域において辺S₁、S₄に近接して設けられ、

前記第1電極パッドは前記第1電極から前記樹脂上を経由して辺S₁に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第1電極パッドの先端は辺S₁に平行であり、前記第2電極パッドは前記第2電極から前記樹脂上を経由して辺S₃に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第2電極パッドの先端は辺S₃に平行であり、

前記第1電極および前記第2電極がアノード電極およびカソード電極を構成し、前記第1電極パッドおよび前記第2電極パッドがアノード電極パッドおよびカソード電極パッドを構成し、

前記半導体パッケージは、前記サファイア基板の第2主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第1電極パッドおよび前記第2電極パッドの前記樹脂から突出した部分の前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の前記所定の配線の所定の部位に接続されて前記所定の回路が構成されているモジュール。

【請求項13】

金属基板と、

前記金属基板の一方の主面上に実装された一つまたは複数の半導体パッケージと、

前記一つまたは複数の半導体パッケージ上に所定の回路を構成するように設けられた所定の配線を一方の主面に有する両面プリント配線基板とを有し、

前記半導体パッケージは、

厚さが120μm以下のサファイア基板の第1主面上にダイオードを構成する半導体層が設けられ、前記半導体層上に第1電極、第2電極および第3電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

前記第1電極および前記第2電極とそれぞれ接触して電気的に接続され、前記半導体層の上方に引き出された第1電極パッドおよび第2電極パッドと、

前記第1電極、前記第2電極、前記第3電極、前記半導体層および前記サファイア基板の側面を封止する電気的に絶縁性の樹脂と、
を有し、

前記半導体チップの四つの辺を反時計方向に順にS₁、S₂、S₃、S₄としたとき、前記第1電極は、辺S₁に平行な長辺と辺S₂に平行な短辺とを有する細長い長方形の形状を有し、辺S₁、S₂に近接して設けられており、前記第1電極の長辺の長さは辺S₁の長さより短く、前記第2電極は、辺S₃に平行な長辺と辺S₂に平行な短辺とを有する細長い長方形の形状を有し、辺S₂、S₃に近接して設けられており、前記第2電極の長辺の長さは辺S₃の長さより短く、前記第3電極は、辺S₄に平行な長辺と辺S₁に平行な短辺とを有する長方形の形状を有し、前記第1電極と辺S₄との間の領域において辺S₁、S₄に近接して設けられ、

前記第1電極パッドは前記第1電極から前記半導体層に対して垂直上方に引き出された後、辺S₁に跨るように前記半導体層の上方を前記半導体層に平行に延在し、前記第1

10

20

30

40

50

電極パッドの外側の先端は辺 S_1 に平行であり、前記第2電極パッドは前記第2電極から前記半導体層に対して垂直上方に引き出された後、辺 S_3 に跨がるように前記半導体層の上方を前記半導体層に平行に延在し、前記第2電極パッドの外側の先端は辺 S_3 に平行であり、

前記樹脂の輪郭は、前記半導体チップの側面の前記樹脂の厚さの分だけ前記半導体チップより大きいが、前記半導体チップの外形とほぼ相似になっており、

前記第1電極パッドの前記先端および前記第2電極パッドの前記先端は前記樹脂の輪郭と一致し、

前記第1電極および前記第2電極がアノード電極およびカソード電極を構成し、前記第1電極パッドおよび前記第2電極パッドがアノード電極パッドおよびカソード電極パッドを構成し、

前記半導体パッケージは、前記サファイア基板の第2主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第1電極パッドおよび前記第2電極パッドの前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の前記所定の配線の所定の部位に接続されて前記所定の回路が構成されているモジュール。

【請求項14】

一つまたは複数のモジュールを有し、

少なくとも一つの前記モジュールは、

金属基板と、

前記金属基板の一方の主面上に実装された一つまたは複数の半導体パッケージと、

前記一つまたは複数の半導体パッケージ上に所定の回路を構成するように設けられた所定の配線を一方の主面に有する両面プリント配線基板とを有し、

前記半導体パッケージは、

厚さが $120 \mu m$ 以下のサファイア基板の第1主面上にダイオードを構成する半導体層が設けられ、前記半導体層上に第1電極、第2電極および第3電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

前記第1電極および前記第2電極とそれぞれ接触して電気的に接続され、前記半導体層の外部に引き出された第1電極パッドおよび第2電極パッドと、

前記第1電極、前記第2電極、前記第3電極、前記半導体層および前記サファイア基板の側面を封止する電気的に絶縁性の樹脂と、
を有し、

前記半導体チップの四つの辺を反時計方向に順に S_1 、 S_2 、 S_3 、 S_4 としたとき、前記第1電極は、辺 S_1 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_1 、 S_2 に近接して設けられており、前記第1電極の長辺の長さは辺 S_1 の長さより短く、前記第2電極は、辺 S_3 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_2 、 S_3 に近接して設けられており、前記第2電極の長辺の長さは辺 S_3 の長さより短く、前記第3電極は、辺 S_4 に平行な長辺と辺 S_1 に平行な短辺とを有する長方形の形状を有し、前記第1電極と辺 S_4 との間の領域において辺 S_1 、 S_4 に近接して設けられ、

前記第1電極パッドは前記第1電極から前記樹脂上を経由して辺 S_1 に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第1電極パッドの先端は辺 S_1 に平行であり、前記第2電極パッドは前記第2電極から前記樹脂上を経由して辺 S_3 に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第2電極パッドの先端は辺 S_3 に平行であり、

前記第1電極および前記第2電極がアノード電極およびカソード電極を構成し、前記第1電極パッドおよび前記第2電極パッドがアノード電極パッドおよびカソード電極パッドを構成し、

前記半導体パッケージは、前記サファイア基板の第2主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第1電極パッドおよ

10

20

30

40

50

び前記第2電極パッドの前記樹脂から突出した部分の前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の前記所定の配線の所定の部位に接続されて前記所定の回路が構成されているモジュールである電気機器。

【請求項15】

一つまたは複数のモジュールを有し、

少なくとも一つの前記モジュールは、

金属基板と、

前記金属基板の一方の主面上に実装された一つまたは複数の半導体パッケージと、

前記一つまたは複数の半導体パッケージ上に所定の回路を構成するように設けられた所定の配線を一方の主面に有する両面プリント配線基板とを有し、

前記半導体パッケージは、

厚さが120μm以下のサファイア基板の第1主面上にダイオードを構成する半導体層が設けられ、前記半導体層上に第1電極、第2電極および第3電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

前記第1電極および前記第2電極とそれぞれ接触して電気的に接続され、前記半導体層の上方に引き出された第1電極パッドおよび第2電極パッドと、

前記第1電極、前記第2電極、前記第3電極、前記半導体層および前記サファイア基板の側面を封止する電気的に絶縁性の樹脂と、

を有し、

前記半導体チップの四つの辺を反時計方向に順にS₁、S₂、S₃、S₄としたとき、前記第1電極は、辺S₁に平行な長辺と辺S₂に平行な短辺とを有する細長い長方形の形状を有し、辺S₁、S₂に近接して設けられており、前記第1電極の長辺の長さは辺S₁の長さより短く、前記第2電極は、辺S₃に平行な長辺と辺S₄に平行な短辺とを有する細長い長方形の形状を有し、辺S₂、S₃に近接して設けられており、前記第2電極の長辺の長さは辺S₃の長さより短く、前記第3電極は、辺S₄に平行な長辺と辺S₁に平行な短辺とを有する長方形の形状を有し、前記第1電極と辺S₄との間の領域において辺S₁、S₄に近接して設けられ、

前記第1電極パッドは前記第1電極から前記半導体層に対して垂直上方に引き出された後、辺S₁に跨るように前記半導体層の上方を前記半導体層に平行に延在し、前記第1電極パッドの外側の先端は辺S₁に平行であり、前記第2電極パッドは前記第2電極から前記半導体層に対して垂直上方に引き出された後、辺S₃に跨るように前記半導体層の上方を前記半導体層に平行に延在し、前記第2電極パッドの外側の先端は辺S₃に平行であり、

前記樹脂の輪郭は、前記半導体チップの側面の前記樹脂の厚さの分だけ前記半導体チップより大きいが、前記半導体チップの外形とほぼ相似になっており、

前記第1電極パッドの前記先端および前記第2電極パッドの前記先端は前記樹脂の輪郭と一致し、

前記第1電極および前記第2電極がアノード電極およびカソード電極を構成し、前記第1電極パッドおよび前記第2電極パッドがアノード電極パッドおよびカソード電極パッドを構成し、

前記半導体パッケージは、前記サファイア基板の第2主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第1電極パッドおよび前記第2電極パッドの前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の前記所定の配線の所定の部位に接続されて前記所定の回路が構成されているモジュール

である電気機器。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

この発明は、半導体パッケージ、モジュールおよび電気機器に関し、特に、窒化ガリウム (GaN) 系半導体を用いた3端子半導体素子、例えばGaN系電界効果トランジスタ (FET) をパッケージングした半導体パッケージ、この半導体パッケージを含むモジュールおよびこのモジュールを含む電気機器に関する。

【背景技術】

【0002】

従来の高電圧パワー系の電子素子は、シリコン (Si) - MOSトランジスタ、絶縁ゲート型バイポーラトランジスタ (IGBT) およびシリコンカーバイド (SiC) - MOSトランジスタが主流である。これらの電子素子は、ドレイン電極を下面に、ソース電極およびゲート電極を上面に設けた縦型構造を有する。

10

【0003】

このような縦型素子においては、電極が上面と下面とに形成されているため、電極取り出し、または回路配線は立体配線となる。具体的には、例えば、パワーSi - MOSトランジスタでは、図61AおよびBに示すように、ドレイン電極パッド1001上にハンダや銀 (Ag) ペーストなどによりパワーSi - MOSトランジスタのチップ1002を接合し、ドレイン電極パッド1001と同一面上にソース電極パッド1003およびゲート電極パッド1004を配置し、チップ1002の上面のソース電極 (図示せず) とソース電極パッド1003とをワイヤ1005、1006によりボンディングするとともに、チップ1002の上面のゲート電極 (図示せず) とゲート電極パッド1004とをワイヤ1007によりボンディングし、これらの全体をドレイン電極パッド1001、ソース電極パッド1003およびゲート電極パッド1004の下面が露出するように樹脂1008により封止してパッケージングを行っている。こうして製造される、SON (Small Outline Non-leaded package) またはQFN (Quad Flat Non-leaded package) と称される半導体パッケージは、一般的にはプリント配線基板上にハンダ付けなどにより実装される。

20

【0004】

また、上記の縦型素子のチップを複数、ワンパッケージ化する方法の一例を挙げると、例えば、図62に示すように、ドレイン電極パッド1011上にチップ1012を接合したものとドレイン電極パッド1013上にチップ1014を接合したものとを配置し、それらに隣接してソース電極パッド1015、1016を配置し、ソース電極パッド1015とチップ1012の上面のソース電極 (図示せず) とをワイヤ1017によりボンディングし、チップ1012の上面のゲート電極とチップ1014の上面のゲート電極 (図示せず) とをワイヤ1018によりボンディングし、ソース電極パッド1016とチップ1014の上面のソース電極 (図示せず) とをワイヤ1019によりボンディングする。

30

【0005】

さらに、上記の縦型素子のペアチップによる実装では、一般に、銅 (Cu) ベース基板上に窒化シリコン (SiN) 層およびCu層が順次積層されたDBC (direct bonding Copper) 基板が用いられる。この場合、縦型素子の構造上、ワイヤボンディング、バー、端子などによる立体配線が必要となる。例えば、図63に示すように、Cuベース基板1100a上にSiN層1100bおよびCu層が順次積層されたDBC基板1100のCu層をパターニングすることによりドレイン電極パッド1101、1102およびソース電極パッド1103、1104を形成し、ドレイン電極パッド1101、1102上にそれぞれチップ1105、1106を接合するとともに、ソース電極パッド1103、1104上にそれぞれロッド状の端子1107、1108を立て、ソース電極パッド1103上の端子1107とチップ1105の上面のソース電極 (図示せず) とをワイヤ1109によりボンディングし、チップ1105の上面のゲート電極 (図示せず) とチップ1106の上面のゲート電極 (図示せず) とをワイヤ1110によりボンディングし、ソース電極パッド1104上の端子1108とチップ1106の上面のソース電極 (図示せず) とをワイヤ1111によりボンディングする。

40

【0006】

一方、分極超接合 (Polarization Super Junction; PSJ) を利用した、横型構造を有

50

するパワーGaN系電界効果トランジスタ(FET)が、本発明者らにより提案されている(特許文献1、2参照。)。このパワー分極超接合GaN系FETにおいては、上記の縦型素子と異なり、FETを構成する半導体層の同一面上にソース電極、ドレイン電極およびp電極からなるゲート電極が設けられる。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特許第5669119号公報

【特許文献2】特許第5828435号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、上記の従来の縦型素子のパッケージングおよび集積化の技術は、低コスト化、高周波化、省体積化、低熱抵抗化などにおいて、技術的な飽和点に来ているのが実情である。

【0009】

そこで、この発明が解決しようとする課題は、縦型構造を有する電子素子ではなく、横型構造を有する電子素子であるパワー分極超接合GaN系FET、より一般的には、絶縁基板上に形成された半導体層の同一面上に全ての電極が形成される3端子半導体素子を用い、この半導体素子をフェースアップで基板上に容易に実装することができ、従来に比べて大幅な低コスト化、高周波化、省体積化、低熱抵抗化などを図ることができる半導体パッケージ、この半導体パッケージを用いた高性能のモジュールおよびこのモジュールを用いた高性能の電気機器を提供することである。

【課題を解決するための手段】

【0010】

本発明者らは、前記の従来の縦型素子が直面しているパッケージングおよび集積化の困難を克服すべく鋭意検討を行った結果、パワー分極超接合GaN系FETに代表される横型構造を有する半導体素子、すなわち、絶縁基板上に形成された半導体層の同一面上に全ての電極が形成される3端子半導体素子を用いること、この3端子半導体素子を放熱性に優れ、実装も簡単なフェースアップで基板上に実装することが最善であるという結論に至り、この発明を案出するに至ったものである。

【0011】

すなわち、前記課題を解決するために、この発明は、絶縁基板の第1主面上に3端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第1電極、第2電極および第3電極が三角形に配置された半導体チップと、前記第1電極、前記第2電極および前記第3電極とそれ電気的に接続され、前記半導体層の外部または上方に引き出された第1電極パッド、第2電極パッドおよび第3電極パッドと、

前記半導体層、前記第1電極、前記第2電極、前記第3電極および前記絶縁基板の側面を封止する電気的に絶縁性の樹脂と、
を有する半導体パッケージである。

【0012】

典型的な一つの例では、第1電極パッド、第2電極パッドおよび第3電極パッドは、それぞれ第1電極、第2電極および第3電極から樹脂上を半導体層および絶縁基板に平行に延在してから垂直に折れ曲がってこの樹脂の側面に沿って半導体層および絶縁基板の側面に平行に延在し、絶縁基板の第2主面と同一の高さで終端する。あるいは、他の例では、第1電極パッド、第2電極パッドおよび第3電極パッドは、それぞれ第1電極、第2電極および第3電極から樹脂上を経由して半導体層および絶縁基板に平行な方向に突出している。また、半導体層は、典型的には、長方形状の平面形状を有し、第1電極パッド、第2電極パッドおよび第3電極パッドは、典型的には、この半導体層の互いに異なる四つの角

10

20

30

40

50

部のうちの互いに異なる一つまたは二つを含む所定の領域と重なるように延在している。典型的には、前記の所定の領域は、一つまたは二つの角部を一つの頂点に含む長方形の平面形状を有する。さらに、別の例では、第1電極パッド、第2電極パッドおよび第3電極パッドは、それぞれ第1電極、第2電極および第3電極から半導体層に対して垂直上方に引き出された後、半導体層の上方を半導体層に平行に延在している。この場合、典型的には、半導体層は長方形形状の平面形状を有し、第1電極パッド、第2電極パッドおよび第3電極パッドは、半導体層の四つの辺のうちの互いに異なる一つの辺に跨がるように延在している。

【0013】

封止用の樹脂は、必要に応じて、第1電極パッド、第2電極パッドおよび第3電極パッドの間の領域から、これらの第1電極パッド、第2電極パッドおよび第3電極パッド上に延在するようにする。こうすることで、樹脂の厚さを十分に確保することができ、半導体パッケージの強度の向上を図ることができる。あるいは、この樹脂は、絶縁基板の側面からこの絶縁基板の第2主面上にこの第2主面の中央部の領域を残してこの中央部の領域に延在するようにしてもよい。こうすることで、樹脂の厚さを同様に十分に確保することができ、半導体パッケージの強度の向上を図ることができる。この場合、必要に応じて、この絶縁基板の第2主面の中央部の領域（絶縁基板の第2主面上に延在する樹脂に形成された開口、と言い換えることもできる）に熱伝導層が設けられる。この熱伝導層は、好適には、絶縁基板の第2主面上に延在する樹脂の厚さと同様な厚さに形成される。こうすることで、この半導体パッケージを基板上に実装する際に、この熱伝導層が基板と接触することにより、基板への熱伝導が良好となるため、放熱性の向上を図ることができる。この熱伝導層としては、典型的には、Cuなどの金属の微粒子を含む導電性ペーストを用いて形成されたものが用いられるが、これに限定されるものではない。

【0014】

典型的には、半導体層はGaN系半導体層、3端子半導体素子はGaN系電界効果トランジスタ、取り分け分極超接合GaN系電界効果トランジスタであるが、これに限定されるものではない。この場合、第1電極、第2電極および第3電極はソース電極、ドレイン電極およびゲート電極である。

【0015】

絶縁基板は、好適にはサファイア基板、典型的にはC面サファイア基板であるが、これに限定されるものではない。この絶縁基板は、この絶縁基板を通しての放熱が十分に行われるよう、好適には薄いものが用いられる。例えば、この絶縁基板がサファイア基板である場合、その厚さは好適には150μm以下に選ばれ、一般的には例えば50μm以上に選ばれ、より好適には50μm以上120μm以下に選ばれる。

【0016】

分極超接合GaN系電界効果トランジスタは、例えば、特許文献1に記載のように、第1のアンドープGaN層、前記第1のアンドープGaN層上のAl_xGa_{1-x}N層および前記Al_xGa_{1-x}N層上の第2のアンドープGaN層からなる分極超接合領域を有し、

前記第2のアンドープGaN層の厚みをa[nm]（但し、aは10nm以上1000nm以下）としたとき、前記Al_xGa_{1-x}N層のAl組成xおよび厚みt[nm]が下記式

【数1】

$$t \geq \alpha(a) x^{\beta(a)}$$

但し、は

$$\log(\quad) = p_0 + p_1 \log(a) + p_2 \{ \log(a) \}^2$$

$$(但し、p_0 = 7.3295, p_1 = -3.5599, p_2 = 0.6912)$$

で表され、

10

20

30

40

50

かつ、は

$$= p'_{\text{0}} + p'_{\text{1}} \log(a) + p'_{\text{2}} \{ \log(a) \}^2$$

(但し、 $p'_{\text{0}} = -3.6509$ 、 $p'_{\text{1}} = 1.9445$ 、 $p'_{\text{2}} = -0.3793$)
で表される。

を満足するものである。

【0017】

この分極超接合GaN系電界効果トランジスタにおいては、非動作時において、 $\text{Al}_x\text{GaN}_{1-x}\text{N}$ 層と第2のアンドープGaN層との間のヘテロ界面の近傍の部分における第2のアンドープGaN層に2次元正孔ガスが形成され、かつ、第1のアンドープGaN層と $\text{Al}_x\text{GaN}_{1-x}\text{N}$ 層との間のヘテロ界面の近傍の部分における第1のアンドープGaN層に2次元電子ガスが形成される。この半導体素子は、好適には、分極超接合領域と分離して設けられたp電極コンタクト領域を有する。これらの分極超接合領域およびp電極コンタクト領域は、典型的には、共通層として第1のアンドープGaN層、 $\text{Al}_x\text{GaN}_{1-x}\text{N}$ 層および第2のアンドープGaN層を有する。また、p電極コンタクト領域は、第2のアンドープGaN層上の、Mgがドープされたp型GaN層、このp型GaN層と接触して設けられた、このp型GaN層よりも高濃度にMgがドープされたp型GaNコンタクト層およびこのp型GaNコンタクト層とオーミック接触したp電極(ゲート電極)をさらに有する。p型GaNコンタクト層は、p型GaN層と接触していれば、その設け方は特に限定されない。例えば、p型GaNコンタクト層は、p型GaN層上に積層されてもよいし、p型GaN層などに埋め込まれていてもよい。後者に関しては、例えば、 $\text{Al}_x\text{GaN}_{1-x}\text{N}$ 層、第2のアンドープGaN層およびp型GaN層に少なくとも $\text{Al}_x\text{GaN}_{1-x}\text{N}$ 層に達する深さに溝が設けられ、この溝の内部にp型GaNコンタクト層が埋め込まれ、このp型GaNコンタクト層と2次元正孔ガスとが接合している。

【0018】

あるいは、分極超接合GaN系電界効果トランジスタは、例えば、特許文献2に記載のように、

分極超接合領域とp電極コンタクト領域とを有し、

前記分極超接合領域は、

第1のアンドープGaN層と、

前記第1のアンドープGaN層上の、厚さが25nm以上47nm以下のアンドープ $\text{Al}_x\text{GaN}_{1-x}\text{N}$ 層(0.17×0.35)と、

前記アンドープ $\text{Al}_x\text{GaN}_{1-x}\text{N}$ 層上の第2のアンドープGaN層と、

前記第2のアンドープGaN層上の、Mgがドープされたp型GaN層とを有し、

前記第2のアンドープGaN層の厚さをu[nm]、前記p型GaN層の厚さをv[nm]、前記p型GaN層のMg濃度をw[c m^{-3}]で表し、換算厚さtRを

$$tR = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$tR = 0.864 / (x - 0.134) + 46.0 [\text{nm}]$$

が成立し、

前記p電極コンタクト領域は、

前記p型GaN層と接触して設けられた、前記p型GaN層よりも高濃度にMgがドープされたp型GaNコンタクト層と、

前記p型GaNコンタクト層とオーミック接触したp電極とを有するものである。

【0019】

この分極超接合GaN系電界効果トランジスタにおいても、非動作時において、アンドープ $\text{Al}_x\text{GaN}_{1-x}\text{N}$ 層と第2のアンドープGaN層との間のヘテロ界面の近傍の部分における第2のアンドープGaN層に2次元正孔ガスが形成され、かつ、第1のアンドープGaN層とアンドープ $\text{Al}_x\text{GaN}_{1-x}\text{N}$ 層との間のヘテロ界面の近傍の部分における第1のアンドープGaN層に2次元電子ガスが形成される。典型的には、分極超接合領域とp電極コンタクト領域とは互いに分離して設けられる。

10

20

30

40

50

【0020】

p型GaNコンタクト層は、p型GaN層と接触していれば、その設け方は特に限定されない。例えば、p型GaNコンタクト層は、p型GaN層上にメサ型で形成されていてもよいし、p型GaN層などに埋め込まれていてもよい。後者に関しては、例えば、アンドープAl_xGa_{1-x}N層、第2のアンドープGaN層およびp型GaN層に少なくともアンドープAl_xGa_{1-x}N層に達する深さに溝が設けられ、この溝の内部にp型GaNコンタクト層が埋め込まれ、このp型GaNコンタクト層と2次元正孔ガスとが接合している。

【0021】

また、この発明は、

10

一方の主面に互いに交差しないように設けられた所定の配線を有する実装基板と、

前記実装基板の前記主面上に前記所定の配線により所定の回路を構成するように実装された一つまたは複数の半導体パッケージとを有し、

前記半導体パッケージは、

絶縁基板の第1主面上に3端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第1電極、第2電極および第3電極が三角形に配置された半導体チップと、

前記第1電極、前記第2電極および前記第3電極とそれぞれ電気的に接続され、前記半導体層の外部に引き出された第1電極パッド、第2電極パッドおよび第3電極パッドと、

前記半導体層、前記第1電極、前記第2電極、前記第3電極および前記絶縁基板の側面を封止する電気的に絶縁性の樹脂と、

20

を有し、

前記半導体パッケージは、前記絶縁基板側を前記実装基板に向けて、かつ前記第1電極パッド、前記第2電極パッドおよび前記第3電極パッドが前記所定の配線の所定の部位に接続されて前記所定の回路が構成されるように前記実装基板の前記主面上に実装されているモジュールである。

【0022】

ここで、実装基板としては、放熱性に優れた基板が用いられ、典型的には、例えば、Cuベース基板上にSiN層およびCu層が順次積層されたDBC基板が用いられるが、これに限定されるものではない。この場合、所定の配線は、Cu層のパターニングにより形成することができる。実装基板上には、必要に応じて、前記の半導体パッケージに加えて前記の所定の回路を構成する一つまたは複数の受動素子あるいは能動素子（部品を含む）も実装される。

30

【0023】

また、この発明は、

一つまたは複数のモジュールを有し、

少なくとも一つの前記モジュールは

一方の主面に互いに交差しないように設けられた所定の配線を有する実装基板と、

前記実装基板の前記主面上に前記所定の配線により所定の回路を構成するように実装された一つまたは複数の半導体パッケージとを有し、

前記半導体パッケージは、

絶縁基板の第1主面上に3端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第1電極、第2電極および第3電極が三角形に配置された半導体チップと、

前記第1電極、前記第2電極および前記第3電極とそれぞれ電気的に接続され、前記半導体層の外部に引き出された第1電極パッド、第2電極パッドおよび第3電極パッドと、

前記半導体層、前記第1電極、前記第2電極、前記第3電極および前記絶縁基板の側面を封止する電気的に絶縁性の樹脂と、

を有し、

40

前記半導体パッケージは、前記絶縁基板側を前記実装基板に向けて、かつ前記第1電極パッド、前記第2電極パッドおよび前記第3電極パッドが前記所定の配線の所定の部位に接続されて前記所定の回路が構成されるように前記実装基板の前記主面上に実装されてい

50

るモジュール

である電気機器である。

【0024】

ここで、電気機器は、およそ電気を用いるもの全てを含み、用途、機能、大きさなどを問わないが、例えば、電子機器、移動体、動力装置、建設機械、工作機械などである。電子機器は、ロボット、コンピュータ、ゲーム機器、車載機器、家庭電気製品（エアコンディショナーなど）、工業製品、携帯電話、モバイル機器、IT機器（サーバーなど）、太陽光発電システムで使用するパワーコンディショナー、送電システムなどである。移動体は、鉄道車両、自動車（電動車両など）、二輪車、航空機、ロケット、宇宙船などである。

10

【0025】

また、この発明は、

金属基板と、

前記金属基板の一方の主面上に実装された一つまたは複数の半導体パッケージと、

前記一つまたは複数の半導体パッケージ上に所定の回路を構成するように設けられた配線とを有し、

前記半導体パッケージは、

絶縁基板の第1主面上に3端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第1電極、第2電極および第3電極が三角形に配置された半導体チップと、

前記第1電極、前記第2電極および前記第3電極とそれぞれ電気的に接続され、前記半導体層の外部または上方に引き出された第1電極パッド、第2電極パッドおよび第3電極パッドと、

20

前記半導体層、前記第1電極、前記第2電極、前記第3電極および前記絶縁基板の側面を封止する電気的に絶縁性の樹脂と、

を有し、

前記半導体パッケージは、前記絶縁基板を前記金属基板に接触させて前記金属基板の前記主面上に実装され、前記第1電極パッド、前記第2電極パッドおよび前記第3電極パッドが前記所定の配線の所定の部位に接続されて前記所定の回路が構成されているモジュールである。

【0026】

30

ここで、金属基板としては、好適には、放熱性に優れたもの、例えばCu基板、アルミニウム（Al）基板などが用いられる。また、半導体パッケージ上に所定の回路を構成するように設けられる配線の形成方法は特に限定されないが、例えば、一層または二層以上のリードフレームが用いられる。この場合、典型的には、金属基板上に実装された半導体パッケージの第1電極パッド、第2電極パッドおよび第3電極と電気的に接続されるようにリードフレームが設けられる。あるいは、リードフレームの代わりに、2層フレキシブル・ポリイミド基板や、エポキシ樹脂基板を用いた両面プリント配線基板（PCB）などを用いてもよい。この場合、この2層フレキシブル・ポリイミド基板あるいはエポキシ樹脂基板の両面に形成されたCu層のパターニングにより配線を形成することができる。

【0027】

40

また、この発明は、

一つまたは複数のモジュールを有し、

少なくとも一つの前記モジュールは、

金属基板と、

前記金属基板の一方の主面上に実装された一つまたは複数の半導体パッケージと、

前記一つまたは複数の半導体パッケージ上に所定の回路を構成するように設けられた配線とを有し、

前記半導体パッケージは、

絶縁基板の第1主面上に3端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第1電極、第2電極および第3電極が三角形に配置された半導体チップと、

50

前記第1電極、前記第2電極および前記第3電極とそれぞれ電気的に接続され、前記半導体層の外部または上方に引き出された第1電極パッド、第2電極パッドおよび第3電極パッドと、

前記半導体層、前記第1電極、前記第2電極、前記第3電極および前記絶縁基板の側面を封止する電気的に絶縁性の樹脂と、
を有し、

前記半導体パッケージは、前記絶縁基板を前記金属基板に接触させて前記金属基板の前記主面上に実装され、前記第1電極パッド、前記第2電極パッドおよび前記第3電極パッドが前記所定の配線の所定の部位に接続されて前記所定の回路が構成されているモジュール

10

である電気機器である。

【0028】

前記のモジュールおよび電気機器の各発明においては、その性質に反しない限り、前記の半導体パッケージの発明に関連して説明したことが成立する。

【発明の効果】

【0029】

この発明によれば、絶縁基板の第1主面上に3端子半導体素子を構成する半導体層が設けられ、この半導体層上に第1電極、第2電極および第3電極が三角形に配置された半導体チップと、第1電極、第2電極および第3電極とそれぞれ電気的に接続され、半導体層の外部または上方に引き出された第1電極パッド、第2電極パッドおよび第3電極パッドとを有する半導体パッケージを用い、この半導体パッケージの半導体チップの絶縁基板側を実装基板または金属基板に向け、半導体層の外部または上方に引き出された第1電極パッド、第2電極パッドおよび第3電極パッドを実装基板上に形成された配線あるいは半導体パッケージ上に形成された配線と接続することにより、3端子半導体素子をフェースアップで容易に実装基板あるいは金属基板上に実装することができ、従来に比べて大幅な低コスト化、高周波化、省体積化、低熱抵抗化などを図ることができる。しかも、第1電極、第2電極および第3電極は三角形に配置され、従って第1電極パッド、第2電極パッドおよび第3電極パッドも三角形に配置することができるため、実装基板あるいは半導体パッケージ上の配線を互いに交差しないように形成することができることから、半導体パッケージを実装した高性能のモジュールを容易に実現することができる。そして、このモジュールを用いることにより高性能の電気機器を安価に実現することができる。

20

【図面の簡単な説明】

【0030】

【図1】この発明の第1の実施の形態による半導体パッケージを示す平面図である。

【図2】この発明の第1の実施の形態による半導体パッケージを示す底面図である。

【図3】図1のX-X線に沿っての断面図である。

【図4】図1のY-Y線に沿っての断面図である。

【図5】この発明の第1の実施の形態による半導体パッケージの製造方法を説明するための断面図である。

【図6】この発明の第1の実施の形態による半導体パッケージの製造方法を説明するための平面図である。

40

【図7】この発明の第1の実施の形態による半導体パッケージの製造方法を説明するための平面図である。

【図8】この発明の第1の実施の形態による半導体パッケージの製造方法を説明するための平面図である。

【図9】この発明の第1の実施の形態による半導体パッケージに封止される、分極超接合GaN系FETを構成する半導体チップの一例を示す断面図である。

【図10】この発明の第1の実施の形態による半導体パッケージに封止される、分極超接合GaN系FETを構成する半導体チップの他の例を示す断面図である。

【図11】この発明の第1の実施の形態による半導体パッケージの実装方法を説明するた

50

めの平面図および断面図である。

【図12】この発明の第1の実施の形態による半導体パッケージを用いたモジュール1を示す回路図および平面図である。

【図13】この発明の第1の実施の形態による半導体パッケージを用いたモジュール2を示す回路図および平面図である。

【図14】この発明の第1の実施の形態による半導体パッケージを用いたモジュール3を示す回路図および平面図である。

【図15】この発明の第1の実施の形態による半導体パッケージを用いたモジュール4を示す回路図および平面図である。

【図16】この発明の第2の実施の形態による半導体パッケージを示す平面図である。 10

【図17】この発明の第2の実施の形態による半導体パッケージを示す底面図である。

【図18】図16のZ-Z線に沿っての断面図である。

【図19】この発明の第2の実施の形態による半導体パッケージの製造方法を説明するための平面図である。

【図20】この発明の第2の実施の形態による半導体パッケージの実装方法を説明するための断面図である。

【図21】この発明の第2の実施の形態による半導体パッケージを用いたモジュール5を示す回路図および平面図である。

【図22】この発明の第2の実施の形態による半導体パッケージを用いたモジュール6を示す回路図および平面図である。 20

【図23】この発明の第2の実施の形態による半導体パッケージを用いたモジュール7を示す回路図および平面図である。

【図24】この発明の第2の実施の形態による半導体パッケージを用いたモジュール8を示す回路図である。

【図25】この発明の第2の実施の形態による半導体パッケージを用いたモジュール8を示す平面図である。

【図26】この発明の第2の実施の形態による半導体パッケージを用いたモジュール9を示す平面図である。

【図27】この発明の第3の実施の形態による半導体パッケージを示す断面図である。

【図28】この発明の第3の実施の形態による半導体パッケージの実装方法を説明するための断面図である。 30

【図29】この発明の第3の実施の形態による半導体パッケージを用いたモジュール10を示す平面図である。

【図30】この発明の第3の実施の形態による半導体パッケージを用いたモジュール11を示す回路図である。

【図31】この発明の第3の実施の形態による半導体パッケージを用いたモジュール11を示す平面図である。

【図32】この発明の第4の実施の形態による半導体パッケージを示す平面図である。

【図33】この発明の第4の実施の形態による半導体パッケージを示す底面図である。

【図34】図32のX-X線に沿っての断面図である。 40

【図35】この発明の第4の実施の形態による半導体パッケージの実装方法を説明するための断面図である。

【図36】この発明の第5の実施の形態による半導体パッケージを示す断面図である。

【図37】この発明の第5の実施の形態による半導体パッケージの実装方法を説明するための断面図である。

【図38】この発明の第6の実施の形態において第3の実施の形態による半導体パッケージを実装する方法を説明するための断面図である。

【図39】この発明の第6の実施の形態において第3の実施の形態による半導体パッケージを実装したモジュール12を示す回路図および平面図である。

【図40】この発明の第6の実施の形態において第3の実施の形態による半導体パッケー 50

ジを実装したモジュール 12 において用いられる逆接続保護用ダイオードを示す平面図である。

【図 4 1】この発明の第 7 の実施の形態において第 3 の実施の形態による半導体パッケージを実装する方法を説明するための断面図である。

【図 4 2】この発明の第 8 の実施の形態において第 3 の実施の形態による半導体パッケージを実装する方法を説明するための断面図である。

【図 4 3】この発明の第 9 の実施の形態において第 3 の実施の形態による半導体パッケージおよび GaN 系半導体チップを実装する方法を説明するための断面図である。

【図 4 4】この発明の第 10 の実施の形態において第 3 の実施の形態による半導体パッケージおよび GaN 系半導体チップを実装する方法を説明するための断面図である。 10

【図 4 5】この発明の第 11 の実施の形態による半導体パッケージを示す平面図である。

【図 4 6】この発明の第 11 の実施の形態による半導体パッケージを示す底面図である。

【図 4 7】図 4 5 の X - X 線に沿っての断面図である。

【図 4 8】図 4 5 の Y - Y 線に沿っての断面図である。

【図 4 9】この発明の第 11 の実施の形態による半導体パッケージにおける半導体チップ C の具体例を示す平面図である。

【図 5 0】この発明の第 11 の実施の形態による半導体パッケージの製造方法を説明するための断面図である。

【図 5 1】この発明の第 11 の実施の形態による半導体パッケージの製造方法を説明するための断面図である。 20

【図 5 2】この発明の第 11 の実施の形態による半導体パッケージの製造方法を説明するための断面図である。

【図 5 3】この発明の第 11 の実施の形態による半導体パッケージの製造方法を説明するための平面図である。

【図 5 4】この発明の第 11 の実施の形態による半導体パッケージを実装する方法を説明するための断面図である。

【図 5 5】この発明の第 12 の実施の形態による半導体パッケージの回路構成を示す略線図である。

【図 5 6】この発明の第 12 の実施の形態による半導体パッケージを示す平面図、底面図および断面図である。 30

【図 5 7】この発明の第 13 の実施の形態による半導体パッケージの回路構成を示す略線図である。

【図 5 8】この発明の第 13 の実施の形態による半導体パッケージを示す平面図および底面図である。

【図 5 9】この発明の第 14 の実施の形態による半導体パッケージの回路構成を示す略線図である。

【図 6 0】この発明の第 14 の実施の形態による半導体パッケージを示す平面図である。

【図 6 1】従来の縦型構造のパワー Si - MOS トランジスタのチップをパッケージングする技術を説明するための断面図である。

【図 6 2】従来の縦型構造のパワー Si - MOS トランジスタのチップを複数、ワンパッケージングする技術を説明するための断面図である。 40

【図 6 3】従来の縦型構造のパワー Si - MOS トランジスタのベアチップの実装方法を説明するための断面図である。

【発明を実施するための形態】

【0031】

以下、発明を実施するための形態（以下、実施の形態と言う。）について説明する。

1. 第 1 の実施の形態

[半導体パッケージ]

第 1 の実施の形態による半導体パッケージについて説明する。この半導体パッケージは QFN パッケージと同様な構造を有する。この半導体パッケージは、ソース電極、ドレイ 50

ン電極およびゲート電極が同一面に設けられた横型構造を有するGaN系FETを構成する半導体チップを樹脂封止したものである。この半導体パッケージを図1～図4に示す。図1は平面図、図2は底面図（裏面図）、図3は図1のX-X線に沿っての断面図、図4は図1のY-Y線に沿っての断面図である。

【0032】

図1～図4に示すように、この半導体パッケージは、全体として偏平な直方体の形状を有する。この半導体パッケージにおいては、電気的に絶縁性の絶縁基板10の第1主面上にGaN系FETを構成する半導体層20が設けられ、この半導体層20上にソース電極30、ドレイン電極40およびゲート電極50が設けられた半導体チップCが樹脂封止されている。絶縁基板10は特に限定されないが、典型的には、サファイア基板、取り分けC面サファイア基板であり、厚さは好適には150μm以下、より好適には120μm以下、好適には50μm以上である。半導体層20は、GaN系FETを構成する複数層のGaN系半導体層を一括して模式的に示したものである。半導体層20は、GaN系FETの種類などに応じて適宜設計される。この半導体チップCは長方形（正方形を含む）の平面形状を有する。これらのソース電極30、ドレイン電極40およびゲート電極50は三角形に配置されている。言い換えると、これらのソース電極30、ドレイン電極40およびゲート電極50のそれぞれの中心は三角形の各頂点に配置されている。これらのソース電極30、ドレイン電極40およびゲート電極50を構成する材料は、従来公知の材料の中から必要に応じて選ばれる。これらのソース電極30、ドレイン電極40およびゲート電極50の平面形状は特に限定されず、必要に応じて選ばれる。この例では、ソース電極30は、半導体チップCの辺S₁に平行な長辺と辺S₁に垂直な辺S₂に平行な短辺とを有する長方形の形状を有し、辺S₁、S₂に近接して設けられており、ソース電極30の長辺の長さは辺S₁の長さより短い。また、ドレイン電極40は、半導体チップCの辺S₁に対向する辺S₃に平行な長辺と辺S₂に平行な短辺とを有する長方形の形状を有し、辺S₂、S₃に近接して設けられており、ドレイン電極40の長辺および短辺の長さはソース電極30と等しい。また、ゲート電極50は、半導体チップCの辺S₄に平行な長辺と辺S₁に平行な短辺とを有する長方形の形状を有し、ソース電極30と辺S₄との間の領域において辺S₁、S₄に近接して設けられている。ソース電極30およびドレイン電極40は、典型的には櫛型構造（interdigital structure）に形成される。

【0033】

ソース電極30、ドレイン電極40およびゲート電極50には、それぞれ電極パッド60、70、80が電気的に接続されている。ソース電極30、ドレイン電極40およびゲート電極50が三角形に配置されているため、これらの電極パッド60、70、80も三角形に配置することができる。これらの電極パッド60、70、80を構成する材料は、従来公知の材料の中から必要に応じて選ばれる。これらの電極パッド60、70、80で覆われていない部分の半導体層20、ソース電極30、ドレイン電極40およびゲート電極50の表面と絶縁基板10および半導体層20の側面とは電気的に絶縁性の樹脂90により覆われてあり、封止されている。樹脂90の材料は必要に応じて選ばれるが、例えば、エポキシ樹脂である。ソース電極30と接続された電極パッド60は、ソース電極30から樹脂90上を半導体層20および絶縁基板10に平行に延在してから垂直に折れ曲がって、樹脂90の、半導体チップCの辺S₁、S₂に平行な側面に沿って半導体層20および絶縁基板10の側面に平行に延在し、絶縁基板10の第2主面と同一の高さで終端している。すなわち、電極パッド60の下端面と絶縁基板10の第2主面とは同一面にある。ドレイン電極40と接続された電極パッド70は、ドレイン電極40から樹脂90上を半導体層20および絶縁基板10に平行に延在してから垂直に折れ曲がって、樹脂90の、半導体チップCの辺S₂、S₃、S₄に平行な側面に沿って半導体層20および絶縁基板10の側面に平行に延在し、絶縁基板10の第2主面と同一の高さで終端している。すなわち、電極パッド70の下端面と絶縁基板10の第2主面とは同一面にある。ゲート電極50と接続された電極パッド80は、ゲート電極50から樹脂90上を半導体層20および絶縁基板10に平行に延在してから垂直に折れ曲がって、樹脂90の、半導体チップCの辺S₄に平行な側面に沿って半導体層20および絶縁基板10の側面に平行に延在し、絶縁基板10の第2主面と同一の高さで終端している。すなわち、電極パッド80の下端面と絶縁基板10の第2主面とは同一面にある。

10

20

30

40

50

Cの辺S₁、S₄に平行な側面に沿って半導体層20および絶縁基板10の側面に平行に延在し、絶縁基板10の第2主面と同一の高さで終端している。すなわち、電極パッド80の下端面と絶縁基板10の第2主面とは同一面にある。また、電極パッド60は、半導体層20の、辺S₁と辺S₂とが交差する一つの角部を含む長方形の領域と重なるように延在している。電極パッド70は、半導体層20の、辺S₂と辺S₃とが交差する角部および辺S₃と辺S₄とが交差する角部を含み、長辺の長さが辺S₃と等しい長方形の領域と重なるように延在している。電極パッド80は、半導体層20の、辺S₁と辺S₄とが交差する一つの角部を含む長方形の領域と重なるように延在している。

【0034】

この半導体パッケージの各部のサイズの一例を挙げると、絶縁基板10の一辺の長さは2~5mm、絶縁基板10の裏面からソース電極30、ドレイン電極40およびゲート電極50の上面までの高さは約0.15mm、全体の厚さは約3mm、絶縁基板10上の電極パッド60、70、80の厚さは約0.15mm、絶縁基板10の側面の樹脂90および電極パッド60、70、80の合計厚さは約1mmである。

10

【0035】

[半導体パッケージの製造方法]

図5A~Eはこの半導体パッケージの製造方法の一例を示す。

【0036】

図5Aに示すように、まず、リードフレーム形成用の金属板100を用意する。金属板100としては従来公知の材料の中から必要に応じて選ばれるが、例えば、Cu合金や鉄(Fe)-ニッケル(Ni)系合金などである。

20

【0037】

次に、図5Bに示すように、プレス加工により、金属板100を、製造するQFNパッケージに応じた所定の繰り返しパターンで部分的に打ち抜くとともに部分的に段差を形成し、所定形状のリードフレーム110を形成する。このリードフレーム110の平面形状を図6に示す。ただし、図6は図5Bに示すリードフレーム110を下方から見た時の平面図である。図5Bは図6のB-B線に沿っての断面図である。このリードフレーム110のうち最終的に電極パッド60、70、80となる電極パッド形成部111、112、113の先端に段差部111a、112a、113aが形成されている。

【0038】

30

次に、図5Cに示すように、半導体チップCのソース電極30、ドレイン電極40およびゲート電極50上にそれぞれハンダ(図示せず)を形成した状態でこれらのソース電極30、ドレイン電極40およびゲート電極50を下に向け、それぞれリードフレーム110の段差部111a、112a、113aの表面に接触させた後、熱処理を行うことによりハンダを溶融させる。こうして、ソース電極30、ドレイン電極40およびゲート電極50を、それぞれリードフレーム110の段差部111a、112a、113aにハンダ付けする。この状態の平面図を図7に示す。ただし、図7は図5Cに示すリードフレーム110および半導体チップCを下方から見た時の平面図である。図5Cは図7のC-C線に沿っての断面図である。

【0039】

40

次に、図5Dに示すように、リードフレーム110の段差部111a、112a、113aや半導体チップCの半導体層20の下方の空間を埋めるように樹脂モールドを行い、半導体チップCを絶縁基板10の裏面を除いて樹脂90により封止する。この状態の平面図を図8に示す。ただし、図8は図5Dに示すリードフレーム110、半導体チップCおよび樹脂90を下方から見た時の平面図である。図5Dは図8のD-D線に沿っての断面図である。

【0040】

この後、図5Dおよび図8に二点鎖線で示す所定の切断線に沿ってリードフレーム110を切断し、図5Eに示すように分離する。こうして、目的とする図1~図4に示す半導体パッケージが製造される。

50

【0041】

[GaN系FETの具体例1]

図9は分極超接合GaN系FETを示す(特許文献2参照。)。図9に示すように、この分極超接合GaN系FETにおいては、GaN系半導体がC面成長する、例えばC面サファイア基板などの絶縁基板10上に、低温成長GaNバッファ層21、アンドープGaN層22、厚さが25nm以上47nm以下のアンドープAl_xGa_{1-x}N層23(0.17×0.35)、アンドープGaN層24およびMgがドープされたp型GaN層25が順次積層されている。この分極超接合GaN系FETは、互いに分離して設けられた分極超接合領域(PSJ領域)とp電極コンタクト領域とを有する。p電極コンタクト領域におけるp型GaN層25上にはさらに、このp電極コンタクト領域においてのみp型GaN層25と接触してこのp型GaN層25よりもMgが高濃度にドープされたp⁺型GaNコンタクト層26が設けられている。このp⁺型GaNコンタクト層26上にp電極からなるゲート電極50が設けられている。アンドープAl_xGa_{1-x}N層23上にソース電極30およびドレイン電極40が設けられている。これらのソース電極30、ドレイン電極40およびゲート電極50は三角形に配置されている。

【0042】

この分極超接合GaN系FETにおいては、アンドープGaN層24の厚さをu[nm]、p型GaN層25の厚さをv[nm]、p型GaN層25のMg濃度をw[c m⁻³]で表し、換算厚さt_Rを

$$t_R = u + v (1 + w \times 10^{-18})$$

20

と定義したとき、アンドープAl_xGa_{1-x}N層23に対し、

$$t_R = 0.864 / (x - 0.134) + 46.0 [nm]$$

が成立するとき、アンドープGaN層24とアンドープAl_xGa_{1-x}N層23とのヘテロ界面の近傍におけるアンドープGaN層24に1×10¹²c m⁻²以上の濃度の2次元正孔ガス(2DHG)を生成することができる。

【0043】

[GaN系FETの具体例2]

図10は分極超接合GaN系FETを示す(特許文献1参照。)。図10に示すように、この分極超接合GaN系FETにおいては、GaN系半導体がC面成長する、例えばC面サファイア基板などの絶縁基板10上に、低温成長GaNバッファ層21、アンドープGaN層22、Al_xGa_{1-x}N層23、アンドープGaN層24およびMgがドープされたp型GaN層25が順次積層されている。この分極超接合GaN系FETは、互いに分離して設けられた分極超接合領域(PSJ領域)とp電極コンタクト領域とを有する。p型GaN層25は分極超接合領域においては設けられておらず、p電極コンタクト領域においてのみ設けられている。p電極コンタクト領域におけるp型GaN層25上にはさらに、このp電極コンタクト領域においてのみp型GaN層25と接触してこのp型GaN層25よりもMgが高濃度にドープされたp⁺型GaNコンタクト層26が設けられている。このp⁺型GaNコンタクト層26上にp電極からなるゲート電極50が設けられている。Al_xGa_{1-x}N層23上にソース電極30およびドレイン電極40が設けられている。これらのソース電極30、ドレイン電極40およびゲート電極50は三角形に配置されている。

30

【0044】

この分極超接合GaN系FETにおいては、分極超接合領域を構成するAl_xGa_{1-x}N層23のAl組成xおよび厚みt[nm]は、アンドープGaN層24の厚みをa[nm](但し、aは10nm以上1000nm以下)としたとき、下記の式を満足するよう選択されている。

【数1】

$$t \geq \alpha(a) x^{\beta(a)}$$

40

50

但し、 は

$$\text{Log}() = p_0 + p_1 \log(a) + p_2 \{ \log(a) \}^2$$

(但し、 $p_0 = 7.3295$ 、 $p_1 = -3.5599$ 、 $p_2 = 0.6912$)

で表され、

かつ、 は

$$= p'_0 + p'_1 \log(a) + p'_2 \{ \log(a) \}^2$$

(但し、 $p'_0 = -3.6509$ 、 $p'_1 = 1.9445$ 、 $p'_2 = -0.3793$)

で表される。

【0045】

上記のように構成することにより、アンドープGaN層24とAl_xGa_{1-x}N層23 10
とのヘテロ界面の近傍におけるアンドープGaN層24に $1 \times 10^{12} \text{ cm}^{-2}$ 以上の濃度の
2DHGを生成することができる。

【0046】

[半導体パッケージの実装方法]

半導体パッケージの実装方法について説明する。ここでは、実装基板としてDBC基板
を用いる場合について説明する。

【0047】

図11AおよびBに示すように、DBC基板200上に半導体パッケージ300を実装
する。ここで、図11Aは平面図、図11Bは図11AのB-B線に沿っての断面図である。
具体的には、DBC基板200のCuベース基板200a上のSiN層200b上の
Cu層をパターニングすることによりソース配線210、ドレイン配線220およびゲー
ト配線230を形成する。ソース配線210は、半導体パッケージ300の一つの辺E₁ 20
に平行な部分とこれに垂直な辺E₂に平行な部分とからなる90°折れ曲がった平面形状
を有する。ドレイン配線220は、半導体パッケージ300の辺E₁に平行な細長い長方形
の形状を有する。ゲート配線230は、半導体パッケージ300の辺E₁、E₂にそれ
ぞれ平行な辺を有する長方形の形状を有する。このDBC基板200上に半導体パッケー
ジ300を実装する。すなわち、図11AおよびBに示すように、DBC基板200のソ
ース配線210、ドレイン配線220およびゲート配線230の所定部分に半導体パッケ
ージ300の、それぞれソース電極30、ドレイン電極40およびゲート電極50と接続
された電極パッド60、70、80をそれぞれハンダ付けなどにより接続する。 30

【0048】

[モジュールの構成例]

半導体パッケージ300を用いたモジュールの構成例を説明する。

【0049】

[モジュール1]

図12Aは半導体パッケージ300を三つ用いて構成された並列接続トランジスタを有
するモジュール1を示す回路図、図12Bはこのモジュール1の構成例を示す。図12B 40
に示すように、DBC基板200上に三つの半導体パッケージ300が実装されて並列接
続トランジスタが構成されている。各半導体パッケージ300は図11AおよびBに示す
実装例と同様に実装されているが、ソース配線210、ドレイン配線220およびゲート
配線230は、三つの半導体パッケージ300に共通な配線として形成されている。ここ
で、これらのソース配線210、ドレイン配線220およびゲート配線230は、いずれ
も互いに交差していない。

【0050】

[モジュール2]

図13Aは半導体パッケージ300を二つ用いて構成された直列接続トランジスタを有
するモジュール2を示す回路図、図13Bはこのモジュール2の構成例を示す。図13B 50
に示すように、DBC基板200上に二つの半導体パッケージ300が実装されて直列接
続トランジスタが構成されている。各半導体パッケージ300は図11AおよびBに示す
実装例と同様に実装されているが、ソース配線210、ドレイン配線220およびゲート

配線 230 は、二つの半導体パッケージ 300 に共通な配線として形成されている。ここで、これらのソース配線 210、ドレイン配線 220 およびゲート配線 230 は、いずれも互いに交差していない。

【0051】

[モジュール 3]

図 14A は半導体パッケージ 300 を一つ、市販の SiMOS ドランジスタを一つ用いて構成されたカスコード回路を有するモジュール 3 を示す回路図、図 14B はこのモジュール 3 の構成例を示す。図 14B に示すように、DBC 基板 200 上に一つの半導体パッケージ 300 が実装され、この半導体パッケージ 300 に隣接して SiMOS ドランジスタを構成する Si チップ 400 が実装されてカスコード回路が構成されている。半導体パッケージ 300 は図 11A および B に示す実装例と同様に実装されている。ソース配線 210 の一部は Si チップ 400 の下方に延在しており、Si チップ 400 の Si 基板の裏面に形成された全面電極と電気的に接続している。そして、Si チップ 400 上に設けられたソース電極 410 とこの Si チップ 400 に隣接して設けられたパッド電極 240 との間がワイヤ 510 によりボンディングされ、Si チップ 400 上に設けられたゲート電極 420 とこの Si チップ 400 に隣接して設けられたパッド電極 250 との間がワイヤ 520 によりボンディングされている。ここで、パッド電極 240、250 は、ソース配線 210、ドレイン配線 220、ゲート配線 230 と同様に、DBC 基板 200 の Cu 層のパターニングにより形成される。この場合も、ソース配線 210、ドレイン配線 220、ゲート配線 230 およびパッド電極 240、250 はいずれも互いに交差していない。

10

【0052】

[モジュール 4]

図 15A は半導体パッケージ 300 を二つ、市販の SiMOS ドランジスタを二つ用いて構成されたインバータームを有するモジュール 4 を示す回路図、図 15B はこのモジュール 4 の構成例を示す。図 15B に示すように、DBC 基板 200 上に一つの半導体パッケージ 300 が実装され、この半導体パッケージ 300 に隣接して SiMOS ドランジスタを構成する一つの Si チップ 400 が実装され、この Si チップ 400 に隣接してもう一つの半導体パッケージ 300 が実装され、この半導体パッケージ 300 に隣接して SiMOS ドランジスタを構成するもう一つの Si チップ 400 が実装されてインバータームが構成されている。各半導体パッケージ 300 は図 11A および B に示す実装例と同様に実装されているが、ソース配線 210、ドレイン配線 220 およびゲート配線 230 は、二つの半導体パッケージ 300 に共通な配線として形成されている。モジュール 3 と同様に、ソース配線 210 の一部は Si チップ 400 の下方に延在しており、Si チップ 400 の Si 基板の裏面に形成された全面電極と電気的に接続している。また、Si チップ 400 上に設けられたソース電極 410 とこの Si チップ 400 に隣接して設けられたパッド電極 240 との間がワイヤ 510 によりボンディングされ、Si チップ 400 上に設けられたゲート電極 420 とこの Si チップ 400 に隣接して設けられたパッド電極 250 との間がワイヤ 520 によりボンディングされている。この場合も、ソース配線 210、ドレイン配線 220、ゲート配線 230 およびパッド電極 240、250 はいずれも互いに交差していない。

30

【0053】

この第 1 の実施の形態によれば、次のような種々の利点を得ることができる。すなわち、絶縁基板 10 の第 1 主面上に GaN 系 FET を構成する半導体層 20 が設けられ、半導体層 20 上にソース電極 30、ドレイン電極 40 およびゲート電極 50 が三角形に配置され、これらのソース電極 30、ドレイン電極 40 およびゲート電極 50 からそれぞれ電極パッド 60、70、80 が半導体層 20 の外部に引き出された半導体チップ C を樹脂 90 により封止することにより、QFN パッケージ状の半導体パッケージ 300 を構成することができる。そして、この半導体パッケージ 300 の半導体チップ C の絶縁基板 10 側を DBC 基板 200 に向け、電極パッド 60、70、80 を DBC 基板 200 上に形成された配線と接続することにより、GaN 系 FET をフェースアップで容易に DBC 基板 20

40

50

0上に実装することができ、従来に比べて大幅な低コスト化、高周波化、省体積化、低熱抵抗化などを図ることができる。しかも、ソース電極30、ドレイン電極40およびゲート電極50は三角形に配置され、従って電極パッド60、70、80も三角形に配置することができるため、DBC基板200上の配線を互いに交差しないように形成することができるところから、半導体パッケージ300を実装した高性能のモジュールを容易に実現することができる。そして、このモジュールを用いることにより高性能の電気機器を安価に実現することができる。

【0054】

2. 第2の実施の形態

【半導体パッケージ】

10

第2の実施の形態による半導体パッケージについて説明する。この半導体パッケージも第1の実施の形態による半導体パッケージと同様に、GaN系FETを樹脂封止したものであり、QFNパッケージと同様な構造を有する。この半導体パッケージを図16～図18に示す。図16は平面図、図17は底面図（裏面図）、図18は図16のZ-Z線に沿っての断面図である。

【0055】

図16～図18に示すように、この半導体パッケージにおいては、半導体層20、ソース電極30、ドレイン電極40およびゲート電極50の表面を覆っている樹脂90が電極パッド60、70、80の厚さより十分に大きい厚さに形成されており、電極パッド60、70、80の半導体層20に平行な部分の途中まで延在している。また、電極パッド60、70、80は、樹脂90の輪郭より外部に突出しており、樹脂90の側面に沿って半導体層20および絶縁基板10の側面に平行に延在し、絶縁基板10の第2主面および樹脂90の下面と同一の高さで終端している。その他の構成は第1の実施の形態と同様である。

20

【0056】

この半導体パッケージの各部のサイズの一例を挙げると、絶縁基板10の一辺の長さは2～5mm、絶縁基板10の裏面からソース電極30、ドレイン電極40およびゲート電極50の上面までの高さは約0.15mm、電極パッド60、70、80の厚さは0.3mm、絶縁基板10の側面の樹脂90の厚さは0.6mm、絶縁基板10の側面の電極パッド60、70、80の厚さは約0.7mm、電極パッド60、70、80の上面からその上に設けられた樹脂90の上面までの高さは0.3mmである。

30

【0057】

【半導体パッケージの製造方法】

この半導体パッケージの製造方法は基本的には第1の実施の形態による半導体パッケージの製造方法と同様である。図7に対応する平面図を図19に示す。

30

【0058】

【GaN系FETの具体例】

GaN系FETの具体例は、例えば、第1の実施の形態による半導体パッケージの具体例1、2と同様である。

40

【0059】

【半導体パッケージの実装方法】

この半導体パッケージの実装方法について説明する。ここでは、実装基板としてDBC基板を用いる場合について説明する。

【0060】

図20に示すように、DBC基板200上に半導体パッケージ300を実装する。ここで、図20は図11Bに対応する断面図である。具体的には、DBC基板200のCu層をパターニングすることにより、ソース配線210、ドレイン配線220およびゲート配線230を形成するとともに、電極260を形成する。ソース配線210、ドレイン配線220、ゲート配線230および電極260上には、ナノAg粒子を含む導電性ペーストなどからなる導電層500を形成する。この導電層500の厚さは例えば0.15mmで

50

ある。このDBC基板200上に半導体パッケージ300を実装する。すなわち、図20に示すように、DBC基板200のソース配線210、ドレイン配線220およびゲート配線230の所定部分に半導体パッケージ300の、それぞれソース電極30、ドレイン電極40およびゲート電極50と接続された電極パッド60、70、80を導電層500を介して接続する。同時に、DBC基板200の電極260に半導体パッケージ300の絶縁基板10の裏面を導電層500を介して接続する。この絶縁基板10の裏面に接觸する導電層500は、半導体パッケージ300の動作時に発生して絶縁基板10に伝わった熱を電極260に伝導させ、DBC基板200により放熱を行うための熱伝導層として働く。

【0061】

10

[モジュールの構成例]

半導体パッケージ300を用いたモジュールの構成例を説明する。

【0062】

[モジュール5]

図21Aは半導体パッケージ300を三つ用いて構成された並列接続トランジスタを有するモジュール5を示す回路図、図21Bはこのモジュール5の構成例を示す。図21Bに示すように、DBC基板200上に三つの半導体パッケージ300が実装されて並列接続トランジスタが構成されている。各半導体パッケージ300は図20に示す実装例と同様に実装されているが、ソース配線210、ドレイン配線220およびゲート配線230は、三つの半導体パッケージ300に共通な配線として形成されている。ここで、これらのソース配線210、ドレイン配線220およびゲート配線230は、いずれも互いに交差していない。

20

【0063】

[モジュール6]

図22Aは半導体パッケージ300を二つ用いて構成された直列接続トランジスタを有するモジュール6を示す回路図、図22Bはこのモジュール2の構成例を示す。図22Bに示すように、DBC基板200上に二つの半導体パッケージ300が実装されて直列接続トランジスタが構成されている。各半導体パッケージ300は図20に示す実装例と同様に実装されているが、ソース配線210、ドレイン配線220およびゲート配線230は、二つの半導体パッケージ300に共通な配線として形成されている。ここで、これらのソース配線210、ドレイン配線220およびゲート配線230は、いずれも互いに交差していない。

30

【0064】

[モジュール7]

図23Aは半導体パッケージ300を一つ、市販のSiMOSトランジスタを一つ用いて構成されたカスコード回路を有するモジュール7を示す回路図、図23Bはこのモジュール7の構成例を示す。図23Bに示すように、DBC基板200上に一つの半導体パッケージ300が実装され、この半導体パッケージ300に隣接してSiMOSトランジスタを構成するSiチップ400が実装されてカスコード回路が構成されている。半導体パッケージ300は図20に示す実装例と同様に実装されている。ソース配線210の一部はSiチップ400の下方に延在しており、Siチップ400のSi基板の裏面に形成された全面電極と電気的に接続している。そして、Siチップ400上に設けられたソース電極410とこのSiチップ400に隣接して設けられたパッド電極240との間がワイヤ510によりボンディングされ、Siチップ400上に設けられたゲート電極420とこのSiチップ400に隣接して設けられたパッド電極250との間がワイヤ520によりボンディングされている。ここで、パッド電極240、250は、ソース配線210、ドレイン配線220、ゲート配線230と同様に、DBC基板200のCu層のパターンングにより形成される。この場合も、ソース配線210、ドレイン配線220、ゲート配線230およびパッド電極240、250はいずれも互いに交差していない。

40

【0065】

50

[モジュール 8]

図 24 は半導体パッケージ 300 を複数用いて構成されたインバータアームを有するモジュール 8 を示す回路図、図 25 はこのモジュール 8 の構成例を示す。図 25 に示すように、DBC 基板 200 上に 2 列に複数の半導体パッケージ 300 が実装されてインバータアームが構成されている。各半導体パッケージ 300 は図 20 に示す実装例と同様に実装されている。この場合、下部アームのソース配線 281、ドレイン配線である出力配線 282 およびゲート配線 283 (図 24 中、それぞれ V1、Out および G1 で示す配線) は、下部アームの一列の半導体パッケージ 300 に共通な配線として形成されている。上部アームのソース配線 281 は出力配線 282 により構成される。上部アームのドレイン配線 284 およびゲート配線 285 (図 24 中、それぞれ Vu および Gu で示す配線) は、上部アームの一列の半導体パッケージ 300 に共通な配線として形成されている。ここで、ソース配線 281、出力配線 282、ゲート配線 283、ドレイン配線 284 およびゲート配線 285 は、DBC 基板 200 の Cu 層のパターニングにより形成される。この場合も、これらのソース配線 281、出力配線 282、ゲート配線 283、ドレイン配線 284 およびゲート配線 285 はいずれも互いに交差していない。
10

【 0066 】

[モジュール 9]

図 26 は半導体パッケージ 300 を一つ、市販の SiMOS トランジスタ SOS パッケージ 600 を一つ用いて構成されたカスコード回路を有するモジュール 9 の構成例を示す。このモジュール 9 の回路図は図 14A に示す通りである。図 26 に示すように、DBC 基板 200 上に一列に複数の半導体パッケージ 300 が実装され、一つの半導体パッケージ 300 に隣接して SiMOS トランジスタ SOS パッケージ 600 が実装されてカスコード回路が構成されている。各半導体パッケージ 300 は図 20 に示す実装例と同様に実装されている。SiMOS トランジスタ SOS パッケージ 600 は、二つのソース端子 601、602、三つのドレイン端子 603、604、605 および一つのゲート端子 606 を有する。ソース端子 601、602 は、ソース配線 291 と接続されている。ドレイン端子 603、604、605 は、半導体パッケージ 300 のソース配線 210 と接続されている。ゲート端子 606 は、ゲート配線 292 と接続されている。ここで、ソース配線 291 およびゲート配線 292 は、ソース配線 210、ドレイン配線 220 およびゲート配線 230 と同様に、DBC 基板 200 の Cu 層のパターニングにより形成される。この場合も、ソース配線 210、ドレイン配線 220、ゲート配線 230、ソース配線 291 およびゲート配線 292 はいずれも互いに交差していない。
20
30

【 0067 】

この第 2 の実施の形態によれば、第 1 の実施の形態と同様な利点を得ることができる。

【 0068 】

3. 第 3 の実施の形態

[半導体パッケージ]

第 3 の実施の形態による半導体パッケージについて説明する。この半導体パッケージも第 1 の実施の形態による半導体パッケージと同様に、GaN 系 FET を樹脂封止したものであり、QFN パッケージと同様な構造を有する。この半導体パッケージの断面図を図 27 に示す。この半導体パッケージの平面図および底面図 (裏面図) は図 16 および図 17 に示すものと同様である。図 27 は図 16 の Z-Z 線に沿っての断面図に相当する。
40

【 0069 】

図 27 に示すように、この半導体パッケージにおいては、電極パッド 60、70、80 は半導体層 20 に平行な方向に延在し、樹脂 90 の輪郭より外部に突出している。その他の構成は第 2 の実施の形態と同様である。

【 0070 】

この半導体パッケージの各部のサイズの一例を挙げると、絶縁基板 10 の一辺の長さは 2 ~ 5 mm、絶縁基板 10 の裏面からソース電極 30、ドレイン電極 40 およびゲート電極 50 の上面までの高さは約 0.15 mm、電極パッド 60、70、80 の厚さは 0.3
50

mm、絶縁基板10の側面の樹脂90の厚さは0.6mm、電極パッド60、70、80の上面からその上に設けられた樹脂90の上面までの高さは0.3mm、電極パッド60、70、80の樹脂90からの突出長さは0.7mmである。

【0071】

[半導体パッケージの製造方法]

この半導体パッケージの製造方法は基本的には第1の実施の形態による半導体パッケージの製造方法と同様である。

【0072】

[GaN系FETの具体例]

GaN系FETの具体例は、例えば、第1の実施の形態による半導体パッケージの具体例1、2と同様である。

10

【0073】

[半導体パッケージの実装方法]

この半導体パッケージの実装方法について説明する。ここでは、実装基板としてDBC基板を用いる場合について説明する。

【0074】

図28に示すように、DBC基板200上に半導体パッケージ300を実装する。具体的には、DBC基板200のCu層およびSiN層200bをパターニングすることにより、半導体パッケージ300の実装部のCuベース基板200aを露出させるとともに、ソース配線210、ドレイン配線220およびゲート配線230を形成する。ソース配線210、ドレイン配線220、ゲート配線230および半導体パッケージ300の実装部のCuベース基板200a上には、ナノAg粒子を含む導電性ペーストなどからなる導電層500を形成する。この導電層500の厚さは例えば0.15mmである。このDBC基板200上に半導体パッケージ300を実装する。すなわち、図28に示すように、DBC基板200のソース配線210、ドレイン配線220およびゲート配線230の所定部分に半導体パッケージ300の、それぞれソース電極30、ドレイン電極40およびゲート電極50と接続された電極パッド60、70、80を導電層500を介して接続する。半導体パッケージ300の絶縁基板10は導電層500を介してCuベース基板200aに接触している。この絶縁基板10の裏面に接触する導電層500は、半導体パッケージ300の動作時に発生して絶縁基板10に伝わった熱をCuベース基板200aに伝導させ、放熱を行うための熱伝導層として働く。

20

【0075】

[モジュールの構成例]

半導体パッケージ300を用いてモジュール5～8と同様なモジュールを構成することができるほか、次のモジュール10、11を構成することができる。

【0076】

[モジュール10]

図29は半導体パッケージ300を一つ、市販のSiMOSトランジスタSOSパッケージ600を一つ用いて構成されたカスコード回路を有するモジュール10の構成例を示す。このモジュール10の回路図は図14Aに示す通りである。図29に示すように、このモジュール10は、図26に示すモジュール9とほぼ同様に構成されているが、図26に示すモジュール9ではゲート配線230はDBC基板200のCu層のパターニングにより形成されているのに対し、このモジュール10では、ゲート電極バーとして、各半導体パッケージ300のゲート電極50に接続された電極パッド80に対して上からコンタクトしている点が異なる。

40

【0077】

[モジュール11]

図30は半導体パッケージ300を10個用いて構成された並列接続トランジスタを有するモジュール11を示す回路図、図31はこのモジュール11の構成例を示す。図31に示すように、DBC基板200上に10個の半導体パッケージ300が実装されて並列

50

接続トランジスタが構成されている。各半導体パッケージ 300 は図 28 に示す実装例と同様に実装されているが、ソース配線 210、ドレイン配線 220 およびゲート配線 700 は、これらの半導体パッケージ 300 に共通な配線として形成されている。ここで、ソース配線 210 およびドレイン配線 220 は、DBC 基板 200 の Cu 層のパターニングにより形成されているのに対し、ゲート配線 700 は、ゲート電極バーとして、各半導体パッケージ 300 のゲート電極 50 に接続された電極パッド 80 に対して上からコンタクトしている点が異なる。ただし、ゲート電極バーで接続する代わりにワイヤボンディングで接続してもよい。ここで、これらのソース配線 210、ドレイン配線 220 およびゲート配線 700 は、いずれも互いに交差していない。このモジュール 11 は、熱抵抗を極限まで減らしたい場合および単機能で半導体パッケージ 300 を並列接続して大電流が得られるようにしたい場合に好適なものである。各半導体パッケージ 300 の下部は電極と接続しておらず、互いに独立となっている。

【0078】

この第 3 の実施の形態によれば、第 1 の実施の形態と同様な利点を得ることができる。

【0079】

4. 第 4 の実施の形態

[半導体パッケージ]

第 4 の実施の形態による半導体パッケージについて説明する。この半導体パッケージも第 1 の実施の形態による半導体パッケージと同様に、GaN 系 FET を樹脂封止したものであり、QFN パッケージと同様な構造を有する。この半導体パッケージを図 32～図 34 に示す。図 32 は平面図、図 33 は底面図（裏面図）、図 34 は図 32 の X-X 線に沿っての断面図である。

【0080】

図 32～図 34 に示すように、この半導体パッケージは、樹脂 90 が絶縁基板 10 の側面から裏面の周辺部に掛けて延在しており、絶縁基板 10 の裏面の中央部に樹脂 90 により形成された絶縁基板 10 と相似形状の開口が形成されていることを除いて、第 2 の実施の形態による半導体パッケージと同様に構成されている。

【0081】

この半導体パッケージの各部のサイズの一例を挙げると、絶縁基板 10 の一辺の長さは 2～5 mm、絶縁基板 10 の裏面からソース電極 30、ドレイン電極 40 およびゲート電極 50 の上面までの高さは約 0.15 mm、電極パッド 60、70、80 の厚さは 0.3 mm、絶縁基板 10 の側面の樹脂 90 の厚さは 0.6 mm、絶縁基板 10 の裏面の樹脂 90 の厚さは 0.1 mm、絶縁基板 10 の裏面の中央部の樹脂 90 の開口の辺の長さは 1～4 mm、絶縁基板 10 の側面の電極パッド 60、70、80 の上面からその上に設けられた樹脂 90 の上面までの高さは 0.3 mm である。

【0082】

[半導体パッケージの製造方法]

この半導体パッケージの製造方法は基本的には第 1 の実施の形態による半導体パッケージの製造方法と同様である。

【0083】

[GaN 系 FET の具体例]

GaN 系 FET の具体例は、例えば、第 1 の実施の形態による半導体パッケージの具体例 1、2 と同様である。

【0084】

[半導体パッケージの実装方法]

この半導体パッケージの実装方法について説明する。ここでは、実装基板として DBC 基板を用いる場合について説明する。

【0085】

図 35 に示すように、DBC 基板 200 上に半導体パッケージ 300 を実装する。具体

10

20

30

40

50

的には、D B C 基板 2 0 0 の C u 層をパターニングすることにより、ソース配線 2 1 0 、ドレイン配線 2 2 0 およびゲート配線 2 3 0 を形成するとともに、電極 2 6 0 を形成する。電極 2 6 0 は、半導体パッケージ 3 0 0 の絶縁基板 1 0 の裏面の中央部の樹脂 9 0 の開口に対応する部分にこの開口より小さく形成する。ソース配線 2 1 0 、ドレイン配線 2 2 0 、ゲート配線 2 3 0 および電極 2 6 0 上に、ナノ A g 粒子を含む導電性ペーストなどからなる導電層 5 0 0 を形成する。この導電層 5 0 0 の厚さは例えば 0 . 1 5 mm である。この D B C 基板 2 0 0 上に半導体パッケージ 3 0 0 を実装する。すなわち、図 3 5 に示すように、D B C 基板 2 0 0 のソース配線 2 1 0 、ドレイン配線 2 2 0 およびゲート配線 2 3 0 の所定部分に半導体パッケージ 3 0 0 の、それぞれソース電極 3 0 、ドレイン電極 4 0 およびゲート電極 5 0 と接続された電極パッド 6 0 、7 0 、8 0 を導電層 5 0 0 を介して接続する。同時に、D B C 基板 2 0 0 の電極 2 6 0 に半導体パッケージ 3 0 0 の絶縁基板 1 0 の裏面を導電層 5 0 0 を介して接続する。この絶縁基板 1 0 の裏面に接触する導電層 5 0 0 は、半導体パッケージ 3 0 0 の動作時に発生して絶縁基板 1 0 に伝わった熱を電極 2 6 0 に伝導させ、D B C 基板 2 0 0 により放熱を行うための熱伝導層として働く。
10

【 0 0 8 6 】

[モジュールの構成例]

半導体パッケージ 3 0 0 を用いてモジュール 5 ~ 8 、1 0 、1 1 と同様なモジュールを構成することができる。

【 0 0 8 7 】

この第 4 の実施の形態によれば、第 1 の実施の形態と同様な利点を得ることができる。

20

【 0 0 8 8 】

5 . 第 5 の実施の形態

[半導体パッケージ]

第 5 の実施の形態による半導体パッケージについて説明する。この半導体パッケージも第 1 の実施の形態による半導体パッケージと同様に、G a N 系 F E T を樹脂封止したものであり、Q F N パッケージと同様な構造を有する。この半導体パッケージの断面図を図 3 6 に示す。この半導体パッケージの平面図および底面図（裏面図）は図 1 6 および図 1 7 に示すものと同様である。図 3 6 は図 1 6 の Z - Z 線に沿っての断面図に相当する。

【 0 0 8 9 】

図 3 6 に示すように、この半導体パッケージは、半導体層 2 0 および電極パッド 6 0 、7 0 、8 0 上の樹脂 9 0 の厚さが大きいこと、樹脂 9 0 が絶縁基板 1 0 の側面から裏面の周辺部に掛けて延在しており、絶縁基板 1 0 の裏面の中央部に樹脂 9 0 により形成された絶縁基板 1 0 と相似形状の開口が形成され、この開口の内部に絶縁基板 1 0 の裏面と接触して熱伝導層 7 5 0 が埋め込まれていることを除いて、第 3 の実施の形態による半導体パッケージと同様に構成されている。熱伝導層 7 5 0 は、例えばナノ C u 粒子を含む導電性ペーストなどからなる。この熱伝導層 7 5 0 の厚さは例えば 0 . 1 5 mm である。その他の構成は第 3 の実施の形態と同様である。
30

【 0 0 9 0 】

この半導体パッケージの各部のサイズの一例を挙げると、絶縁基板 1 0 の一辺の長さは 2 ~ 5 mm 、絶縁基板 1 0 の裏面からソース電極 3 0 、ドレイン電極 4 0 およびゲート電極 5 0 の上面までの高さは約 0 . 1 5 mm 、電極パッド 6 0 、7 0 、8 0 の下方の樹脂 9 0 の厚さは 0 . 3 mm 、電極パッド 6 0 、7 0 、8 0 の厚さは 0 . 2 mm 、絶縁基板 1 0 の側面の樹脂 9 0 の厚さは 0 . 6 mm 、熱伝導層 7 5 0 の側面の樹脂 9 0 の厚さは 1 . 2 mm 、電極パッド 6 0 、7 0 、8 0 の上面からその上に設けられた樹脂 9 0 の上面までの高さは 0 . 8 mm 、電極パッド 6 0 、7 0 、8 0 の樹脂 9 0 からの突出長さは 0 . 6 mm である。
40

【 0 0 9 1 】

[半導体パッケージの製造方法]

この半導体パッケージの製造方法は基本的には第 1 の実施の形態による半導体パッケージの製造方法と同様である。熱伝導層 7 5 0 は、例えば次のようにして形成することがで
50

きる。すなわち、リードフレーム上で絶縁基板 10 の裏面の中央部に開口が形成されるよう樹脂モールドにより樹脂 90 を形成した後、リードフレームのこの樹脂 90 の開口が露出した面上にナノ Cu 粒子を含む導電性ペーストを塗布し、スキージーにより不要な導電性ペーストを除去し、樹脂 90 の開口の内部にのみ導電性ペーストを残す。その後、乾燥させることにより熱伝導層 750 が形成される。

【0092】

【GaN系FETの具体例】

GaN系FETの具体例は、例えば、第1の実施の形態による半導体パッケージの具体例1、2と同様である。

【0093】

【半導体パッケージの実装方法】

この半導体パッケージの実装方法について説明する。ここでは、実装基板としてDBC基板を用いる場合について説明する。

【0094】

図37に示すように、DBC基板200上に半導体パッケージ300を実装する。具体的には、DBC基板200のCu層をパターニングすることにより、半導体パッケージ300の実装部のSiN層200bを露出させるとともに、ソース配線210、ドレイン配線220およびゲート配線230を形成する。ソース配線210、ドレイン配線220、ゲート配線230および半導体パッケージ300の実装部のSiN層200b上には、ナノAg粒子を含む導電性ペーストなどからなる導電層(図示せず)を形成する。このDBC基板200上に半導体パッケージ300を実装する。すなわち、図37に示すように、DBC基板200のソース配線210、ドレイン配線220およびゲート配線230の所定部分に半導体パッケージ300の、それぞれソース電極30、ドレイン電極40およびゲート電極50と接続された電極パッド60、70、80を導電層を介して接続する。半導体パッケージ300の絶縁基板10の中央部の樹脂90の開口に埋め込まれた熱伝導層750は導電層を介してSiN層200bに接触している。この絶縁基板10の裏面に接触する熱伝導層750は、半導体パッケージ300の動作時に発生して絶縁基板10に伝わった熱を導電層を介してSiN層200bに伝導させ、さらにCuベース基板200aに伝導させて放熱を行うためのものである。

【0095】

【モジュールの構成例】

半導体パッケージ300を用いてモジュール5~8、10、11と同様なモジュールを構成することができる。

【0096】

この第5の実施の形態によれば、第1の実施の形態と同様な利点を得ることができる。

【0097】

6. 第6の実施の形態

【モジュール】

第6の実施の形態においては、第3の実施の形態による半導体パッケージを複数、金属基板上に実装したモジュールについて説明する。

【0098】

図38はこのモジュールを示す。図38に示すように、このモジュールにおいては、ベース基板としての金属基板800上に第3の実施の形態による半導体パッケージ300が複数、実装されている。この場合、各半導体パッケージ300の絶縁基板10の裏面がこの金属基板800と直接接觸している。この金属基板800は放熱基板であり、一般的な実装基板と異なり配線は形成されていない。この金属基板800としては、例えばCu基板、Al基板などが用いられるが、これに限定されるものではない。放熱基板として金属基板800を用いることにより、半導体パッケージ300から発生する熱を放熱する際の熱抵抗を極小化することができる。図38中の二つの半導体パッケージ300の電極パッド60、70、80上には、二段積層されたAgペーストなどからなる導電層500を介

10

20

30

40

50

して所定の配線 810 が接続されている。この配線 810 は、典型的には、リードフレーム法により形成されたものである。この配線 810 は、半導体パッケージ 300 の樹脂 90 上ではその上面に導電層 500 を介して設けられている。金属基板 800、半導体パッケージ 300 および配線 810 の相互の間の隙間ならびに配線 810 の間の隙間は樹脂 820 により封止されている。配線 810 の一端および他端には端子 830、840 が設けられている。

【0099】

[モジュールの構成例]

図 39A は第 3 の実施の形態による半導体パッケージを四つ、市販の SiMOS ドランジスタ SOS パッケージを一つ、逆接続保護用ダイオードを四つ用いて構成されたカスコード回路を有するモジュール 12 を示す回路図、図 39B はこのモジュール 12 の構成例を示す。なお、第 3 の実施の形態による半導体パッケージにおいて、半導体チップ C として具体例 1、2 のパワー分極超接合 GaN 系 FET を用いる場合には、これらのパワー分極超接合 GaN 系 FET にはボディダイオードが備わっていることから、逆接続保護用ダイオードは必ずしも必要ではない。図 39B に示すように、このモジュール 12 においては、カスコード回路の大電流化のために四つの半導体パッケージ 300 が並列接続されている。並列接続された半導体パッケージ 300 のパッド電極 70 と SiMOS ドランジスタ SOS パッケージ 600 のソース端子 601、602 との間に四つの逆接続保護用ダイオード 900 が並列接続されている。図 40 に示すように、逆接続保護用ダイオード 900 は、第 3 の実施の形態による半導体パッケージ 300 においてゲート電極 50 に接続された電極パッド 80 の形成を省略したものからなり、ドレイン電極 40 をアノード電極、ソース電極 30 をカソード電極として用いたものである。図 39B に示すように、四つの半導体パッケージ 300 のパッド電極 60、70、80、SiMOS ドランジスタ SOS パッケージ 600 のソース端子 601、602、ドレイン端子 603、604、605 およびゲート端子 606 ならびに逆接続保護用ダイオード 900 のアノード電極およびカソード電極として用いられるドレイン電極 40 およびソース電極 30 に接続された電極パッド 70、60 の配線には、好適にはリードフレーム法により形成された配線 810 が用いられ、上方からコンタクトしている。

【0100】

この第 6 の実施の形態によれば、第 1 の実施の形態と同様な利点を得ることができるほか、次のような利点を得ることができる。すなわち、この第 6 の実施の形態においては、ベース基板としての金属基板 800 上に半導体パッケージ 300 が実装され、その上部にそれらを配線する配線 810 が設けられている。言い換えると、ベース基板としての金属基板 800 とその上のデバイス部分とが完全に分離されている。このため、モジュールの設計が容易である。また、放熱基板として用いられる金属基板 800 は一般に熱伝導率が高く放熱性が良好であるため、熱抵抗を極小化することができる。

【0101】

7. 第 7 の実施の形態

[モジュール]

第 7 の実施の形態においては、第 3 の実施の形態による半導体パッケージを複数、金属基板上に実装したモジュールについて説明する。

【0102】

図 41 はこのモジュールを示す。図 41 に示すように、このモジュールにおいては、ベース基板としての金属基板 800 上に第 3 の実施の形態による半導体パッケージ 300 が複数、実装されていること、これらの半導体パッケージ 300 上に配線 810 が接続されていることは、第 6 の実施の形態と同様である。このモジュールにおいてはさらに、配線 810 上に所定の二層目の配線 850 が設けられている。この二層目の配線 850 は、一層目の配線 810 の所定部分と二段積層された Ag ペーストなどからなる導電層 500 を介して接続されている。配線 850 上には端子 860 が設けられている。図 41 に図示された二層目の配線 850 あるいは図示されていない配線には必要に応じて、一つまたは複

10

20

30

40

50

数の受動部品あるいは能動部品（図示せず）が接続される。受動部品は例えばコンデンサ（キャパシタ）、能動部品は例えばドライバーやカスコード用SiMOSトランジスタなどである。このモジュールのその他のことについては第6の実施の形態と同様である。

【0103】

この第7の実施の形態によれば、第1および第6の実施の形態と同様な利点を得ることができる。

【0104】

8. 第8の実施の形態

[モジュール]

第8の実施の形態においては、第3の実施の形態による半導体パッケージを複数、金属基板上に実装したモジュールについて説明する。

10

【0105】

図42はこのモジュールを示す。図42に示すように、このモジュールにおいては、ベース基板としての金属基板800上に第3の実施の形態による半導体パッケージ300が複数、実装されていること、これらの半導体パッケージ300上に配線810が接続されていること、配線810上に所定の二層目の配線850が設けられていることは、第7の実施の形態と同様である。このモジュールにおいては、配線810および配線850はそれぞれ、2層フレキシブル・ポリイミド基板910の下面および上面に形成されていることが第7の実施の形態と異なる。すなわち、配線810は2層フレキシブル・ポリイミド基板910の下層のCu層のパターニングにより形成されたものであり、配線850は2層フレキシブル・ポリイミド基板910の上層のCu層のパターニングにより形成されたものである。配線850はフレキシブル・ポリイミド基板911に形成されたスルーホール912を介して下層の配線810と接続されている。この場合、金属基板800、半導体パッケージ300および配線810の相互の間の隙間ならびに配線810の間の隙間はシリカ(SiO₂)や有機物などの電気絶縁性材料からなるフィラーにより形成された絶縁層920により埋められている。第7の実施の形態において配線850上に設けられていた端子860は設けられていない。第7の実施の形態と同様に、図42に図示された二層目の配線850あるいは図示されていない配線には必要に応じて、一つまたは複数の受動部品あるいは能動部品（図示せず）が接続される。実際には、例えば、2層フレキシブル・ポリイミド基板910の配線810上に半導体パッケージ300を実装したものが、半導体パッケージ300の絶縁基板10の裏面が金属基板800と接触するように金属基板800上に貼り付けられる。このモジュールのその他のことについては第6の実施の形態と同様である。

20

【0106】

この第8の実施の形態によれば、第1および第7の実施の形態と同様な利点を得ることができる。

30

【0107】

9. 第9の実施の形態

[モジュール]

第9の実施の形態においては、第3の実施の形態による半導体パッケージおよびベアチップであるGaN系半導体チップを複数、金属基板上に実装したモジュールについて説明する。

40

【0108】

図43はこのモジュールを示す。このモジュールにおいては、ベース基板としての金属基板800上に第3の実施の形態による半導体パッケージ300が第8の実施の形態と同様に複数、実装されているが、その図示は省略されている。図43に示すように、第8の実施の形態と同様に、2層フレキシブル・ポリイミド基板910の下層のCu層のパターニングにより配線810が形成され、2層フレキシブル・ポリイミド基板910の上層のCu層のパターニングにより配線850が形成されている。配線810は半導体パッケージ300のパッド電極60、70、80上に接続されている（図示せず）。このモジュー

50

ルにおいてはさらに、3端子半導体素子、取り分け、例えばGaN系FETの具体例1、2として既に述べた分極超接合GaN系FETが形成された半導体チップCが実装されている。この半導体チップCは、半導体パッケージ300の半導体チップCと同様な構造を有する。この半導体チップCの絶縁基板10の裏面が直接、金属基板800と接触している。この半導体チップCのソース電極30、ドレイン電極40およびゲート電極50は、2層フレキシブル・ポリイミド基板910の下面に形成された配線810と接続されている。2層フレキシブル・ポリイミド基板910の上層の配線850には、コンデンサなどの受動部品930が実装され、その端子931、932が配線850と接続されているとともに、ドライバーやカスコード用SiMOSトランジスタなどの能動部品940が実装され、その端子941、942などが配線850と接続されている。金属基板800、半導体パッケージ300、半導体チップCおよび配線810の相互の間の隙間ならびに配線810の間の隙間は、シリカや有機物などの電気絶縁性材料からなるフィラーにより形成された絶縁層920により埋められている。実際には、例えば、2層フレキシブル・ポリイミド基板910の配線810上に半導体パッケージ300および半導体チップCを実装するとともに、配線850上に受動部品930および能動部品940を実装したものが、半導体パッケージ300の絶縁基板10の裏面および半導体チップCの絶縁基板10の裏面が金属基板800と接触するように金属基板800上に貼り付けられる。このモジュールのその他のことについては第8の実施の形態と同様である。

【0109】

この第9の実施の形態によれば、第1および第7の実施の形態と同様な利点を得ることができるほか、モジュールとして特に放熱特性の良いIPM(integrated power module)を容易に実現することができるという利点を得ることができる。

【0110】

10. 第10の実施の形態

[モジュール]

第10の実施の形態においては、第3の実施の形態による半導体パッケージおよびベアチップであるGaN系半導体チップを複数、金属基板上に実装したモジュールについて説明する。

【0111】

図44はこのモジュールを示す。このモジュールにおいては、2層フレキシブル・ポリイミド基板910の下面に形成された配線810と金属基板800との間に放熱用サファイア基板950が設けられている。放熱用サファイア基板950の裏面は金属基板800と直接接触している。放熱用サファイア基板950の表面には電極960が設けられ、この電極960が配線810と接続されている。このモジュールの動作時にGaN系半導体チップCなどから発生する熱は、配線810、電極960および放熱用サファイア基板950を介して金属基板800に効率的に伝導し、この金属基板800から放熱される。このモジュールのその他のことについては第9の実施の形態と同様である。

【0112】

この第10の実施の形態によれば、第1、第7および第9の実施の形態と同様な利点を得ることができる。

【0113】

11. 第11の実施の形態

[半導体パッケージ]

第11の実施の形態による半導体パッケージについて説明する。この半導体パッケージはCSP(chip size package)である。この半導体パッケージも第1の実施の形態による半導体パッケージと同様に、GaN系FETを樹脂封止したものである。この半導体パッケージを図45～図48に示す。図45は平面図、図46は底面図(裏面図)、図47は図45のX-X線に沿っての断面図、図48は図45のY-Y線に沿っての断面図である。

【0114】

10

20

30

40

50

図45～図48に示すように、この半導体パッケージは、平面形状がほぼ正方形の全体として偏平な直方体の形状を有する。この半導体パッケージにおいては、第1の実施の形態と同様な半導体チップCが樹脂封止されている。ソース電極30およびドレイン電極40は、典型的には櫛型構造に形成され、その場合の一例を図49に示す。

【0115】

ソース電極30、ドレイン電極40およびゲート電極50には、それぞれ電極パッド60、70、80が、ナノAg粒子を含む導電性ペーストやハンダなどからなる導電層500を介して電気的に接続されている。これらの電極パッド60、70、80で覆われていない部分の半導体層20、ソース電極30、ゲート電極50等の表面と絶縁基板10および半導体層20の側面とは電気的に絶縁性の樹脂90により覆われており、封止されている。樹脂90の輪郭は、半導体チップCの側面の樹脂90の厚さの分だけ半導体チップCのサイズより大きいが、半導体チップCの外形とほぼ相似になっている。ソース電極30と接続された電極パッド60は、ソース電極30と平行に延在し、ソース電極30と同等の幅を有する直線状の下部60aと、半導体層20の辺S₁を跨いでその両側に亘って半導体層20に平行に延在する長方形の平面形状を有する平板状の上部60bとからなる。言い換えると、電極パッド60は、ソース電極30から半導体層20に対して垂直上方に下部60aが引き出された後、上部60bが半導体層20の上方を半導体層20に平行に延在している。電極パッド60の下部60aは、ソース電極30に対してソース電極30の幅方向にずれており、その半導体パッケージの中心側の片側部分がこの下部60aの上面に形成された導電層500を介してソース電極30に電気的に接続されている。また、電極パッド60は、ソース電極30のゲート電極50側の一端部を除いて、ソース電極30を覆うように設けられている。ドレイン電極40と接続された電極パッド70は、ドレイン電極40と平行に延在し、ドレイン電極40と同等の幅を有する直線状の下部70aと、半導体層20の辺S₃を跨いでその両側に亘って半導体層20に平行に延在する長方形の平面形状を有する平板状の上部70bとからなる。言い換えると、電極パッド70は、ドレイン電極40から半導体層20に対して垂直上方に下部70aが引き出された後、上部70bが半導体層20の上方を半導体層20に平行に延在している。電極パッド70の下部70aは、ドレイン電極40に対してドレイン電極40の幅方向にずれており、その半導体パッケージの中心側の片側部分がこの下部70aの上面に形成された導電層500を介してドレイン電極40に電気的に接続されている。また、電極パッド70は、ドレイン電極40の全体を覆うように設けられている。ゲート電極50と接続された電極パッド80は、ゲート電極50と平行に延在し、ゲート電極50と同等の幅を有する直線状の下部80aと、半導体層20の辺S₄を跨いでその両側に亘って半導体層20に平行に延在する長方形の平面形状を有する平板状の上部80bとからなる。言い換えると、電極パッド80は、ゲート電極50から半導体層20に対して垂直上方に下部80aが引き出された後、上部80bが半導体層20の上方を半導体層20に平行に延在している。電極パッド80の下部80aは、ゲート電極50に対してゲート電極50の幅方向にずれており、その半導体パッケージの中心側の片側部分がこの下部80aの上面に形成された導電層500を介してゲート電極50に電気的に接続されている。また、電極パッド80は、ゲート電極50の全体を覆うように設けられている。

【0116】

この半導体パッケージの各部のサイズの一例を挙げると、絶縁基板10の一辺の長さは2～5mm、絶縁基板10の裏面からソース電極30、ドレイン電極40およびゲート電極50の上面までの高さは約0.12mm、電極パッド60、70、80の下部60a、70a、80aの厚さは約0.15mm、上部60b、70b、80bの厚さは約0.2mm、電極パッド60と電極パッド70との間の距離は約1.5mm、ソース電極30、ドレイン電極40およびゲート電極50の幅、従って電極パッド60、70、80の下部60a、70a、80aの幅は約0.15mmである。

【0117】

[半導体パッケージの製造方法]

10

20

30

40

50

図 50 A～D、図 51 A および B ならびに図 52 A～C はこの半導体パッケージの製造方法の一例を示す。

【0118】

図 50 A に示すように、まず、リードフレーム形成用の金属板 100 を用意する。金属板 100 としては従来公知の材料の中から必要に応じて選ばれるが、例えば、Cu 合金や Fe-Ni 系合金などである。金属板 100 上には、ナノ Ag 粒子を含む導電性ペーストやハンダなどからなる導電層 500 を形成しておく。

【0119】

次に、図 50 B に示すように、プレス加工により、金属板 100 および導電層 500 を、製造する半導体パッケージに応じた所定の繰り返しパターンで、電極パッド 60、70、80 の輪郭より少し大きい輪郭が形成されるように部分的に打ち抜く。 10

【0120】

次に、図 50 C に示すように、プレス加工により、金属板 100 に、電極パッド 60、70、80 の下部 60a、70a、80a に相当する部分が形成されるように部分的に段差を形成する。

【0121】

次に、図 50 D に示すように、プレス加工により、金属板 100 を、電極パッド 60、70、80 の輪郭が形成されるように部分的に打ち抜き、所定形状のリードフレーム 110 を形成する。このリードフレーム 110 の平面形状を図 53 に示す。ただし、図 53 は図 50 D に示すリードフレーム 110 を下方から見た時の平面図である。図 50 D は図 53 の D-D 線に沿っての断面図である。図 53 においては、最終的に製造される半導体パッケージの輪郭を一点鎖線で示す。 20

【0122】

次に、図 51 A に示すように、半導体チップ C のソース電極 30、ドレイン電極 40 およびゲート電極 50 を下に向け、それぞれリードフレーム 110 の、電極パッド 60、70、80 の下部 60a、70a、80a に相当する部分の表面の導電層 500 に接触させた後、熱処理を行うことにより接合する。

【0123】

次に、図 51 B に示すように、図 51 A に示す構造体の上下を厚板 971、972 で挟む。厚板 971、972 は、特に限定されないが、例えば、ガラス板あるいはステンレス鋼などの金属板を用いることができる。 30

【0124】

次に、図 52 A に示すように、厚板 971、972 の間に形成された空間を埋めるように樹脂モールドを行い、半導体チップ C を樹脂 90 により封止する。

【0125】

次に、図 52 B に示すように、厚板 971、972 を除去する。

【0126】

この後、図 52 B に二点鎖線で示す所定の切断線に沿ってリードフレーム 110 を切断し、図 52 C に示すように分離する。こうして、目的とする図 45～図 48 に示す半導体パッケージが製造される。 40

【0127】

[半導体パッケージの実装方法]

この半導体パッケージの実装方法について説明する。ここでは、この半導体パッケージを金属基板上に実装したモジュールについて説明する。

【0128】

図 54 はこのモジュールを示す。図 54 に示すように、このモジュールにおいては、ベース基板としての金属基板 800 上に、図 45～図 48 に示す半導体パッケージが複数、実装されているとともに、放熱用サファイア基板 950 上に電極 960 が設けられた放熱用ダミー素子が放熱用サファイア基板 950 を下にして実装されている。放熱用サファイア基板 950 の裏面は金属基板 800 と直接接触している。放熱用サファイア基板 950 50

と電極 960 との合計の厚さは半導体パッケージの厚さと同等に選ばれている。放熱用サファイア基板 950 の側面は電気的に絶縁性の樹脂 90 により覆われており、封止されている。これらの半導体パッケージおよび放熱用ダミー素子上にはエポキシ樹脂製の両面プリント配線基板 980 が設けられており、両面プリント配線基板 980 の下面に形成された配線 981 と半導体パッケージの電極パッド 60、70、80 ならびに放熱用ダミー素子の電極 960 とが導電層 500 を介して電気的に接続されている。配線 981 の間の部分に露出した両面プリント配線基板 980 の下面および配線 981 の表面にはレジストマスク 982 が設けられている。この場合、金属基板 800 と両面プリント配線基板 980 との間の隙間は SiO₂ や有機物などの電気絶縁性材料からなるフィラーにより形成された絶縁層 920 により埋められている。両面プリント配線基板 980 の上面には配線 983 が形成されている。配線 983 の間の部分に露出した両面プリント配線基板 980 の上面および配線 983 の表面にはレジストマスク 984 が設けられている。両面プリント配線基板 980 の上面の配線 983 には、コンデンサなどの受動部品 930 およびドライバー やカスコード用 SiMOS ドラゴンズタなどの能動部品 940 が実装されている。受動部品 930 の端子 931、932 は配線 983 と接続されている。能動部品 940 の端子 941、942 は配線 983 と接続されている。両面プリント配線基板 980 にはスルーホール配線 985 が形成されており、このスルーホール配線 985 により両面プリント配線基板 980 の下面の配線 981 と上面の配線 983 とが互いに接続されている。また、両面プリント配線基板 980 には埋め込み配線 986 が形成されている。この埋め込み配線 986 により受動部品 930 同士が接続されている。両面プリント配線基板 980 にはさらに、能動部品 940 と放熱用ダミー素子との間の部分にスルーホール 987 が形成されており、このスルーホール 987 に A1N などの高熱伝導フィラー 988 が埋め込まれている。10

【0129】

この第 11 の実施の形態によれば、電極パッド 60、70、80 は半導体チップ C の半導体層 20 上にその大部分が形成されており、半導体チップ C から僅かしかはみ出いでないため、CSP 状の半導体パッケージを構成することができる。そして、この半導体パッケージの半導体チップ C の絶縁基板 10 側を金属基板 800 に向けて実装するとともに、電極パッド 60、70、80 を両面プリント配線基板 980 の下面に形成された配線 981 と接続することにより、GaN 系 FET をフェースアップで容易に金属基板 800 上に実装することができ、従来に比べて大幅な低コスト化、高周波化、省体積化、低熱抵抗化などを図ることができる。しかも、ソース電極 30、ドレイン電極 40 およびゲート電極 50 は三角形に配置され、従って電極パッド 60、70、80 も三角形に配置することができるため、両面プリント配線基板 980 の下面に形成された配線 981 を互いに交差しないように形成することができることから、半導体パッケージを実装した高性能のモジュールを容易に実現することができる。そして、このモジュールを用いることにより高性能の電気機器を安価に実現することができる。20

【0130】

12. 第 12 の実施の形態

【半導体パッケージ】

第 12 の実施の形態による半導体パッケージについて説明する。この半導体パッケージは二つの CSP を一体化したものであり、一つの CSP は、GaN 系 FET を樹脂封止した第 11 の実施の形態による半導体パッケージ、もう一つの CSP は、GaN 系ダイオードを樹脂封止したものである。30

【0131】

図 55 はこの半導体パッケージの回路を示す。図 55 に示すように、この半導体パッケージにおいては、GaN 系 FET のドレインに GaN 系ダイオードのカソードが接続されてインバータが構成されている。40

【0132】

図 56A ~ C はこの半導体パッケージを示し、図 56A は平面図、図 56B は底面図、

図 5 6 C は図 5 6 A の C - C 線に沿っての断面図である。図 5 6 A ~ C に示すように、この半導体パッケージは、GaN 系 FET を樹脂封止した第 11 の実施の形態による CSP 状の半導体パッケージ P_1 と、GaN 系ダイオードを樹脂封止した CSP 状の半導体パッケージ P_2 とがそれぞれの一つの側面で互いに接合されたものであり、平面形状が長方形の全体として偏平な直方体の形状を有する。ここで、GaN 系ダイオードは、第 11 の実施の形態による半導体パッケージにおいてゲート電極 50 に接続された電極パッド 80 の形成を省略したものからなり、ドレイン電極 40 をアノード電極、ソース電極 30 をカソード電極として用いたものであり、電極パッドとしては電極パッド 60、70 のみ形成されている。半導体パッケージ P_1 の電極パッド 70 と半導体パッケージ P_2 の電極パッド 60 とはそれらの側面同士が互いに接觸していて電気的に接続されている。

10

【 0 1 3 3 】

この第 12 の実施の形態によれば、図 5 5 に示すような回路構成を有する CSP 状の半導体パッケージを実現することができる。

【 0 1 3 4 】

13. 第 13 の実施の形態

[半導体パッケージ]

第 13 の実施の形態による半導体パッケージについて説明する。この半導体パッケージは四つの CSP を一体化したものであり、二つの CSP は、GaN 系 FET を樹脂封止した第 11 の実施の形態による半導体パッケージ、残りの二つの CSP は、GaN 系ダイオードを樹脂封止したものである。

20

【 0 1 3 5 】

図 5 7 はこの半導体パッケージの回路を示す。図 5 7 に示すように、この半導体パッケージにおいては、並列接続された二つの GaN 系 FET のドレインに、並列接続された二つの GaN 系ダイオードのカソードが接続されてインバータが構成されている。

【 0 1 3 6 】

図 5 8 A および B はこの半導体パッケージを示し、図 5 8 A は平面図、図 5 8 B は底面図である。図 5 8 A および B に示すように、この半導体パッケージは、GaN 系 FET を樹脂封止した第 11 の実施の形態による CSP 状の半導体パッケージ P_{11} 、 P_{12} と、GaN 系ダイオードを樹脂封止した CSP 状の半導体パッケージ P_{13} 、 P_{14} とが側面で互いに接合されたものであり、平面形状がほぼ正方形の全体として偏平な直方体の形状を有する。ここで、GaN 系ダイオードは、第 11 の実施の形態による半導体パッケージにおいてゲート電極 50 に接続された電極パッド 80 の形成を省略したものからなり、ドレイン電極 40 をアノード電極、ソース電極 30 をカソード電極として用いたものであり、電極パッドとしては電極パッド 60、70 のみ形成されている。半導体パッケージ P_{11} の電極パッド 70 と半導体パッケージ P_{13} の電極パッド 60 とはそれらの側面同士が互いに接觸していて電気的に接続されている。半導体パッケージ P_{12} の電極パッド 70 と半導体パッケージ P_{14} の電極パッド 60 とはそれらの側面同士が互いに接觸していて電気的に接続されている。半導体パッケージ P_{11} の電極パッド 80 と半導体パッケージ P_{12} の電極パッド 80 とはそれらの側面同士が互いに接觸していて電気的に接続されている。

30

【 0 1 3 7 】

この第 13 の実施の形態によれば、図 5 7 に示すような回路構成を有する CSP 状の半導体パッケージを実現することができる。

40

【 0 1 3 8 】

14. 第 14 の実施の形態

[半導体パッケージ]

第 14 の実施の形態による半導体パッケージについて説明する。この半導体パッケージは四つの CSP を一体化したものであり、二つの CSP は、GaN 系 FET を樹脂封止した第 11 の実施の形態による半導体パッケージ、残りの二つの CSP は、GaN 系ダイオードを樹脂封止したものである。

【 0 1 3 9 】

50

図59はこの半導体パッケージの回路を示す。図59に示すように、この半導体パッケージにおいては、並列接続された二つのGaN系FETのドレインに、並列接続された二つのGaN系ダイオードのアノードが接続されてDC/DCアップコンバータが構成されている。

【0140】

図60はこの半導体パッケージを示す平面図である。図60に示すように、この半導体パッケージは、GaN系FETを樹脂封止した第11の実施の形態によるCSP状の半導体パッケージP₂₁、P₂₂と、GaN系ダイオードを樹脂封止したCSP状の半導体パッケージP₂₃、P₂₄とが側面で互いに接合されたものであり、平面形状がほぼ正方形の全体として偏平な直方体形状を有する。ここで、GaN系ダイオードは、第11の実施の形態による半導体パッケージにおいてゲート電極50に接続された電極パッド80の形成を省略したものからなり、ドレイン電極40をアノード電極、ソース電極30をカソード電極として用いたものであり、電極パッドとしては電極パッド60、70のみ形成されている。半導体パッケージP₂₁の電極パッド70と半導体パッケージP₁₃の電極パッド70とはそれらの側面同士が互いに接触していて電気的に接続されている。半導体パッケージP₂₂の電極パッド70と半導体パッケージP₂₄の電極パッド70とはそれらの側面同士が互いに接触していて電気的に接続されている。半導体パッケージP₂₁の電極パッド80と半導体パッケージP₂₂の電極パッド80とはそれらの側面同士が互いに接触していて電気的に接続されている。

【0141】

この第14の実施の形態によれば、図59に示すような回路構成を有するCSP状の半導体パッケージを実現することができる。

【0142】

以上、この発明の実施の形態について具体的に説明したが、この発明は、上述の実施の形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0143】

例えば、上述の実施の形態において挙げた数値、構造、形状、材料などはあくまでも例に過ぎず、必要に応じてこれらと異なる数値、構造、形状、材料などを用いてもよい。

【0144】

なお、上述の第9および第10の実施の形態においては、半導体パッケージ300および半導体チップCを金属基板800上に実装しているが、2層フレキシブル・ポリイミド基板910の配線810上に半導体パッケージ300を実装せず、ベアチップである半導体チップCだけを金属基板800上に実装してもよい。この場合、2層フレキシブル・ポリイミド基板910の配線810上に半導体チップCを実装し、配線850上に受動部品930および能動部品940を実装したものが、半導体チップCの絶縁基板10の裏面が金属基板800と接触するように金属基板800上に貼り付けられる。こうすることで、放熱特性の良いIPMを容易に実現することができる。

【0145】

また、この発明による半導体パッケージにおいては、横型構造を有する3端子半導体素子を樹脂封止しているが、この半導体パッケージと同様な構成は、横型構造を有する2端子半導体素子（ダイオード）あるいは4端子以上の半導体素子を樹脂封止する場合にも適用することが可能である。

【符号の説明】

【0146】

10...絶縁基板、20...半導体層、30...ソース電極、40...ドレイン電極、50...ゲート電極、60、70、80...パッド電極、90...樹脂、C...半導体チップ、100...金属板、110...リードフレーム、200...DBC基板、200a...Cuベース基板、200b...SiN層、300...半導体パッケージ、400...Siチップ、500...導電層、600...SiMOSトランジスタSOSパッケージ、800...金属基板、900...逆接続保

10

20

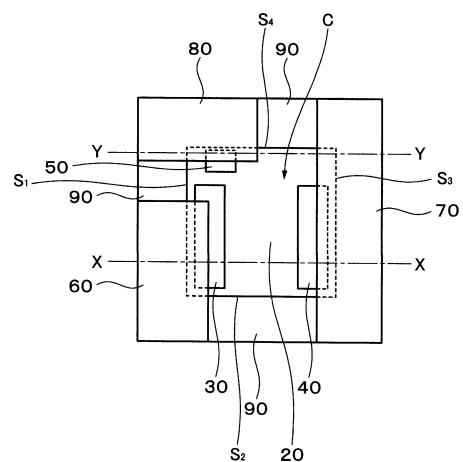
30

40

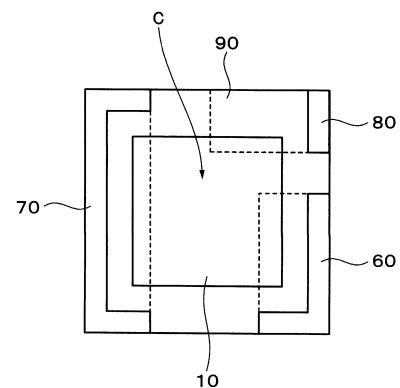
50

護用ダイオード、910...2層フレキシブル・ポリイミド基板、930...受動部品、940...能動部品、950...放熱用サファイア基板

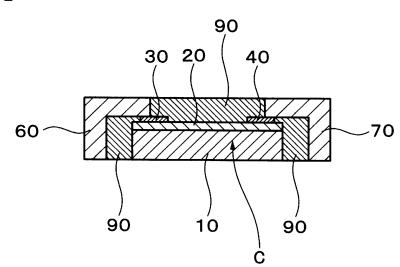
【図1】



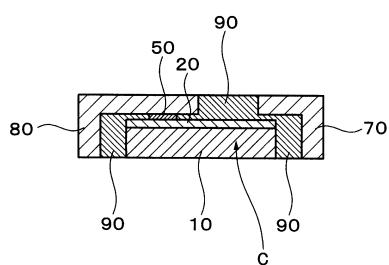
【図2】



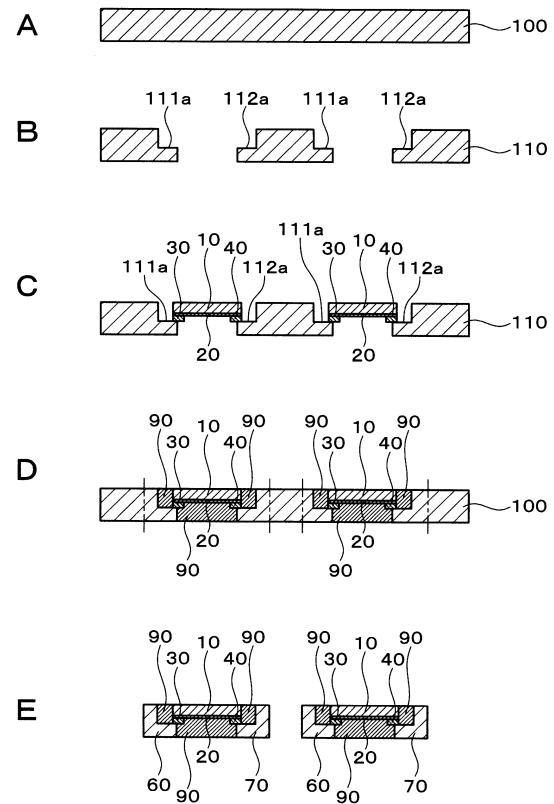
【図3】



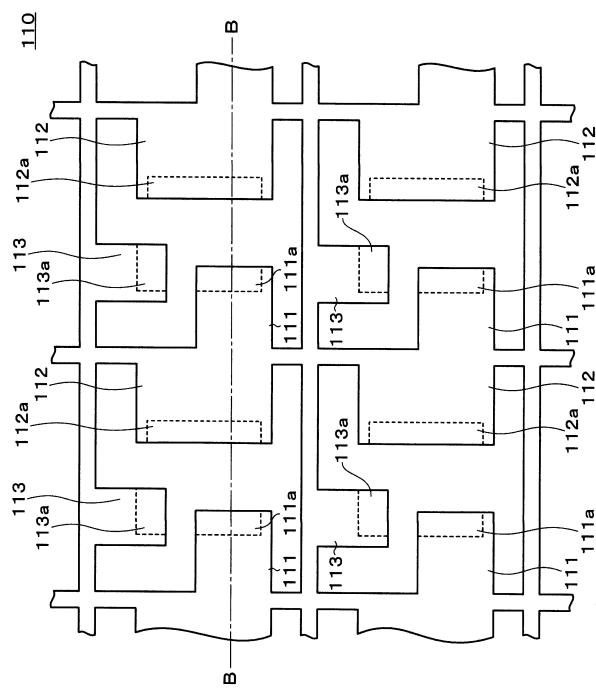
【図4】



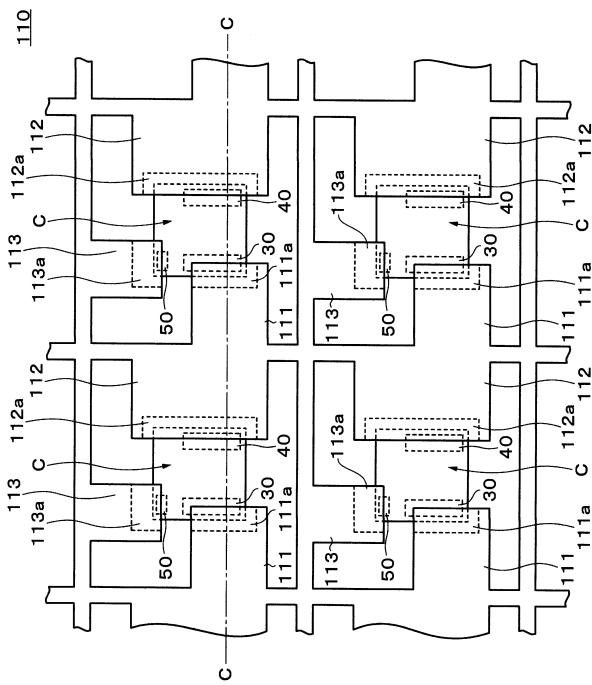
【図5】



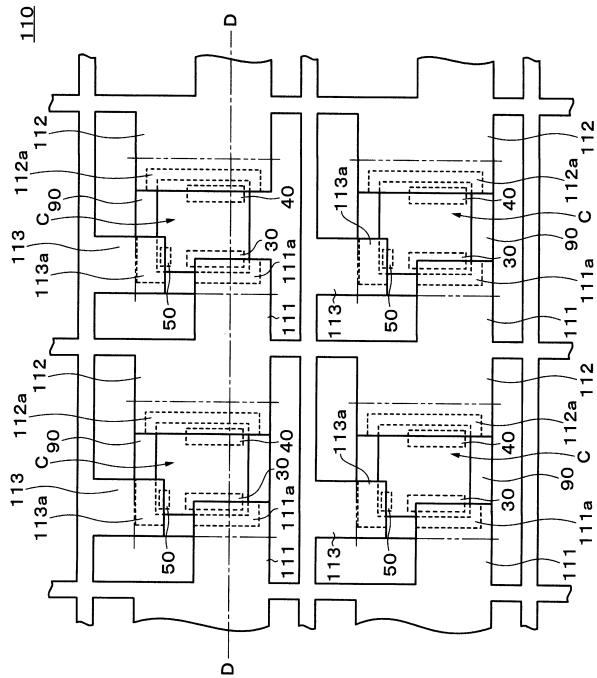
【図6】



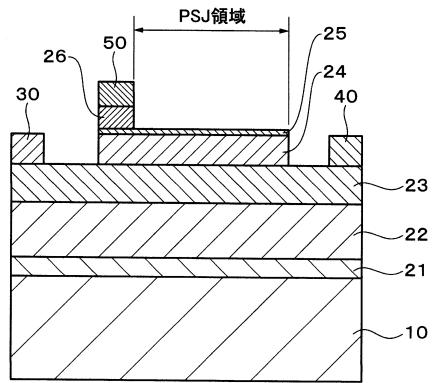
【図7】



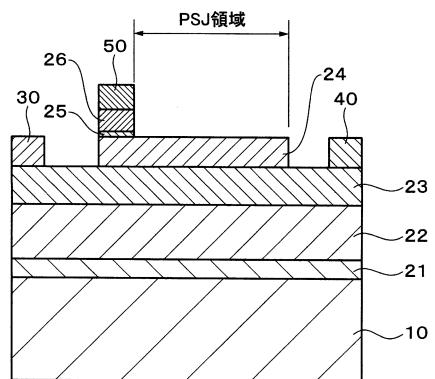
【 义 8 】



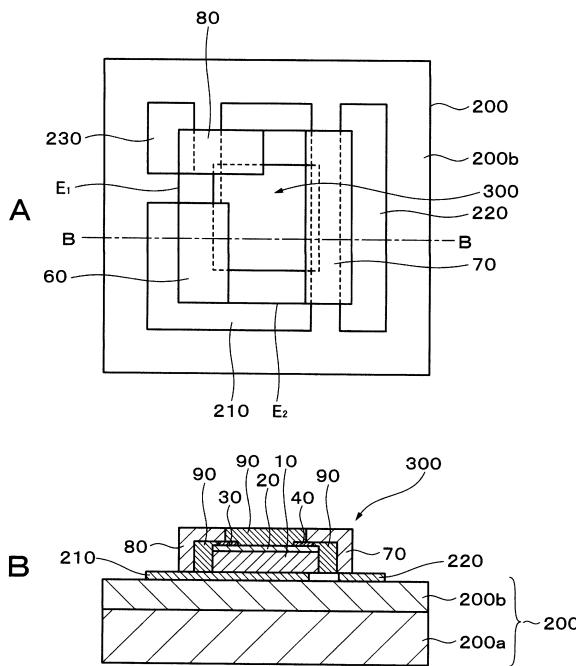
【図9】



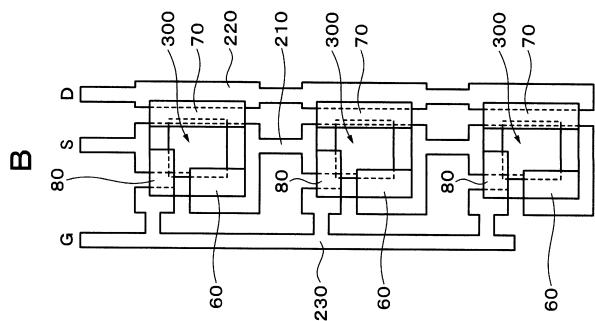
【図10】



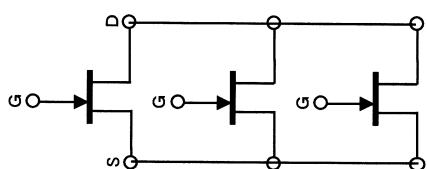
【図 1 1】



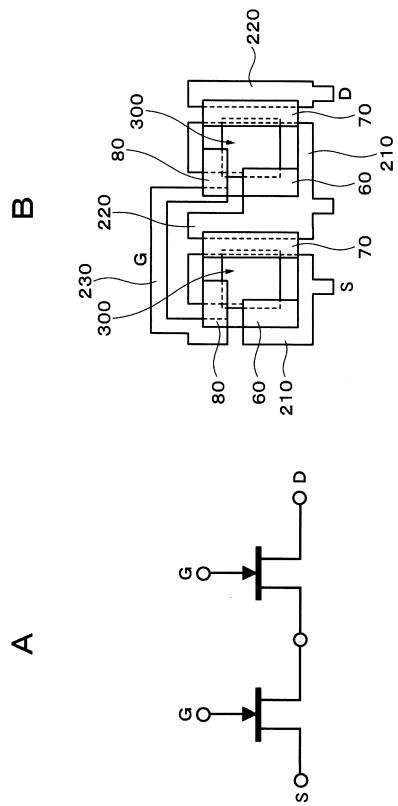
【図12】



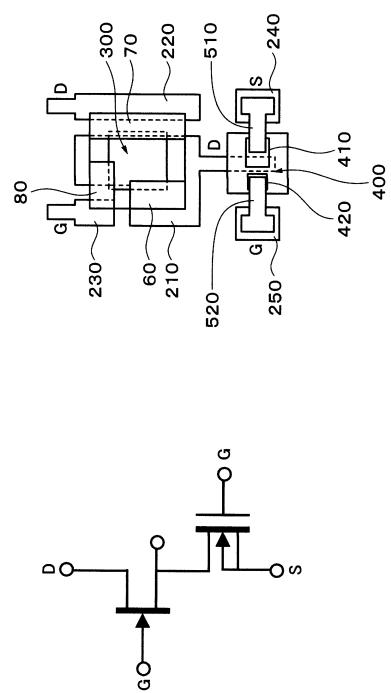
A



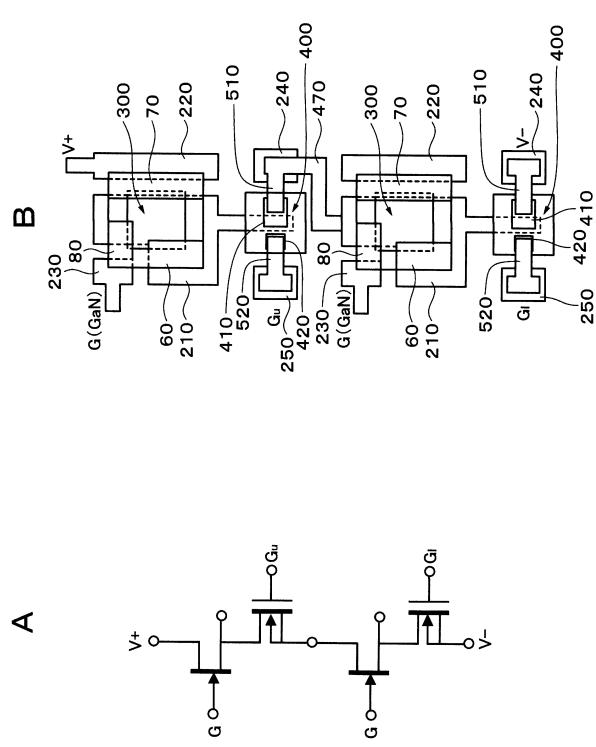
【図13】



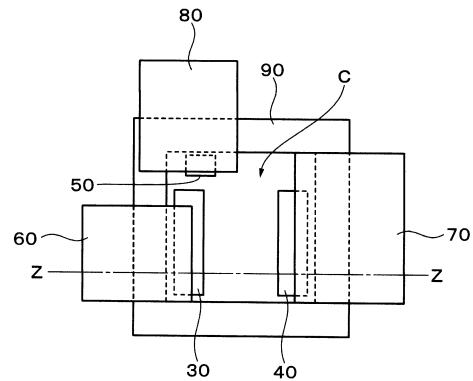
【図14】



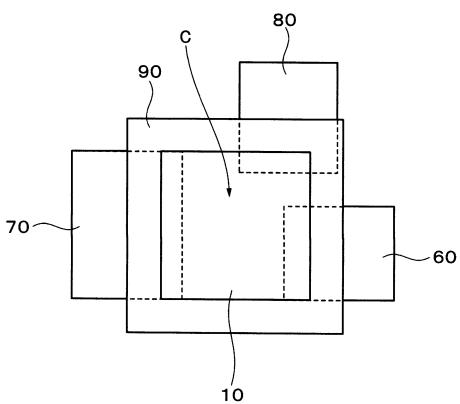
【図15】



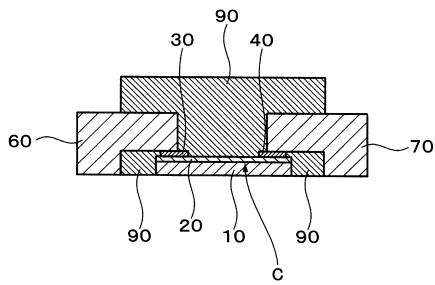
【図16】



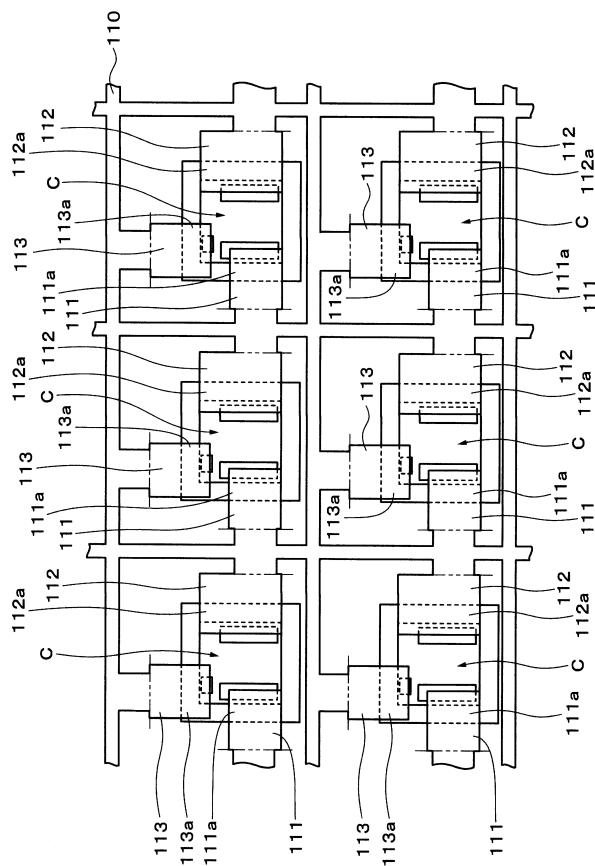
【図17】



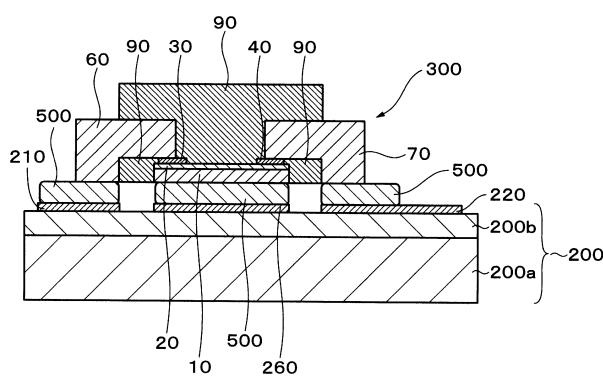
【図18】



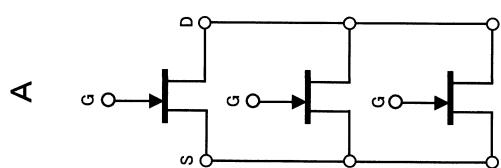
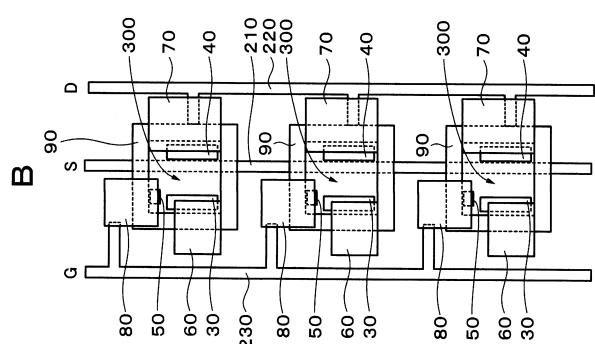
【図19】



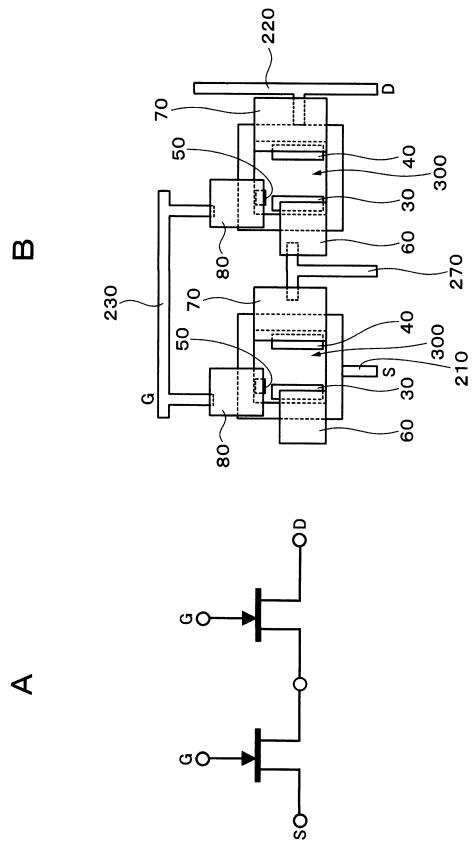
【図20】



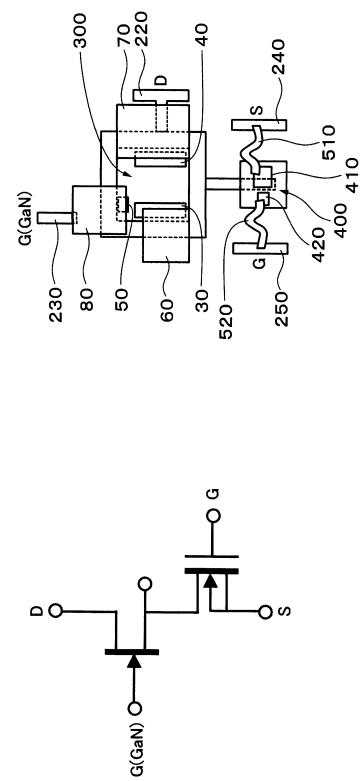
【図21】



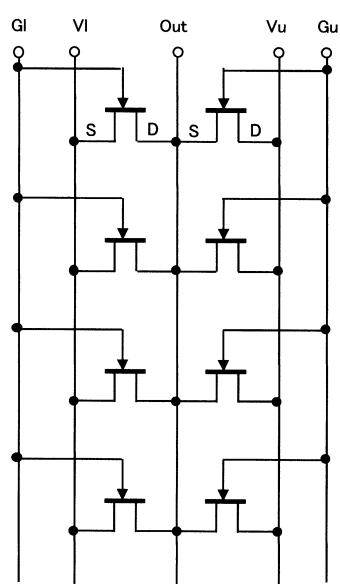
【図22】



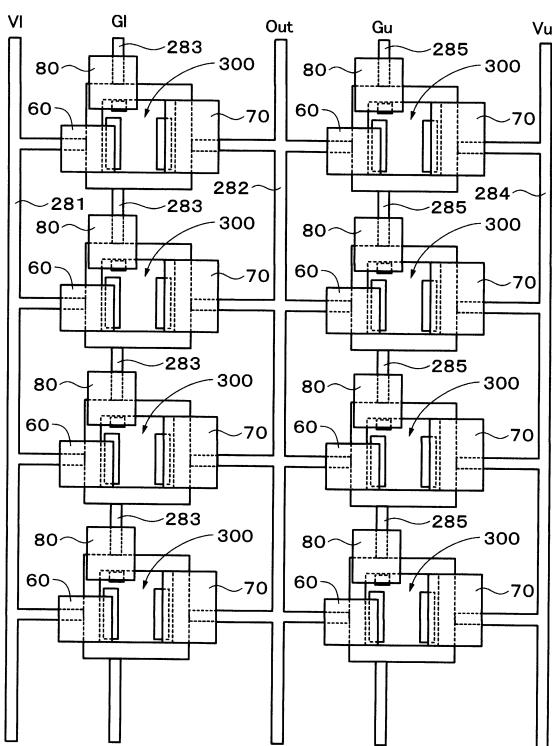
【図23】



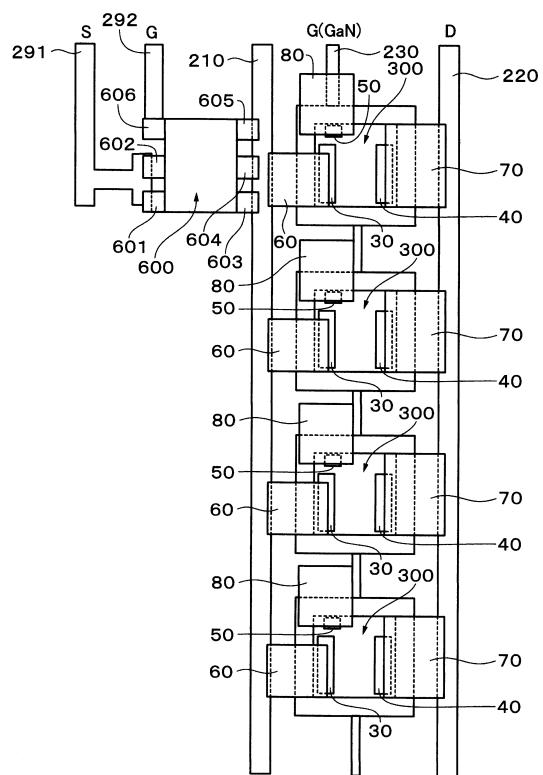
【図24】



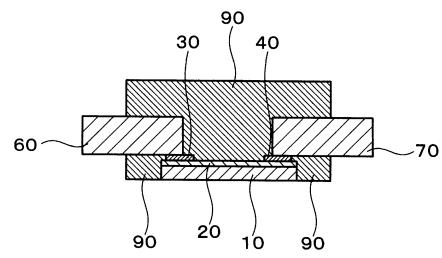
【図25】



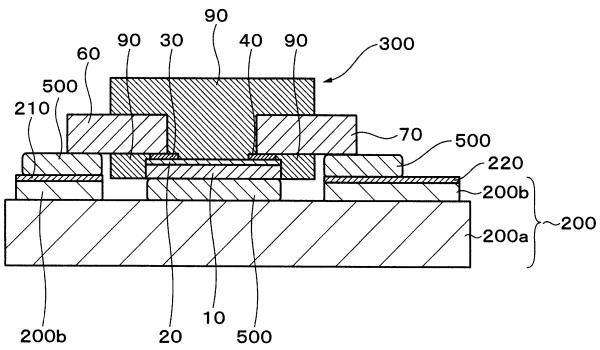
【図26】



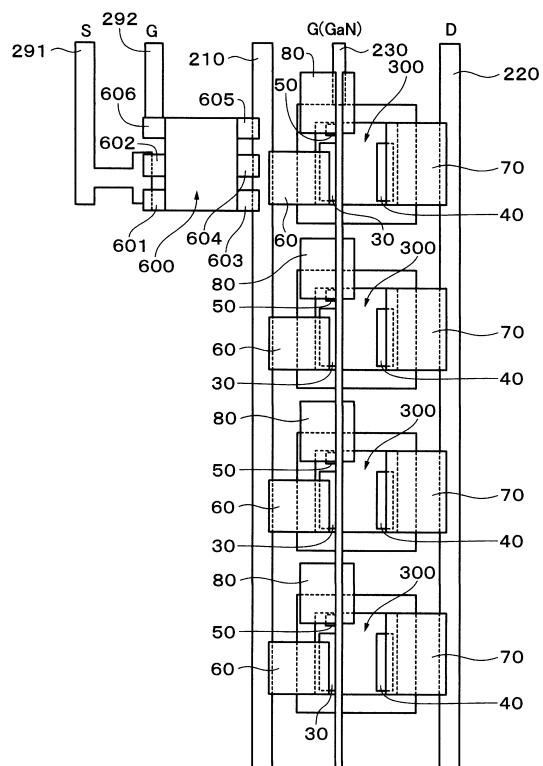
【図27】



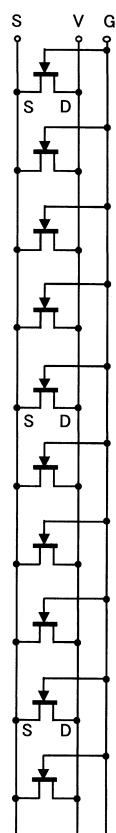
【図28】



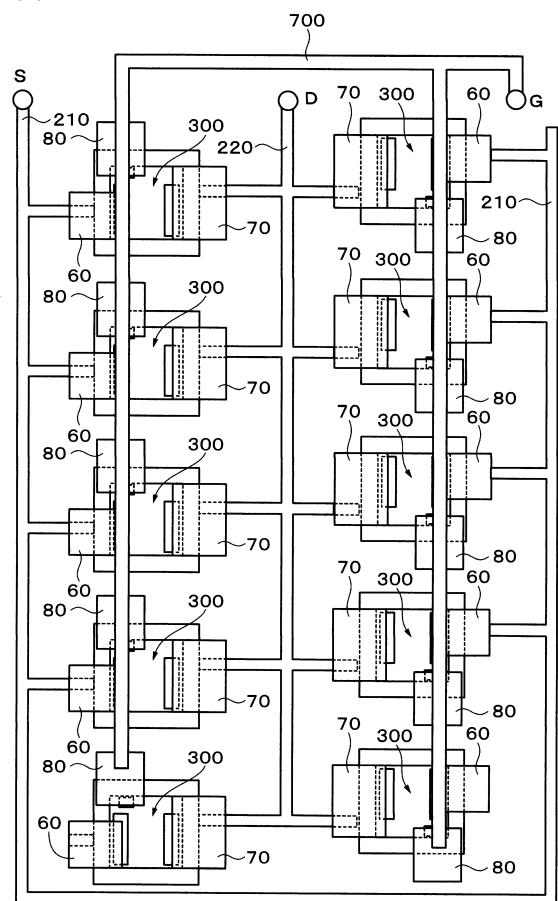
【図29】



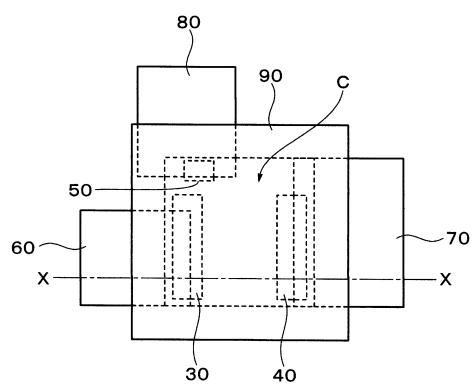
【図30】



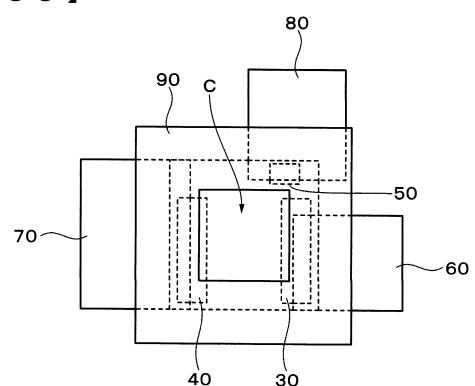
【図31】



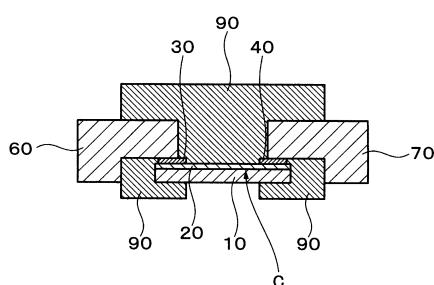
【図32】



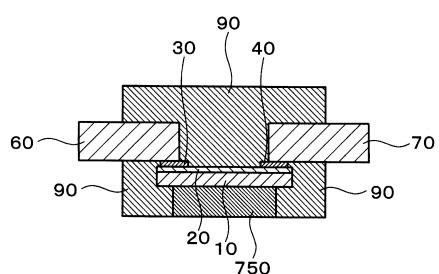
【図33】



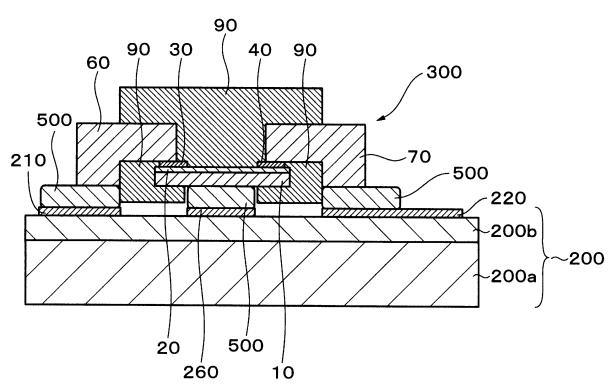
【図34】



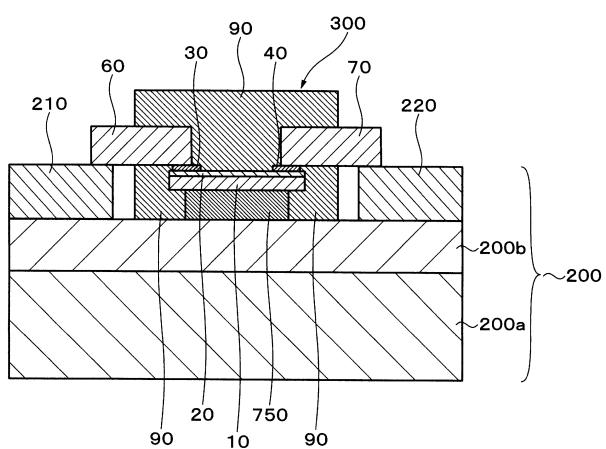
【図36】



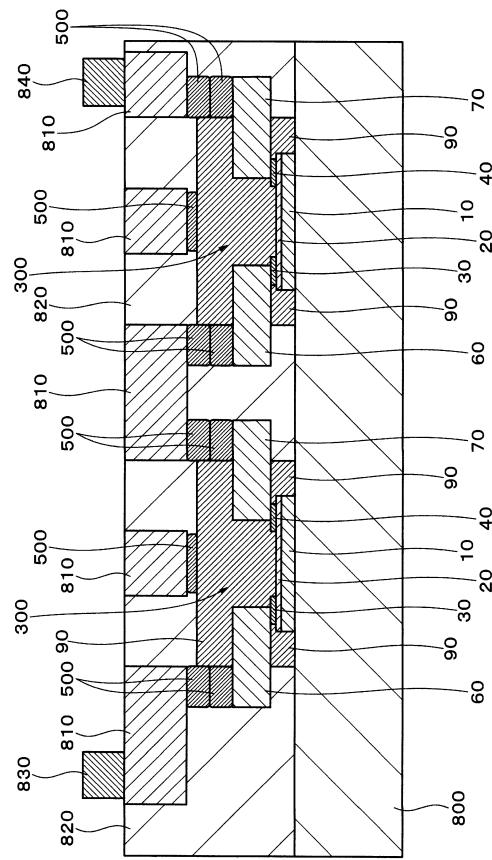
【図35】



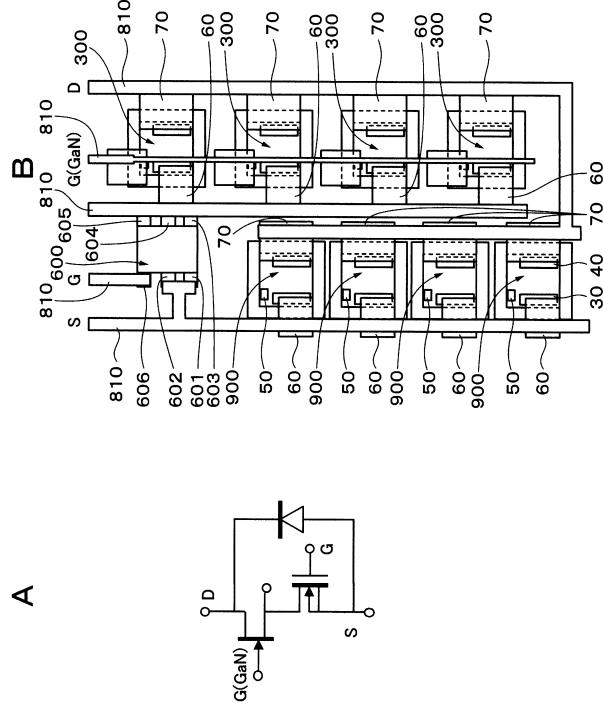
【図37】



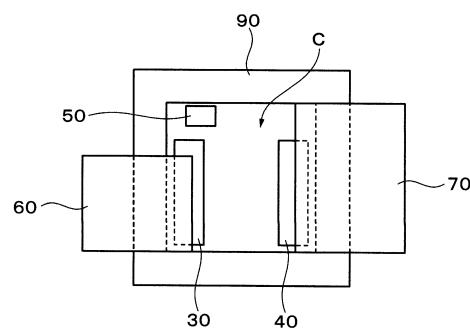
【図38】



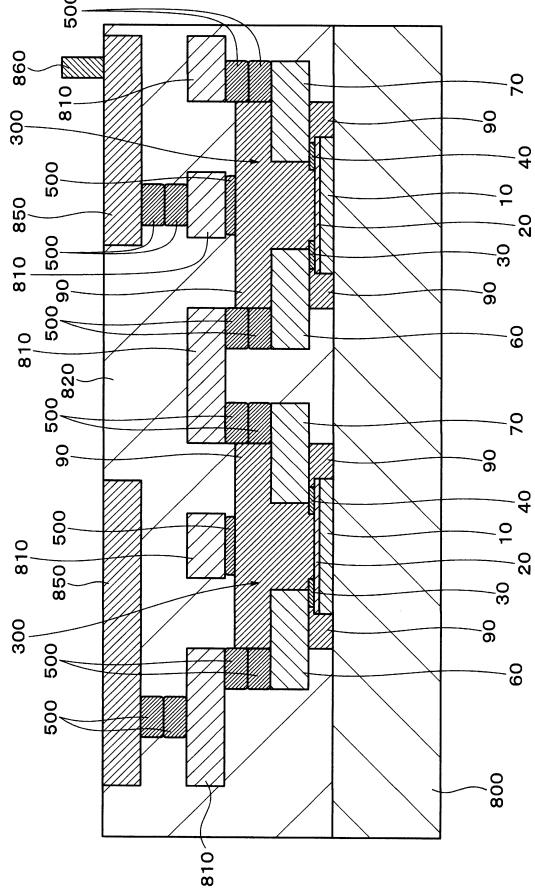
【図39】



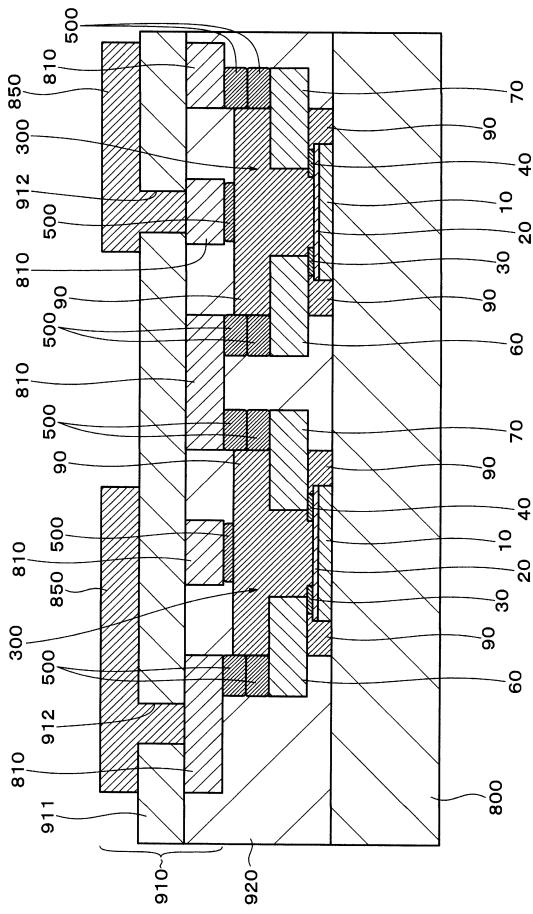
【図40】



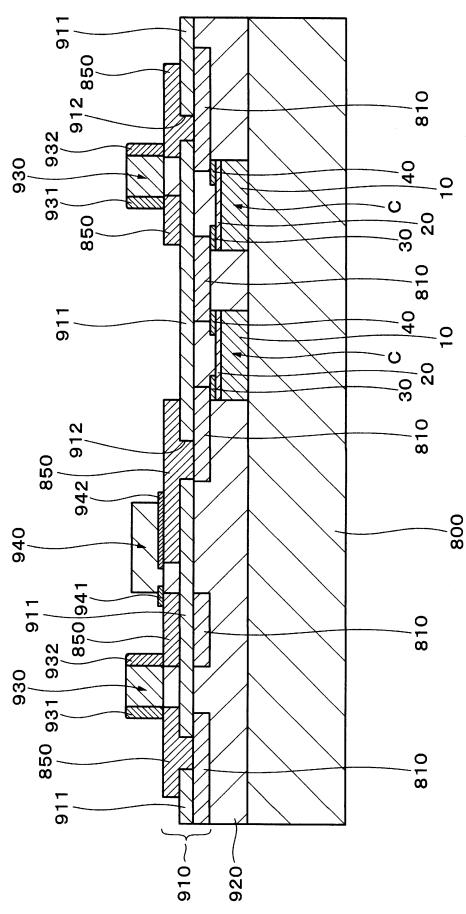
【図41】



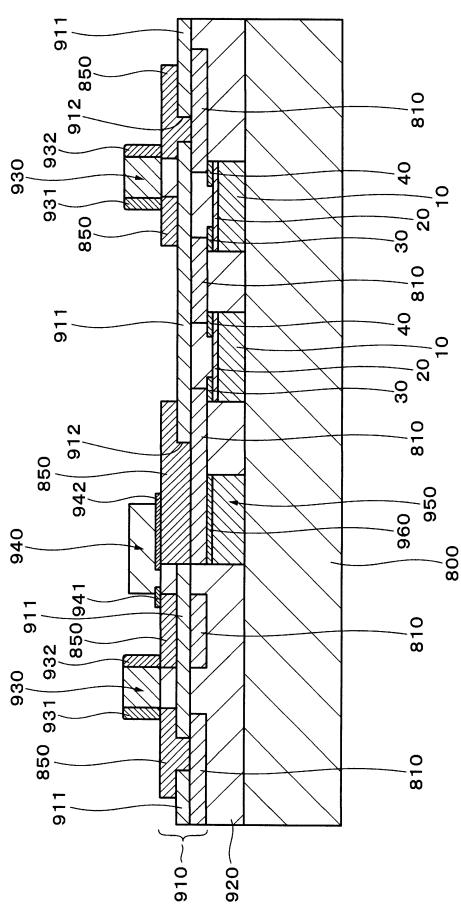
【図42】



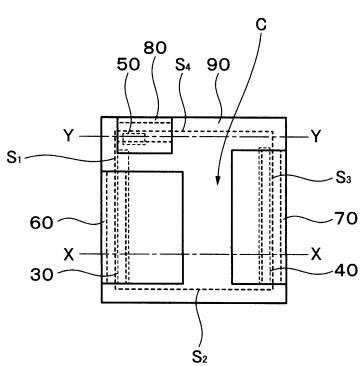
【図43】



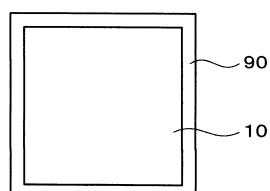
【図4-4】



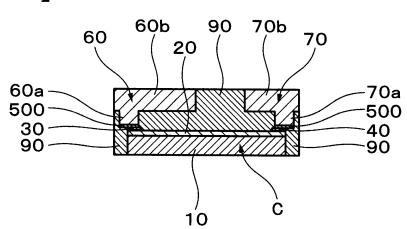
【図45】



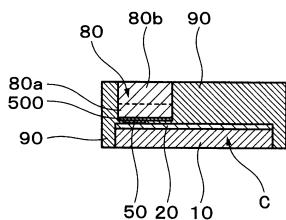
【図46】



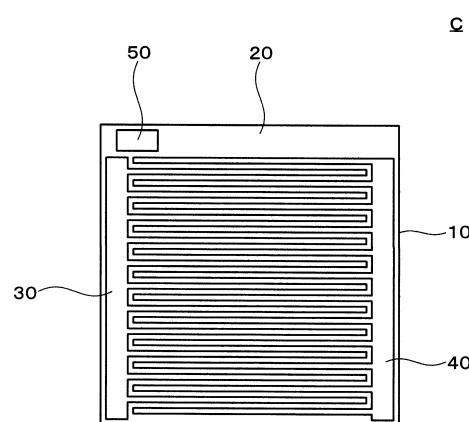
【図4.7】



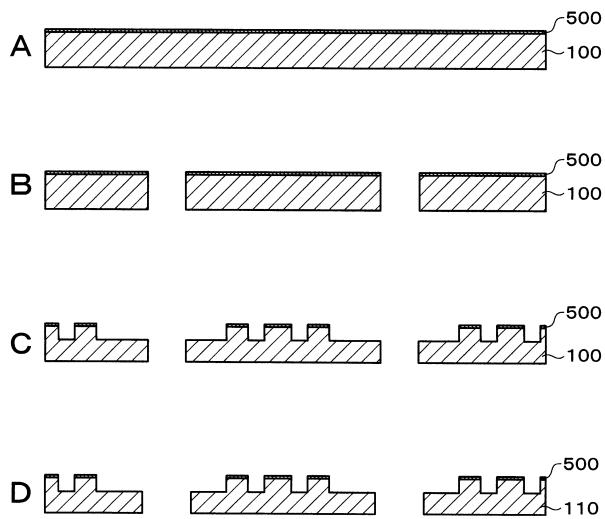
【図48】



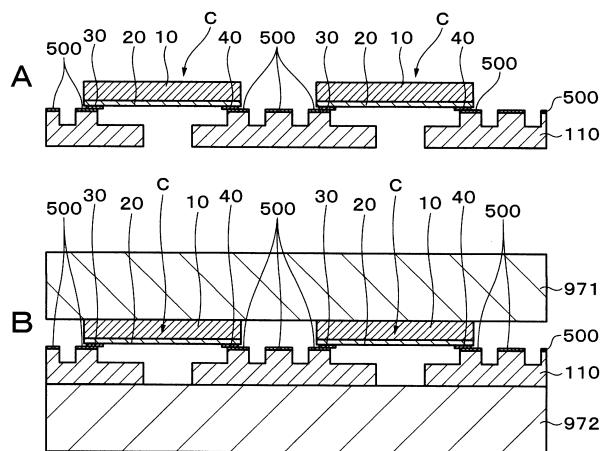
【図49】



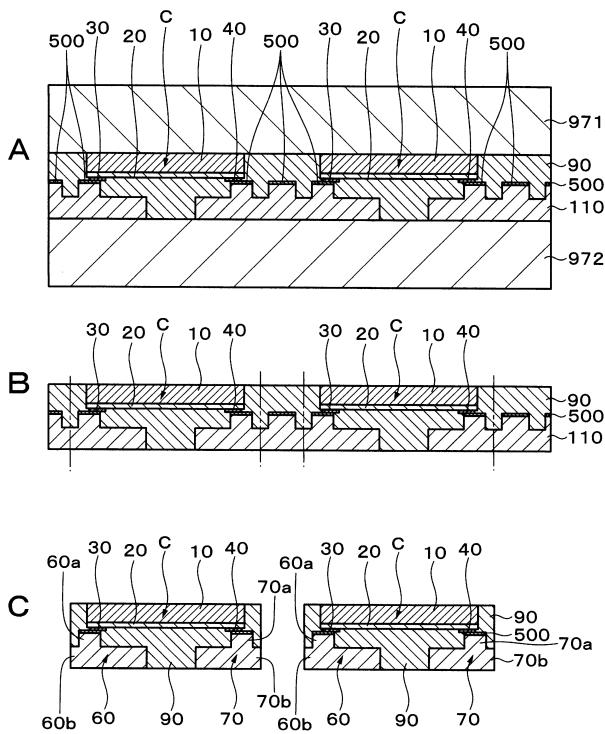
【図50】



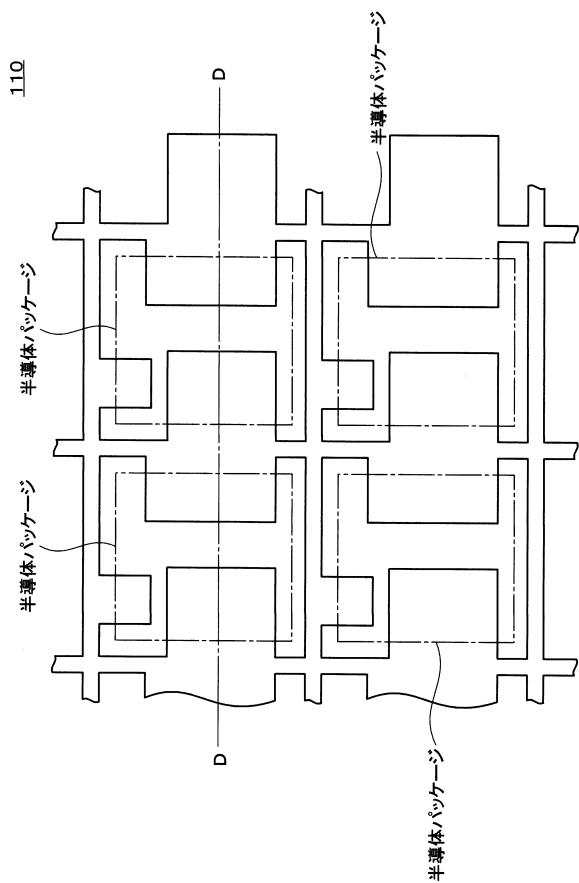
【図51】



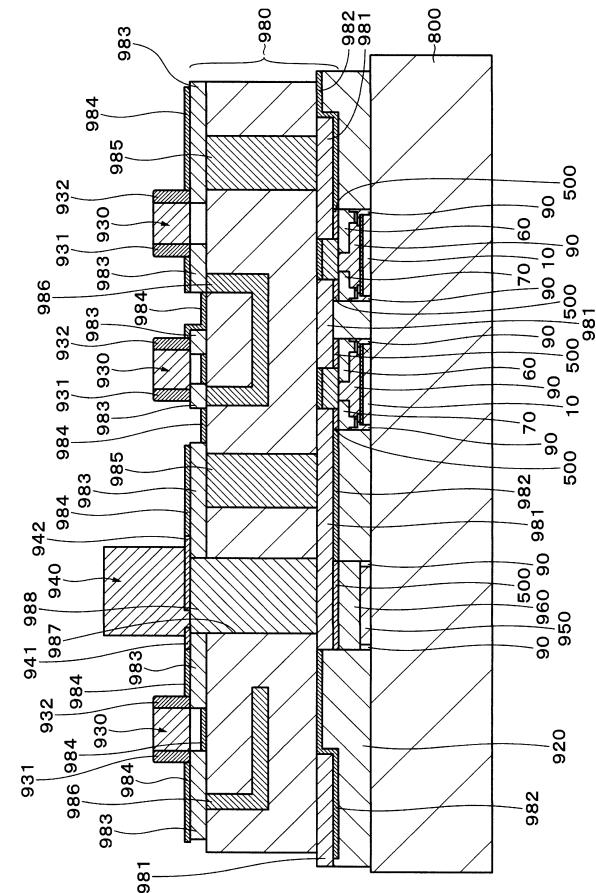
【図52】



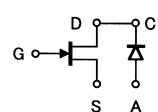
【図 5 3】



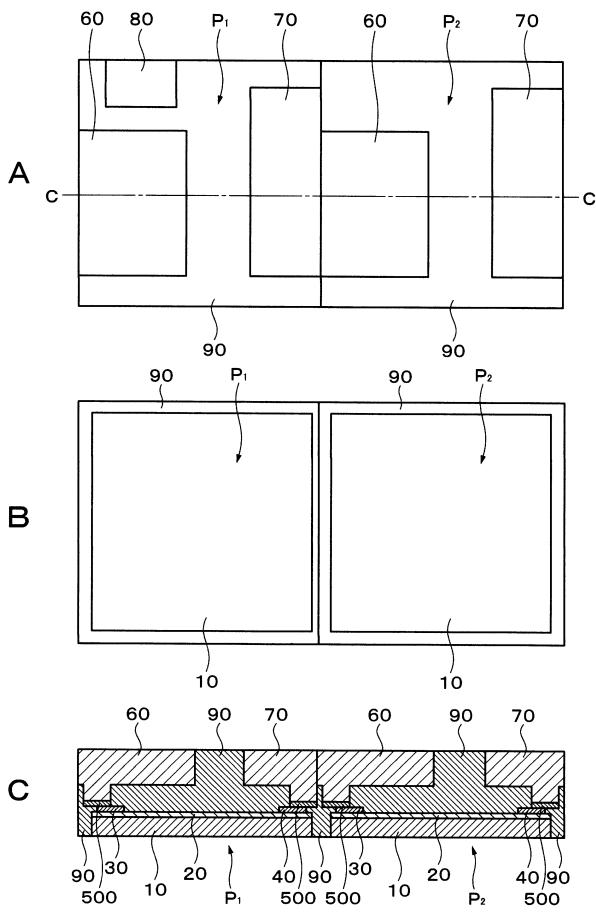
【図 5-4】



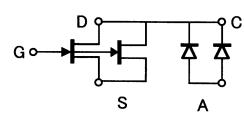
【図55】



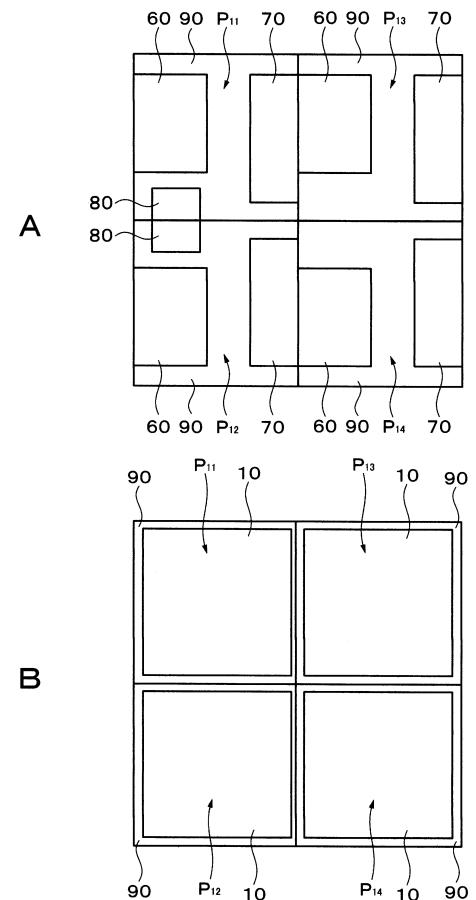
【図56】



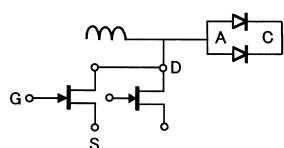
【図 5 7】



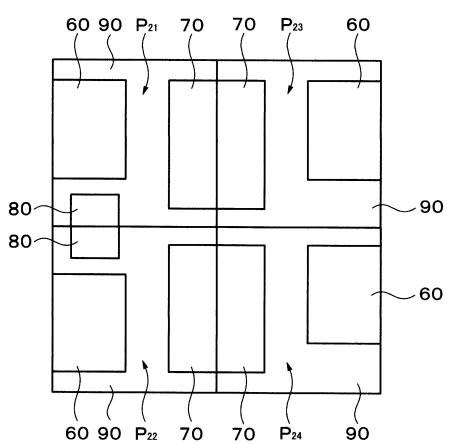
【図 5 8】



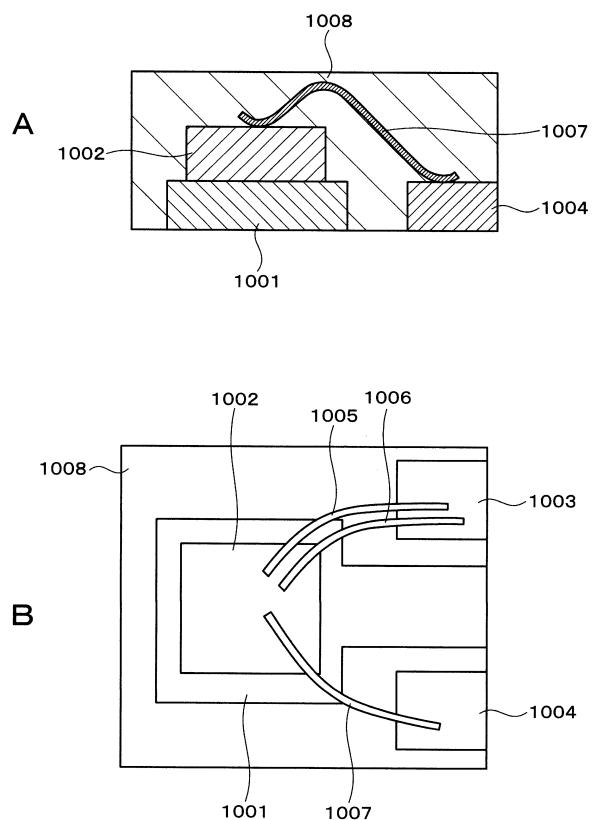
【図 5 9】



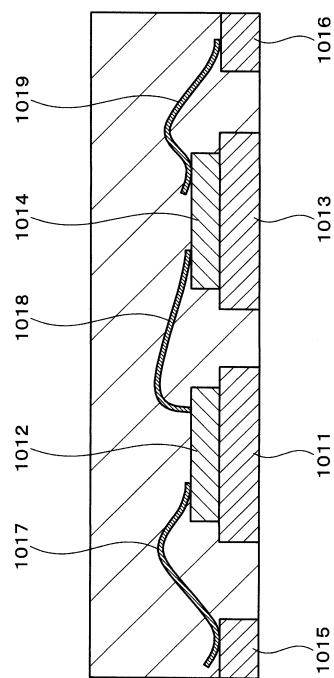
【図 6 0】



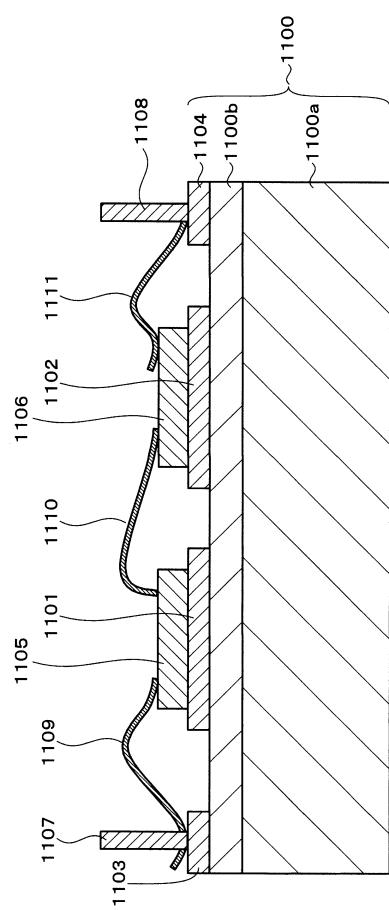
【図 6 1】



【図62】



【図63】



フロントページの続き

(51)Int.Cl.			F I		
H 0 1 L	23/50	(2006.01)	H 0 1 L	23/48	H
H 0 1 L	23/28	(2006.01)	H 0 1 L	23/28	A
H 0 1 L	23/12	(2006.01)	H 0 1 L	23/12	5 0 1 T
H 0 1 L	21/60	(2006.01)	H 0 1 L	23/12	L
H 0 1 L	29/41	(2006.01)	H 0 1 L	21/92	6 0 2 J
H 0 1 L	21/338	(2006.01)	H 0 1 L	29/44	L
H 0 1 L	29/778	(2006.01)	H 0 1 L	29/80	H
H 0 1 L	29/812	(2006.01)	H 0 1 L	23/48	R
H 0 5 K	1/02	(2006.01)	H 0 1 L	23/50	N
H 0 5 K	3/46	(2006.01)	H 0 5 K	1/02	F
			H 0 5 K	3/46	Q

審査官 秋山 直人

(56)参考文献 特開2014-143326 (JP, A)
 特開2016-171197 (JP, A)
 特開2006-049682 (JP, A)
 特開2004-273977 (JP, A)
 特開2010-050286 (JP, A)
 特開2001-168123 (JP, A)
 特開2011-114311 (JP, A)
 特開2016-146369 (JP, A)
 國際公開第2010/010911 (WO, A1)
 特開2006-100759 (JP, A)
 特開2001-358259 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 3 / 4 8
 H 0 1 L 2 1 / 3 3 8
 H 0 1 L 2 1 / 6 0
 H 0 1 L 2 3 / 1 2
 H 0 1 L 2 3 / 2 8
 H 0 1 L 2 3 / 2 9
 H 0 1 L 2 3 / 3 1
 H 0 1 L 2 3 / 5 0
 H 0 1 L 2 5 / 0 7
 H 0 1 L 2 5 / 1 8
 H 0 1 L 2 9 / 4 1
 H 0 1 L 2 9 / 7 7 8
 H 0 1 L 2 9 / 8 1 2
 H 0 5 K 1 / 0 2
 H 0 5 K 3 / 4 6