

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6304700号
(P6304700)

(45) 発行日 平成30年4月4日 (2018.4.4)

(24) 登録日 平成30年3月16日 (2018.3.16)

(51) Int.Cl.	F I	
HO 1 L 23/48 (2006.01)	HO 1 L 23/48	Q
HO 1 L 23/29 (2006.01)	HO 1 L 23/30	R
HO 1 L 23/31 (2006.01)	HO 1 L 25/04	C
HO 1 L 25/07 (2006.01)	HO 1 L 23/50	L
HO 1 L 25/18 (2006.01)	HO 1 L 23/48	G
請求項の数 15 (全 54 頁) 最終頁に続く		

(21) 出願番号	特願2017-18254 (P2017-18254)	(73) 特許権者	301041553
(22) 出願日	平成29年2月3日 (2017.2.3)		株式会社パウデック
(65) 公開番号	特開2018-56538 (P2018-56538A)		栃木県小山市若木町一丁目23番15号
(43) 公開日	平成30年4月5日 (2018.4.5)	(74) 代理人	100120640
審査請求日	平成29年5月23日 (2017.5.23)		弁理士 森 幸一
(31) 優先権主張番号	特願2016-186741 (P2016-186741)	(72) 発明者	河合 弘治
(32) 優先日	平成28年9月26日 (2016.9.26)		栃木県小山市若木町一丁目23番15号
(33) 優先権主張国	日本国 (JP)		株式会社パウデック内
早期審査対象出願		(72) 発明者	八木 修一
			栃木県小山市若木町一丁目23番15号
			株式会社パウデック内
		(72) 発明者	越後谷 祥子
			栃木県小山市若木町一丁目23番15号
			株式会社パウデック内
		最終頁に続く	

(54) 【発明の名称】 半導体パッケージ、モジュールおよび電気機器

(57) 【特許請求の範囲】

【請求項1】

金属基板の一方の主面と両面プリント配線基板の一方の主面との間に設けられて使用される半導体パッケージであって、

前記半導体パッケージは、

厚さが120μm以下のサファイア基板の第1主面上に3端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第1電極、第2電極および第3電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

前記第1電極、前記第2電極および前記第3電極とそれぞれ接触して電氣的に接続され、前記半導体層の外部に引き出された第1電極パッド、第2電極パッドおよび第3電極パッドと、

前記第1電極、前記第2電極、前記第3電極、前記半導体層および前記サファイア基板の側面を封止する電氣的に絶縁性の樹脂と、
を有し、

前記半導体チップの四つの辺を反時計方向に順に S_1 、 S_2 、 S_3 、 S_4 としたとき、前記第1電極は、辺 S_1 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_1 、 S_2 に近接して設けられており、前記第1電極の長辺の長さは辺 S_1 の長さより短く、前記第2電極は、辺 S_3 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_2 、 S_3 に近接して設けられており、前記第2電極の長辺の長さは辺 S_3 の長さより短く、前記第3電極は、辺 S_4 に平行な長辺と辺 S_1 に平行

な短辺とを有する長方形の形状を有し、前記第 1 電極と辺 S_4 との間の領域において辺 S_1 、 S_4 に近接して設けられ、

前記第 1 電極パッドは前記第 1 電極から前記樹脂上を経由して辺 S_1 に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第 1 電極パッドの先端は辺 S_1 に平行であり、前記第 2 電極パッドは前記第 2 電極から前記樹脂上を経由して辺 S_3 に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第 2 電極パッドの先端は辺 S_3 に平行であり、前記第 3 電極パッドは前記第 3 電極から前記樹脂上を経由して辺 S_4 に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第 3 電極パッドの先端は辺 S_4 に平行であり、

10

前記半導体パッケージは、前記サファイア基板の第 2 主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第 1 電極パッド、前記第 2 電極パッドおよび前記第 3 電極パッドの前記樹脂から突出した部分の前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の所定の配線の所定の部位に接続されて所定の回路が構成されることを特徴とする半導体パッケージ。

【請求項 2】

金属基板の一方の主面と両面プリント配線基板の一方の主面との間に設けられて使用される半導体パッケージであって、

前記半導体パッケージは、

厚さが $120\ \mu\text{m}$ 以下のサファイア基板の第 1 主面上に 3 端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第 1 電極、第 2 電極および第 3 電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

20

前記第 1 電極、前記第 2 電極および前記第 3 電極とそれぞれ接触して電氣的に接続され、前記半導体層の上方に引き出された第 1 電極パッド、第 2 電極パッドおよび第 3 電極パッドと、

前記第 1 電極、前記第 2 電極、前記第 3 電極、前記半導体層および前記サファイア基板の側面を封止する電氣的に絶縁性の樹脂と、
を有し、

前記半導体チップの四つの辺を反時計方向に順に S_1 、 S_2 、 S_3 、 S_4 としたとき、前記第 1 電極は、辺 S_1 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_1 、 S_2 に近接して設けられており、前記第 1 電極の長辺の長さは辺 S_1 の長さより短く、前記第 2 電極は、辺 S_3 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_2 、 S_3 に近接して設けられており、前記第 2 電極の長辺の長さは辺 S_3 の長さより短く、前記第 3 電極は、辺 S_4 に平行な長辺と辺 S_1 に平行な短辺とを有する長方形の形状を有し、前記第 1 電極と辺 S_4 との間の領域において辺 S_1 、 S_4 に近接して設けられ、

30

前記第 1 電極パッドは前記第 1 電極から前記半導体層に対して垂直上方に引き出された後、辺 S_1 に跨がるように前記半導体層の上方を前記半導体層に平行に延在し、前記第 1 電極パッドの外側の先端は辺 S_1 に平行であり、前記第 2 電極パッドは前記第 2 電極から前記半導体層に対して垂直上方に引き出された後、辺 S_3 に跨がるように前記半導体層の上方を前記半導体層に平行に延在し、前記第 2 電極パッドの外側の先端は辺 S_3 に平行であり、前記第 3 電極パッドは前記第 3 電極から前記半導体層に対して垂直上方に引き出された後、辺 S_4 に跨がるように前記半導体層の上方を前記半導体層に平行に延在し、前記第 3 電極パッドの外側の先端は辺 S_4 に平行であり、

40

前記樹脂の輪郭は、前記半導体チップの側面の前記樹脂の厚さの分だけ前記半導体チップより大きい、前記半導体チップの外形とほぼ相似になっており、

前記第 1 電極パッドの前記先端、前記第 2 電極パッドの前記先端および前記第 3 電極パッドの前記先端は前記樹脂の輪郭と一致し、

前記半導体パッケージは、前記サファイア基板の第 2 主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第 1 電極パッド、前

50

記第 2 電極パッドおよび前記第 3 電極パッドの前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の所定の配線の所定の部位に接続されて所定の回路が構成されることを特徴とする半導体パッケージ。

【請求項 3】

前記半導体層は GaN 系半導体層、前記 3 端子半導体素子は GaN 系電界効果トランジスタである請求項 1 または 2 記載の半導体パッケージ。

【請求項 4】

前記 GaN 系電界効果トランジスタは分極超接合 GaN 系電界効果トランジスタである請求項 3 記載の半導体パッケージ。

【請求項 5】

前記第 1 電極はソース電極、前記第 2 電極はドレイン電極、前記第 3 電極はゲート電極である請求項 3 または 4 記載の半導体パッケージ。

【請求項 6】

金属基板と、

前記金属基板の一方の主面上に実装された一つまたは複数の半導体パッケージと、

前記一つまたは複数の半導体パッケージ上に所定の回路を構成するように設けられた所定の配線を一方の主面に有する両面プリント配線基板とを有し、

前記半導体パッケージは、

厚さが $120\mu\text{m}$ 以下のサファイア基板の第 1 主面上に 3 端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第 1 電極、第 2 電極および第 3 電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

前記第 1 電極、前記第 2 電極および前記第 3 電極とそれぞれ接触して電氣的に接続され、前記半導体層の外部に引き出された第 1 電極パッド、第 2 電極パッドおよび第 3 電極パッドと、

前記第 1 電極、前記第 2 電極、前記第 3 電極、前記半導体層および前記サファイア基板の側面を封止する電氣的に絶縁性の樹脂と、を有し、

前記半導体チップの四つの辺を反時計方向に順に S_1 、 S_2 、 S_3 、 S_4 としたとき、前記第 1 電極は、辺 S_1 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_1 、 S_2 に近接して設けられており、前記第 1 電極の長辺の長さは辺 S_1 の長さより短く、前記第 2 電極は、辺 S_3 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_2 、 S_3 に近接して設けられており、前記第 2 電極の長辺の長さは辺 S_3 の長さより短く、前記第 3 電極は、辺 S_4 に平行な長辺と辺 S_1 に平行な短辺とを有する長方形の形状を有し、前記第 1 電極と辺 S_4 との間の領域において辺 S_1 、 S_4 に近接して設けられ、

前記第 1 電極パッドは前記第 1 電極から前記樹脂上を経由して辺 S_1 に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第 1 電極パッドの先端は辺 S_1 に平行であり、前記第 2 電極パッドは前記第 2 電極から前記樹脂上を経由して辺 S_3 に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第 2 電極パッドの先端は辺 S_3 に平行であり、前記第 3 電極パッドは前記第 3 電極から前記樹脂上を経由して辺 S_4 に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第 3 電極パッドの先端は辺 S_4 に平行であり、

前記半導体パッケージは、前記サファイア基板の第 2 主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第 1 電極パッド、前記第 2 電極パッドおよび前記第 3 電極パッドの前記樹脂から突出した部分の前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の前記所定の配線の所定の部位に接続されて前記所定の回路が構成されているモジュール。

【請求項 7】

金属基板と、

前記金属基板の一方の主面上に実装された一つまたは複数の半導体パッケージと、
前記一つまたは複数の半導体パッケージ上に所定の回路を構成するように設けられた所定の配線を一方の主面に有する両面プリント配線基板とを有し、

前記半導体パッケージは、

厚さが120 μm以下のサファイア基板の第1主面上に3端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第1電極、第2電極および第3電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

前記第1電極、前記第2電極および前記第3電極とそれぞれ接触して電氣的に接続され、前記半導体層の上方に引き出された第1電極パッド、第2電極パッドおよび第3電極パッドと、

前記第1電極、前記第2電極、前記第3電極、前記半導体層および前記サファイア基板の側面を封止する電氣的に絶縁性の樹脂と、
を有し、

前記半導体チップの四つの辺を反時計方向に順に S_1 、 S_2 、 S_3 、 S_4 としたとき、
前記第1電極は、辺 S_1 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_1 、 S_2 に近接して設けられており、前記第1電極の長辺の長さは辺 S_1 の長さより短く、前記第2電極は、辺 S_3 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_2 、 S_3 に近接して設けられており、前記第2電極の長辺の長さは辺 S_3 の長さより短く、前記第3電極は、辺 S_4 に平行な長辺と辺 S_1 に平行な短辺とを有する長方形の形状を有し、前記第1電極と辺 S_4 との間の領域において辺 S_1 、 S_4 に近接して設けられ、

前記第1電極パッドは前記第1電極から前記半導体層に対して垂直上方に引き出された後、辺 S_1 に跨がるように前記半導体層の上方を前記半導体層に平行に延在し、前記第1電極パッドの外側の先端は辺 S_1 に平行であり、前記第2電極パッドは前記第2電極から前記半導体層に対して垂直上方に引き出された後、辺 S_3 に跨がるように前記半導体層の上方を前記半導体層に平行に延在し、前記第2電極パッドの外側の先端は辺 S_3 に平行であり、前記第3電極パッドは前記第3電極から前記半導体層に対して垂直上方に引き出された後、辺 S_4 に跨がるように前記半導体層の上方を前記半導体層に平行に延在し、前記第3電極パッドの外側の先端は辺 S_4 に平行であり、

前記樹脂の輪郭は、前記半導体チップの側面の前記樹脂の厚さの分だけ前記半導体チップより大きい、前記半導体チップの外形とほぼ相似になっており、

前記第1電極パッドの前記先端、前記第2電極パッドの前記先端および前記第3電極パッドの前記先端は前記樹脂の輪郭と一致し、

前記半導体パッケージは、前記サファイア基板の第2主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第1電極パッド、前記第2電極パッドおよび前記第3電極パッドの前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の前記所定の配線の所定の部位に接続されて前記所定の回路が構成されているモジュール。

【請求項8】

一つまたは複数のモジュールを有し、

少なくとも一つの前記モジュールは、

金属基板と、

前記金属基板の一方の主面上に実装された一つまたは複数の半導体パッケージと、

前記一つまたは複数の半導体パッケージ上に所定の回路を構成するように設けられた所定の配線を一方の主面に有する両面プリント配線基板とを有し、

前記半導体パッケージは、

厚さが120 μm以下のサファイア基板の第1主面上に3端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第1電極、第2電極および第3電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

前記第1電極、前記第2電極および前記第3電極とそれぞれ接触して電氣的に接続され

10

20

30

40

50

、前記半導体層の外部に引き出された第1電極パッド、第2電極パッドおよび第3電極パッドと、

前記第1電極、前記第2電極、前記第3電極、前記半導体層および前記サファイア基板の側面を封止する電氣的に絶縁性の樹脂と、
を有し、

前記半導体チップの四つの辺を反時計方向に順に S_1 、 S_2 、 S_3 、 S_4 としたとき、前記第1電極は、辺 S_1 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_1 、 S_2 に近接して設けられており、前記第1電極の長辺の長さは辺 S_1 の長さより短く、前記第2電極は、辺 S_3 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_2 、 S_3 に近接して設けられており、前記第2電極の長辺の長さは辺 S_3 の長さより短く、前記第3電極は、辺 S_4 に平行な長辺と辺 S_1 に平行な短辺とを有する長方形の形状を有し、前記第1電極と辺 S_4 との間の領域において辺 S_1 、 S_4 に近接して設けられ、

10

前記第1電極パッドは前記第1電極から前記樹脂上を経由して辺 S_1 に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第1電極パッドの先端は辺 S_1 に平行であり、前記第2電極パッドは前記第2電極から前記樹脂上を経由して辺 S_3 に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第2電極パッドの先端は辺 S_3 に平行であり、前記第3電極パッドは前記第3電極から前記樹脂上を経由して辺 S_4 に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第3電極パッドの先端は辺 S_4 に平行であり、

20

前記半導体パッケージは、前記サファイア基板の第2主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第1電極パッド、前記第2電極パッドおよび前記第3電極パッドの前記樹脂から突出した部分の前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の前記所定の配線の所定の部位に接続されて前記所定の回路が構成されているモジュールである電気機器。

【請求項9】

一つまたは複数のモジュールを有し、

少なくとも一つの前記モジュールは、

30

金属基板と、

前記金属基板の一方の主面上に実装された一つまたは複数の半導体パッケージと、

前記一つまたは複数の半導体パッケージ上に所定の回路を構成するように設けられた所定の配線を一方の主面に有する両面プリント配線基板とを有し、

前記半導体パッケージは、

厚さが $120\mu\text{m}$ 以下のサファイア基板の第1主面上に3端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第1電極、第2電極および第3電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

前記第1電極、前記第2電極および前記第3電極とそれぞれ接触して電氣的に接続され、前記半導体層の上方に引き出された第1電極パッド、第2電極パッドおよび第3電極パッドと、

40

前記第1電極、前記第2電極、前記第3電極、前記半導体層および前記サファイア基板の側面を封止する電氣的に絶縁性の樹脂と、
を有し、

前記半導体チップの四つの辺を反時計方向に順に S_1 、 S_2 、 S_3 、 S_4 としたとき、前記第1電極は、辺 S_1 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_1 、 S_2 に近接して設けられており、前記第1電極の長辺の長さは辺 S_1 の長さより短く、前記第2電極は、辺 S_3 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_2 、 S_3 に近接して設けられており、前記第2電極の長辺の長さは辺 S_3 の長さより短く、前記第3電極は、辺 S_4 に平行な長辺と辺 S_1 に平行

50

な短辺とを有する長方形の形状を有し、前記第 1 電極と辺 S_4 との間の領域において辺 S_1 、 S_4 に近接して設けられ、

前記第 1 電極パッドは前記第 1 電極から前記半導体層に対して垂直上方に引き出された後、辺 S_1 に跨がるように前記半導体層の上方を前記半導体層に平行に延在し、前記第 1 電極パッドの外側の先端は辺 S_1 に平行であり、前記第 2 電極パッドは前記第 2 電極から前記半導体層に対して垂直上方に引き出された後、辺 S_3 に跨がるように前記半導体層の上方を前記半導体層に平行に延在し、前記第 2 電極パッドの外側の先端は辺 S_3 に平行であり、前記第 3 電極パッドは前記第 3 電極から前記半導体層に対して垂直上方に引き出された後、辺 S_4 に跨がるように前記半導体層の上方を前記半導体層に平行に延在し、前記第 3 電極パッドの外側の先端は辺 S_4 に平行であり、

10

前記樹脂の輪郭は、前記半導体チップの側面の前記樹脂の厚さの分だけ前記半導体チップより大きい、前記半導体チップの外形とほぼ相似になっており、

前記第 1 電極パッドの前記先端、前記第 2 電極パッドの前記先端および前記第 3 電極パッドの前記先端は前記樹脂の輪郭と一致し、

前記半導体パッケージは、前記サファイア基板の第 2 主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第 1 電極パッド、前記第 2 電極パッドおよび前記第 3 電極パッドの前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の前記所定の配線の所定の部位に接続されて前記所定の回路が構成されているモジュール

である電気機器。

20

【請求項 10】

金属基板の一方の主面と両面プリント配線基板の一方の主面との間に設けられて使用される半導体パッケージであって、

前記半導体パッケージは、

厚さが $120\text{ }\mu\text{m}$ 以下のサファイア基板の第 1 主面上にダイオードを構成する半導体層が設けられ、前記半導体層上に第 1 電極、第 2 電極および第 3 電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

前記第 1 電極および前記第 2 電極とそれぞれ接触して電氣的に接続され、前記半導体層の外部に引き出された第 1 電極パッドおよび第 2 電極パッドと、

前記第 1 電極、前記第 2 電極、前記第 3 電極、前記半導体層および前記サファイア基板の側面を封止する電氣的に絶縁性の樹脂と、

30

を有し、

前記半導体チップの四つの辺を反時計方向に順に S_1 、 S_2 、 S_3 、 S_4 としたとき、前記第 1 電極は、辺 S_1 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_1 、 S_2 に近接して設けられており、前記第 1 電極の長辺の長さは辺 S_1 の長さより短く、前記第 2 電極は、辺 S_3 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_2 、 S_3 に近接して設けられており、前記第 2 電極の長辺の長さは辺 S_3 の長さより短く、前記第 3 電極は、辺 S_4 に平行な長辺と辺 S_1 に平行な短辺とを有する長方形の形状を有し、前記第 1 電極と辺 S_4 との間の領域において辺 S_1 、 S_4 に近接して設けられ、

40

前記第 1 電極パッドは前記第 1 電極から前記樹脂上を経由して辺 S_1 に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第 1 電極パッドの先端は辺 S_1 に平行であり、前記第 2 電極パッドは前記第 2 電極から前記樹脂上を経由して辺 S_3 に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第 2 電極パッドの先端は辺 S_3 に平行であり、

前記第 1 電極および前記第 2 電極がアノード電極およびカソード電極を構成し、前記第 1 電極パッドおよび前記第 2 電極パッドがアノード電極パッドおよびカソード電極パッドを構成し、

前記半導体パッケージは、前記サファイア基板の第 2 主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第 1 電極パッドおよ

50

び前記第 2 電極パッドの前記樹脂から突出した部分の前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の所定の配線の所定の部位に接続されて所定の回路が構成されることを特徴とする半導体パッケージ。

【請求項 1 1】

金属基板の一方の主面と両面プリント配線基板の一方の主面との間に設けられて使用される半導体パッケージであって、

前記半導体パッケージは、

厚さが $120\text{ }\mu\text{m}$ 以下のサファイア基板の第 1 主面上にダイオードを構成する半導体層が設けられ、前記半導体層上に第 1 電極、第 2 電極および第 3 電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

前記第 1 電極および前記第 2 電極とそれぞれ接触して電氣的に接続され、前記半導体層の上方に引き出された第 1 電極パッドおよび第 2 電極パッドと、

前記第 1 電極、前記第 2 電極、前記第 3 電極、前記半導体層および前記サファイア基板の側面を封止する電氣的に絶縁性の樹脂と、
を有し、

前記半導体チップの四つの辺を反時計方向に順に S_1 、 S_2 、 S_3 、 S_4 としたとき、前記第 1 電極は、辺 S_1 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_1 、 S_2 に近接して設けられており、前記第 1 電極の長辺の長さは辺 S_1 の長さより短く、前記第 2 電極は、辺 S_3 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_2 、 S_3 に近接して設けられており、前記第 2 電極の長辺の長さは辺 S_3 の長さより短く、前記第 3 電極は、辺 S_4 に平行な長辺と辺 S_1 に平行な短辺とを有する長方形の形状を有し、前記第 1 電極と辺 S_4 との間の領域において辺 S_1 、 S_4 に近接して設けられ、

前記第 1 電極パッドは前記第 1 電極から前記半導体層に対して垂直上方に引き出された後、辺 S_1 に跨がるように前記半導体層の上方を前記半導体層に平行に延在し、前記第 1 電極パッドの外側の先端は辺 S_1 に平行であり、前記第 2 電極パッドは前記第 2 電極から前記半導体層に対して垂直上方に引き出された後、辺 S_3 に跨がるように前記半導体層の上方を前記半導体層に平行に延在し、前記第 2 電極パッドの外側の先端は辺 S_3 に平行であり、

前記樹脂の輪郭は、前記半導体チップの側面の前記樹脂の厚さの分だけ前記半導体チップより大きい、前記半導体チップの外形とほぼ相似になっており、

前記第 1 電極パッドの前記先端および前記第 2 電極パッドの前記先端は前記樹脂の輪郭と一致し、

前記第 1 電極および前記第 2 電極がアノード電極およびカソード電極を構成し、前記第 1 電極パッドおよび前記第 2 電極パッドがアノード電極パッドおよびカソード電極パッドを構成し、

前記半導体パッケージは、前記サファイア基板の第 2 主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第 1 電極パッドおよび前記第 2 電極パッドの前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の所定の配線の所定の部位に接続されて所定の回路が構成されることを特徴とする半導体パッケージ。

【請求項 1 2】

金属基板と、

前記金属基板の一方の主面上に実装された一つまたは複数の半導体パッケージと、

前記一つまたは複数の半導体パッケージ上に所定の回路を構成するように設けられた所定の配線を一方の主面に有する両面プリント配線基板とを有し、

前記半導体パッケージは、

厚さが $120\text{ }\mu\text{m}$ 以下のサファイア基板の第 1 主面上にダイオードを構成する半導体層が設けられ、前記半導体層上に第 1 電極、第 2 電極および第 3 電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

10

20

30

40

50

前記第 1 電極および前記第 2 電極とそれぞれ接触して電氣的に接続され、前記半導体層の外部に引き出された第 1 電極パッドおよび第 2 電極パッドと、

前記第 1 電極、前記第 2 電極、前記第 3 電極、前記半導体層および前記サファイア基板の側面を封止する電氣的に絶縁性の樹脂と、
を有し、

前記半導体チップの四つの辺を反時計方向に順に S_1 、 S_2 、 S_3 、 S_4 としたとき、前記第 1 電極は、辺 S_1 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_1 、 S_2 に近接して設けられており、前記第 1 電極の長辺の長さは辺 S_1 の長さより短く、前記第 2 電極は、辺 S_3 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_2 、 S_3 に近接して設けられており、前記第 2 電極の長辺の長さは辺 S_3 の長さより短く、前記第 3 電極は、辺 S_4 に平行な長辺と辺 S_1 に平行な短辺とを有する長方形の形状を有し、前記第 1 電極と辺 S_4 との間の領域において辺 S_1 、 S_4 に近接して設けられ、

10

前記第 1 電極パッドは前記第 1 電極から前記樹脂上を経由して辺 S_1 に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第 1 電極パッドの先端は辺 S_1 に平行であり、前記第 2 電極パッドは前記第 2 電極から前記樹脂上を経由して辺 S_3 に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第 2 電極パッドの先端は辺 S_3 に平行であり、

前記第 1 電極および前記第 2 電極がアノード電極およびカソード電極を構成し、前記第 1 電極パッドおよび前記第 2 電極パッドがアノード電極パッドおよびカソード電極パッドを構成し、

20

前記半導体パッケージは、前記サファイア基板の第 2 主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第 1 電極パッドおよび前記第 2 電極パッドの前記樹脂から突出した部分の前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の前記所定の配線の所定の部位に接続されて前記所定の回路が構成されているモジュール。

【請求項 13】

金属基板と、

前記金属基板の一方の主面上に実装された一つまたは複数の半導体パッケージと、

前記一つまたは複数の半導体パッケージ上に所定の回路を構成するように設けられた所定の配線を一方の主面に有する両面プリント配線基板とを有し、

30

前記半導体パッケージは、

厚さが $120\ \mu\text{m}$ 以下のサファイア基板の第 1 主面上にダイオードを構成する半導体層が設けられ、前記半導体層上に第 1 電極、第 2 電極および第 3 電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

前記第 1 電極および前記第 2 電極とそれぞれ接触して電氣的に接続され、前記半導体層の上方に引き出された第 1 電極パッドおよび第 2 電極パッドと、

前記第 1 電極、前記第 2 電極、前記第 3 電極、前記半導体層および前記サファイア基板の側面を封止する電氣的に絶縁性の樹脂と、

を有し、

40

前記半導体チップの四つの辺を反時計方向に順に S_1 、 S_2 、 S_3 、 S_4 としたとき、前記第 1 電極は、辺 S_1 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_1 、 S_2 に近接して設けられており、前記第 1 電極の長辺の長さは辺 S_1 の長さより短く、前記第 2 電極は、辺 S_3 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_2 、 S_3 に近接して設けられており、前記第 2 電極の長辺の長さは辺 S_3 の長さより短く、前記第 3 電極は、辺 S_4 に平行な長辺と辺 S_1 に平行な短辺とを有する長方形の形状を有し、前記第 1 電極と辺 S_4 との間の領域において辺 S_1 、 S_4 に近接して設けられ、

前記第 1 電極パッドは前記第 1 電極から前記半導体層に対して垂直上方に引き出された後、辺 S_1 に跨がるように前記半導体層の上方を前記半導体層に平行に延在し、前記第 1

50

電極パッドの外側の先端は辺 S_1 に平行であり、前記第 2 電極パッドは前記第 2 電極から前記半導体層に対して垂直上方に引き出された後、辺 S_3 に跨がるように前記半導体層の上方を前記半導体層に平行に延在し、前記第 2 電極パッドの外側の先端は辺 S_3 に平行であり、

前記樹脂の輪郭は、前記半導体チップの側面の前記樹脂の厚さの分だけ前記半導体チップより大きい、前記半導体チップの外形とほぼ相似になっており、

前記第 1 電極パッドの前記先端および前記第 2 電極パッドの前記先端は前記樹脂の輪郭と一致し、

前記第 1 電極および前記第 2 電極がアノード電極およびカソード電極を構成し、前記第 1 電極パッドおよび前記第 2 電極パッドがアノード電極パッドおよびカソード電極パッドを構成し、

10

前記半導体パッケージは、前記サファイア基板の第 2 主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第 1 電極パッドおよび前記第 2 電極パッドの前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の前記所定の配線の所定の部位に接続されて前記所定の回路が構成されているモジュール。

【請求項 14】

一つまたは複数のモジュールを有し、

少なくとも一つの前記モジュールは、

金属基板と、

20

前記金属基板の一方の主面上に実装された一つまたは複数の半導体パッケージと、

前記一つまたは複数の半導体パッケージ上に所定の回路を構成するように設けられた所定の配線を一方の主面に有する両面プリント配線基板とを有し、

前記半導体パッケージは、

厚さが $120\text{ }\mu\text{m}$ 以下のサファイア基板の第 1 主面上にダイオードを構成する半導体層が設けられ、前記半導体層上に第 1 電極、第 2 電極および第 3 電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

前記第 1 電極および前記第 2 電極とそれぞれ接触して電氣的に接続され、前記半導体層の外部に引き出された第 1 電極パッドおよび第 2 電極パッドと、

前記第 1 電極、前記第 2 電極、前記第 3 電極、前記半導体層および前記サファイア基板の側面を封止する電氣的に絶縁性の樹脂と、

30

を有し、

前記半導体チップの四つの辺を反時計方向に順に S_1 、 S_2 、 S_3 、 S_4 としたとき、前記第 1 電極は、辺 S_1 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_1 、 S_2 に近接して設けられており、前記第 1 電極の長辺の長さは辺 S_1 の長さより短く、前記第 2 電極は、辺 S_3 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_2 、 S_3 に近接して設けられており、前記第 2 電極の長辺の長さは辺 S_3 の長さより短く、前記第 3 電極は、辺 S_4 に平行な長辺と辺 S_1 に平行な短辺とを有する長方形の形状を有し、前記第 1 電極と辺 S_4 との間の領域において辺 S_1 、 S_4 に近接して設けられ、

40

前記第 1 電極パッドは前記第 1 電極から前記樹脂上を経由して辺 S_1 に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第 1 電極パッドの先端は辺 S_1 に平行であり、前記第 2 電極パッドは前記第 2 電極から前記樹脂上を経由して辺 S_3 に垂直な方向でかつ前記半導体層および前記サファイア基板に平行な方向に突出し、当該突出した前記第 2 電極パッドの先端は辺 S_3 に平行であり、

前記第 1 電極および前記第 2 電極がアノード電極およびカソード電極を構成し、前記第 1 電極パッドおよび前記第 2 電極パッドがアノード電極パッドおよびカソード電極パッドを構成し、

前記半導体パッケージは、前記サファイア基板の第 2 主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第 1 電極パッドおよ

50

び前記第 2 電極パッドの前記樹脂から突出した部分の前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の前記所定の配線の所定の部位に接続されて前記所定の回路が構成されているモジュールである電気機器。

【請求項 15】

一つまたは複数のモジュールを有し、
少なくとも一つの前記モジュールは、
金属基板と、
前記金属基板の一方の主面上に実装された一つまたは複数の半導体パッケージと、
前記一つまたは複数の半導体パッケージ上に所定の回路を構成するように設けられた所定の配線を一方の主面に有する両面プリント配線基板とを有し、

10

前記半導体パッケージは、
厚さが 120 μm 以下のサファイア基板の第 1 主面上にダイオードを構成する半導体層が設けられ、前記半導体層上に第 1 電極、第 2 電極および第 3 電極が三角形に配置された、長方形の平面形状を有する半導体チップと、

前記第 1 電極および前記第 2 電極とそれぞれ接触して電氣的に接続され、前記半導体層の上方に引き出された第 1 電極パッドおよび第 2 電極パッドと、

前記第 1 電極、前記第 2 電極、前記第 3 電極、前記半導体層および前記サファイア基板の側面を封止する電氣的に絶縁性の樹脂と、
を有し、

20

前記半導体チップの四つの辺を反時計方向に順に S_1 、 S_2 、 S_3 、 S_4 としたとき、
前記第 1 電極は、辺 S_1 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_1 、 S_2 に近接して設けられており、前記第 1 電極の長辺の長さは辺 S_1 の長さより短く、前記第 2 電極は、辺 S_3 に平行な長辺と辺 S_2 に平行な短辺とを有する細長い長方形の形状を有し、辺 S_2 、 S_3 に近接して設けられており、前記第 2 電極の長辺の長さは辺 S_3 の長さより短く、前記第 3 電極は、辺 S_4 に平行な長辺と辺 S_1 に平行な短辺とを有する長方形の形状を有し、前記第 1 電極と辺 S_4 との間の領域において辺 S_1 、 S_4 に近接して設けられ、

前記第 1 電極パッドは前記第 1 電極から前記半導体層に対して垂直上方に引き出された後、辺 S_1 に跨がるように前記半導体層の上方を前記半導体層に平行に延在し、前記第 1 電極パッドの外側の先端は辺 S_1 に平行であり、前記第 2 電極パッドは前記第 2 電極から前記半導体層に対して垂直上方に引き出された後、辺 S_3 に跨がるように前記半導体層の上方を前記半導体層に平行に延在し、前記第 2 電極パッドの外側の先端は辺 S_3 に平行であり、

30

前記樹脂の輪郭は、前記半導体チップの側面の前記樹脂の厚さの分だけ前記半導体チップより大きい、前記半導体チップの外形とほぼ相似になっており、

前記第 1 電極パッドの前記先端および前記第 2 電極パッドの前記先端は前記樹脂の輪郭と一致し、

前記第 1 電極および前記第 2 電極がアノード電極およびカソード電極を構成し、前記第 1 電極パッドおよび前記第 2 電極パッドがアノード電極パッドおよびカソード電極パッドを構成し、

40

前記半導体パッケージは、前記サファイア基板の第 2 主面を前記金属基板の前記一方の主面に接触させて前記金属基板の前記一方の主面上に実装され、前記第 1 電極パッドおよび前記第 2 電極パッドの前記サファイア基板と反対側の面が前記両面プリント配線基板の前記一方の主面の前記所定の配線の所定の部位に接続されて前記所定の回路が構成されているモジュール

である電気機器。

【発明の詳細な説明】

【技術分野】

【0001】

50

この発明は、半導体パッケージ、モジュールおよび電気機器に関し、特に、窒化ガリウム (GaN) 系半導体を用いた3端子半導体素子、例えばGaN系電界効果トランジスタ (FET) をパッケージングした半導体パッケージ、この半導体パッケージを含むモジュールおよびこのモジュールを含む電気機器に関する。

【背景技術】

【0002】

従来の高電圧パワー系の電子素子は、シリコン (Si) - MOSトランジスタ、絶縁ゲート型バイポーラトランジスタ (IGBT) およびシリコンカーバイド (SiC) - MOSトランジスタが主流である。これらの電子素子は、ドレイン電極を下面に、ソース電極およびゲート電極を上面に設けた縦型構造を有する。

10

【0003】

このような縦型素子においては、電極が上面と下面とに形成されているため、電極取り出し、または回路配線は立体配線となる。具体的には、例えば、パワーSi-MOSトランジスタでは、図61AおよびBに示すように、ドレイン電極パッド1001上にハンダや銀 (Ag) ペーストなどによりパワーSi-MOSトランジスタのチップ1002を接合し、ドレイン電極パッド1001と同一面上にソース電極パッド1003およびゲート電極パッド1004を配置し、チップ1002の上面のソース電極 (図示せず) とソース電極パッド1003とをワイヤ1005、1006によりボンディングするとともに、チップ1002の上面のゲート電極 (図示せず) とゲート電極パッド1004とをワイヤ1007によりボンディングし、これらの全体をドレイン電極パッド1001、ソース電極パッド1003およびゲート電極パッド1004の下面が露出するように樹脂1008により封止してパッケージングを行っている。こうして製造される、SON (Small Outline Non-leaded package) またはQFN (Quad Flat Non-leaded package) と称される半導体パッケージは、一般的にはプリント配線基板上にハンダ付けなどにより実装される。

20

【0004】

また、上記の縦型素子のチップを複数、ワンパッケージ化する方法の一例を挙げると、例えば、図62に示すように、ドレイン電極パッド1011上にチップ1012を接合したものとドレイン電極パッド1013上にチップ1014を接合したものとを配置し、それらに隣接してソース電極パッド1015、1016を配置し、ソース電極パッド1015とチップ1012の上面のソース電極 (図示せず) とをワイヤ1017によりボンディングし、チップ1012の上面のゲート電極とチップ1014の上面のゲート電極 (図示せず) とをワイヤ1018によりボンディングし、ソース電極パッド1016とチップ1014の上面のソース電極 (図示せず) とをワイヤ1019によりボンディングする。

30

【0005】

さらに、上記の縦型素子のベアチップによる実装では、一般に、銅 (Cu) ベース基板上に窒化シリコン (SiN) 層およびCu層が順次積層されたDBC (direct bonding Copper) 基板が用いられる。この場合、縦型素子の構造上、ワイヤボンディング、バー、端子などによる立体配線が必要となる。例えば、図63に示すように、Cuベース基板1100a上にSiN層1100bおよびCu層が順次積層されたDBC基板1100のCu層をパターンニングすることによりドレイン電極パッド1101、1102およびソース電極パッド1103、1104を形成し、ドレイン電極パッド1101、1102上にそれぞれチップ1105、1106を接合するとともに、ソース電極パッド1103、1104上にそれぞれロッド状の端子1107、1108を立て、ソース電極パッド1103上の端子1107とチップ1105の上面のソース電極 (図示せず) とをワイヤ1109によりボンディングし、チップ1105の上面のゲート電極 (図示せず) とチップ1106の上面のゲート電極 (図示せず) とをワイヤ1110によりボンディングし、ソース電極パッド1104上の端子1108とチップ1106の上面のソース電極 (図示せず) とをワイヤ1111によりボンディングする。

40

【0006】

一方、分極超接合 (Polarization Super Junction; PSJ) を利用した、横型構造を有

50

するパワー G a N 系電界効果トランジスタ (F E T) が、本発明者らにより提案されている (特許文献 1、2 参照。)。このパワー分極超接合 G a N 系 F E T においては、上記の縦型素子と異なり、 F E T を構成する半導体層の同一面上にソース電極、ドレイン電極および p 電極からなるゲート電極が設けられる。

【先行技術文献】

【特許文献】

【 0 0 0 7 】

【特許文献 1】特許第 5 6 6 9 1 1 9 号公報

【特許文献 2】特許第 5 8 2 8 4 3 5 号公報

【発明の概要】

10

【発明が解決しようとする課題】

【 0 0 0 8 】

しかしながら、上記の従来の縦型素子のパッケージングおよび集積化の技術は、低コスト化、高周波化、省体積化、低熱抵抗化などにおいて、技術的な飽和点に来ているのが実情である。

【 0 0 0 9 】

そこで、この発明が解決しようとする課題は、縦型構造を有する電子素子ではなく、横型構造を有する電子素子であるパワー分極超接合 G a N 系 F E T、より一般的には、絶縁基板上に形成された半導体層の同一面上に全ての電極が形成される 3 端子半導体素子を用い、この半導体素子をフェースアップで基板上に容易に実装することができ、従来に比べて大幅な低コスト化、高周波化、省体積化、低熱抵抗化などを図ることができる半導体パッケージ、この半導体パッケージを用いた高性能のモジュールおよびこのモジュールを用いた高性能の電気機器を提供することである。

20

【課題を解決するための手段】

【 0 0 1 0 】

本発明者らは、前記の従来の縦型素子が直面しているパッケージングおよび集積化の困難を克服すべく鋭意検討を行った結果、パワー分極超接合 G a N 系 F E T に代表される横型構造を有する半導体素子、すなわち、絶縁基板上に形成された半導体層の同一面上に全ての電極が形成される 3 端子半導体素子を用いること、この 3 端子半導体素子を放熱性に優れ、実装も簡単なフェースアップで基板上に実装することが最善であるという結論に至り、この発明を案出するに至ったものである。

30

【 0 0 1 1 】

すなわち、前記課題を解決するために、この発明は、

絶縁基板の第 1 主面上に 3 端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第 1 電極、第 2 電極および第 3 電極が三角形に配置された半導体チップと、

前記第 1 電極、前記第 2 電極および前記第 3 電極とそれぞれ電氣的に接続され、前記半導体層の外部または上方に引き出された第 1 電極パッド、第 2 電極パッドおよび第 3 電極パッドと、

前記半導体層、前記第 1 電極、前記第 2 電極、前記第 3 電極および前記絶縁基板の側面を封止する電氣的に絶縁性の樹脂と、
を有する半導体パッケージである。

40

【 0 0 1 2 】

典型的な一つの例では、第 1 電極パッド、第 2 電極パッドおよび第 3 電極パッドは、それぞれ第 1 電極、第 2 電極および第 3 電極から樹脂上を半導体層および絶縁基板に平行に延在してから垂直に折れ曲がってこの樹脂の側面に沿って半導体層および絶縁基板の側面に平行に延在し、絶縁基板の第 2 主面と同一の高さで終端する。あるいは、他の例では、第 1 電極パッド、第 2 電極パッドおよび第 3 電極パッドは、それぞれ第 1 電極、第 2 電極および第 3 電極から樹脂上を経由して半導体層および絶縁基板に平行な方向に突出している。また、半導体層は、典型的には、長方形の平面形状を有し、第 1 電極パッド、第 2 電極パッドおよび第 3 電極パッドは、典型的には、この半導体層の互いに異なる四つの角

50

部のうちの互いに異なる一つまたは二つを含む所定の領域と重なるように延在している。典型的には、前記の所定の領域は、一つまたは二つの角部を一つの頂点に含む長方形の平面形状を有する。さらに、別の例では、第1電極パッド、第2電極パッドおよび第3電極パッドは、それぞれ第1電極、第2電極および第3電極から半導体層に対して垂直上方に引き出された後、半導体層の上方を半導体層に平行に延在している。この場合、典型的には、半導体層は長方形の平面形状を有し、第1電極パッド、第2電極パッドおよび第3電極パッドは、半導体層の四つの辺のうちの互いに異なる一つの辺に跨がるように延在している。

【0013】

封止用の樹脂は、必要に応じて、第1電極パッド、第2電極パッドおよび第3電極パッドの間の領域から、これらの第1電極パッド、第2電極パッドおよび第3電極パッド上に延在するようにする。こうすることで、樹脂の厚さを十分に確保することができ、半導体パッケージの強度の向上を図ることができる。あるいは、この樹脂は、絶縁基板の側面からこの絶縁基板の第2主面上にこの第2主面の中央部の領域を残してこの中央部の領域に延在するようにしてもよい。こうすることで、樹脂の厚さを同様に十分に確保することができ、半導体パッケージの強度の向上を図ることができる。この場合、必要に応じて、この絶縁基板の第2主面の中央部の領域（絶縁基板の第2主面上に延在する樹脂に形成された開口、と言い換えることもできる）に熱伝導層が設けられる。この熱伝導層は、好適には、絶縁基板の第2主面上に延在する樹脂の厚さと同様な厚さに形成される。こうすることで、この半導体パッケージを基板上に実装する際に、この熱伝導層が基板と接触することにより、基板への熱伝導が良好となるため、放熱性の向上を図ることができる。この熱伝導層としては、典型的には、Cuなどの金属の微粒子を含む導電性ペーストを用いて形成されたものが用いられるが、これに限定されるものではない。

【0014】

典型的には、半導体層はGaN系半導体層、3端子半導体素子はGaN系電界効果トランジスタ、取り分け分極超接合GaN系電界効果トランジスタであるが、これに限定されるものではない。この場合、第1電極、第2電極および第3電極はソース電極、ドレイン電極およびゲート電極である。

【0015】

絶縁基板は、好適にはサファイア基板、典型的にはC面サファイア基板であるが、これに限定されるものではない。この絶縁基板は、この絶縁基板を通しての放熱が十分に行われるように、好適には薄いものが用いられる。例えば、この絶縁基板がサファイア基板である場合、その厚さは好適には150 μm以下に選ばれ、一般的には例えば50 μm以上に選ばれ、より好適には50 μm以上120 μm以下に選ばれる。

【0016】

分極超接合GaN系電界効果トランジスタは、例えば、特許文献1に記載のように、

第1のアンドープGaN層、前記第1のアンドープGaN層上の $Al_xGa_{1-x}N$ 層および前記 $Al_xGa_{1-x}N$ 層上の第2のアンドープGaN層からなる分極超接合領域を有し、

前記第2のアンドープGaN層の厚みを a [nm]（但し、 a は10 nm以上1000 nm以下）としたとき、前記 $Al_xGa_{1-x}N$ 層の Al 組成 x および厚み t [nm]が下記式

【数1】

$$t \geq \alpha(a) x^{\beta(a)}$$

但し、 α は

$$\text{Log}(\alpha) = p_0 + p_1 \log(a) + p_2 \{\log(a)\}^2$$

（但し、 $p_0 = 7.3295$ 、 $p_1 = -3.5599$ 、 $p_2 = 0.6912$ ）

で表され、

10

20

30

40

50

かつ、 は

$$= p'_0 + p'_1 \log(a) + p'_2 \{ \log(a) \}^2$$

(但し、 $p'_0 = -3.6509$ 、 $p'_1 = 1.9445$ 、 $p'_2 = -0.3793$)

で表される。

を満足するものである。

【0017】

この分極超接合 GaN 系電界効果トランジスタにおいては、非動作時において、 $Al_x Ga_{1-x}N$ 層と第 2 のアンドープ GaN 層との間のヘテロ界面の近傍の部分における第 2 のアンドープ GaN 層に 2 次元正孔ガスが形成され、かつ、第 1 のアンドープ GaN 層と $Al_x Ga_{1-x}N$ 層との間のヘテロ界面の近傍の部分における第 1 のアンドープ GaN 層に 2 次元電子ガスが形成される。この半導体素子は、好適には、分極超接合領域と分離して設けられた p 電極コンタクト領域を有する。これらの分極超接合領域および p 電極コンタクト領域は、典型的には、共通層として第 1 のアンドープ GaN 層、 $Al_x Ga_{1-x}N$ 層および第 2 のアンドープ GaN 層を有する。また、p 電極コンタクト領域は、第 2 のアンドープ GaN 層上の、Mg がドーピングされた p 型 GaN 層、この p 型 GaN 層と接触して設けられた、この p 型 GaN 層よりも高濃度に Mg がドーピングされた p 型 GaN コンタクト層およびこの p 型 GaN コンタクト層とオーミック接触した p 電極（ゲート電極）をさらに有する。p 型 GaN コンタクト層は、p 型 GaN 層と接触していれば、その設け方は特に限定されない。例えば、p 型 GaN コンタクト層は、p 型 GaN 層上に積層されてもよいし、p 型 GaN 層などに埋め込まれていてもよい。後者に関しては、例えば、 $Al_x Ga_{1-x}N$ 層、第 2 のアンドープ GaN 層および p 型 GaN 層に少なくとも $Al_x Ga_{1-x}N$ 層に達する深さに溝が設けられ、この溝の内部に p 型 GaN コンタクト層が埋め込まれ、この p 型 GaN コンタクト層と 2 次元正孔ガスとが接合している。

【0018】

あるいは、分極超接合 GaN 系電界効果トランジスタは、例えば、特許文献 2 に記載のように、

分極超接合領域と p 電極コンタクト領域とを有し、

前記分極超接合領域は、

第 1 のアンドープ GaN 層と、

前記第 1 のアンドープ GaN 層上の、厚さが 25 nm 以上 47 nm 以下のアンドープ $Al_x Ga_{1-x}N$ 層 ($0.17 \leq x \leq 0.35$) と、

前記アンドープ $Al_x Ga_{1-x}N$ 層上の第 2 のアンドープ GaN 層と、

前記第 2 のアンドープ GaN 層上の、Mg がドーピングされた p 型 GaN 層とを有し、

前記第 2 のアンドープ GaN 層の厚さを u [nm]、前記 p 型 GaN 層の厚さを v [nm]、前記 p 型 GaN 層の Mg 濃度を w [cm^{-3}] で表し、換算厚さ t_R を

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t_R = 0.864 / (x - 0.134) + 46.0 \text{ [nm]}$$

が成立し、

前記 p 電極コンタクト領域は、

前記 p 型 GaN 層と接触して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーピングされた p 型 GaN コンタクト層と、

前記 p 型 GaN コンタクト層とオーミック接触した p 電極とを有するものである。

【0019】

この分極超接合 GaN 系電界効果トランジスタにおいても、非動作時において、アンドープ $Al_x Ga_{1-x}N$ 層と第 2 のアンドープ GaN 層との間のヘテロ界面の近傍の部分における第 2 のアンドープ GaN 層に 2 次元正孔ガスが形成され、かつ、第 1 のアンドープ GaN 層とアンドープ $Al_x Ga_{1-x}N$ 層との間のヘテロ界面の近傍の部分における第 1 のアンドープ GaN 層に 2 次元電子ガスが形成される。典型的には、分極超接合領域と p 電極コンタクト領域とは互いに分離して設けられる。

【 0 0 2 0 】

p 型 G a N コンタクト層は、p 型 G a N 層と接触していれば、その設け方は特に限定されない。例えば、p 型 G a N コンタクト層は、p 型 G a N 層上にメサ型で形成されていてもよいし、p 型 G a N 層などに埋め込まれていてもよい。後者に関しては、例えば、アンドープ $Al_x Ga_{1-x} N$ 層、第 2 のアンドープ G a N 層および p 型 G a N 層に少なくともアンドープ $Al_x Ga_{1-x} N$ 層に達する深さに溝が設けられ、この溝の内部に p 型 G a N コンタクト層が埋め込まれ、この p 型 G a N コンタクト層と 2 次元正孔ガスとが接合している。

【 0 0 2 1 】

また、この発明は、

一方の主面に互いに交差しないように設けられた所定の配線を有する実装基板と、
前記実装基板の前記主面上に前記所定の配線により所定の回路を構成するように実装された一つまたは複数の半導体パッケージとを有し、

前記半導体パッケージは、

絶縁基板の第 1 主面上に 3 端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第 1 電極、第 2 電極および第 3 電極が三角形に配置された半導体チップと、

前記第 1 電極、前記第 2 電極および前記第 3 電極とそれぞれ電氣的に接続され、前記半導体層の外部に引き出された第 1 電極パッド、第 2 電極パッドおよび第 3 電極パッドと、

前記半導体層、前記第 1 電極、前記第 2 電極、前記第 3 電極および前記絶縁基板の側面を封止する電氣的に絶縁性の樹脂と、

を有し、

前記半導体パッケージは、前記絶縁基板側を前記実装基板に向けて、かつ前記第 1 電極パッド、前記第 2 電極パッドおよび前記第 3 電極パッドが前記所定の配線の所定の部位に接続されて前記所定の回路が構成されるように前記実装基板の前記主面上に実装されているモジュールである。

【 0 0 2 2 】

ここで、実装基板としては、放熱性に優れた基板が用いられ、典型的には、例えば、C u ベース基板上に S i N 層および C u 層が順次積層された D B C 基板が用いられるが、これに限定されるものではない。この場合、所定の配線は、C u 層のパターニングにより形成することができる。実装基板上には、必要に応じて、前記の半導体パッケージに加えて前記の所定の回路を構成する一つまたは複数の受動素子あるいは能動素子（部品を含む）も実装される。

【 0 0 2 3 】

また、この発明は、

一つまたは複数のモジュールを有し、

少なくとも一つの前記モジュールは

一方の主面に互いに交差しないように設けられた所定の配線を有する実装基板と、

前記実装基板の前記主面上に前記所定の配線により所定の回路を構成するように実装された一つまたは複数の半導体パッケージとを有し、

前記半導体パッケージは、

絶縁基板の第 1 主面上に 3 端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第 1 電極、第 2 電極および第 3 電極が三角形に配置された半導体チップと、

前記第 1 電極、前記第 2 電極および前記第 3 電極とそれぞれ電氣的に接続され、前記半導体層の外部に引き出された第 1 電極パッド、第 2 電極パッドおよび第 3 電極パッドと、

前記半導体層、前記第 1 電極、前記第 2 電極、前記第 3 電極および前記絶縁基板の側面を封止する電氣的に絶縁性の樹脂と、

を有し、

前記半導体パッケージは、前記絶縁基板側を前記実装基板に向けて、かつ前記第 1 電極パッド、前記第 2 電極パッドおよび前記第 3 電極パッドが前記所定の配線の所定の部位に接続されて前記所定の回路が構成されるように前記実装基板の前記主面上に実装されてい

10

20

30

40

50

るモジュール

である電気機器である。

【 0 0 2 4 】

ここで、電気機器は、およそ電気を用いるもの全てを含み、用途、機能、大きさなどを問わないが、例えば、電子機器、移動体、動力装置、建設機械、工作機械などである。電子機器は、ロボット、コンピュータ、ゲーム機器、車載機器、家庭電気製品（エアコンディショナーなど）、工業製品、携帯電話、モバイル機器、ＩＴ機器（サーバーなど）、太陽光発電システムで使用するパワーコンディショナー、送電システムなどである。移動体は、鉄道車両、自動車（電動車両など）、二輪車、航空機、ロケット、宇宙船などである。

10

【 0 0 2 5 】

また、この発明は、

金属基板と、

前記金属基板の一方の主面上に実装された一つまたは複数の半導体パッケージと、

前記一つまたは複数の半導体パッケージ上に所定の回路を構成するように設けられた配線とを有し、

前記半導体パッケージは、

絶縁基板の第１主面上に３端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第１電極、第２電極および第３電極が三角形に配置された半導体チップと、

前記第１電極、前記第２電極および前記第３電極とそれぞれ電氣的に接続され、前記半導体層の外部または上方に引き出された第１電極パッド、第２電極パッドおよび第３電極パッドと、

20

前記半導体層、前記第１電極、前記第２電極、前記第３電極および前記絶縁基板の側面を封止する電氣的に絶縁性の樹脂と、

を有し、

前記半導体パッケージは、前記絶縁基板を前記金属基板に接触させて前記金属基板の前記主面上に実装され、前記第１電極パッド、前記第２電極パッドおよび前記第３電極パッドが前記所定の配線の所定の部位に接続されて前記所定の回路が構成されているモジュールである。

【 0 0 2 6 】

30

ここで、金属基板としては、好適には、放熱性に優れたもの、例えばＣｕ基板、アルミニウム（Ａｌ）基板などが用いられる。また、半導体パッケージ上に所定の回路を構成するように設けられる配線の形成方法は特に限定されないが、例えば、一層または二層以上のリードフレームが用いられる。この場合、典型的には、金属基板上に実装された半導体パッケージの第１電極パッド、第２電極パッドおよび第３電極と電氣的に接続されるようにリードフレームが設けられる。あるいは、リードフレームの代わりに、２層フレキシブル・ポリイミド基板や、エポキシ樹脂基板を用いた両面プリント配線基板（ＰＣＢ）などを用いてもよい。この場合、この２層フレキシブル・ポリイミド基板あるいはエポキシ樹脂基板の両面に形成されたＣｕ層のパターニングにより配線を形成することができる。

【 0 0 2 7 】

40

また、この発明は、

一つまたは複数のモジュールを有し、

少なくとも一つの前記モジュールは、

金属基板と、

前記金属基板の一方の主面上に実装された一つまたは複数の半導体パッケージと、

前記一つまたは複数の半導体パッケージ上に所定の回路を構成するように設けられた配線とを有し、

前記半導体パッケージは、

絶縁基板の第１主面上に３端子半導体素子を構成する半導体層が設けられ、前記半導体層上に第１電極、第２電極および第３電極が三角形に配置された半導体チップと、

50

前記第 1 電極、前記第 2 電極および前記第 3 電極とそれぞれ電氣的に接続され、前記半導体層の外部または上方に引き出された第 1 電極パッド、第 2 電極パッドおよび第 3 電極パッドと、

前記半導体層、前記第 1 電極、前記第 2 電極、前記第 3 電極および前記絶縁基板の側面を封止する電氣的に絶縁性の樹脂と、
を有し、

前記半導体パッケージは、前記絶縁基板を前記金属基板に接触させて前記金属基板の前記主面上に実装され、前記第 1 電極パッド、前記第 2 電極パッドおよび前記第 3 電極パッドが前記所定の配線の所定の部位に接続されて前記所定の回路が構成されているモジュール

10

である電気機器である。

【 0 0 2 8 】

前記のモジュールおよび電気機器の各発明においては、その性質に反しない限り、前記の半導体パッケージの発明に関連して説明したことが成立する。

【発明の効果】

【 0 0 2 9 】

この発明によれば、絶縁基板の第 1 主面上に 3 端子半導体素子を構成する半導体層が設けられ、この半導体層上に第 1 電極、第 2 電極および第 3 電極が三角形に配置された半導体チップと、第 1 電極、第 2 電極および第 3 電極とそれぞれ電氣的に接続され、半導体層の外部または上方に引き出された第 1 電極パッド、第 2 電極パッドおよび第 3 電極パッドとを有する半導体パッケージを用い、この半導体パッケージの半導体チップの絶縁基板側を実装基板または金属基板に向け、半導体層の外部または上方に引き出された第 1 電極パッド、第 2 電極パッドおよび第 3 電極パッドを実装基板上に形成された配線あるいは半導体パッケージ上に形成された配線と接続することにより、3 端子半導体素子をフェースアップで容易に実装基板あるいは金属基板上に実装することができ、従来に比べて大幅な低コスト化、高周波化、省体積化、低熱抵抗化などを図ることができる。しかも、第 1 電極、第 2 電極および第 3 電極は三角形に配置され、従って第 1 電極パッド、第 2 電極パッドおよび第 3 電極パッドも三角形に配置することができるため、実装基板あるいは半導体パッケージ上の配線を互いに交差しないように形成することができることから、半導体パッケージを実装した高性能のモジュールを容易に実現することができる。そして、このモジュールを用いることにより高性能の電気機器を安価に実現することができる。

20

30

【図面の簡単な説明】

【 0 0 3 0 】

【図 1】この発明の第 1 の実施の形態による半導体パッケージを示す平面図である。

【図 2】この発明の第 1 の実施の形態による半導体パッケージを示す底面図である。

【図 3】図 1 の X - X 線に沿っての断面図である。

【図 4】図 1 の Y - Y 線に沿っての断面図である。

【図 5】この発明の第 1 の実施の形態による半導体パッケージの製造方法を説明するための断面図である。

【図 6】この発明の第 1 の実施の形態による半導体パッケージの製造方法を説明するための平面図である。

40

【図 7】この発明の第 1 の実施の形態による半導体パッケージの製造方法を説明するための平面図である。

【図 8】この発明の第 1 の実施の形態による半導体パッケージの製造方法を説明するための平面図である。

【図 9】この発明の第 1 の実施の形態による半導体パッケージに封止される、分極超接合 GaN 系 FET を構成する半導体チップの一例を示す断面図である。

【図 10】この発明の第 1 の実施の形態による半導体パッケージに封止される、分極超接合 GaN 系 FET を構成する半導体チップの他の例を示す断面図である。

【図 11】この発明の第 1 の実施の形態による半導体パッケージの実装方法を説明するた

50

めの平面図および断面図である。

【図 1 2】この発明の第 1 の実施の形態による半導体パッケージを用いたモジュール 1 を示す回路図および平面図である。

【図 1 3】この発明の第 1 の実施の形態による半導体パッケージを用いたモジュール 2 を示す回路図および平面図である。

【図 1 4】この発明の第 1 の実施の形態による半導体パッケージを用いたモジュール 3 を示す回路図および平面図である。

【図 1 5】この発明の第 1 の実施の形態による半導体パッケージを用いたモジュール 4 を示す回路図および平面図である。

【図 1 6】この発明の第 2 の実施の形態による半導体パッケージを示す平面図である。

10

【図 1 7】この発明の第 2 の実施の形態による半導体パッケージを示す底面図である。

【図 1 8】図 1 6 の Z - Z 線に沿っての断面図である。

【図 1 9】この発明の第 2 の実施の形態による半導体パッケージの製造方法を説明するための平面図である。

【図 2 0】この発明の第 2 の実施の形態による半導体パッケージの実装方法を説明するための断面図である。

【図 2 1】この発明の第 2 の実施の形態による半導体パッケージを用いたモジュール 5 を示す回路図および平面図である。

【図 2 2】この発明の第 2 の実施の形態による半導体パッケージを用いたモジュール 6 を示す回路図および平面図である。

20

【図 2 3】この発明の第 2 の実施の形態による半導体パッケージを用いたモジュール 7 を示す回路図および平面図である。

【図 2 4】この発明の第 2 の実施の形態による半導体パッケージを用いたモジュール 8 を示す回路図である。

【図 2 5】この発明の第 2 の実施の形態による半導体パッケージを用いたモジュール 8 を示す平面図である。

【図 2 6】この発明の第 2 の実施の形態による半導体パッケージを用いたモジュール 9 を示す平面図である。

【図 2 7】この発明の第 3 の実施の形態による半導体パッケージを示す断面図である。

【図 2 8】この発明の第 3 の実施の形態による半導体パッケージの実装方法を説明するための断面図である。

30

【図 2 9】この発明の第 3 の実施の形態による半導体パッケージを用いたモジュール 1 0 を示す平面図である。

【図 3 0】この発明の第 3 の実施の形態による半導体パッケージを用いたモジュール 1 1 を示す回路図である。

【図 3 1】この発明の第 3 の実施の形態による半導体パッケージを用いたモジュール 1 1 を示す平面図である。

【図 3 2】この発明の第 4 の実施の形態による半導体パッケージを示す平面図である。

【図 3 3】この発明の第 4 の実施の形態による半導体パッケージを示す底面図である。

【図 3 4】図 3 2 の X - X 線に沿っての断面図である。

40

【図 3 5】この発明の第 4 の実施の形態による半導体パッケージの実装方法を説明するための断面図である。

【図 3 6】この発明の第 5 の実施の形態による半導体パッケージを示す断面図である。

【図 3 7】この発明の第 5 の実施の形態による半導体パッケージの実装方法を説明するための断面図である。

【図 3 8】この発明の第 6 の実施の形態において第 3 の実施の形態による半導体パッケージを実装する方法を説明するための断面図である。

【図 3 9】この発明の第 6 の実施の形態において第 3 の実施の形態による半導体パッケージを実装したモジュール 1 2 を示す回路図および平面図である。

【図 4 0】この発明の第 6 の実施の形態において第 3 の実施の形態による半導体パッケー

50

ジを実装したモジュール１２において用いられる逆接続保護用ダイオードを示す平面図である。

【図４１】この発明の第７の実施の形態において第３の実施の形態による半導体パッケージを実装する方法を説明するための断面図である。

【図４２】この発明の第８の実施の形態において第３の実施の形態による半導体パッケージを実装する方法を説明するための断面図である。

【図４３】この発明の第９の実施の形態において第３の実施の形態による半導体パッケージおよびＧａＮ系半導体チップを実装する方法を説明するための断面図である。

【図４４】この発明の第１０の実施の形態において第３の実施の形態による半導体パッケージおよびＧａＮ系半導体チップを実装する方法を説明するための断面図である。

【図４５】この発明の第１１の実施の形態による半導体パッケージを示す平面図である。

【図４６】この発明の第１１の実施の形態による半導体パッケージを示す底面図である。

【図４７】図４５のＸ－Ｘ線に沿っての断面図である。

【図４８】図４５のＹ－Ｙ線に沿っての断面図である。

【図４９】この発明の第１１の実施の形態による半導体パッケージにおける半導体チップＣの具体例を示す平面図である。

【図５０】この発明の第１１の実施の形態による半導体パッケージの製造方法を説明するための断面図である。

【図５１】この発明の第１１の実施の形態による半導体パッケージの製造方法を説明するための断面図である。

【図５２】この発明の第１１の実施の形態による半導体パッケージの製造方法を説明するための断面図である。

【図５３】この発明の第１１の実施の形態による半導体パッケージの製造方法を説明するための平面図である。

【図５４】この発明の第１１の実施の形態による半導体パッケージを実装する方法を説明するための断面図である。

【図５５】この発明の第１２の実施の形態による半導体パッケージの回路構成を示す略線図である。

【図５６】この発明の第１２の実施の形態による半導体パッケージを示す平面図、底面図および断面図である。

【図５７】この発明の第１３の実施の形態による半導体パッケージの回路構成を示す略線図である。

【図５８】この発明の第１３の実施の形態による半導体パッケージを示す平面図および底面図である。

【図５９】この発明の第１４の実施の形態による半導体パッケージの回路構成を示す略線図である。

【図６０】この発明の第１４の実施の形態による半導体パッケージを示す平面図である。

【図６１】従来の縦型構造のパワーＳｉ－ＭＯＳトランジスタのチップをパッケージングする技術を説明するための断面図である。

【図６２】従来の縦型構造のパワーＳｉ－ＭＯＳトランジスタのチップを複数、ワンパッケージングする技術を説明するための断面図である。

【図６３】従来の縦型構造のパワーＳｉ－ＭＯＳトランジスタのベアチップの実装方法を説明するための断面図である。

【発明を実施するための形態】

【００３１】

以下、発明を実施するための形態（以下、実施の形態と言う。）について説明する。

１．第１の実施の形態

[半導体パッケージ]

第１の実施の形態による半導体パッケージについて説明する。この半導体パッケージはＱＦＮパッケージと同様な構造を有する。この半導体パッケージは、ソース電極、ドレイ

10

20

30

40

50

ン電極およびゲート電極が同一面に設けられた横型構造を有するGaN系FETを構成する半導体チップを樹脂封止したものである。この半導体パッケージを図1～図4に示す。図1は平面図、図2は底面図(裏面図)、図3は図1のX-X線に沿っての断面図、図4は図1のY-Y線に沿っての断面図である。

【0032】

図1～図4に示すように、この半導体パッケージは、全体として偏平な直方体の形状を有する。この半導体パッケージにおいては、電氣的に絶縁性の絶縁基板10の第1主面上にGaN系FETを構成する半導体層20が設けられ、この半導体層20上にソース電極30、ドレイン電極40およびゲート電極50が設けられた半導体チップCが樹脂封止されている。絶縁基板10は特に限定されないが、典型的には、サファイア基板、取り分けC面サファイア基板であり、厚さは好適には150 μ m以下、より好適には120 μ m以下、好適には50 μ m以上である。半導体層20は、GaN系FETを構成する複数層のGaN系半導体層を一括して模式的に示したものである。半導体層20は、GaN系FETの種類などに応じて適宜設計される。この半導体チップCは長方形(正方形を含む)の平面形状を有する。これらのソース電極30、ドレイン電極40およびゲート電極50は三角形に配置されている。言い換えると、これらのソース電極30、ドレイン電極40およびゲート電極50のそれぞれの中心は三角形の各頂点に配置されている。これらのソース電極30、ドレイン電極40およびゲート電極50を構成する材料は、従来公知の材料の中から必要に応じて選ばれる。これらのソース電極30、ドレイン電極40およびゲート電極50の平面形状は特に限定されず、必要に応じて選ばれる。この例では、ソース電極30は、半導体チップCの辺 S_1 に平行な長辺と辺 S_1 に垂直な辺 S_2 に平行な短辺とを有する長方形の形状を有し、辺 S_1 、 S_2 に近接して設けられており、ソース電極30の長辺の長さは辺 S_1 の長さより短い。また、ドレイン電極40は、半導体チップCの辺 S_1 に対向する辺 S_3 に平行な長辺と辺 S_2 に平行な短辺とを有する長方形の形状を有し、辺 S_2 、 S_3 に近接して設けられており、ドレイン電極40の長辺および短辺の長さはソース電極30と等しい。また、ゲート電極50は、半導体チップCの辺 S_4 に平行な長辺と辺 S_1 に平行な短辺とを有する長方形の形状を有し、ソース電極30と辺 S_4 との間の領域において辺 S_1 、 S_4 に近接して設けられている。ソース電極30およびドレイン電極40は、典型的には櫛型構造(interdigital structure)に形成される。

【0033】

ソース電極30、ドレイン電極40およびゲート電極50には、それぞれ電極パッド60、70、80が電氣的に接続されている。ソース電極30、ドレイン電極40およびゲート電極50が三角形に配置されているため、これらの電極パッド60、70、80も三角形に配置することができる。これらの電極パッド60、70、80を構成する材料は、従来公知の材料の中から必要に応じて選ばれる。これらの電極パッド60、70、80で覆われていない部分の半導体層20、ソース電極30、ドレイン電極40およびゲート電極50の表面と絶縁基板10および半導体層20の側面とは電氣的に絶縁性の樹脂90により覆われており、封止されている。樹脂90の材料は必要に応じて選ばれるが、例えば、エポキシ樹脂である。ソース電極30と接続された電極パッド60は、ソース電極30から樹脂90上を半導体層20および絶縁基板10に平行に延在してから垂直に折れ曲がって、樹脂90の、半導体チップCの辺 S_1 、 S_2 に平行な側面に沿って半導体層20および絶縁基板10の側面に平行に延在し、絶縁基板10の第2主面と同一の高さで終端している。すなわち、電極パッド60の下端面と絶縁基板10の第2主面とは同一面にある。ドレイン電極40と接続された電極パッド70は、ドレイン電極40から樹脂90上を半導体層20および絶縁基板10に平行に延在してから垂直に折れ曲がって、樹脂90の、半導体チップCの辺 S_2 、 S_3 、 S_4 に平行な側面に沿って半導体層20および絶縁基板10の側面に平行に延在し、絶縁基板10の第2主面と同一の高さで終端している。すなわち、電極パッド70の下端面と絶縁基板10の第2主面とは同一面にある。ゲート電極50と接続された電極パッド80は、ゲート電極50から樹脂90上を半導体層20および絶縁基板10に平行に延在してから垂直に折れ曲がって、樹脂90の、半導体チップ

Cの辺 S_1 、 S_4 に平行な側面に沿って半導体層20および絶縁基板10の側面に平行に延在し、絶縁基板10の第2主面と同一の高さで終端している。すなわち、電極パッド80の下端面と絶縁基板10の第2主面とは同一面にある。また、電極パッド60は、半導体層20の、辺 S_1 と辺 S_2 とが交差する一つの角部を含む長方形の領域と重なるように延在している。電極パッド70は、半導体層20の、辺 S_2 と辺 S_3 とが交差する角部および辺 S_3 と辺 S_4 とが交差する角部を含み、長辺の長さが辺 S_3 と等しい長方形の領域と重なるように延在している。電極パッド80は、半導体層20の、辺 S_1 と辺 S_4 とが交差する一つの角部を含む長方形の領域と重なるように延在している。

【0034】

この半導体パッケージの各部のサイズの一例を挙げると、絶縁基板10の一辺の長さは2～5mm、絶縁基板10の裏面からソース電極30、ドレイン電極40およびゲート電極50の上面までの高さは約0.15mm、全体の厚さは約3mm、絶縁基板10上の電極パッド60、70、80の厚さは約0.15mm、絶縁基板10の側面の樹脂90および電極パッド60、70、80の合計厚さは約1mmである。

【0035】

[半導体パッケージの製造方法]

図5A～Eはこの半導体パッケージの製造方法の一例を示す。

【0036】

図5Aに示すように、まず、リードフレーム形成用の金属板100を用意する。金属板100としては従来公知の材料の中から必要に応じて選ばれるが、例えば、Cu合金や鉄(Fe)-ニッケル(Ni)系合金などである。

【0037】

次に、図5Bに示すように、プレス加工により、金属板100を、製造するQFNパッケージに応じた所定の繰り返しパターンで部分的に打ち抜くとともに部分的に段差を形成し、所定形状のリードフレーム110を形成する。このリードフレーム110の平面形状を図6に示す。ただし、図6は図5Bに示すリードフレーム110を下方から見た時の平面図である。図5Bは図6のB-B線に沿っての断面図である。このリードフレーム110のうち最終的に電極パッド60、70、80となる電極パッド形成部111、112、113の先端に段差部111a、112a、113aが形成されている。

【0038】

次に、図5Cに示すように、半導体チップCのソース電極30、ドレイン電極40およびゲート電極50上にそれぞれハンダ(図示せず)を形成した状態でこれらのソース電極30、ドレイン電極40およびゲート電極50を下に向け、それぞれリードフレーム110の段差部111a、112a、113aの表面に接触させた後、熱処理を行うことによりハンダを溶融させる。こうして、ソース電極30、ドレイン電極40およびゲート電極50を、それぞれリードフレーム110の段差部111a、112a、113aにハンダ付けする。この状態の平面図を図7に示す。ただし、図7は図5Cに示すリードフレーム110および半導体チップCを下方から見た時の平面図である。図5Cは図7のC-C線に沿っての断面図である。

【0039】

次に、図5Dに示すように、リードフレーム110の段差部111a、112a、113aや半導体チップCの半導体層20の下方の空間を埋めるように樹脂モールドを行い、半導体チップCを絶縁基板10の裏面を除いて樹脂90により封止する。この状態の平面図を図8に示す。ただし、図8は図5Dに示すリードフレーム110、半導体チップCおよび樹脂90を下方から見た時の平面図である。図5Dは図8のD-D線に沿っての断面図である。

【0040】

この後、図5Dおよび図8に二点鎖線で示す所定の切断線に沿ってリードフレーム111を切断し、図5Eに示すように分離する。こうして、目的とする図1～図4に示す半導体パッケージが製造される。

【 0 0 4 1 】

[G a N 系 F E T の具体例 1]

図 9 は分極超接合 G a N 系 F E T を示す (特許文献 2 参照。)。図 9 に示すように、この分極超接合 G a N 系 F E T においては、 G a N 系半導体が C 面成長する、例えば C 面サファイア基板などの絶縁基板 1 0 上に、低温成長 G a N バッファ層 2 1、アンドープ G a N 層 2 2、厚さが 2 5 n m 以上 4 7 n m 以下のアンドープ A l_x G a_{1-x} N 層 2 3 (0 . 1 7 ≤ x ≤ 0 . 3 5)、アンドープ G a N 層 2 4 および M g がドーピングされた p 型 G a N 層 2 5 が順次積層されている。この分極超接合 G a N 系 F E T は、互いに分離して設けられた分極超接合領域 (P S J 領域) と p 電極コンタクト領域とを有する。 p 電極コンタクト領域における p 型 G a N 層 2 5 上にはさらに、この p 電極コンタクト領域においてのみ p 型 G a N 層 2 5 と接触してこの p 型 G a N 層 2 5 よりも M g が高濃度にドーピングされた p⁺ 型 G a N コンタクト層 2 6 が設けられている。この p⁺ 型 G a N コンタクト層 2 6 上に p 電極からなるゲート電極 5 0 が設けられている。アンドープ A l_x G a_{1-x} N 層 2 3 上にソース電極 3 0 およびドレイン電極 4 0 が設けられている。これらのソース電極 3 0、ドレイン電極 4 0 およびゲート電極 5 0 は三角形に配置されている。

10

【 0 0 4 2 】

この分極超接合 G a N 系 F E T においては、アンドープ G a N 層 2 4 の厚さを u [n m]、p 型 G a N 層 2 5 の厚さを v [n m]、p 型 G a N 層 2 5 の M g 濃度を w [c m⁻³] で表し、換算厚さ t R を

$$t R = u + v (1 + w \times 10^{-18})$$

20

と定義したとき、アンドープ A l_x G a_{1-x} N 層 2 3 に対し、

$$t R \leq 0.864 / (x - 0.134) + 46.0 [n m]$$

が成立するとき、アンドープ G a N 層 2 4 とアンドープ A l_x G a_{1-x} N 層 2 3 とのヘテロ界面の近傍におけるアンドープ G a N 層 2 4 に $1 \times 10^{12} \text{ c m}^{-2}$ 以上の濃度の 2 次元正孔ガス (2 D H G) を生成することができる。

【 0 0 4 3 】

[G a N 系 F E T の具体例 2]

図 1 0 は分極超接合 G a N 系 F E T を示す (特許文献 1 参照。)。図 1 0 に示すように、この分極超接合 G a N 系 F E T においては、 G a N 系半導体が C 面成長する、例えば C 面サファイア基板などの絶縁基板 1 0 上に、低温成長 G a N バッファ層 2 1、アンドープ G a N 層 2 2、A l_x G a_{1-x} N 層 2 3、アンドープ G a N 層 2 4 および M g がドーピングされた p 型 G a N 層 2 5 が順次積層されている。この分極超接合 G a N 系 F E T は、互いに分離して設けられた分極超接合領域 (P S J 領域) と p 電極コンタクト領域とを有する。p 型 G a N 層 2 5 は分極超接合領域においては設けられておらず、p 電極コンタクト領域においてのみ設けられている。p 電極コンタクト領域における p 型 G a N 層 2 5 上にはさらに、この p 電極コンタクト領域においてのみ p 型 G a N 層 2 5 と接触してこの p 型 G a N 層 2 5 よりも M g が高濃度にドーピングされた p⁺ 型 G a N コンタクト層 2 6 が設けられている。この p⁺ 型 G a N コンタクト層 2 6 上に p 電極からなるゲート電極 5 0 が設けられている。A l_x G a_{1-x} N 層 2 3 上にソース電極 3 0 およびドレイン電極 4 0 が設けられている。これらのソース電極 3 0、ドレイン電極 4 0 およびゲート電極 5 0 は三角形に配置されている。

30

40

【 0 0 4 4 】

この分極超接合 G a N 系 F E T においては、分極超接合領域を構成する A l_x G a_{1-x} N 層 2 3 の A l 組成 x および厚み t [n m] は、アンドープ G a N 層 2 4 の厚みを a [n m] (但し、a は 1 0 n m 以上 1 0 0 0 n m 以下) としたとき、下記の式を満足するように選択されている。

【 数 1 】

$$t \geq \alpha(a) x^{\beta(a)}$$

50

但し、 は

$$\text{Log}(\quad) = p_0 + p_1 \log(a) + p_2 \{\log(a)\}^2$$

(但し、 $p_0 = 7.3295$ 、 $p_1 = -3.5599$ 、 $p_2 = 0.6912$)

で表され、

かつ、 は

$$= p'_0 + p'_1 \log(a) + p'_2 \{\log(a)\}^2$$

(但し、 $p'_0 = -3.6509$ 、 $p'_1 = 1.9445$ 、 $p'_2 = -0.3793$)

で表される。

【0045】

上記のように構成することにより、アンドープGa_{1-x}N層24とAl_xGa_{1-x}N層23とのヘテロ界面の近傍におけるアンドープGa_{1-x}N層24に $1 \times 10^{12} \text{ cm}^{-2}$ 以上の濃度の2DHGを生成することができる。

【0046】

[半導体パッケージの実装方法]

半導体パッケージの実装方法について説明する。ここでは、実装基板としてDBC基板を用いる場合について説明する。

【0047】

図11AおよびBに示すように、DBC基板200上に半導体パッケージ300を実装する。ここで、図11Aは平面図、図11Bは図11AのB-B線に沿っての断面図である。具体的には、DBC基板200のCuベース基板200a上のSiN層200b上のCu層をパターニングすることによりソース配線210、ドレイン配線220およびゲート配線230を形成する。ソース配線210は、半導体パッケージ300の一つの辺E₁に平行な部分とこれに垂直な辺E₂に平行な部分とからなる90°折れ曲がった平面形状を有する。ドレイン配線220は、半導体パッケージ300の辺E₁に平行な細長い長方形の形状を有する。ゲート配線230は、半導体パッケージ300の辺E₁、E₂にそれぞれ平行な辺を有する長方形の形状を有する。このDBC基板200上に半導体パッケージ300を実装する。すなわち、図11AおよびBに示すように、DBC基板200のソース配線210、ドレイン配線220およびゲート配線230の所定部分に半導体パッケージ300の、それぞれソース電極30、ドレイン電極40およびゲート電極50と接続された電極パッド60、70、80をそれぞれハンダ付けなどにより接続する。

【0048】

[モジュールの構成例]

半導体パッケージ300を用いたモジュールの構成例を説明する。

【0049】

[モジュール1]

図12Aは半導体パッケージ300を三つ用いて構成された並列接続トランジスタを有するモジュール1を示す回路図、図12Bはこのモジュール1の構成例を示す。図12Bに示すように、DBC基板200上に三つの半導体パッケージ300が実装されて並列接続トランジスタが構成されている。各半導体パッケージ300は図11AおよびBに示す実装例と同様に実装されているが、ソース配線210、ドレイン配線220およびゲート配線230は、三つの半導体パッケージ300に共通な配線として形成されている。ここで、これらのソース配線210、ドレイン配線220およびゲート配線230は、いずれも互いに交差していない。

【0050】

[モジュール2]

図13Aは半導体パッケージ300を二つ用いて構成された直列接続トランジスタを有するモジュール2を示す回路図、図13Bはこのモジュール2の構成例を示す。図13Bに示すように、DBC基板200上に二つの半導体パッケージ300が実装されて直列接続トランジスタが構成されている。各半導体パッケージ300は図11AおよびBに示す実装例と同様に実装されているが、ソース配線210、ドレイン配線220およびゲート

10

20

30

40

50

配線 230 は、二つの半導体パッケージ 300 に共通な配線として形成されている。ここで、これらのソース配線 210、ドレイン配線 220 およびゲート配線 230 は、いずれも互いに交差していない。

【0051】

[モジュール3]

図14Aは半導体パッケージ300を一つ、市販のSiMOSトランジスタを一つ用いて構成されたカスコード回路を有するモジュール3を示す回路図、図14Bはこのモジュール3の構成例を示す。図14Bに示すように、DBC基板200上に一つの半導体パッケージ300が実装され、この半導体パッケージ300に隣接してSiMOSトランジスタを構成するSiチップ400が実装されてカスコード回路が構成されている。半導体パッケージ300は図11AおよびBに示す実装例と同様に実装されている。ソース配線210の一部はSiチップ400の下方に延在しており、Siチップ400のSi基板の裏面に形成された全面電極と電氣的に接続している。そして、Siチップ400上に設けられたソース電極410とこのSiチップ400に隣接して設けられたパッド電極240との間がワイヤ510によりボンディングされ、Siチップ400上に設けられたゲート電極420とこのSiチップ400に隣接して設けられたパッド電極250との間がワイヤ520によりボンディングされている。ここで、パッド電極240、250は、ソース配線210、ドレイン配線220、ゲート配線230と同様に、DBC基板200のCu層のパターニングにより形成される。この場合も、ソース配線210、ドレイン配線220、ゲート配線230およびパッド電極240、250はいずれも互いに交差していない。

【0052】

[モジュール4]

図15Aは半導体パッケージ300を二つ、市販のSiMOSトランジスタを二つ用いて構成されたインバータアームを有するモジュール4を示す回路図、図15Bはこのモジュール4の構成例を示す。図15Bに示すように、DBC基板200上に一つの半導体パッケージ300が実装され、この半導体パッケージ300に隣接してSiMOSトランジスタを構成する一つのSiチップ400が実装され、このSiチップ400に隣接してもう一つの半導体パッケージ300が実装され、この半導体パッケージ300に隣接してSiMOSトランジスタを構成するもう一つのSiチップ400が実装されてインバータアームが構成されている。各半導体パッケージ300は図11AおよびBに示す実装例と同様に実装されているが、ソース配線210、ドレイン配線220およびゲート配線230は、二つの半導体パッケージ300に共通な配線として形成されている。モジュール3と同様に、ソース配線210の一部はSiチップ400の下方に延在しており、Siチップ400のSi基板の裏面に形成された全面電極と電氣的に接続している。また、Siチップ400上に設けられたソース電極410とこのSiチップ400に隣接して設けられたパッド電極240との間がワイヤ510によりボンディングされ、Siチップ400上に設けられたゲート電極420とこのSiチップ400に隣接して設けられたパッド電極250との間がワイヤ520によりボンディングされている。この場合も、ソース配線210、ドレイン配線220、ゲート配線230およびパッド電極240、250はいずれも互いに交差していない。

【0053】

この第1の実施の形態によれば、次のような種々の利点を得ることができる。すなわち、絶縁基板10の第1主面上にGaN系FETを構成する半導体層20が設けられ、半導体層20上にソース電極30、ドレイン電極40およびゲート電極50が三角形に配置され、これらのソース電極30、ドレイン電極40およびゲート電極50からそれぞれ電極パッド60、70、80が半導体層20の外部に引き出された半導体チップCを樹脂90により封止することにより、QFNパッケージ状の半導体パッケージ300を構成することができる。そして、この半導体パッケージ300の半導体チップCの絶縁基板10側をDBC基板200に向け、電極パッド60、70、80をDBC基板200上に形成された配線と接続することにより、GaN系FETをフェースアップで容易にDBC基板20

0 上に実装することができ、従来に比べて大幅な低コスト化、高周波化、省体積化、低熱抵抗化などを図ることができる。しかも、ソース電極 30、ドレイン電極 40 およびゲート電極 50 は三角形に配置され、従って電極パッド 60、70、80 も三角形に配置することができるため、DBC 基板 200 上の配線を互いに交差しないように形成することができることから、半導体パッケージ 300 を実装した高性能のモジュールを容易に実現することができる。そして、このモジュールを用いることにより高性能の電気機器を安価に実現することができる。

【0054】

2. 第2の実施の形態

[半導体パッケージ]

第2の実施の形態による半導体パッケージについて説明する。この半導体パッケージも第1の実施の形態による半導体パッケージと同様に、GaN系FETを樹脂封止したものであり、QFNパッケージと同様な構造を有する。この半導体パッケージを図16～図18に示す。図16は平面図、図17は底面図(裏面図)、図18は図16のZ-Z線に沿っての断面図である。

【0055】

図16～図18に示すように、この半導体パッケージにおいては、半導体層20、ソース電極30、ドレイン電極40およびゲート電極50の表面を覆っている樹脂90が電極パッド60、70、80の厚さより十分に大きい厚さに形成されており、電極パッド60、70、80の半導体層20に平行な部分の途中まで延在している。また、電極パッド60、70、80は、樹脂90の輪郭より外部に突出しており、樹脂90の側面に沿って半導体層20および絶縁基板10の側面に平行に延在し、絶縁基板10の第2主面および樹脂90の下面と同一の高さで終端している。その他の構成は第1の実施の形態と同様である。

【0056】

この半導体パッケージの各部のサイズの一例を挙げると、絶縁基板10の一辺の長さは2～5mm、絶縁基板10の裏面からソース電極30、ドレイン電極40およびゲート電極50の上面までの高さは約0.15mm、電極パッド60、70、80の厚さは0.3mm、絶縁基板10の側面の樹脂90の厚さは0.6mm、絶縁基板10の側面の電極パッド60、70、80の厚さは約0.7mm、電極パッド60、70、80の上面からその上に設けられた樹脂90の上面までの高さは0.3mmである。

【0057】

[半導体パッケージの製造方法]

この半導体パッケージの製造方法は基本的には第1の実施の形態による半導体パッケージの製造方法と同様である。図7に対応する平面図を図19に示す。

【0058】

[GaN系FETの具体例]

GaN系FETの具体例は、例えば、第1の実施の形態による半導体パッケージの具体例1、2と同様である。

【0059】

[半導体パッケージの実装方法]

この半導体パッケージの実装方法について説明する。ここでは、実装基板としてDBC基板を用いる場合について説明する。

【0060】

図20に示すように、DBC基板200上に半導体パッケージ300を実装する。ここで、図20は図11Bに対応する断面図である。具体的には、DBC基板200のCu層をパターニングすることにより、ソース配線210、ドレイン配線220およびゲート配線230を形成するとともに、電極260を形成する。ソース配線210、ドレイン配線220、ゲート配線230および電極260上には、ナノAg粒子を含む導電性ペーストなどからなる導電層500を形成する。この導電層500の厚さは例えば0.15mmで

ある。このDBC基板200上に半導体パッケージ300を実装する。すなわち、図20に示すように、DBC基板200のソース配線210、ドレイン配線220およびゲート配線230の所定部分に半導体パッケージ300の、それぞれソース電極30、ドレイン電極40およびゲート電極50と接続された電極パッド60、70、80を導電層500を介して接続する。同時に、DBC基板200の電極260に半導体パッケージ300の絶縁基板10の裏面を導電層500を介して接続する。この絶縁基板10の裏面に接触する導電層500は、半導体パッケージ300の動作時に発生して絶縁基板10に伝わった熱を電極260に伝導させ、DBC基板200により放熱を行うための熱伝導層として働く。

【0061】

10

[モジュールの構成例]

半導体パッケージ300を用いたモジュールの構成例を説明する。

【0062】

[モジュール5]

図21Aは半導体パッケージ300を三つ用いて構成された並列接続トランジスタを有するモジュール5を示す回路図、図21Bはこのモジュール5の構成例を示す。図21Bに示すように、DBC基板200上に三つの半導体パッケージ300が実装されて並列接続トランジスタが構成されている。各半導体パッケージ300は図20に示す実装例と同様に実装されているが、ソース配線210、ドレイン配線220およびゲート配線230は、三つの半導体パッケージ300に共通な配線として形成されている。ここで、これらのソース配線210、ドレイン配線220およびゲート配線230は、いずれも互いに交差していない。

20

【0063】

[モジュール6]

図22Aは半導体パッケージ300を二つ用いて構成された直列接続トランジスタを有するモジュール6を示す回路図、図22Bはこのモジュール2の構成例を示す。図22Bに示すように、DBC基板200上に二つの半導体パッケージ300が実装されて直列接続トランジスタが構成されている。各半導体パッケージ300は図20に示す実装例と同様に実装されているが、ソース配線210、ドレイン配線220およびゲート配線230は、二つの半導体パッケージ300に共通な配線として形成されている。ここで、これらのソース配線210、ドレイン配線220およびゲート配線230は、いずれも互いに交差していない。

30

【0064】

[モジュール7]

図23Aは半導体パッケージ300を一つ、市販のSiMOSトランジスタを一つ用いて構成されたカスコード回路を有するモジュール7を示す回路図、図23Bはこのモジュール7の構成例を示す。図23Bに示すように、DBC基板200上に一つの半導体パッケージ300が実装され、この半導体パッケージ300に隣接してSiMOSトランジスタを構成するSiチップ400が実装されてカスコード回路が構成されている。半導体パッケージ300は図20に示す実装例と同様に実装されている。ソース配線210の一部はSiチップ400の下方に延在しており、Siチップ400のSi基板の裏面に形成された全面電極と電気的に接続している。そして、Siチップ400上に設けられたソース電極410とこのSiチップ400に隣接して設けられたパッド電極240との間がワイヤ510によりボンディングされ、Siチップ400上に設けられたゲート電極420とこのSiチップ400に隣接して設けられたパッド電極250との間がワイヤ520によりボンディングされている。ここで、パッド電極240、250は、ソース配線210、ドレイン配線220、ゲート配線230と同様に、DBC基板200のCu層のパターニングにより形成される。この場合も、ソース配線210、ドレイン配線220、ゲート配線230およびパッド電極240、250はいずれも互いに交差していない。

40

【0065】

50

[モジュール 8]

図 2 4 は半導体パッケージ 3 0 0 を複数用いて構成されたインバータアームを有するモジュール 8 を示す回路図、図 2 5 はこのモジュール 8 の構成例を示す。図 2 5 に示すように、DBC 基板 2 0 0 上に 2 列に複数の半導体パッケージ 3 0 0 が実装されてインバータアームが構成されている。各半導体パッケージ 3 0 0 は図 2 0 に示す実装例と同様に実装されている。この場合、下部アームのソース配線 2 8 1、ドレイン配線である出力配線 2 8 2 およびゲート配線 2 8 3 (図 2 4 中、それぞれ V₁、O_ut および G₁ で示す配線) は、下部アームの一行の半導体パッケージ 3 0 0 に共通な配線として形成されている。上部アームのソース配線 2 8 1 は出力配線 2 8 2 により構成される。上部アームのドレイン配線 2 8 4 およびゲート配線 2 8 5 (図 2 4 中、それぞれ V_u および G_u で示す配線) は、上部アームの一行の半導体パッケージ 3 0 0 に共通な配線として形成されている。ここで、ソース配線 2 8 1、出力配線 2 8 2、ゲート配線 2 8 3、ドレイン配線 2 8 4 およびゲート配線 2 8 5 は、DBC 基板 2 0 0 の Cu 層のパターニングにより形成される。この場合も、これらのソース配線 2 8 1、出力配線 2 8 2、ゲート配線 2 8 3、ドレイン配線 2 8 4 およびゲート配線 2 8 5 はいずれも互いに交差していない。

10

【 0 0 6 6 】

[モジュール 9]

図 2 6 は半導体パッケージ 3 0 0 を一つ、市販の Si MOS トランジスタ SOS パッケージ 6 0 0 を一つ用いて構成されたカスコード回路を有するモジュール 9 の構成例を示す。このモジュール 9 の回路図は図 1 4 A に示す通りである。図 2 6 に示すように、DBC 基板 2 0 0 上に一行に複数の半導体パッケージ 3 0 0 が実装され、一つの半導体パッケージ 3 0 0 に隣接して Si MOS トランジスタ SOS パッケージ 6 0 0 が実装されてカスコード回路が構成されている。各半導体パッケージ 3 0 0 は図 2 0 に示す実装例と同様に実装されている。Si MOS トランジスタ SOS パッケージ 6 0 0 は、二つのソース端子 6 0 1、6 0 2、三つのドレイン端子 6 0 3、6 0 4、6 0 5 および一つのゲート端子 6 0 6 を有する。ソース端子 6 0 1、6 0 2 は、ソース配線 2 9 1 と接続されている。ドレイン端子 6 0 3、6 0 4、6 0 5 は、半導体パッケージ 3 0 0 のソース配線 2 1 0 と接続されている。ゲート端子 6 0 6 は、ゲート配線 2 9 2 と接続されている。ここで、ソース配線 2 9 1 およびゲート配線 2 9 2 は、ソース配線 2 1 0、ドレイン配線 2 2 0 およびゲート配線 2 3 0 と同様に、DBC 基板 2 0 0 の Cu 層のパターニングにより形成される。この場合も、ソース配線 2 1 0、ドレイン配線 2 2 0、ゲート配線 2 3 0、ソース配線 2 9 1 およびゲート配線 2 9 2 はいずれも互いに交差していない。

20

30

【 0 0 6 7 】

この第 2 の実施の形態によれば、第 1 の実施の形態と同様な利点を得ることができる。

【 0 0 6 8 】

3 . 第 3 の実施の形態

[半導体パッケージ]

第 3 の実施の形態による半導体パッケージについて説明する。この半導体パッケージも第 1 の実施の形態による半導体パッケージと同様に、GaN 系 FET を樹脂封止したものであり、QFN パッケージと同様な構造を有する。この半導体パッケージの断面図を図 2 7 に示す。この半導体パッケージの平面図および底面図 (裏面図) は図 1 6 および図 1 7 に示すものと同様である。図 2 7 は図 1 6 の Z - Z 線に沿っての断面図に相当する。

40

【 0 0 6 9 】

図 2 7 に示すように、この半導体パッケージにおいては、電極パッド 6 0、7 0、8 0 は半導体層 2 0 に平行な方向に延在し、樹脂 9 0 の輪郭より外部に突出している。その他の構成は第 2 の実施の形態と同様である。

【 0 0 7 0 】

この半導体パッケージの各部のサイズの一例を挙げると、絶縁基板 1 0 の一辺の長さは 2 ~ 5 mm、絶縁基板 1 0 の裏面からソース電極 3 0、ドレイン電極 4 0 およびゲート電極 5 0 の上面までの高さは約 0 . 1 5 mm、電極パッド 6 0、7 0、8 0 の厚さは 0 . 3

50

mm、絶縁基板10の側面の樹脂90の厚さは0.6mm、電極パッド60、70、80の上面からその上に設けられた樹脂90の上面までの高さは0.3mm、電極パッド60、70、80の樹脂90からの突出長さは0.7mmである。

【0071】

[半導体パッケージの製造方法]

この半導体パッケージの製造方法は基本的には第1の実施の形態による半導体パッケージの製造方法と同様である。

【0072】

[GaN系FETの具体例]

GaN系FETの具体例は、例えば、第1の実施の形態による半導体パッケージの具体例1、2と同様である。

【0073】

[半導体パッケージの実装方法]

この半導体パッケージの実装方法について説明する。ここでは、実装基板としてDBC基板を用いる場合について説明する。

【0074】

図28に示すように、DBC基板200上に半導体パッケージ300を実装する。具体的には、DBC基板200のCu層およびSiN層200bをパターニングすることにより、半導体パッケージ300の実装部のCuベース基板200aを露出させるとともに、ソース配線210、ドレイン配線220およびゲート配線230を形成する。ソース配線210、ドレイン配線220、ゲート配線230および半導体パッケージ300の実装部のCuベース基板200a上には、ナノAg粒子を含む導電性ペーストなどからなる導電層500を形成する。この導電層500の厚さは例えば0.15mmである。このDBC基板200上に半導体パッケージ300を実装する。すなわち、図28に示すように、DBC基板200のソース配線210、ドレイン配線220およびゲート配線230の所定部分に半導体パッケージ300の、それぞれソース電極30、ドレイン電極40およびゲート電極50と接続された電極パッド60、70、80を導電層500を介して接続する。半導体パッケージ300の絶縁基板10は導電層500を介してCuベース基板200aに接触している。この絶縁基板10の裏面に接触する導電層500は、半導体パッケージ300の動作時に発生して絶縁基板10に伝わった熱をCuベース基板200aに伝導させ、放熱を行うための熱伝導層として働く。

【0075】

[モジュールの構成例]

半導体パッケージ300を用いてモジュール5~8と同様なモジュールを構成することができるほか、次のモジュール10、11を構成することができる。

【0076】

[モジュール10]

図29は半導体パッケージ300を一つ、市販のSiMOSトランジスタSOSパッケージ600を一つ用いて構成されたカスコード回路を有するモジュール10の構成例を示す。このモジュール10の回路図は図14Aに示す通りである。図29に示すように、このモジュール10は、図26に示すモジュール9とほぼ同様に構成されているが、図26に示すモジュール9ではゲート配線230はDBC基板200のCu層のパターニングにより形成されているのに対し、このモジュール10では、ゲート電極バーとして、各半導体パッケージ300のゲート電極50に接続された電極パッド80に対して上からコンタクトしている点が異なる。

【0077】

[モジュール11]

図30は半導体パッケージ300を10個用いて構成された並列接続トランジスタを有するモジュール11を示す回路図、図31はこのモジュール11の構成例を示す。図31に示すように、DBC基板200上に10個の半導体パッケージ300が実装されて並列

接続トランジスタが構成されている。各半導体パッケージ 300 は図 28 に示す実装例と同様に実装されているが、ソース配線 210、ドレイン配線 220 およびゲート配線 700 は、これらの半導体パッケージ 300 に共通な配線として形成されている。ここで、ソース配線 210 およびドレイン配線 220 は、DBC 基板 200 の Cu 層のパターニングにより形成されているのに対し、ゲート配線 700 は、ゲート電極バーとして、各半導体パッケージ 300 のゲート電極 50 に接続された電極パッド 80 に対して上からコンタクトしている点が異なる。ただし、ゲート電極バーで接続する代わりにワイヤボンディングで接続してもよい。ここで、これらのソース配線 210、ドレイン配線 220 およびゲート配線 700 は、いずれも互いに交差していない。このモジュール 11 は、熱抵抗を極限まで減らしたい場合および単機能で半導体パッケージ 300 を並列接続して大電流が得られるようにしたい場合に好適なものである。各半導体パッケージ 300 の下部は電極と接続しておらず、互いに独立となっている。

10

【0078】

この第 3 の実施の形態によれば、第 1 の実施の形態と同様な利点を得ることができる。

【0079】

4. 第 4 の実施の形態

[半導体パッケージ]

第 4 の実施の形態による半導体パッケージについて説明する。この半導体パッケージも第 1 の実施の形態による半導体パッケージと同様に、GaN 系 FET を樹脂封止したものであり、QFN パッケージと同様な構造を有する。この半導体パッケージを図 32 ~ 図 34 に示す。図 32 は平面図、図 33 は底面図（裏面図）、図 34 は図 32 の X - X 線に沿っての断面図である。

20

【0080】

図 32 ~ 図 34 に示すように、この半導体パッケージは、樹脂 90 が絶縁基板 10 の側面から裏面の周辺部に掛けて延在しており、絶縁基板 10 の裏面の中央部に樹脂 90 により形成された絶縁基板 10 と相似形状の開口が形成されていることを除いて、第 2 の実施の形態による半導体パッケージと同様に構成されている。

【0081】

この半導体パッケージの各部のサイズの一例を挙げると、絶縁基板 10 の一辺の長さは 2 ~ 5 mm、絶縁基板 10 の裏面からソース電極 30、ドレイン電極 40 およびゲート電極 50 の上面までの高さは約 0.15 mm、電極パッド 60、70、80 の厚さは 0.3 mm、絶縁基板 10 の側面の樹脂 90 の厚さは 0.6 mm、絶縁基板 10 の裏面の樹脂 90 の厚さは 0.1 mm、絶縁基板 10 の裏面の中央部の樹脂 90 の開口の辺の長さは 1 ~ 4 mm、絶縁基板 10 の側面の電極パッド 60、70、80 の厚さは約 0.7 mm、電極パッド 60、70、80 の上面からその上に設けられた樹脂 90 の上面までの高さは 0.3 mm である。

30

【0082】

[半導体パッケージの製造方法]

この半導体パッケージの製造方法は基本的には第 1 の実施の形態による半導体パッケージの製造方法と同様である。

40

【0083】

[GaN 系 FET の具体例]

GaN 系 FET の具体例は、例えば、第 1 の実施の形態による半導体パッケージの具体例 1、2 と同様である。

【0084】

[半導体パッケージの実装方法]

この半導体パッケージの実装方法について説明する。ここでは、実装基板として DBC 基板を用いる場合について説明する。

【0085】

図 35 に示すように、DBC 基板 200 上に半導体パッケージ 300 を実装する。具体

50

的には、DBC基板200のCu層をパターンングすることにより、ソース配線210、ドレイン配線220およびゲート配線230を形成するとともに、電極260を形成する。電極260は、半導体パッケージ300の絶縁基板10の裏面の中央部の樹脂90の開口に対応する部分にこの開口より小さく形成する。ソース配線210、ドレイン配線220、ゲート配線230および電極260上に、ナノAg粒子を含む導電性ペーストなどからなる導電層500を形成する。この導電層500の厚さは例えば0.15mmである。このDBC基板200上に半導体パッケージ300を実装する。すなわち、図35に示すように、DBC基板200のソース配線210、ドレイン配線220およびゲート配線230の所定部分に半導体パッケージ300の、それぞれソース電極30、ドレイン電極40およびゲート電極50と接続された電極パッド60、70、80を導電層500を介して接続する。同時に、DBC基板200の電極260に半導体パッケージ300の絶縁基板10の裏面を導電層500を介して接続する。この絶縁基板10の裏面に接触する導電層500は、半導体パッケージ300の動作時に発生して絶縁基板10に伝わった熱を電極260に伝導させ、DBC基板200により放熱を行うための熱伝導層として働く。

10

【0086】

[モジュールの構成例]

半導体パッケージ300を用いてモジュール5~8、10、11と同様なモジュールを構成することができる。

【0087】

この第4の実施の形態によれば、第1の実施の形態と同様な利点を得ることができる。

20

【0088】

5. 第5の実施の形態

[半導体パッケージ]

第5の実施の形態による半導体パッケージについて説明する。この半導体パッケージも第1の実施の形態による半導体パッケージと同様に、GaN系FETを樹脂封止したものであり、QFNパッケージと同様な構造を有する。この半導体パッケージの断面図を図36に示す。この半導体パッケージの平面図および底面図(裏面図)は図16および図17に示すものと同様である。図36は図16のZ-Z線に沿っての断面図に相当する。

【0089】

図36に示すように、この半導体パッケージは、半導体層20および電極パッド60、70、80上の樹脂90の厚さが大きいこと、樹脂90が絶縁基板10の側面から裏面の周辺部に掛けて延在しており、絶縁基板10の裏面の中央部に樹脂90により形成された絶縁基板10と相似形状の開口が形成され、この開口の内部に絶縁基板10の裏面と接触して熱伝導層750が埋め込まれていることを除いて、第3の実施の形態による半導体パッケージと同様に構成されている。熱伝導層750は、例えばナノCu粒子を含む導電性ペーストなどからなる。この熱伝導層750の厚さは例えば0.15mmである。その他の構成は第3の実施の形態と同様である。

30

【0090】

この半導体パッケージの各部のサイズの一例を挙げると、絶縁基板10の一辺の長さは2~5mm、絶縁基板10の裏面からソース電極30、ドレイン電極40およびゲート電極50の上面までの高さは約0.15mm、電極パッド60、70、80の下方の樹脂90の厚さは0.3mm、電極パッド60、70、80の厚さは0.2mm、絶縁基板10の側面の樹脂90の厚さは0.6mm、熱伝導層750の側面の樹脂90の厚さは1.2mm、電極パッド60、70、80の上面からその上に設けられた樹脂90の上面までの高さは0.8mm、電極パッド60、70、80の樹脂90からの突出長さは0.6mmである。

40

【0091】

[半導体パッケージの製造方法]

この半導体パッケージの製造方法は基本的には第1の実施の形態による半導体パッケージの製造方法と同様である。熱伝導層750は、例えば次のようにして形成することがで

50

きる。すなわち、リードフレーム上で絶縁基板 10 の裏面の中央部に開口が形成されるように樹脂モールドにより樹脂 90 を形成した後、リードフレームのこの樹脂 90 の開口が露出した面上にナノ Cu 粒子を含む導電性ペーストを塗布し、スキーマにより不要な導電性ペーストを除去し、樹脂 90 の開口の内部にのみ導電性ペーストを残す。その後、乾燥させることにより熱伝導層 750 が形成される。

【0092】

[GaN系 FET の具体例]

GaN系 FET の具体例は、例えば、第 1 の実施の形態による半導体パッケージの具体例 1、2 と同様である。

【0093】

[半導体パッケージの実装方法]

この半導体パッケージの実装方法について説明する。ここでは、実装基板として DBC 基板を用いる場合について説明する。

【0094】

図 37 に示すように、DBC 基板 200 上に半導体パッケージ 300 を実装する。具体的には、DBC 基板 200 の Cu 層をパターンングすることにより、半導体パッケージ 300 の実装部の SiN 層 200b を露出させるとともに、ソース配線 210、ドレイン配線 220 およびゲート配線 230 を形成する。ソース配線 210、ドレイン配線 220、ゲート配線 230 および半導体パッケージ 300 の実装部の SiN 層 200b 上には、ナノ Ag 粒子を含む導電性ペーストなどからなる導電層 (図示せず) を形成する。この DBC 基板 200 上に半導体パッケージ 300 を実装する。すなわち、図 37 に示すように、DBC 基板 200 のソース配線 210、ドレイン配線 220 およびゲート配線 230 の所定部分に半導体パッケージ 300 の、それぞれソース電極 30、ドレイン電極 40 およびゲート電極 50 と接続された電極パッド 60、70、80 を導電層を介して接続する。半導体パッケージ 300 の絶縁基板 10 の中央部の樹脂 90 の開口に埋め込まれた熱伝導層 750 は導電層を介して SiN 層 200b に接触している。この絶縁基板 10 の裏面に接触する熱伝導層 750 は、半導体パッケージ 300 の動作時に発生して絶縁基板 10 に伝わった熱を導電層を介して SiN 層 200b に伝導させ、さらに Cu ベース基板 200a に伝導させて放熱を行うためのものである。

【0095】

[モジュールの構成例]

半導体パッケージ 300 を用いてモジュール 5 ~ 8、10、11 と同様なモジュールを構成することができる。

【0096】

この第 5 の実施の形態によれば、第 1 の実施の形態と同様な利点を得ることができる。

【0097】

6. 第 6 の実施の形態

[モジュール]

第 6 の実施の形態においては、第 3 の実施の形態による半導体パッケージを複数、金属基板上に実装したモジュールについて説明する。

【0098】

図 38 はこのモジュールを示す。図 38 に示すように、このモジュールにおいては、ベース基板としての金属基板 800 上に第 3 の実施の形態による半導体パッケージ 300 が複数、実装されている。この場合、各半導体パッケージ 300 の絶縁基板 10 の裏面がこの金属基板 800 と直接接触している。この金属基板 800 は放熱基板であり、一般的な実装基板と異なり配線は形成されていない。この金属基板 800 としては、例えば Cu 基板、Al 基板などが用いられるが、これに限定されるものではない。放熱基板として金属基板 800 を用いることにより、半導体パッケージ 300 から発生する熱を放熱する際の熱抵抗を極小化することができる。図 38 中の二つの半導体パッケージ 300 の電極パッド 60、70、80 上には、二段積層された Ag ペーストなどからなる導電層 500 を介

10

20

30

40

50

して所定の配線 8 1 0 が接続されている。この配線 8 1 0 は、典型的には、リードフレーム法により形成されたものである。この配線 8 1 0 は、半導体パッケージ 3 0 0 の樹脂 9 0 上ではその上面に導電層 5 0 0 を介して設けられている。金属基板 8 0 0、半導体パッケージ 3 0 0 および配線 8 1 0 の相互の間の隙間ならびに配線 8 1 0 の間の隙間は樹脂 8 2 0 により封止されている。配線 8 1 0 の一端および他端には端子 8 3 0、8 4 0 が設けられている。

【 0 0 9 9 】

[モジュールの構成例]

図 3 9 A は第 3 の実施の形態による半導体パッケージを四つ、市販の S i M O S トランジスタ S O S パッケージを一つ、逆接続保護用ダイオードを四つ用いて構成されたカスコード回路を有するモジュール 1 2 を示す回路図、図 3 9 B はこのモジュール 1 2 の構成例を示す。なお、第 3 の実施の形態による半導体パッケージにおいて、半導体チップ C として具体例 1、2 のパワー分極超接合 G a N 系 F E T を用いる場合には、これらのパワー分極超接合 G a N 系 F E T にはボディダイオードが備わっていることから、逆接続保護用ダイオードは必ずしも必要ではない。図 3 9 B に示すように、このモジュール 1 2 においては、カスコード回路の大電流化のために四つの半導体パッケージ 3 0 0 が並列接続されている。並列接続された半導体パッケージ 3 0 0 のパッド電極 7 0 と S i M O S トランジスタ S O S パッケージ 6 0 0 のソース端子 6 0 1、6 0 2 との間に四つの逆接続保護用ダイオード 9 0 0 が並列接続されている。図 4 0 に示すように、逆接続保護用ダイオード 9 0 0 は、第 3 の実施の形態による半導体パッケージ 3 0 0 においてゲート電極 5 0 に接続された電極パッド 8 0 の形成を省略したものからなり、ドレイン電極 4 0 をアノード電極、ソース電極 3 0 をカソード電極として用いたものである。図 3 9 B に示すように、四つの半導体パッケージ 3 0 0 のパッド電極 6 0、7 0、8 0、S i M O S トランジスタ S O S パッケージ 6 0 0 のソース端子 6 0 1、6 0 2、ドレイン端子 6 0 3、6 0 4、6 0 5 およびゲート端子 6 0 6 ならびに逆接続保護用ダイオード 9 0 0 のアノード電極およびカソード電極として用いられるドレイン電極 4 0 およびソース電極 3 0 に接続された電極パッド 7 0、6 0 の配線には、好適にはリードフレーム法により形成された配線 8 1 0 が用いられ、上方からコンタクトしている。

【 0 1 0 0 】

この第 6 の実施の形態によれば、第 1 の実施の形態と同様な利点を得ることができる。すなわち、この第 6 の実施の形態においては、ベース基板としての金属基板 8 0 0 上に半導体パッケージ 3 0 0 が実装され、その上部にそれらを配線する配線 8 1 0 が設けられている。言い換えると、ベース基板としての金属基板 8 0 0 とその上のデバイス部分とが完全に分離されている。このため、モジュールの設計が容易である。また、放熱基板として用いられる金属基板 8 0 0 は一般に熱伝導率が高く放熱性が良好であるため、熱抵抗を極小化することができる。

【 0 1 0 1 】

7 . 第 7 の実施の形態

[モジュール]

第 7 の実施の形態においては、第 3 の実施の形態による半導体パッケージを複数、金属基板上に実装したモジュールについて説明する。

【 0 1 0 2 】

図 4 1 はこのモジュールを示す。図 4 1 に示すように、このモジュールにおいては、ベース基板としての金属基板 8 0 0 上に第 3 の実施の形態による半導体パッケージ 3 0 0 が複数、実装されていること、これらの半導体パッケージ 3 0 0 上に配線 8 1 0 が接続されていることは、第 6 の実施の形態と同様である。このモジュールにおいてはさらに、配線 8 1 0 上に所定の二層目の配線 8 5 0 が設けられている。この二層目の配線 8 5 0 は、一層目の配線 8 1 0 の所定部分と二段積層された A g ペーストなどからなる導電層 5 0 0 を介して接続されている。配線 8 5 0 上には端子 8 6 0 が設けられている。図 4 1 に図示された二層目の配線 8 5 0 あるいは図示されていない配線には必要に応じて、一つまたは複

数の受動部品あるいは能動部品（図示せず）が接続される。受動部品は例えばコンデンサ（キャパシタ）、能動部品は例えばドライバークラスコード用 Si MOS トランジスタなどである。このモジュールのその他のことについては第 6 の実施の形態と同様である。

【0103】

この第 7 の実施の形態によれば、第 1 および第 6 の実施の形態と同様な利点を得ることができる。

【0104】

8．第 8 の実施の形態

[モジュール]

第 8 の実施の形態においては、第 3 の実施の形態による半導体パッケージを複数、金属基板上に実装したモジュールについて説明する。

【0105】

図 4 2 はこのモジュールを示す。図 4 2 に示すように、このモジュールにおいては、ベース基板としての金属基板 800 上に第 3 の実施の形態による半導体パッケージ 300 が複数、実装されていること、これらの半導体パッケージ 300 上に配線 810 が接続されていること、配線 810 上に所定の二層目の配線 850 が設けられていることは、第 7 の実施の形態と同様である。このモジュールにおいては、配線 810 および配線 850 はそれぞれ、2 層フレキシブル・ポリイミド基板 910 の下面および上面に形成されていることが第 7 の実施の形態と異なる。すなわち、配線 810 は 2 層フレキシブル・ポリイミド基板 910 の下層の Cu 層のパターニングにより形成されたものであり、配線 850 は 2 層フレキシブル・ポリイミド基板 910 の上層の Cu 層のパターニングにより形成されたものである。配線 850 はフレキシブル・ポリイミド基板 911 に形成されたスルーホール 912 を介して下層の配線 810 と接続されている。この場合、金属基板 800、半導体パッケージ 300 および配線 810 の相互の間の隙間ならびに配線 810 の間の隙間はシリカ (SiO₂) や有機物などの電気絶縁性材料からなるフィラーにより形成された絶縁層 920 により埋められている。第 7 の実施の形態において配線 850 上に設けられていた端子 860 は設けられていない。第 7 の実施の形態と同様に、図 4 2 に図示された二層目の配線 850 あるいは図示されていない配線には必要に応じて、一つまたは複数の受動部品あるいは能動部品（図示せず）が接続される。実際には、例えば、2 層フレキシブル・ポリイミド基板 910 の配線 810 上に半導体パッケージ 300 を実装したものが、半導体パッケージ 300 の絶縁基板 10 の裏面が金属基板 800 と接触するように金属基板 800 上に貼り付けられる。このモジュールのその他のことについては第 6 の実施の形態と同様である。

【0106】

この第 8 の実施の形態によれば、第 1 および第 7 の実施の形態と同様な利点を得ることができる。

【0107】

9．第 9 の実施の形態

[モジュール]

第 9 の実施の形態においては、第 3 の実施の形態による半導体パッケージおよびペアチップである GaN 系半導体チップを複数、金属基板上に実装したモジュールについて説明する。

【0108】

図 4 3 はこのモジュールを示す。このモジュールにおいては、ベース基板としての金属基板 800 上に第 3 の実施の形態による半導体パッケージ 300 が第 8 の実施の形態と同様に複数、実装されているが、その図示は省略されている。図 4 3 に示すように、第 8 の実施の形態と同様に、2 層フレキシブル・ポリイミド基板 910 の下層の Cu 層のパターニングにより配線 810 が形成され、2 層フレキシブル・ポリイミド基板 910 の上層の Cu 層のパターニングにより配線 850 が形成されている。配線 810 は半導体パッケージ 300 のパッド電極 60、70、80 上に接続されている（図示せず）。このモジュール

ルにおいてはさらに、３端子半導体素子、取り分け、例えばGaN系FETの具体例１、２として既に述べた分極超接合GaN系FETが形成された半導体チップCが実装されている。この半導体チップCは、半導体パッケージ３００の半導体チップCと同様な構造を有する。この半導体チップCの絶縁基板１０の裏面が直接、金属基板８００と接触している。この半導体チップCのソース電極３０、ドレイン電極４０およびゲート電極５０は、２層フレキシブル・ポリイミド基板９１０の下面に形成された配線８１０と接続されている。２層フレキシブル・ポリイミド基板９１０の上層の配線８５０には、コンデンサなどの受動部品９３０が実装され、その端子９３１、９３２が配線８５０と接続されているとともに、ドライバーやカスコード用SiMOSトランジスタなどの能動部品９４０が実装され、その端子９４１、９４２などが配線８５０と接続されている。金属基板８００、半導体パッケージ３００、半導体チップCおよび配線８１０の相互の間の隙間ならびに配線８１０の間の隙間は、シリカや有機物などの電気絶縁性材料からなるフィラーにより形成された絶縁層９２０により埋められている。実際には、例えば、２層フレキシブル・ポリイミド基板９１０の配線８１０上に半導体パッケージ３００および半導体チップCを実装するとともに、配線８５０上に受動部品９３０および能動部品９４０を実装したものが、半導体パッケージ３００の絶縁基板１０の裏面および半導体チップCの絶縁基板１０の裏面が金属基板８００と接触するように金属基板８００上に貼り付けられる。このモジュールのその他のことについては第８の実施の形態と同様である。

10

【０１０９】

この第９の実施の形態によれば、第１および第７の実施の形態と同様な利点を得ることができるほか、モジュールとして特に放熱特性の良いIPM(integrated power module)を容易に実現することができるという利点を得ることができる。

20

【０１１０】

１０．第１０の実施の形態

〔モジュール〕

第１０の実施の形態においては、第３の実施の形態による半導体パッケージおよびベアチップであるGaN系半導体チップを複数、金属基板上に実装したモジュールについて説明する。

【０１１１】

図４４はこのモジュールを示す。このモジュールにおいては、２層フレキシブル・ポリイミド基板９１０の下面に形成された配線８１０と金属基板８００との間に放熱用サファイア基板９５０が設けられている。放熱用サファイア基板９５０の裏面は金属基板８００と直接接触している。放熱用サファイア基板９５０の表面には電極９６０が設けられ、この電極９６０が配線８１０と接続されている。このモジュールの動作時にGaN系半導体チップCなどから発生する熱は、配線８１０、電極９６０および放熱用サファイア基板９５０を介して金属基板８００に効率的に伝導し、この金属基板８００から放熱される。このモジュールのその他のことについては第９の実施の形態と同様である。

30

【０１１２】

この第１０の実施の形態によれば、第１、第７および第９の実施の形態と同様な利点を得ることができる。

40

【０１１３】

１１．第１１の実施の形態

〔半導体パッケージ〕

第１１の実施の形態による半導体パッケージについて説明する。この半導体パッケージはCSP(chip size package)である。この半導体パッケージも第１の実施の形態による半導体パッケージと同様に、GaN系FETを樹脂封止したものである。この半導体パッケージを図４５～図４８に示す。図４５は平面図、図４６は底面図(裏面図)、図４７は図４５のX-X線に沿っての断面図、図４８は図４５のY-Y線に沿っての断面図である。

【０１１４】

50

図４５～図４８に示すように、この半導体パッケージは、平面形状がほぼ正方形の全体として偏平な直方体の形状を有する。この半導体パッケージにおいては、第１の実施の形態と同様な半導体チップＣが樹脂封止されている。ソース電極３０およびドレイン電極４０は、典型的には櫛型構造に形成され、その場合の一例を図４９に示す。

【０１１５】

ソース電極３０、ドレイン電極４０およびゲート電極５０には、それぞれ電極パッド６０、７０、８０が、ナノＡｇ粒子を含む導電性ペーストやハンダなどからなる導電層５０を介して電氣的に接続されている。これらの電極パッド６０、７０、８０で覆われていない部分の半導体層２０、ソース電極３０、ゲート電極５０等の表面と絶縁基板１０および半導体層２０の側面とは電氣的に絶縁性の樹脂９０により覆われており、封止されている。樹脂９０の輪郭は、半導体チップＣの側面の樹脂９０の厚さの分だけ半導体チップＣのサイズより大きいが、半導体チップＣの外形とほぼ相似になっている。ソース電極３０と接続された電極パッド６０は、ソース電極３０と平行に延在し、ソース電極３０と同等の幅を有する直線状の下部６０ａと、半導体層２０の辺Ｓ_１を跨いでその両側に亘って半導体層２０に平行に延在する長方形の平面形状を有する平板状の上部６０ｂとからなる。言い換えると、電極パッド６０は、ソース電極３０から半導体層２０に対して垂直上方に下部６０ａが引き出された後、上部６０ｂが半導体層２０の上方を半導体層２０に平行に延在している。電極パッド６０の下部６０ａは、ソース電極３０に対してソース電極３０の幅方向にずれており、その半導体パッケージの中心側の片側部分がこの下部６０ａの上面に形成された導電層５０を介してソース電極３０に電氣的に接続されている。また、電極パッド６０は、ソース電極３０のゲート電極５０側の一端部を除いて、ソース電極３０を覆うように設けられている。ドレイン電極４０と接続された電極パッド７０は、ドレイン電極４０と平行に延在し、ドレイン電極４０と同等の幅を有する直線状の下部７０ａと、半導体層２０の辺Ｓ_３を跨いでその両側に亘って半導体層２０に平行に延在する長方形の平面形状を有する平板状の上部７０ｂとからなる。言い換えると、電極パッド７０は、ドレイン電極４０から半導体層２０に対して垂直上方に下部７０ａが引き出された後、上部７０ｂが半導体層２０の上方を半導体層２０に平行に延在している。電極パッド７０の下部７０ａは、ドレイン電極４０に対してドレイン電極４０の幅方向にずれており、その半導体パッケージの中心側の片側部分がこの下部７０ａの上面に形成された導電層５０を介してドレイン電極４０に電氣的に接続されている。また、電極パッド７０は、ドレイン電極４０の全体を覆うように設けられている。ゲート電極５０と接続された電極パッド８０は、ゲート電極５０と平行に延在し、ゲート電極５０と同等の幅を有する直線状の下部８０ａと、半導体層２０の辺Ｓ_４を跨いでその両側に亘って半導体層２０に平行に延在する長方形の平面形状を有する平板状の上部８０ｂとからなる。言い換えると、電極パッド８０は、ゲート電極５０から半導体層２０に対して垂直上方に下部８０ａが引き出された後、上部８０ｂが半導体層２０の上方を半導体層２０に平行に延在している。電極パッド８０の下部８０ａは、ゲート電極５０に対してゲート電極５０の幅方向にずれており、その半導体パッケージの中心側の片側部分がこの下部８０ａの上面に形成された導電層５０を介してゲート電極５０に電氣的に接続されている。また、電極パッド８０は、ゲート電極５０の全体を覆うように設けられている。

【０１１６】

この半導体パッケージの各部のサイズの一例を挙げると、絶縁基板１０の一辺の長さは２～５ｍｍ、絶縁基板１０の裏面からソース電極３０、ドレイン電極４０およびゲート電極５０の上面までの高さは約０．１２ｍｍ、電極パッド６０、７０、８０の下部６０ａ、７０ａ、８０ａの厚さは約０．１５ｍｍ、上部６０ｂ、７０ｂ、８０ｂの厚さは約０．２ｍｍ、電極パッド６０と電極パッド７０との間の距離は約１．５ｍｍ、ソース電極３０、ドレイン電極４０およびゲート電極５０の幅、従って電極パッド６０、７０、８０の下部６０ａ、７０ａ、８０ａの幅は約０．１５ｍｍである。

【０１１７】

[半導体パッケージの製造方法]

図 5 0 A ~ D、図 5 1 A および B ならびに図 5 2 A ~ C はこの半導体パッケージの製造方法の一例を示す。

【 0 1 1 8 】

図 5 0 A に示すように、まず、リードフレーム形成用の金属板 1 0 0 を用意する。金属板 1 0 0 としては従来公知の材料の中から必要に応じて選ばれるが、例えば、C u 合金や F e - N i 系合金などである。金属板 1 0 0 上には、ナノ A g 粒子を含む導電性ペーストやハンダなどからなる導電層 5 0 0 を形成しておく。

【 0 1 1 9 】

次に、図 5 0 B に示すように、プレス加工により、金属板 1 0 0 および導電層 5 0 0 を、製造する半導体パッケージに応じた所定の繰り返しパターンで、電極パッド 6 0、7 0、8 0 の輪郭より少し大きい輪郭が形成されるように部分的に打ち抜く。

10

【 0 1 2 0 】

次に、図 5 0 C に示すように、プレス加工により、金属板 1 0 0 に、電極パッド 6 0、7 0、8 0 の下部 6 0 a、7 0 a、8 0 a に相当する部分が形成されるように部分的に段差を形成する。

【 0 1 2 1 】

次に、図 5 0 D に示すように、プレス加工により、金属板 1 0 0 を、電極パッド 6 0、7 0、8 0 の輪郭が形成されるように部分的に打ち抜き、所定形状のリードフレーム 1 1 0 を形成する。このリードフレーム 1 1 0 の平面形状を図 5 3 に示す。ただし、図 5 3 は図 5 0 D に示すリードフレーム 1 1 0 を下方から見た時の平面図である。図 5 0 D は図 5 3 の D - D 線に沿っての断面図である。図 5 3 においては、最終的に製造される半導体パッケージの輪郭を一点鎖線で示す。

20

【 0 1 2 2 】

次に、図 5 1 A に示すように、半導体チップ C のソース電極 3 0、ドレイン電極 4 0 およびゲート電極 5 0 を下に向け、それぞれリードフレーム 1 1 0 の、電極パッド 6 0、7 0、8 0 の下部 6 0 a、7 0 a、8 0 a に相当する部分の表面の導電層 5 0 0 に接触させた後、熱処理を行うことにより接合する。

【 0 1 2 3 】

次に、図 5 1 B に示すように、図 5 1 A に示す構造体の上下を厚板 9 7 1、9 7 2 で挟む。厚板 9 7 1、9 7 2 は、特に限定されないが、例えば、ガラス板あるいはステンレス鋼などの金属板を用いることができる。

30

【 0 1 2 4 】

次に、図 5 2 A に示すように、厚板 9 7 1、9 7 2 の間に形成された空間を埋めるように樹脂モールドを行い、半導体チップ C を樹脂 9 0 により封止する。

【 0 1 2 5 】

次に、図 5 2 B に示すように、厚板 9 7 1、9 7 2 を除去する。

【 0 1 2 6 】

この後、図 5 2 B に二点鎖線で示す所定の切断線に沿ってリードフレーム 1 1 0 を切断し、図 5 2 C に示すように分離する。こうして、目的とする図 4 5 ~ 図 4 8 に示す半導体パッケージが製造される。

40

【 0 1 2 7 】

[半導体パッケージの実装方法]

この半導体パッケージの実装方法について説明する。ここでは、この半導体パッケージを金属基板上に実装したモジュールについて説明する。

【 0 1 2 8 】

図 5 4 はこのモジュールを示す。図 5 4 に示すように、このモジュールにおいては、ベース基板としての金属基板 8 0 0 上に、図 4 5 ~ 図 4 8 に示す半導体パッケージが複数、実装されているとともに、放熱用サファイア基板 9 5 0 上に電極 9 6 0 が設けられた放熱用ダミー素子が放熱用サファイア基板 9 5 0 を下にして実装されている。放熱用サファイア基板 9 5 0 の裏面は金属基板 8 0 0 と直接接触している。放熱用サファイア基板 9 5 0

50

と電極 960 との合計の厚さは半導体パッケージの厚さと同等に選ばれている。放熱用サファイア基板 950 の側面は電氣的に絶縁性の樹脂 90 により覆われており、封止されている。これらの半導体パッケージおよび放熱用ダミー素子上にはエポキシ樹脂製の両面プリント配線基板 980 が設けられており、両面プリント配線基板 980 の下面に形成された配線 981 と半導体パッケージの電極パッド 60、70、80 ならびに放熱用ダミー素子の電極 960 とが導電層 500 を介して電氣的に接続されている。配線 981 の間の部分に露出した両面プリント配線基板 980 の下面および配線 981 の表面にはレジストマスク 982 が設けられている。この場合、金属基板 800 と両面プリント配線基板 980 との間の隙間は SiO_2 や有機物などの電気絶縁性材料からなるフィラーにより形成された絶縁層 920 により埋められている。両面プリント配線基板 980 の上面には配線 983 が形成されている。配線 983 の間の部分に露出した両面プリント配線基板 980 の上面および配線 983 の表面にはレジストマスク 984 が設けられている。両面プリント配線基板 980 の上面の配線 983 には、コンデンサなどの受動部品 930 およびドライバークラスコード用 Si MOS トランジスタなどの能動部品 940 が実装されている。受動部品 930 の端子 931、932 は配線 983 と接続されている。能動部品 940 の端子 941、942 は配線 983 と接続されている。両面プリント配線基板 980 にはスルーホール配線 985 が形成されており、このスルーホール配線 985 により両面プリント配線基板 980 の下面の配線 981 と上面の配線 983 とが互いに接続されている。また、両面プリント配線基板 980 には埋め込み配線 986 が形成されている。この埋め込み配線 986 により受動部品 930 同士が接続されている。両面プリント配線基板 980 にはさらに、能動部品 940 と放熱用ダミー素子との間の部分にスルーホール 987 が形成されており、このスルーホール 987 に AlN などの高熱伝導フィラー 988 が埋め込まれている。

【0129】

この第 11 の実施の形態によれば、電極パッド 60、70、80 は半導体チップ C の半導体層 20 上にその大部分が形成されており、半導体チップ C から僅かしかはみ出していないため、 CSP 状の半導体パッケージを構成することができる。そして、この半導体パッケージの半導体チップ C の絶縁基板 10 側を金属基板 800 に向けて実装するとともに、電極パッド 60、70、80 を両面プリント配線基板 980 の下面に形成された配線 981 と接続することにより、 GaN 系 FET をフェースアップで容易に金属基板 800 上に実装することができ、従来に比べて大幅な低コスト化、高周波化、省体積化、低熱抵抗化などを図ることができる。しかも、ソース電極 30、ドレイン電極 40 およびゲート電極 50 は三角形に配置され、従って電極パッド 60、70、80 も三角形に配置することができるため、両面プリント配線基板 980 の下面に形成された配線 981 を互いに交差しないように形成することができることから、半導体パッケージを実装した高性能のモジュールを容易に実現することができる。そして、このモジュールを用いることにより高性能の電気機器を安価に実現することができる。

【0130】

12. 第 12 の実施の形態

[半導体パッケージ]

第 12 の実施の形態による半導体パッケージについて説明する。この半導体パッケージは二つの CSP を一体化したものであり、一つの CSP は、 GaN 系 FET を樹脂封止した第 11 の実施の形態による半導体パッケージ、もう一つの CSP は、 GaN 系ダイオードを樹脂封止したものである。

【0131】

図 55 はこの半導体パッケージの回路を示す。図 55 に示すように、この半導体パッケージにおいては、 GaN 系 FET のドレインに GaN 系ダイオードのカソードが接続されてインバータが構成されている。

【0132】

図 56 A ~ C はこの半導体パッケージを示し、図 56 A は平面図、図 56 B は底面図、

10

20

30

40

50

図 5 6 C は図 5 6 A の C - C 線に沿っての断面図である。図 5 6 A ~ C に示すように、この半導体パッケージは、G a N 系 F E T を樹脂封止した第 1 1 の実施の形態による C S P 状の半導体パッケージ P₁ と、G a N 系ダイオードを樹脂封止した C S P 状の半導体パッケージ P₂ とがそれぞれの一つの側面で互いに接合されたものであり、平面形状が長方形の全体として偏平な直方体の形状を有する。ここで、G a N 系ダイオードは、第 1 1 の実施の形態による半導体パッケージにおいてゲート電極 5 0 に接続された電極パッド 8 0 の形成を省略したものからなり、ドレイン電極 4 0 をアノード電極、ソース電極 3 0 をカソード電極として用いたものであり、電極パッドとしては電極パッド 6 0、7 0 のみ形成されている。半導体パッケージ P₁ の電極パッド 7 0 と半導体パッケージ P₂ の電極パッド 6 0 とはそれらの側面同士が互いに接触して電氣的に接続されている。

10

【 0 1 3 3 】

この第 1 2 の実施の形態によれば、図 5 5 に示すような回路構成を有する C S P 状の半導体パッケージを実現することができる。

【 0 1 3 4 】

1 3 . 第 1 3 の実施の形態

[半導体パッケージ]

第 1 3 の実施の形態による半導体パッケージについて説明する。この半導体パッケージは四つの C S P を一体化したものであり、二つの C S P は、G a N 系 F E T を樹脂封止した第 1 1 の実施の形態による半導体パッケージ、残りの二つの C S P は、G a N 系ダイオードを樹脂封止したものである。

20

【 0 1 3 5 】

図 5 7 はこの半導体パッケージの回路を示す。図 5 7 に示すように、この半導体パッケージにおいては、並列接続された二つの G a N 系 F E T のドレインに、並列接続された二つの G a N 系ダイオードのカソードが接続されてインバータが構成されている。

【 0 1 3 6 】

図 5 8 A および B はこの半導体パッケージを示し、図 5 8 A は平面図、図 5 8 B は底面図である。図 5 8 A および B に示すように、この半導体パッケージは、G a N 系 F E T を樹脂封止した第 1 1 の実施の形態による C S P 状の半導体パッケージ P₁₁、P₁₂ と、G a N 系ダイオードを樹脂封止した C S P 状の半導体パッケージ P₁₃、P₁₄ とが側面で互いに接合されたものであり、平面形状がほぼ正方形の全体として偏平な直方体の形状を有する。ここで、G a N 系ダイオードは、第 1 1 の実施の形態による半導体パッケージにおいてゲート電極 5 0 に接続された電極パッド 8 0 の形成を省略したものからなり、ドレイン電極 4 0 をアノード電極、ソース電極 3 0 をカソード電極として用いたものであり、電極パッドとしては電極パッド 6 0、7 0 のみ形成されている。半導体パッケージ P₁₁ の電極パッド 7 0 と半導体パッケージ P₁₃ の電極パッド 6 0 とはそれらの側面同士が互いに接触して電氣的に接続されている。半導体パッケージ P₁₂ の電極パッド 7 0 と半導体パッケージ P₁₄ の電極パッド 6 0 とはそれらの側面同士が互いに接触して電氣的に接続されている。半導体パッケージ P₁₁ の電極パッド 8 0 と半導体パッケージ P₁₂ の電極パッド 8 0 とはそれらの側面同士が互いに接触して電氣的に接続されている。

30

【 0 1 3 7 】

この第 1 3 の実施の形態によれば、図 5 7 に示すような回路構成を有する C S P 状の半導体パッケージを実現することができる。

40

【 0 1 3 8 】

1 4 . 第 1 4 の実施の形態

[半導体パッケージ]

第 1 4 の実施の形態による半導体パッケージについて説明する。この半導体パッケージは四つの C S P を一体化したものであり、二つの C S P は、G a N 系 F E T を樹脂封止した第 1 1 の実施の形態による半導体パッケージ、残りの二つの C S P は、G a N 系ダイオードを樹脂封止したものである。

【 0 1 3 9 】

50

図 5 9 はこの半導体パッケージの回路を示す。図 5 9 に示すように、この半導体パッケージにおいては、並列接続された二つの G a N 系 F E T のドレインに、並列接続された二つの G a N 系ダイオードのアノードが接続されて D C / D C アップコンバータが構成されている。

【 0 1 4 0 】

図 6 0 はこの半導体パッケージを示す平面図である。図 6 0 に示すように、この半導体パッケージは、G a N 系 F E T を樹脂封止した第 1 1 の実施の形態による C S P 状の半導体パッケージ P₂₁、P₂₂と、G a N 系ダイオードを樹脂封止した C S P 状の半導体パッケージ P₂₃、P₂₄とが側面で互いに接合されたものであり、平面形状がほぼ正方形の全体として偏平な直方体形状を有する。ここで、G a N 系ダイオードは、第 1 1 の実施の形態による半導体パッケージにおいてゲート電極 5 0 に接続された電極パッド 8 0 の形成を省略したものからなり、ドレイン電極 4 0 をアノード電極、ソース電極 3 0 をカソード電極として用いたものであり、電極パッドとしては電極パッド 6 0、7 0 のみ形成されている。半導体パッケージ P₂₁ の電極パッド 7 0 と半導体パッケージ P₁₃ の電極パッド 7 0 とはそれらの側面同士が互いに接触して電氣的に接続されている。半導体パッケージ P₂₂ の電極パッド 7 0 と半導体パッケージ P₂₄ の電極パッド 7 0 とはそれらの側面同士が互いに接触して電氣的に接続されている。半導体パッケージ P₂₁ の電極パッド 8 0 と半導体パッケージ P₂₂ の電極パッド 8 0 とはそれらの側面同士が互いに接触して電氣的に接続されている。

【 0 1 4 1 】

この第 1 4 の実施の形態によれば、図 5 9 に示すような回路構成を有する C S P 状の半導体パッケージを実現することができる。

【 0 1 4 2 】

以上、この発明の実施の形態について具体的に説明したが、この発明は、上述の実施の形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【 0 1 4 3 】

例えば、上述の実施の形態において挙げた数値、構造、形状、材料などはあくまでも例に過ぎず、必要に応じてこれらと異なる数値、構造、形状、材料などを用いてもよい。

【 0 1 4 4 】

なお、上述の第 9 および第 1 0 の実施の形態においては、半導体パッケージ 3 0 0 および半導体チップ C を金属基板 8 0 0 上に実装しているが、2 層フレキシブル・ポリイミド基板 9 1 0 の配線 8 1 0 上に半導体パッケージ 3 0 0 を実装せず、ベアチップである半導体チップ C だけを金属基板 8 0 0 上に実装してもよい。この場合、2 層フレキシブル・ポリイミド基板 9 1 0 の配線 8 1 0 上に半導体チップ C を実装し、配線 8 5 0 上に受動部品 9 3 0 および能動部品 9 4 0 を実装したものが、半導体チップ C の絶縁基板 1 0 の裏面が金属基板 8 0 0 と接触するように金属基板 8 0 0 上に貼り付けられる。こうすることで、放熱特性の良い I P M を容易に実現することができる。

【 0 1 4 5 】

また、この発明による半導体パッケージにおいては、横型構造を有する 3 端子半導体素子を樹脂封止しているが、この半導体パッケージと同様な構成は、横型構造を有する 2 端子半導体素子（ダイオード）あるいは 4 端子以上の半導体素子を樹脂封止する場合にも適用することが可能である。

【 符号の説明 】

【 0 1 4 6 】

1 0 ... 絶縁基板、2 0 ... 半導体層、3 0 ... ソース電極、4 0 ... ドレイン電極、5 0 ... ゲート電極、6 0、7 0、8 0 ... パッド電極、9 0 ... 樹脂、C ... 半導体チップ、1 0 0 ... 金属板、1 1 0 ... リードフレーム、2 0 0 ... D B C 基板、2 0 0 a ... C u ベース基板、2 0 0 b ... S i N 層、3 0 0 ... 半導体パッケージ、4 0 0 ... S i チップ、5 0 0 ... 導電層、6 0 0 ... S i M O S トランジスタ S O S パッケージ、8 0 0 ... 金属基板、9 0 0 ... 逆接続保

10

20

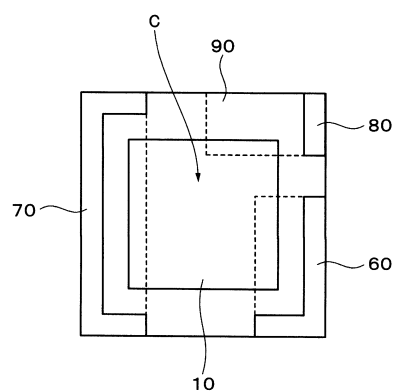
30

40

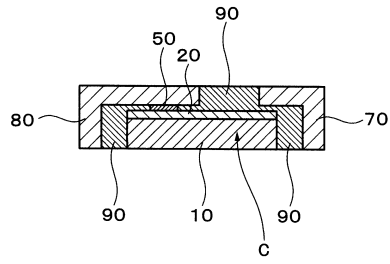
50

護用ダイオード、 9 1 0 ... 2 層フレキシブル・ポリイミド基板、 9 3 0 ... 受動部品、 9 4 0 ... 能動部品、 9 5 0 ... 放熱用サファイア基板

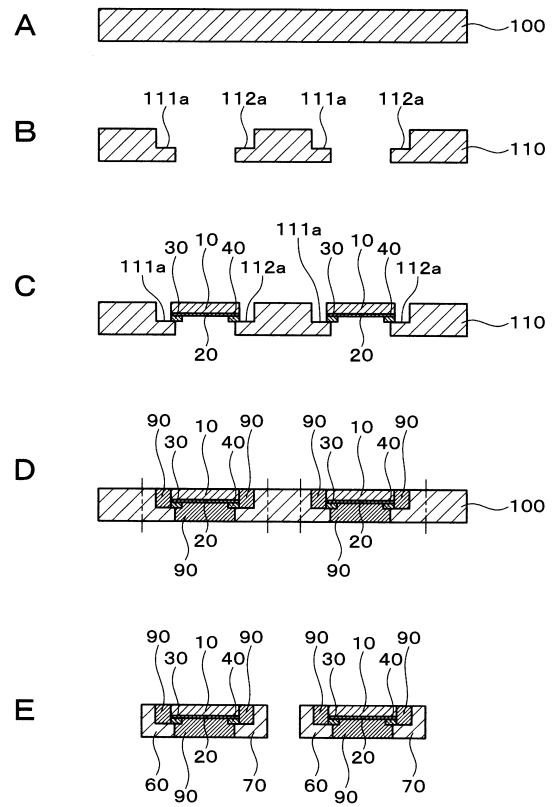
【圖 2】



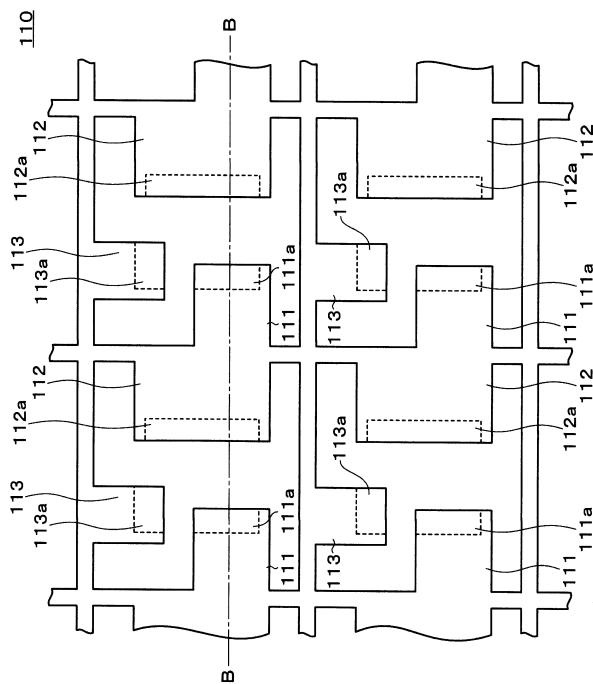
【図 4】



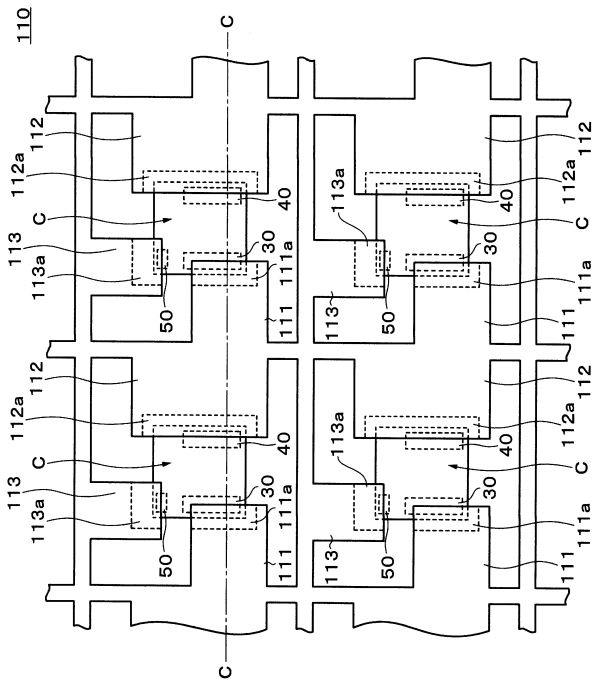
【図 5】



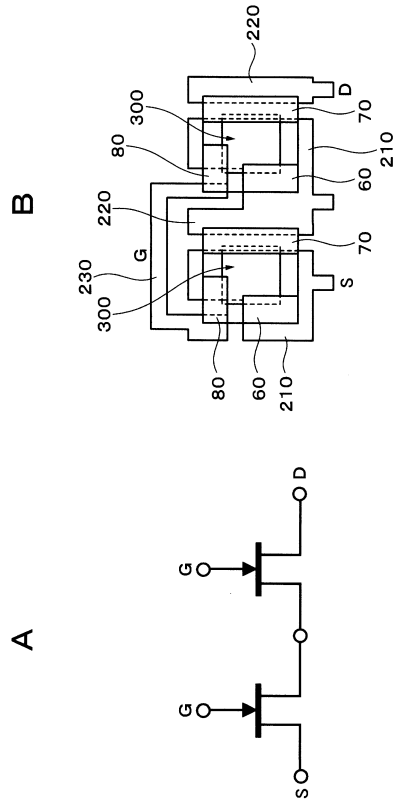
【図 6】



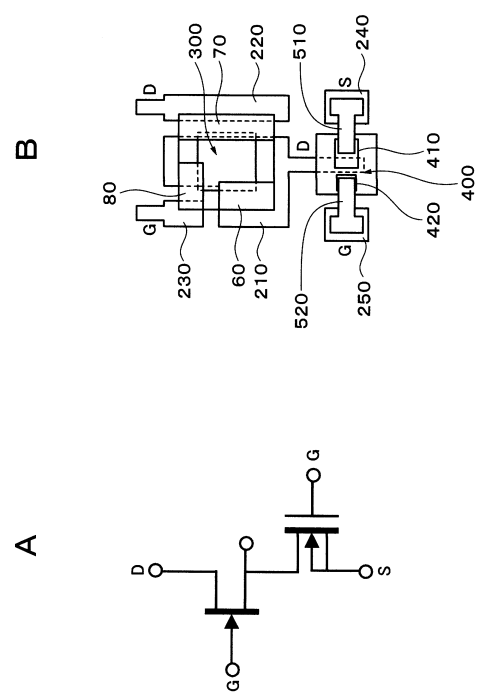
【図 7】



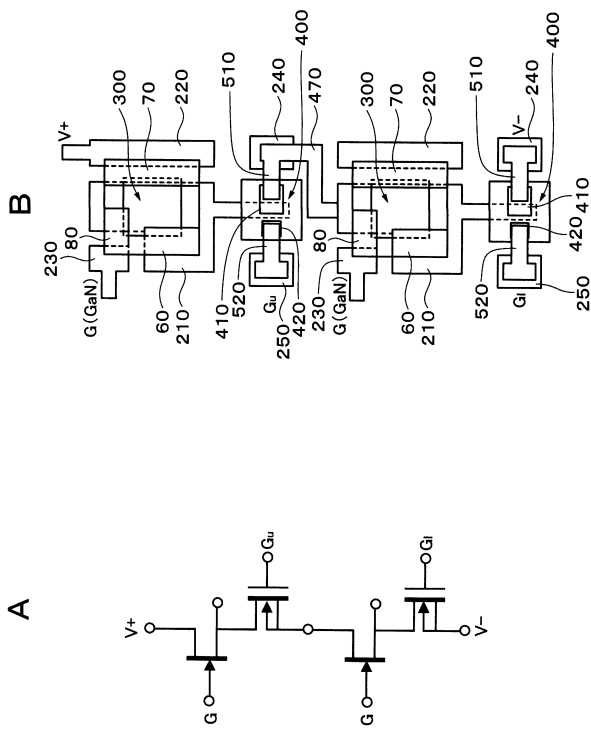
【図 13】



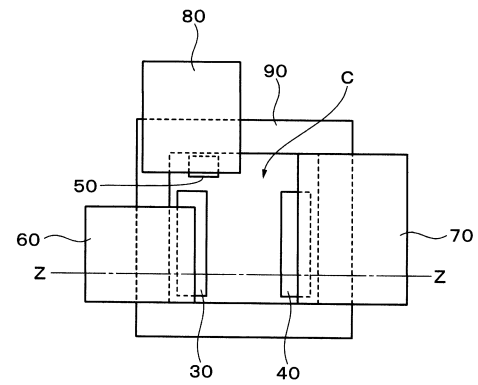
【図 14】



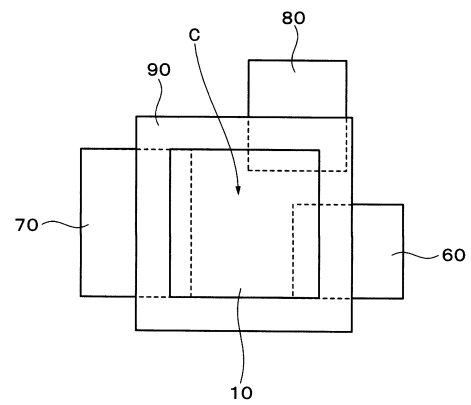
【図 15】



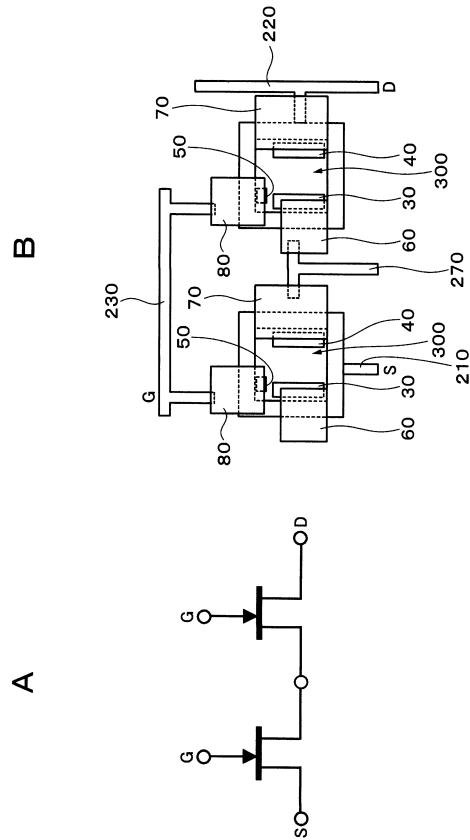
【図 16】



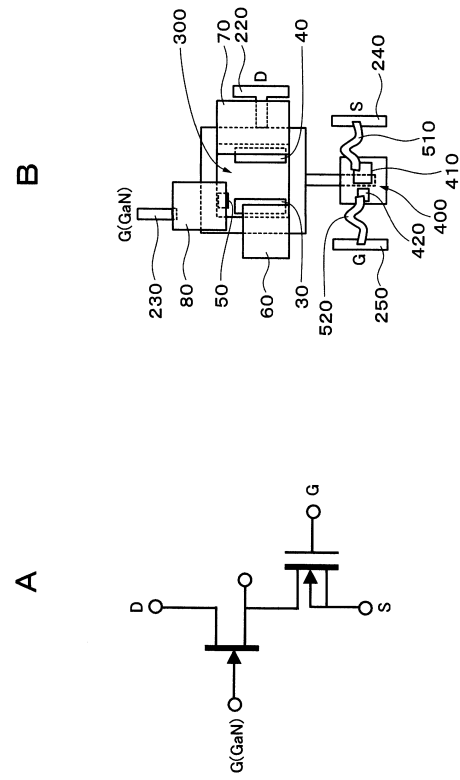
【図 17】



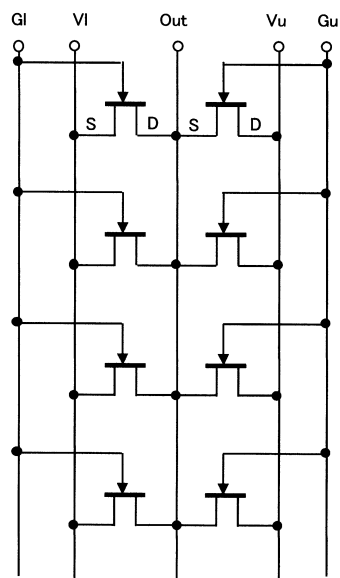
【図 22】



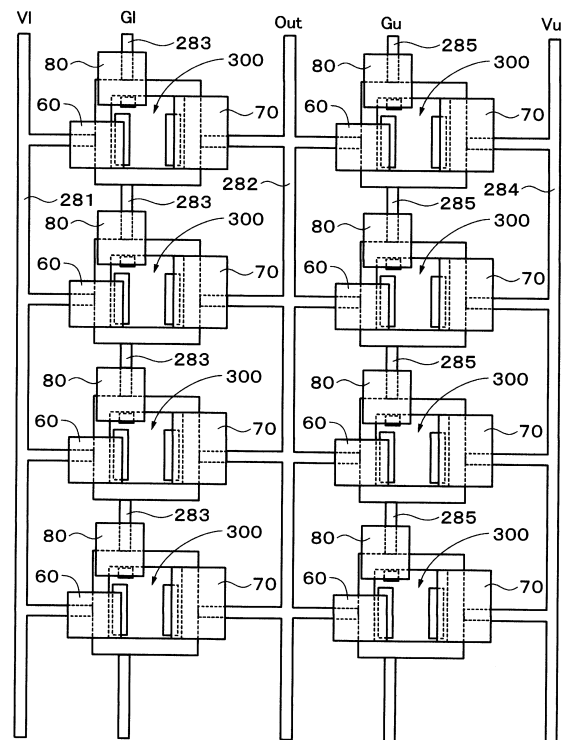
【図 23】



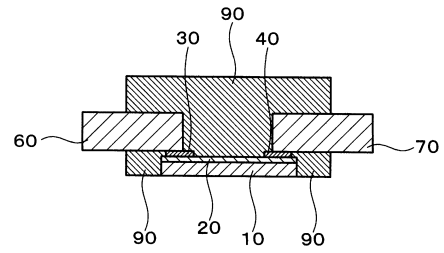
【図 24】



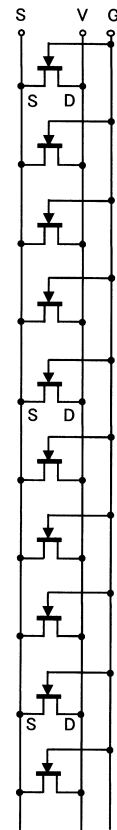
【図 25】



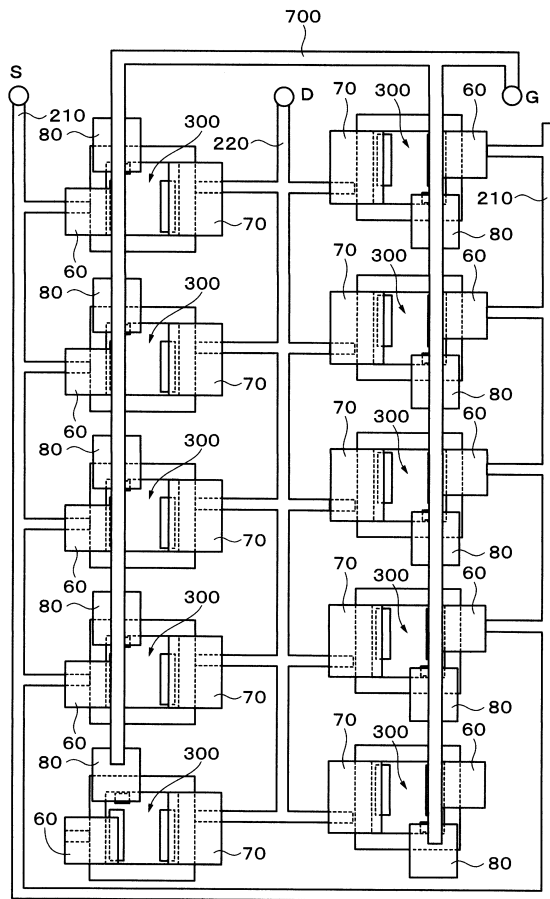
【圖 27】



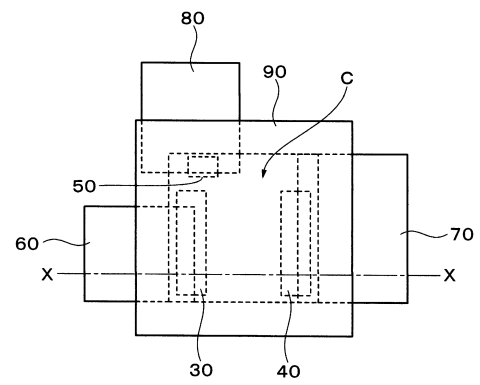
【 図 3 0 】



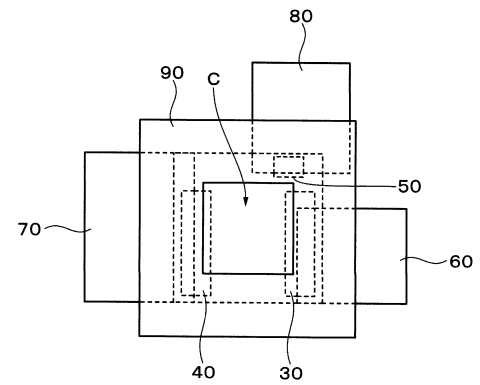
【図 3 1】



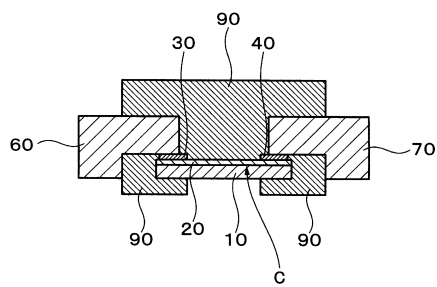
【図 3 2】



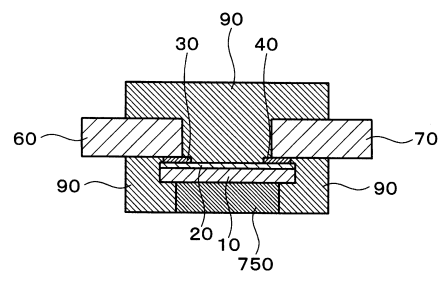
【図 3 3】



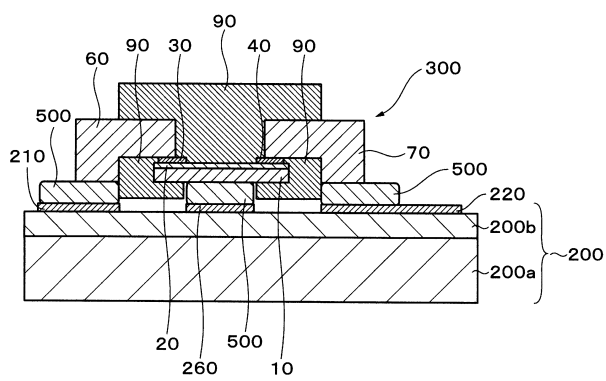
【図 3 4】



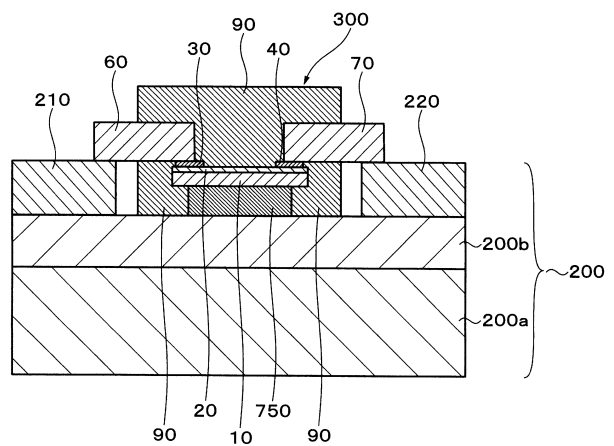
【図 3 6】



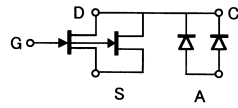
【図 3 5】



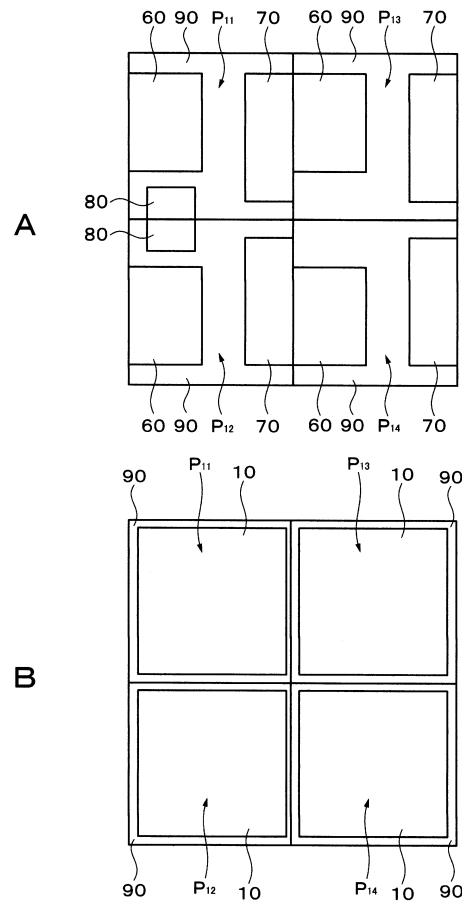
【図 3 7】



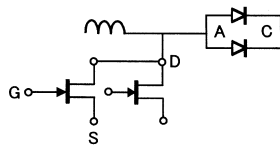
【図 57】



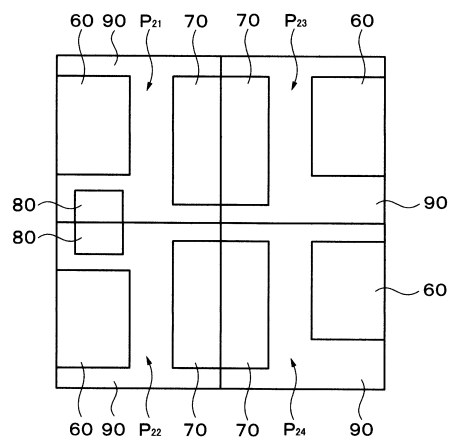
【図 58】



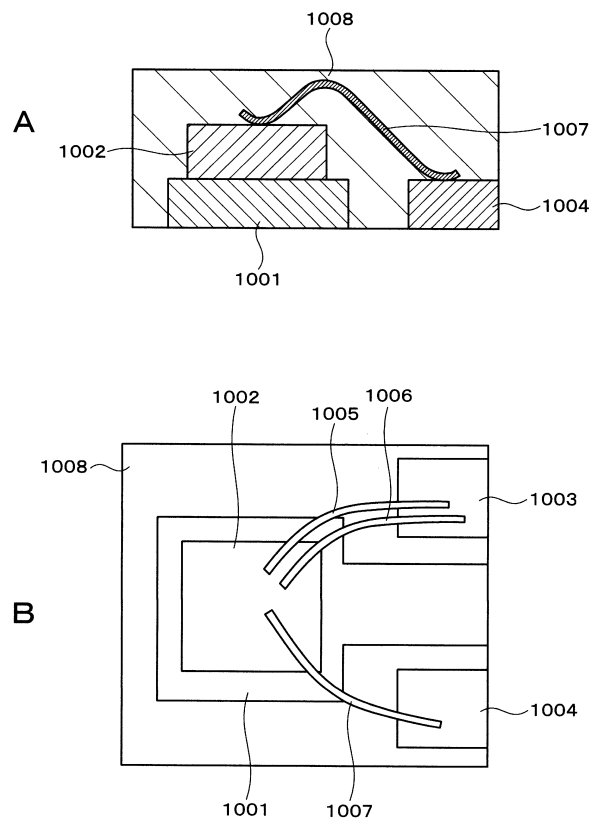
【図 59】



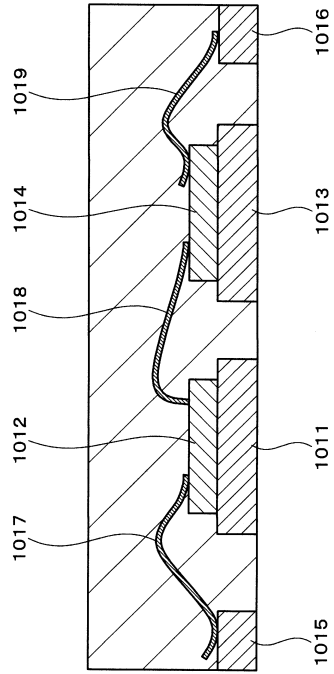
【図 60】



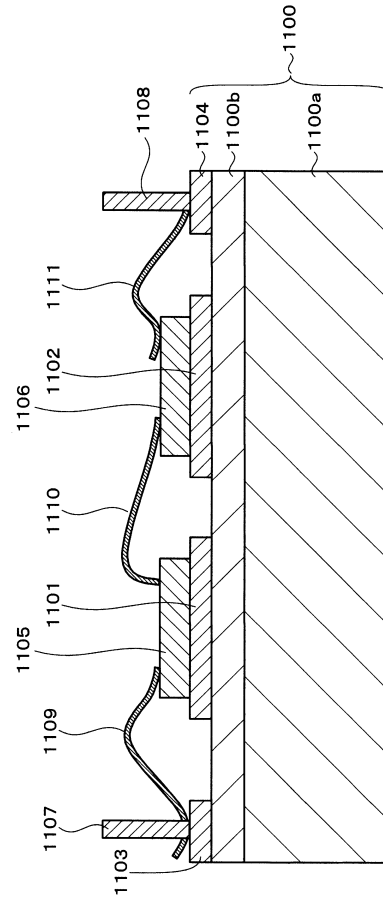
【図 61】



【図 6 2】



【図 6 3】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	23/50	(2006.01)	H 0 1 L	23/48 H
H 0 1 L	23/28	(2006.01)	H 0 1 L	23/28 A
H 0 1 L	23/12	(2006.01)	H 0 1 L	23/12 5 0 1 T
H 0 1 L	21/60	(2006.01)	H 0 1 L	23/12 L
H 0 1 L	29/41	(2006.01)	H 0 1 L	21/92 6 0 2 J
H 0 1 L	21/338	(2006.01)	H 0 1 L	29/44 L
H 0 1 L	29/778	(2006.01)	H 0 1 L	29/80 H
H 0 1 L	29/812	(2006.01)	H 0 1 L	23/48 R
H 0 5 K	1/02	(2006.01)	H 0 1 L	23/50 N
H 0 5 K	3/46	(2006.01)	H 0 5 K	1/02 F
			H 0 5 K	3/46 Q

審査官 秋山 直人

- (56)参考文献 特開 2 0 1 4 - 1 4 3 3 2 6 (J P , A)
 特開 2 0 1 6 - 1 7 1 1 9 7 (J P , A)
 特開 2 0 0 6 - 0 4 9 6 8 2 (J P , A)
 特開 2 0 0 4 - 2 7 3 9 7 7 (J P , A)
 特開 2 0 1 0 - 0 5 0 2 8 6 (J P , A)
 特開 2 0 0 1 - 1 6 8 1 2 3 (J P , A)
 特開 2 0 1 1 - 1 1 4 3 1 1 (J P , A)
 特開 2 0 1 6 - 1 4 6 3 6 9 (J P , A)
 国際公開第 2 0 1 0 / 0 1 0 9 1 1 (W O , A 1)
 特開 2 0 0 6 - 1 0 0 7 5 9 (J P , A)
 特開 2 0 0 1 - 3 5 8 2 5 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 3 / 4 8
 H 0 1 L 2 1 / 3 3 8
 H 0 1 L 2 1 / 6 0
 H 0 1 L 2 3 / 1 2
 H 0 1 L 2 3 / 2 8
 H 0 1 L 2 3 / 2 9
 H 0 1 L 2 3 / 3 1
 H 0 1 L 2 3 / 5 0
 H 0 1 L 2 5 / 0 7
 H 0 1 L 2 5 / 1 8
 H 0 1 L 2 9 / 4 1
 H 0 1 L 2 9 / 7 7 8
 H 0 1 L 2 9 / 8 1 2
 H 0 5 K 1 / 0 2
 H 0 5 K 3 / 4 6