



(12) 发明专利申请

(10) 申请公布号 CN 103515214 A

(43) 申请公布日 2014. 01. 15

(21) 申请号 201210211649. 9

(22) 申请日 2012. 06. 25

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 周鸣 平延磊

(74) 专利代理机构 北京市磐华律师事务所
11336

代理人 董巍 高伟

(51) Int. Cl.

H01L 21/28(2006. 01)

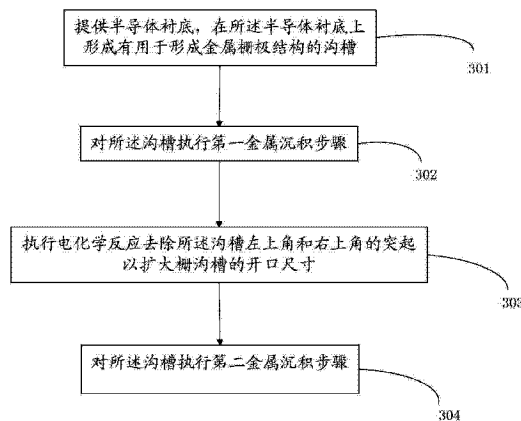
权利要求书1页 说明书4页 附图5页

(54) 发明名称

一种半导体器件的制造方法

(57) 摘要

一种半导体器件的制造方法,包括:提供半导体衬底,在所述半导体衬底上形成有用于形成金属栅极结构的栅沟槽;对所述栅沟槽执行第一金属沉积步骤;对所述栅沟槽执行电化学反应去除所述栅沟槽左上角和右上角的突起的步骤,以扩大所述栅沟槽的开口尺寸;对所述栅沟槽执行第二金属沉积步骤。根据本发明,通过在使用铝金属对栅沟槽进行填充时以形成栅极的过程中,进行一轮或者多轮的“金属沉积步骤-执行电化学反应去除所述栅沟槽左上角和右上角的突起的步骤-金属沉积步骤”过程,可以避免在金属间隙填充物中产生空洞,进而降低产品的合格率的问题。



1. 一种半导体器件的制造方法,包括:
提供半导体衬底,在所述半导体衬底上形成有用于形成金属栅极结构的栅沟槽;
对所述栅沟槽执行第一金属沉积步骤;
对所述栅沟槽执行电化学反应去除所述栅沟槽左上角和右上角的突起的步骤,以扩大所述栅沟槽的开口尺寸;
对所述栅沟槽执行第二金属沉积步骤。
2. 根据权利要求1所述的方法,还包括多次重复执行所述第一金属沉积步骤、所述执行电化学反应去除所述栅沟槽左上角和右上角的突起的步骤、第二金属沉积步骤。
3. 根据权利要求1所述的方法,其特征在于,所述电化学反应中,所使用的电解液的阴离子为以下两种离子之一或者其组合:氯离子、氟离子。
4. 根据权利要求1所述的方法,其特征在于,所述电化学反应中,所使用的电解液包括以下两种有机物之一或者其组合:甲醇和丙三醇。
5. 根据权利要求4所述的方法,其特征在于,所述电化学反应中,所述甲醇的体积为800-900毫升。
6. 根据权利要求4所述的方法,其特征在于,所述电化学反应中,所述丙三醇的体积为126-300毫升。
7. 根据权利要求1所述的方法,其特征在于,所述电化学反应中,所使用的电解液包括 NaBF_4 。
8. 根据权利要求1所述的方法,其特征在于,所述电化学反应中,所使用的电解电压为50-100伏。
9. 根据权利要求1所述的方法,其特征在于,所述电化学反应中,电解时间为5-60秒钟。
10. 根据权利要求1所述的方法,其特征在于,所述第一金属沉积步骤和/或第二金属沉积步骤使用以下方法之一:物理气相沉积或化学气相沉积。
11. 根据权利要求1所述的方法,其特征在于,对所述栅沟槽执行所述第一金属沉积步骤前,还包括在所述栅沟槽内沉积一湿金属材料层的步骤。
12. 根据权利要求11的方法,其特征在于,所述湿金属材料为Ti或者Co。
13. 根据权利要求1所述的方法,其特征在于,在所述第一金属沉积步骤和/或第二金属沉积步骤中还包括在沉积室或加热炉中对所述沉积的金属进行回流的步骤。
14. 根据权利要求13所述的方法,其特征在于,所述回流步骤中使用的温度为300-500摄氏度,回流步骤的持续时间为20分钟-2小时。

一种半导体器件的制造方法

技术领域

[0001] 本发明涉及一种半导体制造方法,具体而言涉及一种基于栅极替代工艺的半导体器件的制造方法。

背景技术

[0002] 在半导体制造工艺中的栅极金属替代工艺中,通常选用多晶硅作为假栅,当器件的源极和漏极制备完后,利用干法刻蚀或者湿法刻蚀技术将假栅去掉,之后在栅沟槽内填入金属填充物作为器件的金属栅材料。

[0003] 但是,随着器件特征尺寸向 45 纳米甚至更精细的结构发展,对栅极金属替代工艺,尤其是金属介质的填充,提出了更高的要求,其中一个具有挑战性的难题就是金属在各个栅沟槽中难以均匀无孔的填充。在金属填充过程中,空洞现象时有发生,这些空洞位于栅沟槽填充物中,每一个栅沟槽都可能有空洞产生。图 1A-1C 示出了现有技术中在栅沟槽内填入金属栅材料的方法。如图 1A 所示,半导体衬底 100 上形成栅沟槽形 101 以后,在其上沉积一个湿金属材料层 102,所示金属材料可以为 Ti 或者 Co 等,然后如图 1B 所示,通过物理气相沉积(PVD)方法,使用铝金属对栅沟槽进行填充时,在栅沟槽左上角和右上角会出现突起 103 和 104,并且随着填充的进行,左右上角的突起 103 和 104 会连接到一起,并阻碍铝金属进一步填充入栅沟槽 101 内,最终出现如图 1C 的现象,在铝金属填充层 106 中形成了一个空洞 105。

[0004] 这种位于栅沟槽的金属填充物中的空洞会导致半导体器件性能降低,并可能在后续的工序中产生缺陷,进而降低产品的合格率,所以栅沟槽的金属填充物中的空洞成为业界必须解决的问题之一。

发明内容

[0005] 针对现有技术的不足,本发明提供一种半导体器件的制造方法,包括:提供半导体衬底,在所述半导体衬底上形成有用于形成金属栅极结构的栅沟槽;对所述栅沟槽执行第一金属沉积步骤;对所述栅沟槽执行电化学反应去除所述栅沟槽左上角和右上角的突起的步骤,以扩大所述栅沟槽的开口尺寸;对所述栅沟槽执行第二金属沉积步骤。

[0006] 进一步地,该制造方法还包括多次重复执行所述第一金属沉积步骤、所述执行电化学反应去除所述栅沟槽左上角和右上角的突起的步骤、第二金属沉积步骤。

[0007] 进一步地,所述电化学反应中,所使用的电解液的阴离子为以下两种离子之一或者其组合:氯离子、氟离子。

[0008] 进一步地,所述电化学反应中,所使用的电解液包括以下两种有机物之一或者其组合:甲醇和丙三醇。

[0009] 进一步地,所述电化学反应中,所述甲醇的体积为 800-900 毫升。

[0010] 进一步地,所述电化学反应中,所述丙三醇的体积为 126-300 毫升。

[0011] 进一步地,所述电化学反应中,所使用的电解液包括 NaBF_4 。

[0012] 进一步地,所述电化学反应中,所使用的电解电压为 50-100 伏。

[0013] 进一步地,所述电化学反应中,电解时间为 5-60 秒钟。

[0014] 进一步地,所述第一金属沉积步骤和 / 或第二金属沉积步骤使用以下方法之一:物理气相沉积或化学气相沉积。

[0015] 进一步地,对所述栅沟槽执行所述第一金属沉积步骤前,还包括在所述栅沟槽内沉积一湿金属材料层的步骤。

[0016] 进一步地,所述湿金属材料为 Ti 或者 Co。

[0017] 进一步地,在所述第一金属沉积步骤和 / 或第二金属沉积步骤中还包括在沉积室或加热炉中对所述沉积的金属进行回流的步骤。

[0018] 进一步地,所述回流步骤中使用的温度为 300-500 摄氏度,回流步骤的持续时间为 20 分钟-2 小时。

[0019] 根据本发明,通过在使用铝金属对栅沟槽进行填充时以形成栅极的过程中,进行一轮或者多轮的“金属沉积步骤-执行电化学反应去除所述栅沟槽左上角和右上角的突起的步骤-金属沉积步骤”过程,可以避免在金属间隙填充物中产生空洞,进而降低产品的合格率的问题。

附图说明

[0020] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。

[0021] 附图中:

[0022] 图 1A-1C 示出了现有技术中在栅沟槽内填入金属栅材料的方法;

[0023] 图 2A-2H 示出了本发明提出的在栅沟槽内填入金属栅材料的方法的各步骤的示意性剖面图;

[0024] 图 3 本发明提出的在栅沟槽内填入金属栅材料的方法的流程图。

具体实施方式

[0025] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0026] 为了彻底理解本发明,将在下列的描述中提出详细的步骤,以便阐释本发明提出的半导体器件的制造方法。显然,本发明的施行并不限于半导体领域的技术人员所熟习的特殊细节。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0027] 应当理解的是,当在本说明书中使用术语“包含”和 / 或“包括”时,其指明存在所述特征、整体、步骤、操作、元件和 / 或组件,但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和 / 或它们的组合。

[0028] 下面,参照图 2A- 图 2H 和图 3 来描述本发明提出的在栅沟槽内填入金属栅材料的方法。

[0029] 参照图 2A- 图 2H, 其中示出了本发明提出的在栅沟槽内填入金属栅材料的方法的各步骤的示意性剖面图。

[0030] 首先, 如图 2A 所示, 提供半导体衬底 200, 所述半导体衬底 200 的构成材料可以采用未掺杂的单晶硅、掺杂有杂质的单晶硅、绝缘体上硅(SOI) 等。在本发明的一个实施例中, 半导体衬底 200 选用单晶硅材料制成。虽然在此描述了可以形成衬底 200 的材料的一个实例, 但是可以作为半导体衬底的任何材料均落入本发明的精神范围。在所述半导体衬底 200 上表面生长一层栅极氧化层 201, 栅极氧化层 201 作为栅极电介质层, 其材料可以是 SiO_2 、 SiON 等, 可以使用原子层沉积、化学气相沉积(CVD)或其它适合的方法, 以上仅作为示例, 不局限于此。在不同的情况中, 栅极氧化层 201 可以采用不同的材料和不同的厚度。

[0031] 然后, 在所述半导体衬底 200 的栅极氧化层 201 上沉积多晶硅层 202, 如图 2B 所示。多晶硅层 202 的材料可以为多晶硅或者掺杂金属杂质的多晶硅, 所述金属杂质至少包括一种金属(例如钛, 钽、钨等)以及金属硅化物。形成多晶硅层 202 的方法包括原子层沉积、化学气相沉积(CVD)、等离子增强形化学气象沉积(PECVD) 或其它适合的方法, 接着在多晶硅层表面采用等离子体增强化学气相沉积(PECVD) 工艺沉积氮化硅或氮氧化硅形成硬掩膜层。

[0032] 在接下来的工艺步骤中, 在上述硬掩膜层表面涂布光致抗蚀剂层, 然后利用常规光刻工艺, 例如曝光、显影、清洗等工艺图案化光致抗蚀剂层, 以形成假栅 205, 如图 2B 所示。

[0033] 在进行后续的移除假栅的步骤之前, 可以进行任何其它的工艺, 其它的工艺包含但不限于在所述假栅的两侧形成侧壁层、在衬底中形成源极/漏极区(如低掺杂的源极/漏极区) 等常见半导体制造工艺, 在此不赘述。

[0034] 接着形成介电层如层间介电层(ILD) 于衬底上, 层间介电层 206 的形成方法可以为 CVD、PECVD 或其它合适方法。层间介电层 206 的组成含有氧化硅、氮氧化硅或其它合适的材料。在一个实施例中, 层间介电层 206 为 PECVD 方法形成的介电层。然后将其平坦化, 使用例如化学机械研磨方法(CMP), 去除假栅 205 上沉积的介电层材料, 直至暴露出假栅 205 上表面, 如图 2C 所示。

[0035] 然后去除假栅 205, 以形成栅沟槽 207, 如图 2D 所示。在一个实施例中, 可以利用干法刻蚀或者湿法刻蚀技术等之一将所示假栅 205 刻蚀去除, 从而形成栅沟槽 207。在另一个实施例中, 可以利用干法刻蚀或者湿法刻蚀技术进一步将栅极氧化层 201 去除, 以形成暴露衬底的沟槽 207, 而后重新沉积高 k 栅介电层(未示出), 该高 k 栅介电层采用高 k 介质材料(例如, 和氧化硅相比, 具有高介电常数的材料), 高 k 介质材料的例子包括金属氧化物、金属氮化物、金属硅酸盐、过渡金属氧化物、过渡金属氮化物、过渡金属硅酸盐, 金属的氮氧化物、金属铝酸盐的组合或者其他合适的组成。

[0036] 接着在栅沟槽 207 内填入金属栅材料。在一个实施例中, 可以首先在栅沟槽 207 表面沉积一个湿金属材料层 208, 所述金属材料可以为 Ti 或者 Co 等。然后, 在一个实施例中, 通过例如物理气相沉积(PVD) 或化学气相沉积(CVD) 等方法的沉积方法, 使用铝金属对栅沟槽进行填充。该沉积步骤还可以包括在沉积室或者加热炉中对所述沉积的金属进行回流的步骤, 该回流步骤中, 使用的温度可以为 300-500 摄氏度, 回流步骤的持续时间为 20 分钟-2 小时。在使用铝金属对栅沟槽填充的过程中, 会在栅沟槽 207 左上角和右上角会出现

突起 209 和 210, 阻塞铝金属通过栅沟槽 207 的上开口来继续填充栅沟槽, 如图 2E 所示。

[0037] 因此, 接下来, 需要进行去除栅沟槽 207 左上角和右上角的突起 209 和 210 的步骤, 如图 2F 所示。在去除栅沟槽 207 左上角和右上角的突起 209 和 210 的步骤中, 可以使用电化学的方法。在该电化学方法中, 将晶圆放入电解液 213 作为阳极, 该电解液 213 可以含有阴离子, 例如氯离子、氟离子等, 则铝金属会部分溶解到电解液 213 中。在一个实施例中, 电解液 213 中可以含有 800-900 毫升的甲醇、126-300 毫升的丙三醇以及适量的 NaBF_4 。使用 50-100 伏的电解电压, 电解时间大约 5-60 秒钟, 则可以使栅沟槽 207 左上角和右上角的突起 209 和 210 溶解到电解液中, 从而扩大栅沟槽的开口尺寸, 如图 2G 所示。

[0038] 然后, 通过例如物理气相沉积 (PVD) 或化学气相沉积 (CVD) 等方法的沉积方法, 继续向栅沟槽 207 内填充金属栅材料 212, 直至完成铝金属填充的步骤, 并且完全避免栅沟槽形的金属填充物中的空洞, 如图 2H 所示。该继续沉积的步骤还可以包括在沉积室或者加热炉中对所述沉积的金属进行回流的步骤, 该回流步骤中, 使用的温度可以为 300-500 摄氏度, 回流步骤的持续时间为 20 分钟-2 小时。在本发明的一个实施例中, 可以进行一轮的“金属沉积步骤-去除所述栅沟槽左上角和右上角的突起的步骤-金属沉积步骤”的过程, 即可完成栅极替代工艺, 并避免在栅沟槽填充物中产生空洞。在本发明的另外的实施例中, 可以多次重复执行“金属沉积步骤-去除所述栅沟槽左上角和右上角的突起的步骤-金属沉积步骤”, 才能避免在栅沟槽填充物中产生空洞。

[0039] 至此, 完成了根据本发明示例性实施例的方法实施的全部工艺步骤。接下来, 可以通过后续工艺完成整个半导体器件的制作, 所述后续工艺与传统的半导体器件加工工艺完全相同。

[0040] 参照图 3, 其中示出了本发明提出的在栅沟槽内填入金属栅材料的方法的流程图, 用于简要示出整个制造工艺的流程。

[0041] 在步骤 301 中, 提供半导体衬底, 在所述半导体衬底上形成有用于形成金属栅极结构的栅沟槽;

[0042] 在步骤 302 中, 对所述栅沟槽执行第一金属沉积的步骤;

[0043] 在步骤 303 中, 使用电化学方法去除所述栅沟槽左上角和右上角的突起, 以扩大所述栅沟槽的开口尺寸;

[0044] 在步骤 304 中, 对所述栅沟槽执行第二金属沉积步骤。可以根据需要, 多次重复执行“金属沉积步骤-使用电化学方法去除所述栅沟槽左上角和右上角的突起的步骤-金属沉积步骤”, 直至完成金属填充的步骤, 并且完全避免金属间隙填充物中的空洞。

[0045] 根据本发明, 通过在使用铝金属对栅沟槽进行填充时以形成栅极的过程中, 进行一轮或者多轮的“金属沉积步骤-执行电化学反应去除所述栅沟槽左上角和右上角的突起的步骤-金属沉积步骤”过程, 可以避免在金属间隙填充物中产生空洞, 进而降低产品的合格率的问题。

[0046] 本发明已经通过上述实施例进行了说明, 但应当理解的是, 上述实施例只是用于举例和说明的目的, 而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是, 本发明并不局限于上述实施例, 根据本发明的教导还可以做出更多种的变型和修改, 这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

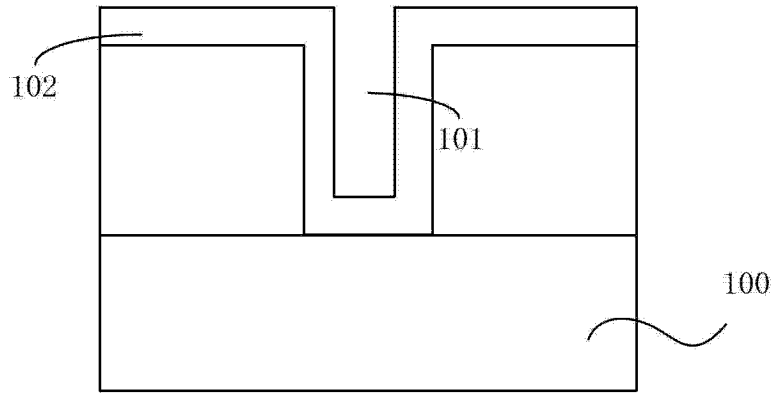


图 1A

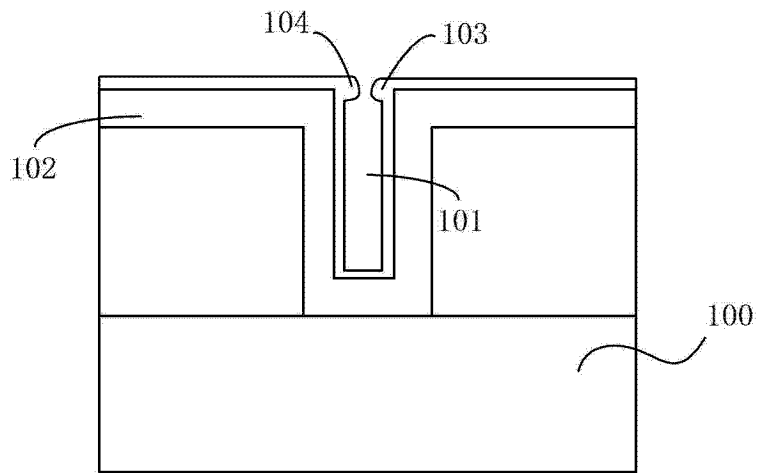


图 1B

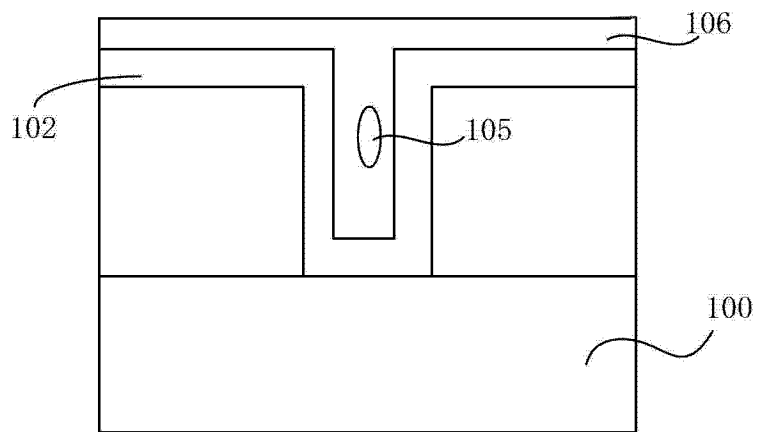


图 1C



图 2A

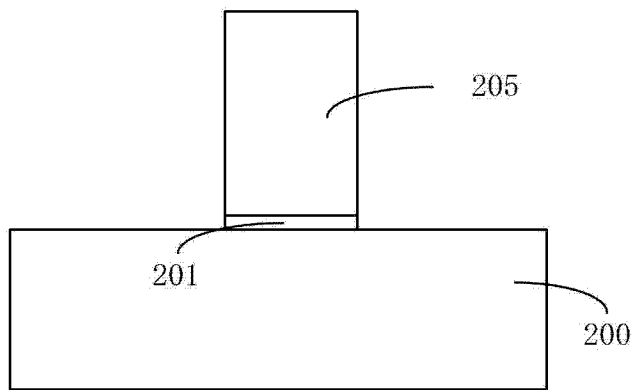


图 2B

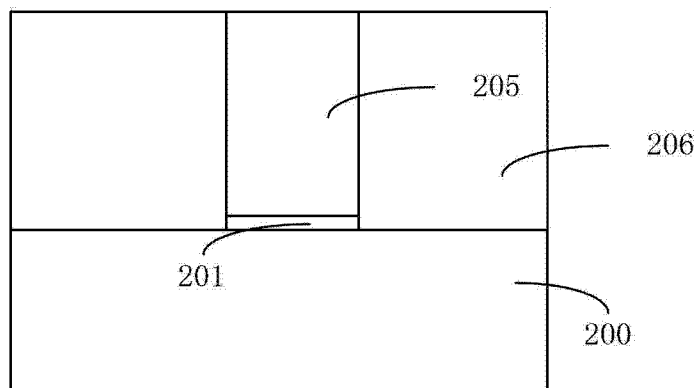


图 2C

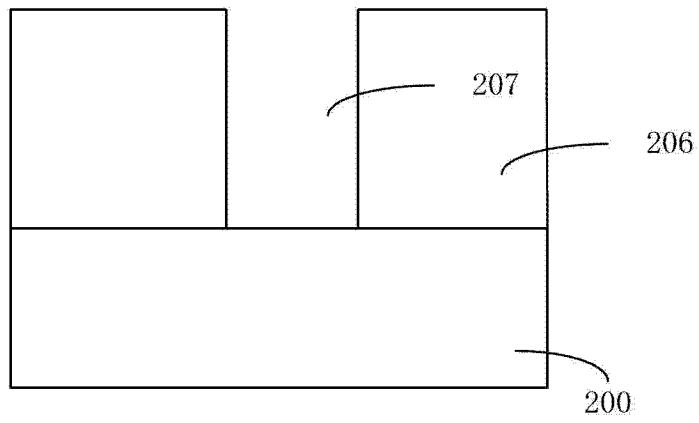


图 2D

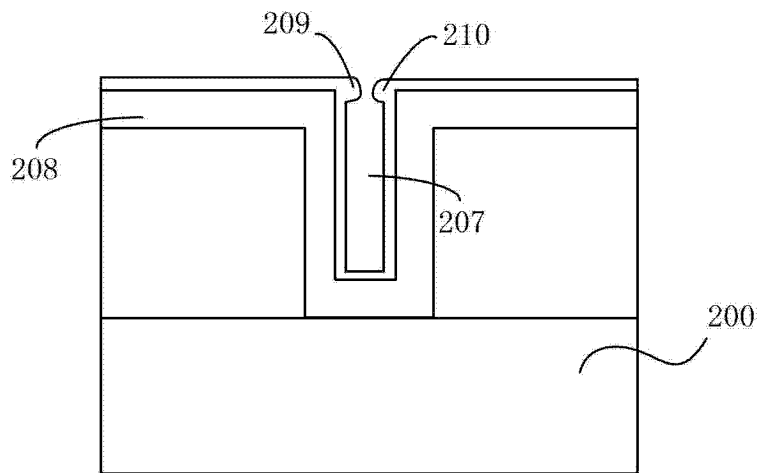


图 2E

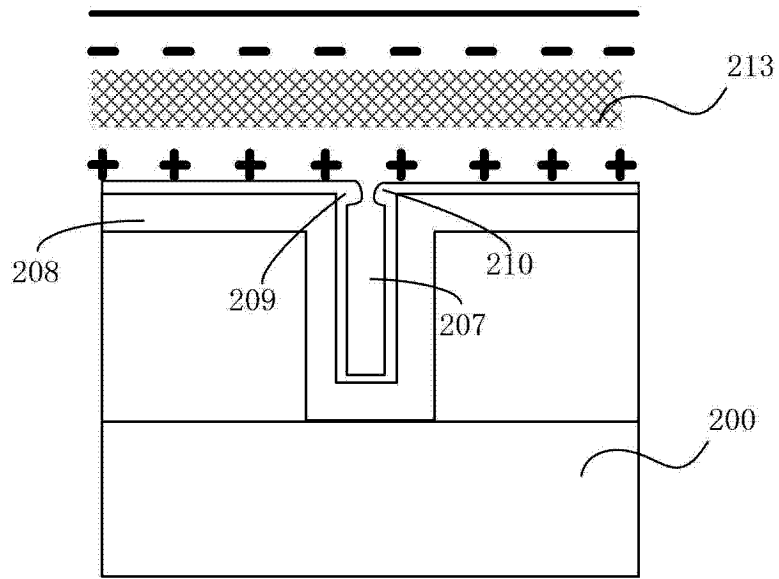


图 2F

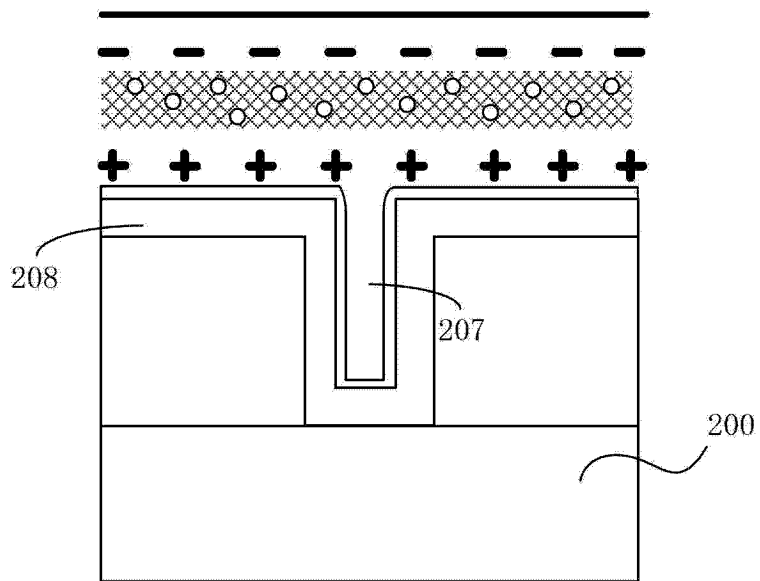


图 2G

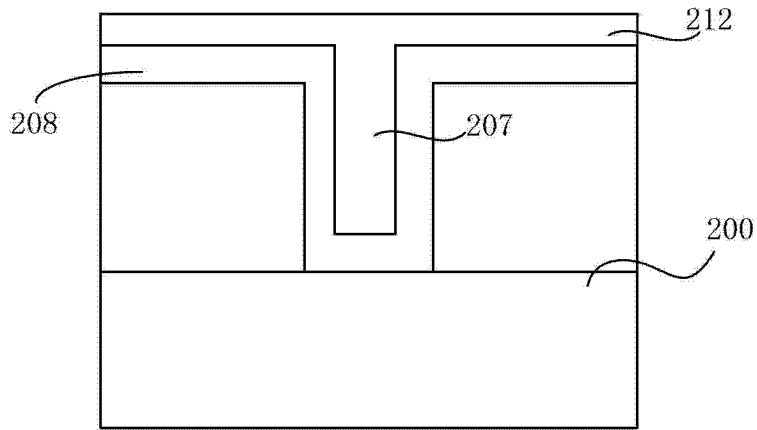


图 2H

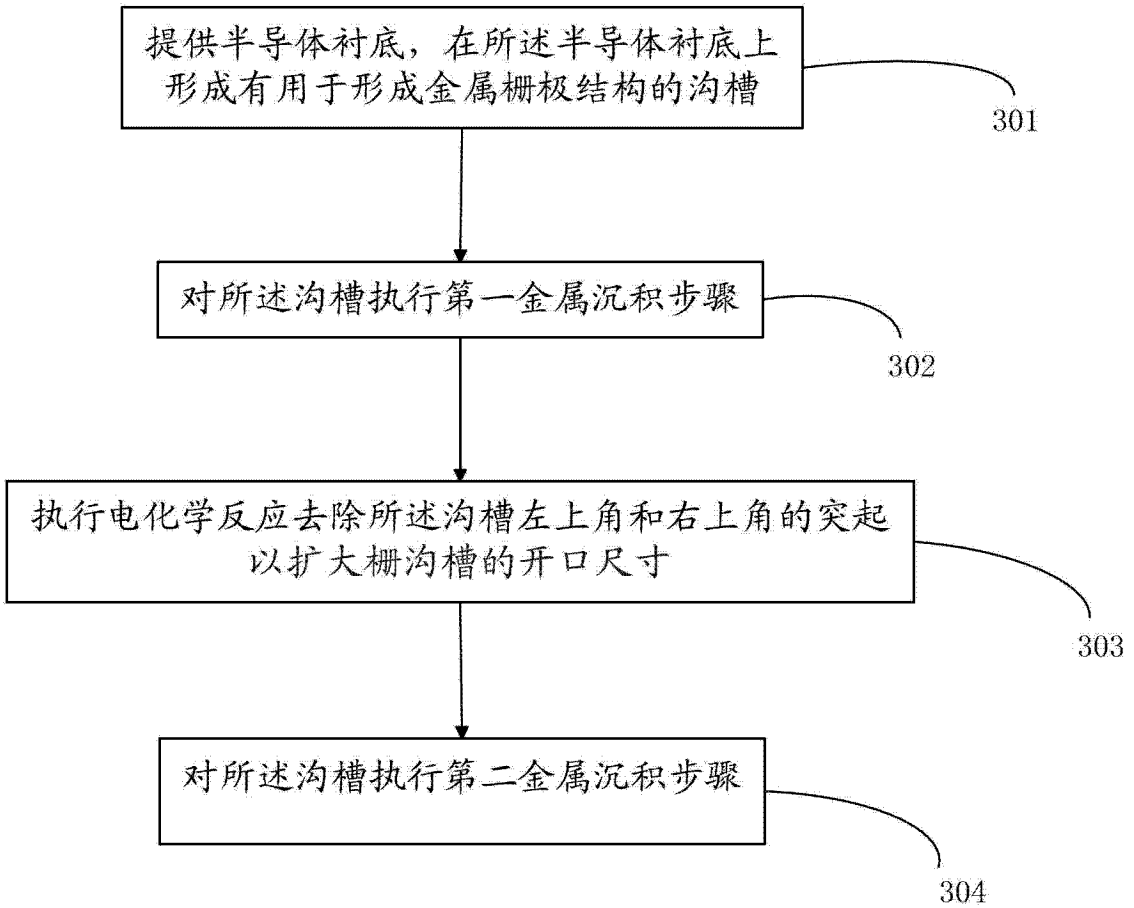


图 3