

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年4月23日(23.04.2020)



(10) 国際公開番号

WO 2020/079523 A1

(51) 国際特許分類:
G06G 7/60 (2006.01) *H01L 21/8242* (2006.01)
G06G 7/16 (2006.01) *H01L 27/108* (2006.01)
G06N 3/063 (2006.01) *H01L 29/786* (2006.01)

(21) 国際出願番号: PCT/IB2019/058507

(22) 国際出願日: 2019年10月7日(07.10.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-197383 2018年10月19日(19.10.2018) JP
特願 2019-138187 2019年7月26日(26.07.2019) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY

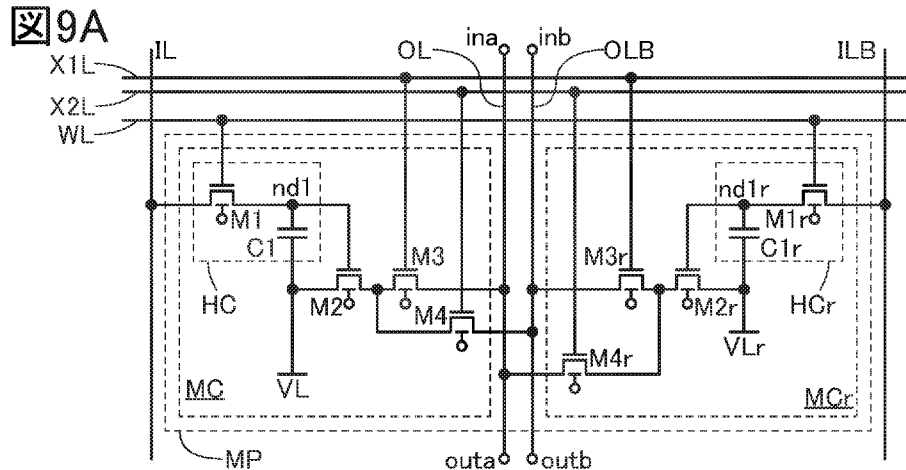
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

(72) 発明者: 木村肇(KIMURA, Hajime); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 黒川義元(KUROKAWA, Yoshiyuki); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: SEMICONDUCTOR DEVICE AND ELECTRONIC EQUIPMENT

(54) 発明の名称: 半導体装置、及び電子機器



(57) Abstract: Provided is a semiconductor device capable of performing a product-sum operation with low power consumption. This semiconductor device has first and second circuits, wherein the first circuit has a first holding node, and the second circuit has a second holding node. The first circuit is electrically connected to first and second input wirings and first and second wirings. The second circuit is electrically connected to the first and second input wirings and the first and second wirings. The first and second circuits have functions for holding first and second potentials corresponding to first data at the first and second holding nodes, respectively. When a potential according to second data is input to the first and second input wirings, the first circuit outputs a current to one among the first wiring and the second wiring, and the second circuit outputs a current to the other among the first wiring and the second wiring. The currents that the first and second circuits output to the first wiring or the second wiring are determined according to the first and second potentials held at the first and second holding nodes.

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：少ない消費電力で積和演算が可能な半導体装置を提供する。第1、第2回路を有する半導体装置であって、第1回路は、第1保持ノードを有し、第2回路は、第2保持ノードを有する。第1回路は、第1、第2入力配線と、第1、第2配線と、に電氣的に接続され、第2回路は、第1、第2入力配線と、第1、第2配線と、に電氣的に接続され、第1、第2回路のそれぞれは、第1データに応じた第1、第2電位を第1、第2保持ノードに保持する機能を有する。第1、第2入力配線に、第2データに応じた電位が入力されることによって、第1回路は、第1配線又は第2配線の一方に電流を出力し、第2回路は、第1配線又は第2配線の他方に電流を出力する。第1、第2回路が第1配線又は第2配線に出力する電流は、第1、第2保持ノードに保持されている第1、第2電位に応じて決まる。

明細書

発明の名称

半導体装置、及び電子機器

技術分野

[0001]

本発明の一態様は、半導体装置、及び電子機器に関する。

[0002]

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、又は、製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、プロセッサ、電子機器、システム、それらの駆動方法、それらの製造方法、又はそれらの検査方法を一例として挙げることができる。

背景技術

[0003]

現在、人間の脳の仕組みを模した集積回路の開発が盛んに進められている。当該集積回路は、脳の仕組みが電子回路として組み込まれており、人間の脳の「ニューロン」と「シナプス」に相当する回路を有する。そのため、そのような集積回路を、「ニューロモーフィック」や「ブレインモーフィック」や「ブレインインスパイア」と呼ぶこともある。当該集積回路は、非ノイマン型アーキテクチャを有し、処理速度の増加に伴って消費電力が大きくなるノイマン型アーキテクチャと比較して、極めて少ない消費電力で並列処理を行えると期待されている。

[0004]

「ニューロン」と「シナプス」とを有する神経回路網を模した情報処理のモデルは、人工ニューラルネットワーク（ANN）と呼ばれる。例えば、非特許文献1、及び非特許文献2には、SRAM（Static Random Access Memory）を用いて、人工ニューラルネットワークを構成した演算装置について開示されている。

[先行技術文献]

[非特許文献]

[0005]

[非特許文献1] M. Kang et al., "IEEE Journal Of Solid-State Circuits", 2018, Volume 53, No. 2, p. 642-655.

[非特許文献2] J. Zhang et al., "IEEE Journal Of Solid-State Circuits", 2017, Volume 52, No. 4, p. 915-924.

発明の概要

発明が解決しようとする課題

[0006]

人工ニューラルネットワークでは、2つのニューロン同士を結合するシナプスの結合強度（重み係数という場合がある。）と、2つのニューロン間で伝達する信号と、を乗じる計算が行われる。特に、階層型の人工ニューラルネットワークでは、第1層の複数の第1ニューロンと第2層の第2ニューロンの一との間のそれぞれのシナプスの結合強度と、第1層の複数の第1ニューロンから第2層の第2ニューロンの一に入力されるそれぞれの信号と、を乗じて足し合わせる必要があり、人工ニューラルネットワークの規模に応じて、例えば、当該結合強度の数、当該信号を示すパラメータの数が決まる。つまり、人工ニューラルネットワークは、階層の数、ニューロン数などが多くなる程、「ニューロン」及び「シナプス」のそれぞれに相当する回路の数が多くなり、演算量も膨大になることがある。

[0007]

チップを構成する回路の数が増えると消費電力が高くなり、装置の駆動時に発生する発熱量も大きくなる。特に、発熱量が高くなるほど、チップに含まれている回路素子の特性に影響が出るため、チップを構成する回路は温度による影響を受けにくい回路素子を有することが好ましい。

[0008]

本発明の一態様は、階層型の人工ニューラルネットワークが構築された半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、消費電力が低い半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、環境の温度の影響を受けにくい半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、新規な半導体装置などを提供することを課題の一とする。

[0009]

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記列挙した課題、及び他の課題の全てを解決する必要はない。

課題を解決するための手段

[0010]

(1)

本発明の一態様は、第1回路と、第2回路と、を有する半導体装置であって、第1回路は、第1保持ノードを有し、第2回路は、第2保持ノードを有し、第1回路は、第1入力配線、第2入力配線、第1配線、及び第2配線と電気的に接続され、第2回路は、第1入力配線、第2入力配線、第1配線、及び第2配線と電気的に接続され、第1回路は、第1データに応じた第1電位を第1保持ノードに保持する機能を有し、第2回路は、第1データに応じた第2電位を第2保持ノードに保持する機能を有し、第1回路は、第1入力配線に高レベル電位が入力され、かつ第2入力配線に低レベル電位が入力されたときに、第1電位に応じた電流を第1配線に出力する機能と、第1入力配線に低レベル電位が入力され、かつ第2入力配線に高レベル電位が入力されたときに、第1電位に応じた電流を第2配線に出力する機能と、第1入力配線に低レベル電位が入力され、かつ第2入力配線に低レベル電位が入力されたときに、第1電位に応じた電流を第1配線、及び第2配線に出力しない機能と、を有し、第2回路は、第1入力配線に高レベル電位が入力され、かつ第2入力配線に

低レベル電位が入力されたときに、第2電位に応じた電流を第2配線に出力する機能と、第1入力配線に低レベル電位が入力され、かつ第2入力配線に高レベル電位が入力されたときに、第2電位に応じた電流を第1配線に出力する機能と、第1入力配線に低レベル電位が入力され、かつ第2入力配線に低レベル電位が入力されたときに、第2電位に応じた電流を第1配線、及び第2配線に出力しない機能と、を有する半導体装置である。

[0011]

(2)

又は、本発明の一態様は、上記(1)の構成において、第1回路は、第1乃至第4トランジスタと、第1容量素子と、を有し、第2回路は、第5乃至第8トランジスタと、第2容量素子と、を有し、第1保持ノードは、第1トランジスタの第1端子、第2トランジスタのゲート、及び第1容量素子の第1端子と電氣的に接続され、第2トランジスタの第1端子は、第1容量素子の第2端子と電氣的に接続され、第2トランジスタの第2端子は、第3トランジスタの第1端子、及び、第4トランジスタの第1端子と電氣的に接続され、第3トランジスタのゲートは、第1入力配線と電氣的に接続され、第4トランジスタのゲートは、第2入力配線と電氣的に接続され、第3トランジスタの第2端子は、第1配線と電氣的に接続され、第4トランジスタの第2端子は、第2配線と電氣的に接続され、第2保持ノードは、第5トランジスタの第1端子、第6トランジスタのゲート、及び第2容量素子の第1端子と電氣的に接続され、第6トランジスタの第1端子は、第2容量素子の第2端子と電氣的に接続され、第6トランジスタの第2端子は、第7トランジスタの第1端子、及び、第8トランジスタの第1端子と電氣的に接続され、第7トランジスタのゲートは、第1入力配線と電氣的に接続され、第8トランジスタのゲートは、第2入力配線と電氣的に接続され、第7トランジスタの第2端子は、第2配線と電氣的に接続され、第8トランジスタの第2端子は、第1配線と電氣的に接続されている半導体装置である。

[0012]

(3)

又は、本発明の一態様は、上記(1)において、第1回路は、第1乃至第4トランジスタと、第9トランジスタと、第1容量素子と、を有し、第2回路は、第5乃至第8トランジスタと、第10トランジスタと、第2容量素子と、を有し、第1保持ノードは、第1トランジスタの第1端子、第2トランジスタのゲート、第9トランジスタのゲート、及び第1容量素子の第1端子と電氣的に接続され、第1容量素子の第2端子は、第2トランジスタの第1端子、及び、第9トランジスタの第1端子と電氣的に接続され、第2トランジスタの第2端子は、第3トランジスタの第1端子と電氣的に接続され、第9トランジスタの第2端子は、第4トランジスタの第1端子と電氣的に接続され、第3トランジスタのゲートは、第1入力配線と電氣的に接続され、第4トランジスタのゲートは、第2入力配線と電氣的に接続され、第3トランジスタの第2端子は、第1配線と電氣的に接続され、第4トランジスタの第2端子は、第2配線と電氣的に接続され、第2保持ノードは、第5トランジスタの第1端子、第6トランジスタのゲート、第10トランジスタのゲート、及び第2容量素子の第1端子と電氣的に接続され、第2容量素子の第2端子は、第6トランジスタの第1端子、及び、第10トランジスタの第1端子と電氣的に接続され、第6トランジスタの第2端子は、第7トランジスタの第1端子と電氣的に接続され、第10トランジスタの第2端子は、第8トランジスタの第1端子と電氣的に接続され、第7トランジスタのゲートは、第1入力配線と電氣的に接続され、第8トランジスタのゲートは、第2入力配線と電氣的に接続され、第7トランジスタの第2端子は、

第2配線と電氣的に接続され、第8トランジスタの第2端子は、第1配線と電氣的に接続されている半導体装置である。

[0013]

(4)

又は、本発明の一態様は、上記(1)の構成において、第1回路は、第1乃至第4トランジスタと、第1論理回路と、第2論理回路と、を有し、第2回路は、第5乃至第8トランジスタと、第3論理回路と、第4論理回路と、を有し、第1乃至第4論理回路のそれぞれは、入力端子に入力された信号の反転信号を出力端子から出力する機能を有し、第1保持ノードは、第1論理回路の入力端子、第2論理回路の出力端子、第1トランジスタの第1端子、及び第2トランジスタのゲートと電氣的に接続され、第1論理回路の出力端子は、第2論理回路の入力端子と電氣的に接続され、第2トランジスタの第2端子は、第3トランジスタの第1端子、及び第4トランジスタの第1端子と電氣的に接続され、第3トランジスタのゲートは、第1入力配線と電氣的に接続され、第4トランジスタのゲートは、第2入力配線と電氣的に接続され、第3トランジスタの第2端子は、第1配線と電氣的に接続され、第4トランジスタの第2端子は、第2配線と電氣的に接続され、第2保持ノードは、第3論理回路の入力端子、第4論理回路の出力端子、第5トランジスタの第1端子、及び第6トランジスタのゲートと電氣的に接続され、第3論理回路の出力端子は、第4論理回路の入力端子と電氣的に接続され、第6トランジスタの第2端子は、第7トランジスタの第1端子、及び第8トランジスタの第1端子と電氣的に接続され、第7トランジスタのゲートは、第1入力配線と電氣的に接続され、第8トランジスタのゲートは、第2入力配線と電氣的に接続され、第7トランジスタの第2端子は、第2配線と電氣的に接続され、第8トランジスタの第2端子は、第1配線と電氣的に接続されている半導体装置である。

[0014]

(5)

又は、本発明の一態様は、上記(1)の構成において、第1回路は、第1乃至第4トランジスタと、第1論理回路と、第2論理回路と、を有し、第2回路は、第6乃至第8トランジスタを有し、第1論理回路、第2論理回路のそれぞれは、入力端子に入力された信号の反転信号を出力端子から出力する機能を有し、第1保持ノードは、第1論理回路の入力端子、第2論理回路の出力端子、第1トランジスタの第1端子、及び第2トランジスタのゲートと電氣的に接続され、第1論理回路の出力端子は、第2論理回路の入力端子と電氣的に接続され、第2トランジスタの第2端子は、第3トランジスタの第1端子、及び第4トランジスタの第1端子と電氣的に接続され、第3トランジスタのゲートは、第1入力配線と電氣的に接続され、第4トランジスタのゲートは、第2入力配線と電氣的に接続され、第3トランジスタの第2端子は、第1配線と電氣的に接続され、第4トランジスタの第2端子は、第2配線と電氣的に接続され、第2保持ノードは、第2論理回路の入力端子、第1論理回路の出力端子、及び第6トランジスタのゲートと電氣的に接続され、第6トランジスタの第2端子は、第7トランジスタの第1端子、及び、第8トランジスタの第1端子と電氣的に接続され、第7トランジスタのゲートは、第1入力配線と電氣的に接続され、第8トランジスタのゲートは、第2入力配線と電氣的に接続され、第7トランジスタの第2端子は、第2配線と電氣的に接続され、第8トランジスタの第2端子は、第1配線と電氣的に接続されている半導体装置である。

[0015]

(6)

又は、本発明の一態様は、第1回路と、第2回路と、を有する半導体装置であって、第1回路は、第1負荷回路を有し、第2回路は、第2負荷回路を有し、第1負荷回路と、第2負荷回路と、のそれぞれは、第1端子と、第2端子と、を有し、第1負荷回路と、第2負荷回路と、のそれぞれは、第1データに応じて第1端子と第2端子との間の抵抗値を変化する機能を有し、第1回路は、第1入力配線、第2入力配線、第1配線、及び第2配線と電氣的に接続され、第2回路は、第1入力配線、第2入力配線、第1配線、及び第2配線と電氣的に接続され、第1回路は、第1入力配線に高レベル電位が入力され、かつ第2入力配線に低レベル電位が入力されたときに、第1負荷回路の抵抗値に応じた電流を第1配線に出力する機能と、第1入力配線に低レベル電位が入力され、かつ第2入力配線に高レベル電位が入力されたときに、第1負荷回路の抵抗値に応じた電流を第2配線に出力する機能と、第1入力配線に低レベル電位が入力され、かつ第2入力配線に低レベル電位が入力されたときに、第1負荷回路の抵抗値に応じた電流を第1配線、及び、第2配線に出力しない機能と、を有し、第2回路は、第1入力配線に高レベル電位が入力され、かつ第2入力配線に低レベル電位が入力されたときに、第2負荷回路の抵抗値に応じた電流を第2配線に出力する機能と、第1入力配線に低レベル電位が入力され、かつ第2入力配線に高レベル電位が入力されたときに、第2負荷回路の抵抗値に応じた電流を第1配線に出力する機能と、第1入力配線に低レベル電位が入力され、かつ第2入力配線に低レベル電位が入力されたときに、第2負荷回路の抵抗値に応じた電流を第1配線、及び、第2配線に出力しない機能と、を有する半導体装置である。

[0016]

(7)

又は、本発明の一態様は、上記(6)の構成において、第1回路は、第3トランジスタと、第4トランジスタと、を有し、第2回路は、第7トランジスタと、第8トランジスタと、を有し、第1負荷回路の第1端子は、第3トランジスタの第1端子、及び第4トランジスタの第1端子と電氣的に接続され、第3トランジスタのゲートは、第1入力配線と電氣的に接続され、第4トランジスタのゲートは、第2入力配線と電氣的に接続され、第3トランジスタの第2端子は、第1配線と電氣的に接続され、第4トランジスタの第2端子は、第2配線と電氣的に接続され、第2負荷回路の第1端子は、第7トランジスタの第1端子、及び第8トランジスタの第1端子と電氣的に接続され、第7トランジスタのゲートは、第1入力配線と電氣的に接続され、第8トランジスタのゲートは、第2入力配線と電氣的に接続され、第7トランジスタの第2端子は、第2配線と電氣的に接続され、第8トランジスタの第2端子は、第1配線と電氣的に接続されている半導体装置である。

[0017]

(8)

又は、本発明の一態様は、上記(7)の構成において、第1回路は、第1トランジスタを有し、第2回路は、第2トランジスタを有し、第1トランジスタの第1端子は、第1負荷回路の第1端子と電氣的に接続され、第2トランジスタの第1端子は、第2負荷回路の第1端子と電氣的に接続されている半導体装置である。

[0018]

(9)

又は、本発明の一態様は、上記(6)乃至(8)のいずれか一の構成において、第1負荷回路は、抵抗変化素子、MTJ素子、相変化メモリのいずれか一を有し、第2負荷回路は、抵抗変化素子、MTJ素子、相変化メモリのいずれか一を有する半導体装置である。

[0019]

(10)

又は、本発明の一態様は、上記（１）乃至（９）のいずれか一の構成において、第３回路と、第４回路と、を有し、第３回路は、第１入力配線と、第２入力配線と、のそれぞれに第２データに応じた電位を入力する機能を有し、第４回路は、第１配線と、第２配線と、のそれぞれから流れる電流を比較して、第４回路の出力端子から、第１データと第２データの積に応じた電位を出力する機能を有する半導体装置である。

[0020]

(11)

又は、本発明の一態様は、上記（１）乃至（１０）のいずれか一の半導体装置を有し、半導体装置によってニューラルネットワークの演算を行う電子機器である。

[0021]

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップや、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置であり、半導体装置を有している場合がある。

[0022]

また、本明細書等において、XとYとが接続されていると記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも、図又は文章に開示されているものとする。X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層など）であるとする。

[0023]

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に１個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。

[0024]

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（デジタルアナログ変換回路、アナログデジタル変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅又は電流量などを大きくできる回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に１個以上接続されることが可能である。なお、一例として、XとYと

の間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

[0025]

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

[0026]

また、例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。又は、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。又は、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0027]

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

[0028]

また、本明細書等において、トランジスタは、ゲート、ソース、及びドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソース又はドレインとして機能する2つの端子は、トランジスタの入出力端子である。2つの入出力端子は、トランジスタの導電型（nチャネル型、pチャネル型）及びトランジスタの3つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソースやドレインの用語は、言い換えることができるものとする。また、本明細書等では、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第1電極、又は第1端子）、

「ソース又はドレインの他方」（又は第2電極、又は第2端子）という表記を用いる。なお、トランジスタの構造によっては、上述した3つの端子に加えて、バックゲートを有する場合がある。この場合、本明細書等において、トランジスタのゲート又はバックゲートの一方を第1ゲートと呼称し、トランジスタのゲート又はバックゲートの他方を第2ゲートと呼称することがある。更に、同じトランジスタにおいて、「ゲート」と「バックゲート」の用語は互いに入れ換えることができる場合がある。また、トランジスタが、3以上のゲートを有する場合は、本明細書等においては、それぞれのゲートを第1ゲート、第2ゲート、第3ゲートなどと呼称することがある。

[0029]

また、本明細書等において、ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

[0030]

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

[0031]

「電流」とは、電荷の移動現象（電気伝導）のことであり、例えば、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとは、電子、正孔、アニオン、カチオン、錯イオン等が挙げられ、電流の流れる系（例えば、半導体、金属、電解液、真空中など）によってキャリアが異なる。また、配線等における「電流の向き」は、正のキャリアが移動する方向とし、正の電流量で記載する。換言すると、負のキャリアが移動する方向は、電流の向きと逆の方向となり、負の電流量で表現される。そのため、本明細書等において、電流の正負（又は電流の向き）について断りがない場合、「素子Aから素子Bに電流が流れる」等の記載は「素子Bから素子Aに電流が流れる」等と言い換えることができるものとする。また、「素子Aに電流が入力される」等の記載は「素子Aから電流が出力される」等と言い換えることができるものとする。

[0032]

また、本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

[0033]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定

されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現では、示している図面の向きを180度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。

[0034]

また、「上」や「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

[0035]

また、本明細書等において、「膜」、「層」などの語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

[0036]

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

[0037]

また、本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

[0038]

本明細書等において、半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にDOS (Density of States) が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。具体的には、

半導体がシリコン層である場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

[0039]

本明細書等において、スイッチとは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。一例としては、電氣的なスイッチ、機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

[0040]

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

[0041]

機械的なスイッチの一例としては、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

発明の効果

[0042]

本発明の一態様によって、階層型の人工ニューラルネットワークが構築された半導体装置などを提供することができる。又は、本発明の一態様によって、消費電力が低い半導体装置などを提供することができる。又は、本発明の一態様によって、環境の温度の影響を受けにくい半導体装置などを提供することができる。又は、本発明の一態様によって、新規な半導体装置などを提供することができる。

[0043]

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

図面の簡単な説明

[0044]

図1A、図1Bは階層型のニューラルネットワークを説明する図である。

図 2 は半導体装置の構成例を示す回路図である。

図 3 A、図 3 B、図 3 C、図 3 D、図 3 E、図 3 F は半導体装置が有する回路の構成例を示す回路図である。

図 4 A、図 4 B、図 4 C、図 4 D、図 4 E、図 4 F は半導体装置が有する回路の構成例を示す回路図である。

図 5 A、図 5 B、図 5 C、図 5 D、図 5 E、図 5 F は半導体装置が有する回路の構成例を示す回路図である。

図 6 は半導体装置の構成例を示す回路図である。

図 7 は半導体装置の構成例を示す回路図である。

図 8 は半導体装置の構成例を示す回路図である。

図 9 A、図 9 B、図 9 C は半導体装置が有する回路の構成例を示す回路図である。

図 10 A、図 10 B は半導体装置が有する回路の構成例を示す回路図である。

図 11 A、図 11 B は半導体装置が有する回路の構成例を示す回路図である。

図 12 A、図 12 B は半導体装置が有する回路の構成例を示す回路図である。

図 13 A、図 13 B、図 13 C は半導体装置が有する回路の動作例を示すタイミングチャートである。

図 14 A、図 14 B、図 14 C は半導体装置が有する回路の動作例を示すタイミングチャートである。

図 15 A、図 15 B、図 15 C は半導体装置が有する回路の動作例を示すタイミングチャートである。

図 16 A、図 16 B は半導体装置が有する回路の構成例を示す回路図である。

図 17 は半導体装置が有する回路の構成例を示す回路図である。

図 18 A、図 18 B、図 18 C、図 18 D は半導体装置が有する回路の構成例を示す回路図である。

図 19 は半導体装置が有する回路の構成例を示す回路図である。

図 20 A、図 20 B は半導体装置が有する回路の構成例を示す回路図である。

図 21 A、図 21 B は半導体装置が有する回路の構成例を示す回路図である。

図 22 A、図 22 B、図 22 C は半導体装置が有する回路の構成例を示す回路図である。

図 23 A、図 23 B、図 23 C は半導体装置が有する回路の構成例を示す回路図である。

図 24 A、図 24 B は半導体装置が有する回路の構成例を示す回路図である。

図 25 A、図 25 B は半導体装置が有する回路の構成例を示す回路図である。

図 26 A、図 26 B は半導体装置が有する回路の構成例を示す回路図である。

図 27 A、図 27 B は半導体装置が有する回路の構成例を示す回路図である。

図 28 は半導体装置の構成例を示す断面図である。

図 29 は半導体装置の構成例を示す断面図である。

図 30 A、図 30 B、図 30 C はトランジスタの構造例を示す断面図である。

図 31 A、図 31 B、図 31 C はトランジスタの構造例を示す上面図、及び断面図である。

図 32 A、図 32 B、図 32 C はトランジスタの構造例を示す上面図、及び断面図である。

図 33 A、図 33 B、図 33 C はトランジスタの構造例を示す上面図、及び断面図である。

図 34 A、図 34 B、図 34 C はトランジスタの構造例を示す上面図、及び断面図である。

図 35 A、図 35 B、図 35 C はトランジスタの構造例を示す上面図、及び断面図である。

図36A、図36Bはトランジスタの構造例を示す上面図、及び斜視図である。

図37A、図37Bはトランジスタの構造例を示す断面図である。

図38A、図38B、図38Cは容量素子の構造例を示す上面図、及び斜視図である。

図39A、図39B、図39Cは容量素子の構造例を示す上面図、及び斜視図である。

図40A、図40B、図40C、図40Dは半導体ウェハと電子部品の一例を示す斜視図である。

図41は電子機器の一例を示す斜視図である。

図42Aは電子機器の一例を示す正面図であり、図42B、図42Cは電子機器の一例を示す斜視図である。

発明を実施するための形態

[0045]

人工ニューラルネットワーク（以後、ニューラルネットワークと呼称する。）において、シナプスの結合強度は、ニューラルネットワークに既存の情報を与えることによって、変化することができる。このように、ニューラルネットワークに既存の情報を与えて、結合強度を決める処理を「学習」と呼ぶ場合がある。

[0046]

また、「学習」を行った（結合強度を定めた）ニューラルネットワークに対して、何らかの情報を与えることにより、その結合強度に基づいて新たな情報を出力することができる。このように、ニューラルネットワークにおいて、与えられた情報と結合強度に基づいて新たな情報を出力する処理を「推論」又は「認知」と呼ぶ場合がある。

[0047]

ニューラルネットワークのモデルとしては、例えば、ホップフィールド型、階層型などが挙げられる。特に、多層構造としたニューラルネットワークを「ディープニューラルネットワーク」（DNN）と呼称し、ディープニューラルネットワークによる機械学習を「ディープラーニング」と呼称する場合がある。

[0048]

本明細書等において、金属酸化物（metal oxide）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Oxide Semiconductor又は単にOSともいう）などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも1つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体（metal oxide semiconductor）と呼ぶことができる。また、OSFET、又はOSトランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

[0049]

また、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

[0050]

また、本明細書等において、各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

[0051]

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）と、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

[0052]

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

[0053]

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）と、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

[0054]

本明細書に記載の実施の形態について図面を参照しながら説明している。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

[0055]

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“_1”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。

[0056]

また、本明細書の図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0057]

（実施の形態1）

本実施の形態では、本発明の一態様の半導体装置である、ニューラルネットワークの演算を行う演算回路について説明する。

[0058]

<階層型のニューラルネットワーク>

初めに、階層型のニューラルネットワークについて説明する。階層型のニューラルネットワークは、一例としては、一の入力層と、一又は複数の中間層（隠れ層）と、一の出力層と、を有し、合計3以上の層によって構成されている。図1 Aに示す階層型のニューラルネットワーク100はその一例を示しており、ニューラルネットワーク100は、第1層乃至第R層（ここでのRは4以上の整数とすることができる。）を有している。特に、第1層は入力層に相当し、第R層は出力層に相当し、それら以外の層は中間層に相当する。なお、図1 Aには、中間層として第 $(k-1)$ 層、第k層（ここでのkは3以上 $R-1$ 以下の整数とする。）を図示しており、それ以外の中間層については図示を省略している。

[0059]

ニューラルネットワーク100の各層は、一又は複数のニューロンを有する。図1 Aにおいて、第1層はニューロン $N_1^{(1)}$ 乃至ニューロン $N_p^{(1)}$ （ここでのpは1以上の整数である。）を有し、第 $(k-1)$ 層はニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ （ここでのmは1以上の整数である。）を有し、第k層はニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ （ここでのnは1以上の整数である。）を有し、第R層はニューロン $N_1^{(R)}$ 乃至ニューロン $N_q^{(R)}$ （ここでのqは1以上の整数である。）を有する。

[0060]

なお、図1 Aには、ニューロン $N_1^{(1)}$ 、ニューロン $N_p^{(1)}$ 、ニューロン $N_1^{(k-1)}$ 、ニューロン $N_m^{(k-1)}$ 、ニューロン $N_1^{(k)}$ 、ニューロン $N_n^{(k)}$ 、ニューロン $N_1^{(R)}$ 、ニューロン $N_q^{(R)}$ に加えて、第 $(k-1)$ 層のニューロン $N_i^{(k-1)}$ （ここでのiは1以上m以下の整数である。）、第k層のニューロン $N_j^{(k)}$ （ここでのjは1以上n以下の整数である。）も図示しており、それ以外のニューロンについては図示を省略している。

[0061]

次に、前層のニューロンから次層のニューロンへの信号の伝達、及びそれぞれのニューロンにおいて入出力される信号について説明する。なお、本説明では、第k層のニューロン $N_j^{(k)}$ に着目している。

[0062]

図1 Bは、第k層のニューロン $N_j^{(k)}$ と、ニューロン $N_j^{(k)}$ に入力される信号と、ニューロン $N_j^{(k)}$ から出力される信号と、を示している。

[0063]

具体的には、第 $(k-1)$ 層のニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ のそれぞれの出力信号である $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ が、ニューロン $N_j^{(k)}$ に向けて出力されている。そして、ニューロン $N_j^{(k)}$ は、 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ に応じて $z_j^{(k)}$ を生成して、 $z_j^{(k)}$ を出力信号として第 $(k+1)$ 層（図示しない。）の各ニューロンに向けて出力する。

[0064]

前層のニューロンから次層のニューロンに入力される信号は、それらのニューロン同士を接続するシナプスの結合強度（以後、重み係数と呼称する。）によって、信号の伝達の度合いが定まる。ニューラルネットワーク100では、前層のニューロンから出力された信号は、対応する重み係数を乗じられて、次層のニューロンに入力される。iを1以上m以下の整数として、第 $(k-1)$ 層のニューロン $N_i^{(k-1)}$ と第k層のニューロン $N_j^{(k)}$ との間のシナプスの重み係数を $w_{ij}^{(k-1)}$

^(k)としたとき、第k層のニューロン $N_j^{(k)}$ に入力される信号は、式(1.1)で表すことができる。

[0065]

[数1]

$$w_i^{(k-1)} \cdot z_i^{(k-1)} \quad \dots(1.1)$$

[0066]

つまり、第(k-1)層のニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ のそれぞれから第k層のニューロン $N_j^{(k)}$ に信号が伝達するとき、当該信号である $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ には、それぞれの信号に対応する重み係数($w_1^{(k-1)} \cdot z_1^{(k-1)}$ 乃至 $w_m^{(k-1)} \cdot z_m^{(k-1)}$)が乗じられる。そして、第k層のニューロン $N_j^{(k)}$ には、 $w_1^{(k-1)} \cdot z_1^{(k-1)}$ 乃至 $w_m^{(k-1)} \cdot z_m^{(k-1)}$ が入力される。このとき、第k層のニューロン $N_j^{(k)}$ に入力される信号の総和 $u_j^{(k)}$ は、式(1.2)となる。

[0067]

[数2]

$$u_j^{(k)} = \sum_{i=1}^m w_i^{(k-1)} \cdot z_i^{(k-1)} \quad \dots(1.2)$$

[0068]

ニューロン $N_j^{(k)}$ は、 $u_j^{(k)}$ に応じて、出力信号 $z_j^{(k)}$ を生成する。ここで、ニューロン $N_j^{(k)}$ からの出力信号 $z_j^{(k)}$ を次の式で定義する。

[0069]

[数3]

$$z_j^{(k)} = f(u_j^{(k)}) \quad \dots(1.3)$$

[0070]

関数 $f(u_j^{(k)})$ は、階層型のニューラルネットワークにおける活性化関数であり、ステップ関数、線形ランプ関数、シグモイド関数などを用いることができる。なお、活性化関数は、全てのニューロンにおいて同一でもよいし、又は異なってもよい。加えて、ニューロンの活性化関数は、層毎において、同一でもよいし、異なってもよい。

[0071]

ところで、各層のニューロンが出力する信号は、アナログ値としてもよいし、デジタル値としてもよい。デジタル値としては、例えば、2値としてもよいし、3値としてもよい。アナログ値の場合、活性化関数として、例えば、線形ランプ関数、シグモイド関数などを用いればよい。デジタル値の2値の場合、例えば、出力を-1若しくは1、又は、0若しくは1、とするステップ関数を用いればよい。また、各層のニューロンが出力する信号は3値以上としてもよく、この場合、活性化関数は3値、例えば出力は-1、0、若しくは1とするステップ関数、又は、0、1、若しくは2とするステップ関数などを用いればよい。

[0072]

ニューラルネットワーク 100 は、第 1 層（入力層）に入力信号が入力されることによって、第 1 層（入力層）から最後の層（出力層）までの各層において順次に、前層から入力された信号を基に、式（1. 1）乃至（1. 3）を用いて出力信号を生成して、当該出力信号を次層に出力する動作を行う。最後の層（出力層）から出力された信号が、ニューラルネットワーク 100 によって計算された結果に相当する。

[0073]

<演算回路の構成例>

ここでは、上述のニューラルネットワーク 100 において、式（1. 2）、及び式（1. 3）の演算を行うことができる演算回路の例について説明する。なお、当該演算回路において、一例として、ニューラルネットワーク 100 のシナプス回路の重み係数を、2 値（“−1”、“+1”の組み合わせ、又は“0”、“+1”の組み合わせ等。）、又は 3 値（“−1”、“0”、“1”の組み合わせ等。）とし、ニューロンの活性化関数が 2 値（“−1”、“+1”の組み合わせ、又は“0”、“+1”の組み合わせ等。）、又は 3 値（“−1”、“0”、“1”の組み合わせ等。）を出力する関数とする。また、本明細書等において、重み係数と、前層のニューロンから次層のニューロンに入力される信号の値（演算値と呼称する場合がある）とについて、そのいずれか一方を第 1 データと呼称し、他方を第 2 データと呼称する。

[0074]

図 2 に示す演算回路 110 は、一例として、アレイ部 ALP と、回路 ILD と、回路 WLD と、回路 XLD と、回路 AFP と、を有する半導体装置である。演算回路 110 は、図 1 A、及び図 1 B における第 k 層のニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ に入力される信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ を処理して、ニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ のそれぞれから出力される信号 $z_1^{(k)}$ 乃至 $z_n^{(k)}$ を生成する回路である。

[0075]

なお、演算回路 110 の全体、または、その一部について、ニューラルネットワークや AI 以外の用途で使用してよい。例えば、グラフィック向けの計算や、科学計算用の計算などにおいて、積和演算処理や行列演算処理を行う場合に、演算回路 110 の全体、または、その一部を用いて、処理を行ってもよい。つまり、AI 向けの計算だけでなく、一般的な計算のために、演算回路 110 の全体、または、その一部を用いてもよい。

[0076]

回路 ILD は、一例として、配線 IL [1] 乃至配線 IL [n] と、配線 ILB [1] 乃至配線 ILB [n] と、に電氣的に接続される。回路 WLD は、一例として、配線 WLS [1] 乃至配線 WLS [m] に電氣的に接続される。回路 XLD は、一例として、配線 XLS [1] 乃至配線 XLS [m] に電氣的に接続されている。回路 AFP は、一例として、配線 OL [1] 乃至配線 OL [n] と、配線 OLB [1] 乃至配線 OLB [n] と、に電氣的に接続されている。

[0077]

<<アレイ部 ALP>>

アレイ部 ALP は、一例として、 $m \times n$ 個の回路 MP を有している。回路 MP は、一例として、アレイ部 ALP 内において、 m 行 n 列のマトリクス状に配置されている。なお、図 2 では、 i 行 j 列（ここでの i は 1 以上 m 以下の整数であって、 j は 1 以上 n 以下の整数である。）に位置する回路 MP を、回路 MP [i , j] と表記している。但し、図 2 では、回路 MP [1, 1]、回路 MP

[m, 1]、回路MP [i, j]、回路MP [1, n]、回路MP [m, n]のみ図示しており、それ以外の回路MP Cについては図示を省略している。

[0078]

回路MP [i, j]は、一例として、配線IL[j]と、配線ILB[j]と、配線WLS[i]と、配線XLS[i]と、配線OL[j]と、配線OLB[j]と、に電氣的に接続されている。

[0079]

回路MP [i, j]は、一例として、ニューロン $N_i^{(k-1)}$ とニューロン $N_j^{(k)}$ との間の重み係数（第1データ又は第2データ的一方と呼称する場合がある。ここでは第1データと呼称する）を保持する機能を有する。具体的には、回路MP [i, j]は、配線IL[j]及び配線ILB[j]から入力される、第1データ（重み係数）に応じた情報（例えば、電位、抵抗値、電流値など）の保持を行う。また、回路MP [i, j]は、ニューロン $N_i^{(k-1)}$ から出力される信号 $z_i^{(k-1)}$ （第1データ又は第2データの他方と呼称する場合がある。ここでは第2データと呼称する）と第1データとの積を出力する機能を有する。具体的な例としては、回路MP [i, j]は、配線XLS[i]から第2データ $z_i^{(k-1)}$ が入力されることで、第1データと第2データとの積に応じた情報（例えば、電流、電圧など）、又は、第1データと第2データとの積に関連した情報（例えば、電流、電圧など）電流を配線OL[j]及び配線OLB[j]に出力する。なお、配線IL[j]及び配線ILB[j]が配置されている場合の例を示したが、本発明の一態様は、これに限定されない。配線IL[j]及び配線ILB[j]のいずれか一方のみが配置されていてもよい。なお、配線OL[j]及び配線OLB[j]が配置されている場合の例を示したが、本発明の一態様は、これに限定されない。配線OL[j]及び配線OLB[j]のいずれか一方のみが配置されていてもよい。

[0080]

<<回路ILD>>

回路ILDは、一例として、配線IL[1]乃至配線IL[n]と、配線ILB[1]乃至配線ILB[n]と、を介して、回路MP [1, 1]乃至回路MP [m, n]のそれぞれに対して、重み係数である第1データ $w_1^{(k-1)}_1^{(k)}$ 乃至 $w_m^{(k-1)}_n^{(k)}$ に対応する情報（例えば、電位、抵抗値、電流値など）を入力する機能を有する。具体的な例としては、回路ILDは、回路MP [i, j]に対して、重み係数である第1データ $w_i^{(k-1)}_j^{(k)}$ に対応する情報（例えば、電位、抵抗値、または、電流値など）を、配線IL[j]、配線ILB[j]によって供給する。

[0081]

<<回路WLD>>

回路WLDは、一例として、回路ILDから入力される第1データに応じた情報（例えば、電位、抵抗値、電流値など）の書き込む先となる回路MPを選択する機能を有する。例えば、アレイ部ALPのi行目に位置する回路MP [i, 1]乃至回路MP [i, n]に情報（例えば、電位、抵抗値、電流値など）の書き込みを行う場合、回路WLDは、例えば、回路MP [i, 1]乃至回路MP [i, n]に含まれる書き込み用スイッチング素子をオン状態又はオフ状態にするための信号を配線WLS[i]に供給し、i行目以外の回路MPに含まれる書き込み用スイッチング素子をオフ状態にする電位を配線WLSに供給すればよい。なお、配線WLS[i]が配置されている場合の例を示したが、本発明の一態様は、これに限定されない。例えば、配線WLS[i]を複数の配線として、配置してもよい。

[0082]

<<回路XLD>>

回路XLDは、一例として、配線XLS [1] 乃至配線XLS [m] を介して、回路MP [1, 1] 乃至回路MP [m, n] のそれぞれに対して、ニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k)}$ から出力された演算値に相当する第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ を供給する機能を有する。具体的には、回路XLDは、回路MP [i, 1] 乃至回路MP [i, n] に対して、ニューロン $N_i^{(k-1)}$ から出力された第2データ $z_i^{(k-1)}$ に対応する情報（例えば、電位、電流値など）を、配線XLS [i] によって供給する。なお、配線XLS [i] が配置されている場合の例を示したが、本発明の一態様は、これに限定されない。例えば、配線XLS [i] を複数の配線として、配置してもよい。

[0083]

<<回路AFP>>

回路AFPは、一例としては、回路ACTF [1] 乃至回路ACTF [n] を有する。回路ACTF [j] は、一例として、配線OL [j] と、配線OLB [j] と、のそれぞれに電氣的に接続されている。回路ACTF [j] は、一例としては、配線OL [j] と配線OLB [j] から入力されるそれぞれの情報（例えば、電位、電流値など）に応じた信号を生成する。一例としては、配線OL [j] と配線OLB [j] から入力されるそれぞれの情報（例えば、電位、または、電流値など）を比較し、その比較結果に応じた信号を生成する。当該信号は、ニューロン $N_j^{(k)}$ から出力される信号 $z_j^{(k)}$ に相当する。つまり、回路ACTF [1] 乃至回路ACTF [n] は、一例としては、上述したニューラルネットワークの活性化関数の演算を行う回路として機能する。ただし、本発明の一態様は、これに限定されない。例えば、回路ACTF [1] 乃至回路ACTF [n] は、アナログ信号をデジタル信号に変換する機能を有していてもよい。または例えば、回路ACTF [1] 乃至回路ACTF [n] は、アナログ信号を増幅して出力する機能、つまり、出力インピーダンスを変換する機能を有していてもよい。なお、回路ACTFが配置されている場合の例を示したが、本発明の一態様は、これに限定されない。回路ACTFが配置されていなくてもよい。

[0084]

回路ACTF [1] 乃至回路ACTF [n] は、一例として、図3Aに示す回路構成とすることができる。図3Aは、一例として、配線OL [j]、配線OLB [j] から入力された電流に応じて、信号 $z_j^{(k)}$ を生成する回路である。具体的には、図3Aには、2値によって表される出力信号 $z_j^{(k)}$ を出力する活性化関数の演算回路の一例を示している。

[0085]

図3Aにおいて、回路ACTF [j] は、抵抗素子RE、抵抗素子REB、比較器CMPを有する。抵抗素子RE、抵抗素子REBは、電流を電圧に変換する機能を有する。したがって、電流を電圧に変換する機能を有する素子または回路であれば、抵抗素子に限定されない。配線OL [j] は、抵抗素子REの第1端子と、比較器CMPの第1入力端子と、電氣的に接続され、配線OLB [j] は、抵抗素子REBの第1端子と、比較器CMPの第2入力端子と、電氣的に接続されている。また、抵抗素子REの第2端子は、配線VALに電氣的に接続され、抵抗素子REBの第2端子は、配線VALに電氣的に接続されている。なお、抵抗素子REの第2端子と抵抗素子REBの第2端子とは、同一の配線に接続されていてもよい。または、電位が同じである別の配線に接続されていてもよい。

[0086]

抵抗素子RE、抵抗素子REBのそれぞれの抵抗値は、互いに等しいことが好ましい。例えば、抵抗素子RE、抵抗素子REBのそれぞれの抵抗値の差は、10%以内、より好ましくは、5%以内に収まっていることが望ましい。ただし、本発明の一態様は、これに限定されない。場合によっては、又は、状況に応じて、抵抗素子RE、抵抗素子REBのそれぞれの抵抗値は互いに異なる値としてもよい。

[0087]

配線VALは、一例としては、定電圧を与える配線として機能する。当該定電圧としては、例えば、高レベル電位であるVDD、低レベル電位であるVSS、接地電位(GND)などとすることができる。また、当該定電圧は、回路MPの構成に応じて、適宜設定するのが好ましい。なお、例えば、配線VALには、定電圧ではなく、パルス信号が供給されていてもよい。

[0088]

抵抗素子REの第1端子と第2端子との間の電圧は、配線OL[j]から流れてくる電流に応じて定まる。このため、比較器CMPの第1入力端子には、抵抗素子REの抵抗値と当該電流に応じた電圧が入力される。同様に、抵抗素子REBの第1端子と第2端子との間の電圧は、配線OLB[j]から流れる電流に応じて定まる。このため、比較器CMPの第2入力端子には、抵抗素子REBの抵抗値と当該電流に応じた電圧が入力される。

[0089]

比較器CMPは、一例としては、第1入力端子、第2入力端子のそれぞれに入力された電圧を比較して、その比較結果に応じて、比較器CMPの出力端子から信号を出力する機能を有する。例えば、比較器CMPは、第1入力端子に入力された電圧よりも第2入力端子に入力された電圧が高い場合に、高レベル電位を比較器CMPの出力端子から出力し、第2入力端子に入力された電圧よりも第1入力端子に入力された電圧が高い場合に、低レベル電位を比較器CMPの出力端子から出力することができる。つまり、比較器CMPの出力端子から出力される電位は、高レベル電位と低レベル電位の2通りであるため、回路ACTF[j]が出力する出力信号 $z_j^{(k)}$ は2値とすることができる。例えば、比較器CMPの出力端子から出力される高レベル電位、低レベル電位のそれぞれは、出力信号 $z_j^{(k)}$ として“+1”、“-1”に対応することができる。また、場合によっては、比較器CMPの出力端子から出力される高レベル電位、低レベル電位のそれぞれは、出力信号 $z_j^{(k)}$ として“+1”、“0”と対応してもよい。

[0090]

また、図3Aの回路ACTF[j]では、抵抗素子RE、抵抗素子REBを用いたが、電流を電圧に変換する機能を有する素子または回路であれば、抵抗素子に限定されない。そのため、図3Aの回路ACTF[j]の抵抗素子RE、抵抗素子REBは、別の回路素子に置き換えることができる。例えば、図3Bに示す回路ACTF[j]は、図3Aの回路ACTF[j]に含まれる抵抗素子RE、抵抗素子REBを、容量素子CE、容量素子CEBに置き換えた回路であり、図3Aの回路ACTF[j]とほぼ同様の動作を行うことができる。なお、容量素子CE、容量素子CEBのそれぞれの静電容量の値は、互いに等しいことが好ましい。例えば、容量素子CE、容量素子CEBのそれぞれの静電容量値の差は、10%以内、より好ましくは、5%以内に収まっていることが望ましい。ただし、本発明の一態様は、これに限定されない。なお、容量素子CE、容量素子CEBに蓄積された電荷を初期化する回路が設けられていてもよい。例えば、容量素子CEと並列に、

スイッチが設けられていてもよい。つまり、スイッチの第2端子が、配線VALに接続され、スイッチの第1端子が、容量素子CEの第1端子、配線OL[j]、および、比較器CMPの第1入力端子と接続されていてもよい。または、スイッチの第2端子が、配線VALとは異なる配線に接続され、スイッチの第1端子が、容量素子CEの第1端子、配線OL[j]、および、比較器CMPの第1入力端子と接続されていてもよい。また、図3Cに示す回路ACTF[j]は、図3Aの回路ACTF[j]に含まれる抵抗素子RE、抵抗素子REBを、ダイオード素子DE、ダイオード素子DEBに置き換えた回路であり、図3Aの回路ACTF[j]とほぼ同様の動作を行うことができる。ダイオード素子DE、ダイオード素子DEBの向き（アノードとカソードの接続箇所）は、配線VALの電位の大きさにより、適宜変更することが望ましい。

[0091]

また、図3A乃至図3Cの回路ACTF[j]に含まれる比較器CMPは、一例として、オペアンプOPに置き換えることができる。図3Dに示す回路ACTF[j]は、図3Aの回路ACTF[j]の比較器CMPをオペアンプOPに置き換えた回路図を示している。

[0092]

また、図3Bの回路ACTF[j]にスイッチS01a、スイッチS01bを設けてもよい。これにより、回路ACTF[j]は、容量素子CE、容量素子CEBのそれぞれに配線OL[j]、配線OLB[j]から入力された電流に応じた電位を保持することができる。その具体的な回路の一例としては、図3Eに示すとおり、スイッチS01aの第1端子に配線OL[j]が電氣的に接続され、スイッチS01aの第2端子に容量素子CEの第1端子と比較器CMPの第1入力端子とが電氣的に接続され、スイッチS01bの第1端子に配線OLB[j]が電氣的に接続され、スイッチS01bの第2端子に容量素子CEBの第1端子と比較器CMPの第2入力端子とが電氣的に接続された構成とすればよい。図3Eの回路ACTF[j]において、比較器CMPの第1、第2入力端子のそれぞれに配線OL[j]、配線OLB[j]の電位を入力するとき、スイッチS01a、スイッチS01bのそれぞれをオン状態にすることによって行うことができる。また、その後、スイッチS01a、スイッチS01bのそれぞれをオフ状態にすることによって、比較器CMPの第1入力端子、第2入力端子のそれぞれに入力された電位を容量素子CE、容量素子CEBに保持することができる。なお、スイッチS01a、スイッチS01bとしては、例えば、アナログスイッチ、トランジスタなどの電氣的なスイッチを適用することができる。また、スイッチS01a、スイッチS01bとしては、例えば、機械的なスイッチを適用してもよい。なお、スイッチS01a、スイッチS01bにトランジスタを適用する場合、当該トランジスタは、OSトランジスタ、またはチャネル形成領域にシリコンを有するトランジスタ（以後、Siトランジスタと呼称する。）とすることができる。又は、スイッチS01a、スイッチS01bのそれぞれをオン状態にしておく期間を制御することにより、容量素子CE、容量素子CEBの電圧値を制御することができる。例えば、容量素子CE、容量素子CEBに流れる電流値が大きい場合には、スイッチS01a、スイッチS01bのそれぞれをオン状態にしておく期間を短くしておくことにより、容量素子CE、容量素子CEBの電圧値が大きくなりすぎることを防ぐことができる。

[0093]

また、図3A乃至図3C、図3Eの回路ACTF[j]に含まれる比較器CMPは、例えば、チョッパ型の比較器とすることができる。図3Fに示す比較器CMPは、チョッパ型の比較器を示しており、比較器CMPはスイッチS02a、スイッチS02b、スイッチS03と、容量素子CC

と、インバータ回路INV3と、を有する。なお、スイッチS02a、スイッチS02b、スイッチS03は、前述したスイッチS01a、スイッチS01bと同様に、機械的なスイッチ、OSトランジスタ、Siトランジスタなどのトランジスタとすることができる。

[0094]

スイッチS02aの第1端子は、端子VinTに電氣的に接続され、スイッチS02bの第1端子は、端子VrefTに電氣的に接続され、スイッチS02aの第2端子は、スイッチS02bの第2端子と、容量素子CCの第1端子と、に電氣的に接続されている。容量素子CCの第2端子は、インバータ回路INV3の入力端子と、スイッチS03の第1端子と、に電氣的に接続されている。端子VoutTは、インバータ回路INV3の出力端子と、スイッチS03の第2端子と、に電氣的に接続されている。

[0095]

端子VinTは、比較器CMPに入力電位を入力するための端子として機能し、端子VrefTは、比較器CMPに参照電位を入力するための端子として機能し、端子VoutTは、比較器CMPから出力電位を出力するための端子として機能する。なお、端子VinTは、図3A乃至図3C、図3Eの比較器CMPの第1端子又は第2端子の一方に対応し、端子VrefTは、図3A乃至図3C、図3Eの比較器CMPの第1端子又は第2端子の他方に対応することができる。

[0096]

図3A乃至図3Eの回路ACTF[j]は、2値によって表される出力信号 $z_j^{(k)}$ を出力する活性化関数の演算回路であるが、回路ACTF[j]は出力信号 $z_j^{(k)}$ を3値以上、又はアナログ値として出力する構成としてもよい。

[0097]

図4A乃至図4Fは、配線OL[j]、配線OLB[j]から入力された電流に応じて、信号 $z_j^{(k)}$ を生成する回路であり、3値によって表される出力信号 $z_j^{(k)}$ を出力する活性化関数の演算回路の一例を示している。

[0098]

図4Aに示す回路ACTF[j]は、抵抗素子RE、抵抗素子REB、比較器CMPa、比較器CMPbを有する。配線OL[j]は、抵抗素子REの第1端子と、比較器CMPaの第1入力端子と、電氣的に接続され、配線OLB[j]は、抵抗素子REBの第1端子と、比較器CMPbの第1入力端子と、電氣的に接続されている。また、比較器CMPaの第2入力端子と、比較器CMPbの第2入力端子と、は、配線VrefLに電氣的に接続されている。更に、抵抗素子REの第2端子は、配線VALに電氣的に接続され、抵抗素子REBの第2端子は、配線VALに電氣的に接続されている。

[0099]

配線VrefLは、定電圧Vrefを与える配線として機能し、Vrefは、例えば、GND以上、VDD以下であることが好ましい。また、状況に応じて、Vrefは、GND未満の電位、又はVDDより高い電位としてもよい。Vrefは、比較器CMPa、比較器CMPbにおける参照電位（比較用の電位）として扱われる。

[0100]

抵抗素子REの第1端子と第2端子との間の電圧は、配線OL[j]から流れてくる電流に応じて定まる。このため、比較器CMPaの第1入力端子には、抵抗素子REの抵抗値と当該電流に応

じた電圧が入力される。同様に、抵抗素子 R_{EB} の第1端子と第2端子との間の電圧は、配線 $OLB[j]$ から流れてくる電流に応じて定まる。このため、比較器 CMP_b の第1入力端子には、抵抗素子 R_{EB} の抵抗値と当該電流に応じた電圧が入力される。

[0101]

比較器 CMP_a は、第1入力端子、第2入力端子のそれぞれに入力された電圧を比較して、その比較結果に応じて、比較器 CMP_a の出力端子から信号を出力する。例えば、比較器 CMP_a は、第1入力端子に入力された電圧よりも第2入力端子に入力された電圧(V_{ref})が高い場合に、高レベル電位を比較器 CMP_a の出力端子から出力し、第2入力端子に入力された電圧(V_{ref})よりも第1入力端子に入力された電圧が高い場合に、低レベル電位を比較器 CMP_a の出力端子から出力することができる。

[0102]

比較器 CMP_b は、比較器 CMP_a と同様に、第1入力端子、第2入力端子のそれぞれに入力された電圧を比較して、その比較結果に応じて、比較器 CMP_b の出力端子から信号を出力する。例えば、比較器 CMP_b は、第1入力端子に入力された電圧よりも第2入力端子に入力された電圧(V_{ref})が高い場合に、高レベル電位を比較器 CMP_b の出力端子から出力し、第2入力端子に入力された電圧(V_{ref})よりも第1入力端子に入力された電圧が高い場合に、低レベル電位を比較器 CMP_b の出力端子から出力することができる。

[0103]

このとき、比較器 CMP_a 、比較器 CMP_b のそれぞれの出力端子から出力された電位に応じて、3値の出力信号 $z_j^{(k)}$ を表すことができる。例えば、比較器 CMP_a の出力端子から高レベル電位が出力され、比較器 CMP_b の出力端子から低レベル電位が出力された場合、出力信号 $z_j^{(k)}$ は“+1”とし、比較器 CMP_a の出力端子から低レベル電位が出力され、比較器 CMP_b の出力端子から高レベル電位が出力された場合、出力信号 $z_j^{(k)}$ は“-1”とし、比較器 CMP_a の出力端子から低レベル電位が出力され、比較器 CMP_b の出力端子から低レベル電位が出力された場合、出力信号 $z_j^{(k)}$ は“+0”とすることができる。

[0104]

また、回路 $ACTF[j]$ は、図4Aに示した回路構成に限定されず、状況に応じて、変更することができる。例えば、図4Aの回路 $ACTF[j]$ において、比較器 CMP_a 、比較器 CMP_b の2つの出力結果を、1つの信号としてまとめたい場合、回路 $ACTF[j]$ に変換回路 TRF を設ければよい。図4Bの回路 $ACTF[j]$ は、図4Aの回路 $ACTF[j]$ に変換回路 TRF を設けた構成例であり、比較器 CMP_a 、 CMP_b のそれぞれの出力端子は、変換回路 TRF の入力端子に電氣的に接続されている。変換回路 TRF の具体的な例としては、デジタルアナログ変換回路（この場合、信号 $z_j^{(k)}$ はアナログ値となる。）などとすることができる。

[0105]

また、例えば、図4Aにおいて、比較器 CMP_a 、比較器 CMP_b のそれぞれの第2入力端子に電氣的に接続されている配線 V_{refL} を、配線 V_{ref1L} 、 V_{ref2L} の別々の配線に置き換えてもよい。図4Cの回路 $ACTF[j]$ は、図4Aの回路 $ACTF[j]$ に含まれている比較器 CMP_a の第2端子が配線 V_{refL} でなく配線 V_{ref1L} と電氣的に接続され、比較器 CMP_b の第2端子が配線 V_{refL} でなく配線 V_{ref2L} と電氣的に接続された構成となっている。

配線 V_{ref1L} 、 V_{ref2L} に入力される電位を互いに異なる値にすることによって、比較器 $CMPa$ 、比較器 $CMPb$ における参照電位を別々に設定することができる。

[0106]

また、例えば、図4A乃至図4Cの回路 $ACTF[j]$ とは別の構成として、増幅回路、または、インピーダンス変換回路などを用いてもよい。例えば、図4Dに示す回路 $ACTF[j]$ を図2の演算回路110の回路 AFP に適用することができる。図4Dの回路 $ACTF[j]$ は、抵抗素子 RE 、抵抗素子 REB 、オペアンプ OPa 、オペアンプ OPb を有しており、増幅回路として機能する。

[0107]

配線 $OL[j]$ は、抵抗素子 RE の第1端子と、オペアンプ OPa の非反転入力端子と、電氣的に接続され、配線 $OLB[j]$ は、抵抗素子 REB の第1端子と、オペアンプ OPb の非反転入力端子と、電氣的に接続されている。また、オペアンプ OPa の反転入力端子は、オペアンプ OPa の出力端子に電氣的に接続され、オペアンプ OPb の反転入力端子は、オペアンプ OPb の出力端子に電氣的に接続されている。更に、抵抗素子 RE の第2端子は、配線 VAL に電氣的に接続され、抵抗素子 REB の第2端子は、配線 VAL に電氣的に接続されている。

[0108]

つまり、図4Dの回路 $ACTF[j]$ に含まれているオペアンプ OPa 、オペアンプ OPb はボルテージフォロワの接続構成となっている。これによって、オペアンプ OPa の出力端子から出力される電位は、オペアンプ OPa の非反転入力端子に入力された電位とほぼ等しくなり、オペアンプ OPb の出力端子から出力される電位は、オペアンプ OPb の非反転入力端子に入力された電位とほぼ等しくなる。この場合、出力信号 $z_j^{(k)}$ は、2つのアナログ値として回路 $ACTF[j]$ から出力される。なお、オペアンプ OPa の出力端子と、オペアンプ OPb の出力端子とを、比較器 CMP の入力端子にそれぞれ接続してもよい。そして、比較器 CMP からの出力を出力信号 $z_j^{(k)}$ としてもよい。

[0109]

また、例えば、図4A乃至図4Dの回路 $ACTF[j]$ とは別の構成として、積分回路、電流電圧変換回路などを用いてもよい。さらに、オペアンプを用いて、積分回路、電流電圧変換回路を構成してもよい。一例として、図4Eに示す回路 $ACTF[j]$ を図2の演算回路110の回路 AFP に適用することができる。図4Eの回路 $ACTF[j]$ は、オペアンプ OPa 、オペアンプ OPb 、負荷素子 LEa 、負荷素子 LEb を有する。

[0110]

配線 $OL[j]$ は、オペアンプ OPa の第1入力端子（例えば、反転入力端子）と、負荷素子 LEa の第1端子と、に電氣的に接続され、配線 $OLB[j]$ は、オペアンプ OPb の第1入力端子（例えば、反転入力端子）と、負荷素子 LEb の第1端子と、電氣的に接続されている。また、オペアンプ OPa の第2入力端子（例えば、非反転入力端子）は、配線 V_{ref1L} に電氣的に接続され、オペアンプ OPb の第2入力端子（例えば、非反転入力端子）は、配線 V_{ref2L} に電氣的に接続されている。負荷素子 LEa の第2端子は、オペアンプ OPa の出力端子に電氣的に接続され、負荷素子 LEb の第2端子は、オペアンプ OPb の出力端子に電氣的に接続されている。

[0111]

なお、ここでの配線 V_{ref1L} 、配線 V_{ref2L} は、互いに等しい電圧、又は異なる電圧を供給する配線として機能する。したがって、配線 V_{ref1L} 、配線 V_{ref2L} は、1本の配線にまとめることができる。

[0112]

図4Eの回路 $ACTF[j]$ において、負荷素子 LEa 、負荷素子 LEb としては、例えば、抵抗素子、容量素子とすることができる。特に、負荷素子 LEa 、負荷素子 LEb として容量素子を用いることによって、オペアンプ OPa と負荷素子 LEa 、オペアンプ OPb と負荷素子 LEb 、はそれぞれ積分回路として機能する。つまり、配線 $OL[j]$ または配線 $OLB[j]$ に流れる電流量に応じて、それぞれの容量素子（負荷素子 LEa 、 LEb ）に電荷が蓄えられる。つまり、配線 $OL[j]$ 、配線 $OLB[j]$ から流れる電流は、積分回路によって、積分された電流量が電圧に変換されて、信号 $z_j^{(k)}$ として出力される。なお、オペアンプ OPa の出力端子と、オペアンプ OPb の出力端子とを、比較器 CMP の入力端子にそれぞれ接続してもよい。そして、比較器 CMP からの出力を出力信号 $z_j^{(k)}$ としてもよい。なお、負荷素子 LEa 、負荷素子 LEb の容量素子に蓄積された電荷を初期化する回路が設けられていてもよい。例えば、負荷素子 LEa （容量素子）と並列に、スイッチが設けられていてもよい。つまり、スイッチの第2端子が、オペアンプ OPa の出力端子に接続され、スイッチの第1端子が、配線 $OL[j]$ 、および、オペアンプ OPa の第1入力端子（例えば、反転入力端子）と接続されていてもよい。

[0113]

また、図4Eの回路 $ACTF[j]$ において、配線 $OL[j]$ 、配線 $OLB[j]$ から流れる電流を電圧に変換して出力したい場合、負荷素子 LEa 、負荷素子 LEb としては、容量素子以外としては抵抗素子を用いることができる。

[0114]

また、例えば、図4A乃至図4Eの回路 $ACTF[j]$ とは別の構成として、図4Fに示す回路 $ACTF[j]$ を図2の演算回路110の回路 AFP に適用することができる。図4Fの回路 $ACTF[j]$ は、抵抗素子 RE 、抵抗素子 REB 、アナログデジタル変換回路 $ADCa$ 、アナログデジタル変換回路 $ADCb$ を有する。

[0115]

配線 $OL[j]$ は、アナログデジタル変換回路 $ADCa$ の入力端子と、抵抗素子 RE の第1端子と、に電氣的に接続され、配線 $OLB[j]$ は、アナログデジタル変換回路 $ADCb$ の入力端子と、抵抗素子 REB の第1端子と、に電氣的に接続されている。抵抗素子 RE の第2端子は、配線 VAL に電氣的に接続され、抵抗素子 REB の第2端子は、配線 VAL に電氣的に接続されている。

[0116]

図4Fの回路 $ACTF[j]$ において、配線 $OL[j]$ 、配線 $OLB[j]$ から流れる電流に応じて、抵抗素子 RE 、抵抗素子 REB のそれぞれの第1端子の電位が定められる。そして、回路 $ACTF[j]$ は、アナログ値である当該電位をアナログデジタル変換回路 $ADCa$ 、 $ADCb$ によって、2値、又は3値以上（例えば、256値など）のデジタル値に変換して、信号 $z_j^{(k)}$ として出力する機能を有する。

[0117]

なお、図4A乃至図4Fに示した抵抗素子 RE 、抵抗素子 REB は、図3B、図3Cと同様に、容量素子 CE 、容量素子 CEB 、又はダイオード素子 DE 、ダイオード素子 DEB に置き換えるこ

とができる。特に、図4A乃至図4Fに示した抵抗素子RE、抵抗素子REBを容量素子CE、容量素子CEBに置き換えた場合、さらに図3Eと同様にスイッチS01a、スイッチS01bを設けることで、配線OL[j]、配線OLB[j]から入力された電位を保持することができる。

[0118]

なお、図2の演算回路110は、回路MP[i, j]の回路構成に応じて、回路MP[i, j]に電氣的に接続されている配線の本数を変更することができる。例えば、図2の演算回路110において、回路MP[i, j]に電氣的に接続されている配線WLS[i]は、1本又は複数本の配線とすることができる。また、例えば、回路MP[i, j]に電氣的に接続されている配線XLS[i]は、1本又は複数本の配線とすることができる。

[0119]

<<回路MP>>

次に、演算回路110に含まれる回路MP[i, j]の構成例について説明する。

[0120]

図5Aは、演算回路110に適用できる回路MP[i, j]の構成例を示しており、回路MP[i, j]は、一例としては、回路MCと、回路MCrと、を有する。回路MC及び回路MCrは、回路MPにおいて、重み係数と、ニューロンの入力信号（演算値）と、の積を計算する回路である。回路MCは、回路MCrと同様の構成、又は回路MCrと異なる構成とすることができる。そのため、回路MCrは、回路MCと区別をするため、符号に「r」を付している。また、回路MCrに含まれている、後述する回路素子の符号にも「r」を付している。

[0121]

回路MCは、一例としては、保持部HCを有し、回路MCrは、保持部HCrを有する。保持部HC、及び保持部HCrは、それぞれ情報（例えば、電位、抵抗値、電流値など）を保持する機能を有する。なお、回路MP[i, j]に設定される第1データ $w_i^{(k-1)}j^{(k)}$ は、保持部HC、保持部HCrのそれぞれに保持される情報（例えば、電位、抵抗値、電流値など）に応じて定められる。そのため、保持部HC及び保持部HCrのそれぞれは、第1データ $w_i^{(k-1)}j^{(k)}$ に応じた各情報（例えば、電位、抵抗値、電流値など）を供給する配線IL[j]及び配線ILB[j]に電氣的に接続されている。

[0122]

図5Aに示した配線WL[i]は、図2における配線WLS[i]に相当する。配線WL[i]は、保持部HC及び保持部HCrのそれぞれに電氣的に接続されている。回路MP[i, j]に含まれる保持部HC、及び保持部HCrのそれぞれに第1データ $w_i^{(k-1)}j^{(k)}$ に応じた情報（例えば、電位、抵抗値、電流値など）を書き込むとき、配線WL[i]に所定の電位を供給することによって、配線IL[j]と保持部HCとを導通状態にし、かつ配線ILB[j]と保持部HCrとを導通状態にする。そして、配線IL[j]、ILB[j]のそれぞれに第1データ $w_i^{(k-1)}j^{(k)}$ に応じた電位などを供給することによって、保持部HC、及び保持部HCrのそれぞれに当該電位などを入力することができる。その後、配線WL[i]に所定の電位を供給して、配線IL[j]と保持部HCとを非導通状態にし、かつ配線ILB[j]と保持部HCrとを非導通状態にする。そして、保持部HC、及び保持部HCrのそれぞれに第1データ $w_i^{(k-1)}j^{(k)}$ に応じた各電位などが保持される。

[0123]

例えば、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“−1”、“0”、“1”の3値のいずれかをとる場合を考える。第1データ $w_{i^{(k-1)}j^{(k)}}$ が“1”である場合、一例として、保持部HCに高レベル電位を保持し、保持部HC rに低レベル電位を保持する。また、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“−1”である場合、一例として、保持部HCに低レベル電位を保持し、保持部HC rに高レベル電位を保持する。そして、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“0”である場合、一例として、保持部HCに低レベル電位を保持し、保持部HC rに低レベル電位を保持する。なお、別の例として、第1データ $w_{i^{(k-1)}j^{(k)}}$ がアナログ値、具体的には、“負のアナログ値”、“0”、または、“正のアナログ値”をとる場合を考える。第1データ $w_{i^{(k-1)}j^{(k)}}$ が“正のアナログ値”である場合、一例として、保持部HCに高レベルのアナログ電位を保持し、保持部HC rに低レベル電位を保持する。また、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“負のアナログ値”である場合、一例として、保持部HCに低レベル電位を保持し、保持部HC rに高レベルのアナログ電位を保持する。そして、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“0”である場合、一例として、保持部HCに低レベル電位を保持し、保持部HC rに低レベル電位を保持する。なお、アナログ値としては、多ビット（多値）のデジタル値であってもよい。つまり、一例として、第1データ $w_{i^{(k-1)}j^{(k)}}$ が、“1”、“2”、“3”である場合、一例として、保持部HCには、“1”、“2”、“3”に応じた電位を持つ高レベルの電位を保持し、保持部HC rに低レベル電位を保持する。また、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“−1”、“−2”、“−3”である場合、一例として、保持部HCには、低レベル電位を保持し、保持部HC rには、“−1”、“−2”、“−3”の絶対値である“1”、“2”、“3”に応じた高レベルの電位を保持する。そして、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“0”である場合、一例として、保持部HCに低レベル電位を保持し、保持部HC rに低レベル電位を保持する。

[0124]

また、一例として、回路MCは、保持部HCに保持された情報（例えば、電位、抵抗値、電流値など）に応じた電流、電圧などを、配線OL[j]又は配線OLB[j]の一方に出力する機能を有し、回路MC rは、保持部HC rに保持された情報（例えば、電位、抵抗値、電流値など）に応じた電流、電圧などを、配線OL[j]又は配線OLB[j]の他方に出力する機能を有する。例えば、保持部HCに高レベル電位が保持されている場合、回路MCは第1電流値を持つ電流を出力し、保持部HCに低レベル電位が保持されている場合、回路MCは第2電流値を持つ電流を出力するものとする。同様に、保持部HC rに高レベル電位が保持されている場合、回路MC rは第1電流値を持つ電流を出力し、保持部HC rに低レベル電位が保持されている場合、回路MC rは第2電流値を持つ電流を出力するものとする。なお、第1電流値、第2電流値のそれぞれの大きさは、回路MC、回路MC r、保持部HC、保持部HC rなどの構成や、第1データ $w_{i^{(k-1)}j^{(k)}}$ の値によって定められる。一例としては、第1電流値は第2電流値よりも大きい場合もあり、又は小さい場合もある。更に、第1電流値又は第2電流値の一方はゼロ電流、つまり電流値が0の場合もある。または、第1電流値を持つ電流と第2電流値を持つ電流とで、電流が流れる向きが異なる場合もある。特に、例えば、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“−1”、“0”、“1”の3値のいずれかをとる場合、第1電流値又は第2電流値の一方が0となるように、回路MC、及び回路MC rを構成するのが好ましい。なお、第1データ $w_{i^{(k-1)}j^{(k)}}$ がアナログ値、例えば、“負のアナログ値”、“0”、または、“正のアナログ値”をとる場合には、第1電流値又は第2電流値についても、一例としては、アナログ値をとることができる。

[0125]

なお、本明細書などにおいて、保持部HC、及び保持部HC_rに保持された情報（例えば、電位、抵抗値、電流値など）に応じた電流、電圧などは、正の電流、電圧などとしてもよいし、負の電流、電圧などとしてもよいし、正と負の両方が混在していてもよい。つまり、例えば、上述の「保持部HCに保持された情報（例えば、電位、抵抗値、電流値など）に応じた電流、電圧などを、配線OL[j]又は配線OLB[j]の一方に出力する機能を有し、回路MC_rは、保持部HC_rに保持された情報（例えば、電位、抵抗値、電流値など）に応じた電流、電圧などを、配線OL[j]又は配線OLB[j]の他方に出力する機能を有する」という記載は、「保持部HCに保持された情報（例えば、電位、抵抗値、電流値など）に応じた電流、電圧などを、配線OL[j]又は配線OLB[j]の一方から排出する機能を有し、回路MC_rは、保持部HC_rに保持された電位に応じた電流を、配線OL[j]又は配線OLB[j]の他方から排出する機能を有する」という記載に換言することができる。

[0126]

図5Aに示した配線X1L[i]、及び配線X2L[i]は、図2における配線XLS[i]に相当する。なお、回路MP[i, j]に入力される第2データ $z_i^{(k-1)}$ は、一例としては、配線X1L[i]、及び配線X2L[i]のそれぞれの電位、電流などによって定められる。そのため、回路MC、及び回路MC_rには、例えば、配線X1L[i]及び配線X2L[i]を介して、第2データ $z_i^{(k-1)}$ に応じた各電位が入力される。

[0127]

回路MCは、配線OL[j]と、配線OLB[j]と、に電氣的に接続され、回路MC_rは、配線OL[j]と、配線OLB[j]と、に電氣的に接続されている。回路MC及び回路MC_rは、一例としては、配線X1L[i]及び配線X2L[i]に入力された電位に応じて、配線OL[j]及び配線OLB[j]に、第1データ $w_i^{(k-1)}j^{(k)}$ と第2データ $z_i^{(k-1)}$ との積に応じた電流、電位などを出力する。具体的な例としては、回路MC、MC_rからの電流の出力先は、配線X1L[i]及び配線X2L[i]の電位によって定められる。例えば、回路MC、及び回路MC_rのそれぞれは、回路MCから出力される電流が配線OL[j]又は配線OLB[j]の一方に流れ、回路MC_rから出力される電流が配線OL[j]又は配線OLB[j]の他方に流れるような回路構成となっている。つまり、回路MC、及び回路MC_rから出力されたそれぞれの電流は、同一の配線でなく、互いに異なる配線に流れる。なお、一例としては、回路MC、及び回路MC_rから、配線OL[j]又は配線OLB[j]のいずれにも電流が流れない場合もある。

[0128]

例えば、第2データ $z_i^{(k-1)}$ が“−1”、“0”、“1”の3値のいずれかをとり場合を考える。例えば、第2データ $z_i^{(k-1)}$ が“1”である場合、回路MPは、回路MCと配線OL[j]との間を導通状態とし、回路MC_rと配線OLB[j]との間を導通状態とする。また、例えば、第2データ $z_i^{(k-1)}$ が“−1”である場合、回路MPは、回路MCと配線OLB[j]との間を導通状態とし、回路MC_rと配線OL[j]との間を導通状態とする。例えば、第2データ $z_i^{(k-1)}$ が“0”である場合、回路MC、MC_rのそれぞれが出力した電流を、配線OL[j]、及び配線OLB[j]のいずれにも流さないようにするため、回路MPは、回路MCと配線OL[j]との間、及び、回路MCと配線OLB[j]との間を非導通状態にし、回路MC_rと配線OL[j]との間、及び、回路MC_rと配線OLB[j]との間を非導通状態にする。

[0129]

以上の動作をまとめた場合の例を示す。第1データ $w_i^{(k-1)} j^{(k)}$ が“1”の場合には、回路MCから電流を出力し、第1データ $w_i^{(k-1)} j^{(k)}$ が“−1”の場合には、回路MC rから電流を出力する。そして、第2データ $z_i^{(k-1)}$ が“1”の場合には、回路MCと配線OL[j]との間、および、回路MC rと配線OLB[j]との間が導通状態になる。第2データ $z_i^{(k-1)}$ が“−1”の場合には、回路MCと配線OLB[j]との間、および、回路MC rと配線OL[j]との間が導通状態になる。以上のことより、第1データ $w_i^{(k-1)} j^{(k)}$ と第2データ $z_i^{(k-1)}$ の積が正の値の場合には、配線OL[j]に電流が出力される。第1データ $w_i^{(k-1)} j^{(k)}$ と第2データ $z_i^{(k-1)}$ の積が負の値の場合には、配線OLB[j]に電流が出力される。第1データ $w_i^{(k-1)} j^{(k)}$ と第2データ $z_i^{(k-1)}$ の積がゼロの値の場合には、どちらの配線にも電流は出力されない。

[0130]

上述した例を具体的な例として記すと、第1データ $w_i^{(k-1)} j^{(k)}$ が“1”であって、第2データ $z_i^{(k-1)}$ が“1”である場合、例えば、回路MCから配線OL[j]に第1電流値を持つ電流I1[i, j]が流れ、回路MC rから配線OLB[j]に第2電流値を持つ電流I2[i, j]が流れる。このとき、第2電流値の大きさは、一例としては、ゼロである。つまり、厳密には、回路MC rから配線OLB[j]に電流が流れない。第1データ $w_i^{(k-1)} j^{(k)}$ が“−1”であって、第2データ $z_i^{(k-1)}$ が“1”である場合、例えば、回路MCから配線OL[j]に第2電流値を持つ電流I1[i, j]が流れ、回路MC rから配線OLB[j]に第1電流値を持つ電流I2[i, j]が流れる。このとき、第2電流値の大きさは、一例としては、ゼロである。つまり、厳密には、回路MCから配線OL[j]に電流が流れない。第1データ $w_i^{(k-1)} j^{(k)}$ が“0”であって、第2データ $z_i^{(k-1)}$ が“1”である場合、回路MCから配線OL[j]に第2電流値を持つ電流I1[i, j]が流れ、回路MC rから配線OLB[j]に第2電流値を持つ電流I2[i, j]が流れる。このとき、第2電流値の大きさは、一例としては、ゼロである。つまり、厳密には、回路MCから配線OL[j]に電流が流れず、回路MC rから配線OLB[j]に電流が流れない。

[0131]

また、第1データ $w_i^{(k-1)} j^{(k)}$ が“1”であって、第2データ $z_i^{(k-1)}$ が“−1”である場合、回路MCから配線OLB[j]に第1電流値を持つ電流I1[i, j]が流れ、回路MC rから配線OL[j]に第2電流値を持つ電流I2[i, j]が流れる。このとき、第2電流値の大きさは、一例としては、ゼロである。つまり、厳密には、回路MC rから配線OL[j]に電流が流れない。第1データ $w_i^{(k-1)} j^{(k)}$ が“−1”であって、第2データ $z_i^{(k-1)}$ が“−1”である場合、回路MCから配線OLB[j]に第2電流値を持つ電流I1[i, j]が流れ、回路MC rから配線OL[j]に第1電流値を持つ電流I2[i, j]が流れる。このとき、第2電流値の大きさは、一例としては、ゼロである。つまり、厳密には、回路MCから配線OLB[j]に電流が流れない。第1データ $w_i^{(k-1)} j^{(k)}$ が“0”であって、第2データ $z_i^{(k-1)}$ が“−1”である場合、回路MCから配線OLB[j]に第2電流値を持つ電流I1[i, j]が流れ、回路MC rから配線OL[j]に第2電流値を持つ電流I2[i, j]が流れる。このとき、第2電流値の大きさは、一例としては、ゼロである。つまり、厳密には、回路MCから配線OLB[j]に電流が流れず、回路MC rから配線OL[j]に電流が流れない。

[0132]

また、第2データ $z_i^{(k-1)}$ が“0”である場合、一例としては、回路MCと配線OL[j]との間、及び、回路MCと配線OLB[j]との間が非導通状態となる。同様に、回路MC rと配線

OL [j] との間、及び、回路MC r と配線OLB [j] との間が非導通状態となる。そのため、第1データ $w_i^{(k-1)} j^{(k)}$ がどんな値であっても、回路MC及び回路MC r から配線OL [j] 及び配線OLB [j] に電流は出力されない。

[0133]

このように、一例としては、第1データ $w_i^{(k-1)} j^{(k)}$ と第2データ $z_i^{(k-1)}$ との積が正の値を取る場合には、回路MCまたは回路MC r のいずれかより、配線OL [j] に電流が流れる。このとき、第1データ $w_i^{(k-1)} j^{(k)}$ が正の値の場合には、回路MCから配線OL [j] に電流が流れ、第1データ $w_i^{(k-1)} j^{(k)}$ が負の値の場合には、回路MC r から配線OL [j] に電流が流れる。一方、第1データ $w_i^{(k-1)} j^{(k)}$ と第2データ $z_i^{(k-1)}$ との積が負の値を取る場合には、回路MCまたは回路MC r のいずれかより、配線OLB [j] に電流が流れる。このとき、第1データ $w_i^{(k-1)} j^{(k)}$ が正の値の場合には、回路MCから配線OLB [j] に電流が流れ、第1データ $w_i^{(k-1)} j^{(k)}$ が負の値の場合には、回路MC r から配線OLB [j] に電流が流れる。そのため、配線OL [j] に接続された複数の回路MCまたは回路MC r から出力された電流の総和が、配線OL [j] に流れることになる。つまり、配線OL [j] では、正の値の和をとった値となる電流が流れることになる。一方、配線OLB [j] に接続された複数の回路MCまたは回路MC r から出力された電流の総和が、配線OLB [j] に流れることになる。つまり、配線OLB [j] では、負の値の和をとった値となる電流が流れることになる。以上のような動作の結果、配線OL [j] に流れる総電流値、つまり、正の値の総和と、配線OLB [j] に流れる総電流値、つまり、負の値の総和とを利用することにより、積和演算処理を行うことができる。例えば、配線OL [j] に流れる総電流値の方が、配線OLB [j] に流れる総電流値よりも大きい場合には、積和演算の結果としては、正の値をとると判断することができる。配線OL [j] に流れる総電流値の方が、配線OLB [j] に流れる総電流値よりも小さい場合には、積和演算の結果としては、負の値をとると判断することができる。配線OL [j] に流れる総電流値と、配線OLB [j] に流れる総電流値とが概ね同じ値である場合には、積和演算の結果としては、ゼロの値をとると判断することができる。

[0134]

なお、第2データ $z_i^{(k-1)}$ が“−1”、“0”、“1”のうちの、いずれか2値、例えば、“−1”、“1”の2値の場合、または、“0”、“1”の2値の場合も、同様に動作させることができる。同様に、第1データ $w_i^{(k-1)} j^{(k)}$ が“−1”、“0”、“1”、でのうちの、いずれか2値、例えば、“−1”、“1”の2値の場合、または、“0”、“1”の2値の場合も、同様に動作させることができる。

[0135]

なお、第1データ $w_i^{(k-1)} j^{(k)}$ は、アナログ値、または、多ビット（多値）のデジタル値を取ってもよい。具体的な例としては、“−1”の代わりに“負のアナログ値”、および、“1”の代わりに“正のアナログ値”をとっても良い。この場合、回路MCまたは回路MC r から流れる電流の大きさも、一例としては、第1データ $w_i^{(k-1)} j^{(k)}$ の値の絶対値に応じたアナログ値となる。

[0136]

次に、図5Aの回路MP [i, j] を変形した例について、説明する。なお、回路MP [i, j] の変形例については、図5Aの回路MP [i, j] と異なる部分を主に説明し、図5Aの回路MP [i, j] と共通する部分については説明を省略することがある。

[0137]

図5Bに示す回路MP [i, j] は、図5Aの回路MP [i, j] の変形例である。図5Bの回路MP [i, j] は、図5Aの回路MP [i, j] と同様に、回路MCと、回路MC_rと、を有する。但し、図5Bの回路MP [i, j] は、回路MC_rに保持部HC_rが含まれていない点で、図5Aの回路MP [i, j] と異なる。

[0138]

また、回路MC_rは保持部HC_rを有していないため、図5Bの回路MP [i, j] を適用した演算回路は、保持部HC_rに保持する電位を供給するための配線ILB [j] を有さなくてもよい。加えて、回路MC_rは配線WL [i] に電氣的に接続されていなくてもよい。

[0139]

図5Bの回路MP [i, j] において、回路MCに含まれる保持部HCは、回路MC_rに電氣的に接続されている。つまり、図5Bの回路MP [i, j] は、回路MC_rと回路MCとが互いに保持部HCを共有するような構成となっている。一例としては、保持部HCで保持された信号に対して、反転した信号を、保持部HCから回路MC_rに供給することができる。これにより、回路MCと回路MC_rとで、異なる動作をすることが可能となる。または、回路MCと回路MC_rとで、内部の回路構成が異なるようにして、その結果、保持部HCで保持された同一の信号に対して、回路MCと回路MC_rとで、出力する電流の大きさが異なるようにすることも可能である。ここで、保持部HCに第1データ $w_i^{(k-1)} j^{(k)}$ に応じた電位を保持し、第2データ $z_i^{(k-1)}$ に応じた電位を配線X1L [i] 及び配線X2L [i] に供給することによって、回路MP [i, j] は、配線OL [j] 及び配線OLB [j] に、第1データ $w_i^{(k-1)} j^{(k)}$ と第2データ $z_i^{(k-1)}$ との積に応じた電流を出力することができる。

[0140]

なお、図5Bの回路MPを適用した演算回路110は、図6に示す演算回路120の回路構成に変更することができる。演算回路120は、図2の演算回路110から配線ILB [1] 乃至配線ILB [m] を除いた構成となっている。

[0141]

図5Cに示す回路MP [i, j] は、図5Aの回路MP [i, j] の変形例であり、具体的には、図6の演算回路120に適用できる回路MP [i, j] の構成例である。図5Cの回路MP [i, j] は、図5Aの回路MP [i, j] と同様に、回路MCと、回路MC_rと、を有する。但し、図5Cの回路MP [i, j] と図5Aの回路MP [i, j] は、電氣的に接続されている配線の構成が異なっている。

[0142]

図5Cに示した配線W1L [i]、及び配線W2L [i] は、図6における配線WLS [i] に相当する。配線W1L [i] は保持部HCに電氣的に接続され、配線W2L [i] は保持部HC_rに電氣的に接続されている。

[0143]

また、配線IL [j] は、保持部HCと、保持部HC_rと、に電氣的に接続されている。

[0144]

図5Cの回路MP [i, j] において、保持部HCと保持部HC_rのそれぞれに異なる電位を保持するとき、保持部HCと保持部HC_rへの電位の保持動作は、同時ではなく、順に行うのが好ま

しい。例えば、回路MP [i, j] の第1データ $w_i^{(k-1)} j^{(k)}$ は、保持部HCに第1電位、保持部HC rに第2電位を保持することによって表現できる場合を考える。初めに、配線W1L [i] 及び配線W2L [i] のそれぞれに所定の電位を与えて、保持部HCと配線IL [j] との間を導通状態にし、かつ保持部HC rと配線IL [j] との間を非導通状態にする。次に、配線IL [j] に第1電位を供給することで、保持部HCに第1電位を与えることができる。その後に、配線W1L [i] 及び配線W2L [i] のそれぞれに所定の電位を与えて、保持部HCと配線IL [j] との間を非導通状態にし、かつ保持部HC rと配線IL [j] との間を導通状態にする。そして、配線IL [j] に第2電位を供給することで、保持部HC rに第2電位を与えることができる。これにより、回路MP [i, j] は、第1データとして $w_i^{(k-1)} j^{(k)}$ を設定することができる。

[0145]

なお、保持部HCと保持部HC rのそれぞれにほぼ等しい電位を保持する場合（回路MP [i, j] の第1データ $w_i^{(k-1)} j^{(k)}$ が、保持部HCと保持部HC rのそれぞれにほぼ等しい電位を保持することによって設定される場合）、保持部HCと配線IL [j] との間を導通状態とし、かつ保持部HC rと配線IL [j] との間を導通状態となるように、配線W1L [i] 及び配線W2L [i] のそれぞれに所定の電位を与えて、その後に、配線IL [j] に当該電位を供給すればよい。

[0146]

図5Cの回路MP [i, j] は、保持部HC、及び保持部HC rに第1データ $w_i^{(k-1)} j^{(k)}$ に応じた電位を保持し、第2データ $z_i^{(k-1)}$ に応じた電位を配線X1L [i] 及び配線X2L [i] に供給することによって、図5Aの回路MP [i, j] と同様に、配線OL [j] 及び配線OLB [j] に、第1データ $w_i^{(k-1)} j^{(k)}$ と第2データ $z_i^{(k-1)}$ との積に応じた電流を出力することができる。

[0147]

図5Dに示す回路MP [i, j] は、図5Aの回路MP [i, j] の変形例である。図5Dの回路MP [i, j] は、図5Aの回路MP [i, j] と同様に、回路MCと、回路MC rと、を有する。但し、図5Dの回路MP [i, j] と図5Aの回路MP [i, j] は、電氣的に接続されている配線の構成が異なっている。

[0148]

図5Dの配線IOL [j] は、図5Aにおける配線IL [j] と配線OL [j] とを1本にまとめた配線として機能し、図5Dの配線IOLB [j] は、図5Aにおける配線ILB [j] と配線OLB [j] とを1本にまとめた配線として機能する。そのため、配線IOL [j] は、保持部HCと、回路MCと、回路MC rと、に電氣的に接続され、配線IOLB [j] は、保持部HC rと、回路MCと、回路MC rと、に電氣的に接続されている。

[0149]

図5Dの回路MP [i, j] に第1データ $w_i^{(k-1)} j^{(k)}$ を保持するとき、初めに、回路MCと配線IOL [j] との間、及び、回路MCと配線IOLB [j] との間が非導通状態となり、かつ回路MC rと配線IOL [j] との間、及び、回路MC rと配線IOLB [j] との間が非導通状態となるように、配線X1L [i] 及び配線X2L [i] に所定の電位を入力する。その後に、配線WL [i] に所定の電位を入力して、保持部HCと配線IOL [j] との間を導通状態にし、かつ保持部HC rと配線IOLB [j] との間を導通状態にして、配線IOL [j] 、及び配線IOLB [j] のそれぞれに第1データ $w_i^{(k-1)} j^{(k)}$ に応じた各電位を供給することによって、保持

部HC、及び保持部HC_rのそれぞれに各電位を入力することができる。そして、保持部HCと配線IOL[j]との間が非導通状態となり、かつ保持部HC_rと配線IOLB[j]との間が非導通状態となるように、配線WL[i]に所定の電位を入力することによって、保持部HC、及び保持部HC_rのそれぞれに第1データ $w_i^{(k-1)}j^{(k)}$ に応じた各電位を保持することができる。

[0150]

保持部HC、及び保持部HC_rのそれぞれに第1データ $w_i^{(k-1)}j^{(k)}$ に応じた電位を保持した後に、第2データ $z_i^{(k-1)}$ に応じた電位を配線X1L[i]及び配線X2L[i]に供給することによって、図5Aの回路MP[i, j]と同様に、配線OL[j]及び配線OLB[j]に、第1データ $w_i^{(k-1)}j^{(k)}$ と第2データ $z_i^{(k-1)}$ との積に応じた電流を出力することができる。

[0151]

なお、図5Dの回路MPを適用した演算回路110は、図7に示す演算回路130の回路構成に変更することができる。演算回路130は、図2の演算回路110において、配線IL[1]乃至配線IL[n]と、配線OL[1]乃至配線OL[n]と、を配線IOL[1]乃至配線IOL[n]としてまとめ、配線ILB[1]乃至配線ILB[n]と、配線OLB[1]乃至配線OLB[n]と、を配線IOLB[1]乃至配線IOLB[n]としてまとめた構成となっている。また、演算回路130において、配線IOL[1]乃至配線IOL[n]、配線IOLB[1]乃至配線IOLB[n]は、回路ILDに電氣的に接続されている。つまり、配線IOL[j]、配線IOLB[j]は、回路MP[i, j]に対して第1データ $w_i^{(k-1)}j^{(k)}$ を送信するための信号線と、回路ACTF[j]に電流を供給するための電流線と、の機能を有する。この場合、回路MP[i, j]に第1データ $w_i^{(k-1)}j^{(k)}$ を送信するとき、回路ILDは、回路ILDと配線IOL[j]との間と、回路ILDと配線IOLB[j]との間を導通状態にし、回路ACTF[j]は、回路ACTF[j]と配線IOL[j]との間と、回路ACTF[i]と配線IOLB[j]との間を非導通状態にすることが好ましい。そして、回路ACTF[j]に電流を供給するときは、回路ILDは、回路ILDと配線IOL[j]との間と、回路ILDと配線IOLB[j]との間を非導通状態にし、回路ACTF[j]は、回路ACTF[j]と配線IOL[j]との間と、回路ACTF[j]と配線IOLB[j]との間を導通状態にすることが好ましい。

[0152]

図5Eに示す回路MP[i, j]は、図5Aの回路MP[i, j]の変形例であり、具体的には、図2の演算回路110に適用できる回路MP[i, j]の構成例である。図5Eの回路MP[i, j]は、図5Aの回路MP[i, j]と同様に、回路MCと、回路MC_rと、を有する。但し、図5Eの回路MP[i, j]は、回路MCが配線OLB[j]に電氣的に接続されていない点と、回路MC_rが配線OL[j]に電氣的に接続されていない点と、で図5Aの回路MP[i, j]と異なっている。

[0153]

図5Eに示した配線WL[i]は、図2における配線WLS[i]に相当する。配線WL[i]は保持部HCと、保持部HC_rと、に電氣的に接続されている。

[0154]

また、図5Eに示した配線XL[i]は、図2における配線XLS[i]に相当する。配線XL[i]は回路MCと、回路MC_rと、に電氣的に接続されている。

[0155]

図5Eの回路MP [i, j] は、前述した通り、回路MCが配線OLB [j] に電氣的に接続されていなく、回路MC rが配線OL [j] に電氣的に接続されていない。つまり、図5Eの回路MP [i, j] は、図5A乃至図5Dの回路MP [i, j] と異なり、回路MCから出力された電流は配線OLB [j] に流れず、回路MC rから出力された電流は配線OL [j] に流れない構成となっている。

[0156]

そのため、図5Eの回路MP [i, j] は、第2データ $z_i^{(k-1)}$ が“0”、又は“1”の2値である場合に、演算回路に適用するのが好ましい。例えば、第2データ $z_i^{(k-1)}$ が“1”である場合、回路MPは、回路MCと配線OL [j] との間を導通状態にし、回路MC rと配線OLB [j] との間を導通状態にする。また、例えば、第2データ $z_i^{(k-1)}$ が“0”である場合、回路MC、回路MC rのそれぞれが出力した電流を、配線OL [j]、OLB [j] のいずれにも流さなくするため、回路MPは、回路MCと配線OL [j] との間を非導通状態にし、回路MC rと配線OLB [j] との間を非導通状態にする。

[0157]

図5Eの回路MP [i, j] は、演算回路110に適用することによって、一例としては、第1データ $w_i^{(k-1)} j^{(k)}$ が“−1”、“0”、“1”の3値のいずれかを取り、第2データ $z_i^{(k-1)}$ が“0”、“1”の2値をとる場合における、演算を行うことができる。なお、図5Eの回路MP [i, j] は、第1データ $w_i^{(k-1)} j^{(k)}$ が“−1”、“0”、“1”のうちの、いずれか2値、例えば、“−1”、“1”の2値の場合、または、“0”、“1”の2値の場合も、動作させることができる。なお、第1データ $w_i^{(k-1)} j^{(k)}$ は、アナログ値、または、多ビット（多値）のデジタル値を取ってもよい。具体的な例としては、“−1”の代わりに“負のアナログ値”、および、“1”の代わりに“正のアナログ値”をとっても良い。この場合、回路MCまたは回路MC rから流れる電流の大きさも、一例としては、第1データ $w_i^{(k-1)} j^{(k)}$ の値の絶対値に応じたアナログ値となる。

[0158]

図5Fに示す回路MP [i, j] は、図5Aと同様に、配線OL [j] 及び配線OLB [j] に、第1データ $w_i^{(k-1)} j^{(k)}$ と第2データ $z_i^{(k-1)}$ との積に応じた電流を出力することが可能な回路である。なお、図5Fの回路MP [i, j] は、例えば、図2の演算回路110に適用することができる。

[0159]

図5Fの回路MP [i, j] は、回路MCと、回路MC rと、に加えて、トランジスタMZを有する。

[0160]

トランジスタMZの第1端子は、回路MCの第1端子と、回路MC rの第1端子と、に電氣的に接続されている。トランジスタMZの第2端子は、配線VLに電氣的に接続されている。トランジスタMZのゲートは、配線XL [i] に電氣的に接続されている。

[0161]

配線VLは、一例としては、定電圧を与える配線として機能する。当該定電圧は、回路MP [i, j] や演算回路110などの構成によって決めることが好ましい。当該定電圧としては、例えば、高レベル電位であるVDD、低レベル電位であるVSS、接地電位などとすることができる。

[0162]

また、図5Fに示した配線WL [i] は、図2の演算回路110における配線WLS [i] に相当する。配線WL [i] は、保持部HCと、保持部HC r と、に電氣的に接続されている。

[0163]

また、配線OL [j] は、回路MCの第2端子に電氣的に接続されている。また、配線OLB [j] は、回路MC r の第2端子に電氣的に接続されている。

[0164]

また、配線IL [j] は、保持部HCに電氣的に接続され、配線ILB [j] は、保持部HC r に電氣的に接続されている。

[0165]

図5Fの回路MP [i, j] において、保持部HCと保持部HC r のそれぞれに第1データに応じた電位を保持する場合の動作については、図5Aの回路MP [i, j] における第1データに応じた電位を保持する動作の説明を参酌する。

[0166]

図5Fの回路MP [i, j] において、回路MCは、回路MCの第1端子に配線VLが与える定電圧が供給されているときに、保持部HCに保持された電位に応じた電流を、回路MCの第1端子と第2端子との間に流す機能を有する。また、回路MC r は、回路MCの第1端子に配線VLが与える定電圧が供給されているときに、保持部HC r に保持された電位に応じた電流を、回路MC r の第1端子と第2端子との間に流す機能を有する。つまり、回路MP [i, j] の保持部HC、保持部HC r のそれぞれに第1データ $w_i^{(k-1)} j^{(k)}$ に応じた電位を保持することによって、回路MCの第1端子と第2端子との間に流れる電流量と、回路MC r の第1端子と第2端子との間に流れる電流量を定めることができる。なお、回路MC（回路MC r）の第1端子に配線VLが与える定電圧が供給されていない場合、回路MC（回路MC r）は、例えば、回路MC（回路MC r）の第1端子と第2端子との間に電流を流さないものとしてもよい。

[0167]

例えば、保持部HC、保持部HC r のそれぞれに“1”の第1データ $w_i^{(k-1)} j^{(k)}$ に応じた電位が保持されているとき、回路MCに配線VLが与える定電圧が与えられることによって、回路MCは、回路MCの第1端子と第2端子との間に所定の電流を流す。そのため、回路MCと配線OLとの間に電流が流れる。なお、このとき、回路MC r は回路MC r の第1端子と第2端子との間に電流を流さないものとする。そのため、回路MC r と配線OLBとの間には電流は流れない。また、例えば、保持部HC、保持部HC r のそれぞれに“−1”の第1データ $w_i^{(k-1)} j^{(k)}$ に応じた電位が保持されているとき、回路MCに配線VLが与える定電圧が与えられることによって、回路MC r は、回路MC r の第1端子と第2端子との間に所定の電流を流す。そのため、回路MC r と配線OLBとの間に電流が流れる。なお、このとき、回路MCは回路MCの第1端子と第2端子との間に電流を流さないものとする。そのため、回路MCと配線OLとの間には電流は流れない。また、例えば、保持部HC、保持部HC r のそれぞれに“0”の第1データ $w_i^{(k-1)} j^{(k)}$ に応じた電位が保持されているとき、回路MC及び回路MC r に配線VLの定電圧が与えられるかどうかに関わらず、回路MCは回路MCの第1端子と第2端子との間に電流を流さず、回路MC r は回路MC r の第1端子と第2端子との間に電流を流さない。つまり、回路MCと配線OLとの間には電流は流れず、回路MC r と配線OLBとの間には電流は流れない。

[0168]

なお、図5Fの回路MP [i, j] において、保持部HC、保持部HC rに保持される、第1データ $w_i^{(k-1)} j^{(k)}$ に応じた電位の具体例については、図5Aの回路MP [i, j] の記載を参酌する。また、図5Fの回路MP [i, j] において、保持部HC、保持部HC rは、図5Aの回路MP [i, j] と同様に、電位でなく、電流、抵抗値などの情報を保持する機能を有し、回路MC、回路MC rは当該情報に応じた電流を流す機能を有してもよい。

[0169]

図5Fに示した配線XL [i] は、図2の演算回路110における配線XLS [i] に相当する。なお、回路MP [i, j] に入力される第2データ $z_i^{(k-1)}$ は、一例としては、配線XL [i] の電位、電流などによって定められる。そのため、トランジスタMZのゲートには、例えば、配線XL [i] を介して、第2データ $z_i^{(k-1)}$ に応じた電位が入力される。

[0170]

例えば、第2データ $z_i^{(k-1)}$ が“0”、“1”の2値のいずれかをとり場合を考える。例えば、第2データ $z_i^{(k-1)}$ が“1”である場合、配線XL [i] には高レベル電位が与えられるものとする。このとき、トランジスタMZがオン状態となるので、回路MPは、配線VLと回路MCの第1端子との間を導通状態にし、配線VLと回路MC rの第1端子との間を導通状態にする。つまり、第2データ $z_i^{(k-1)}$ が“1”であるとき、回路MCと、回路MC rと、に配線VLからの定電圧が与えられる。また、例えば、第2データ $z_i^{(k-1)}$ が“0”である場合、配線XL [i] には低レベル電位が与えられるものとする。このとき、回路MPは、回路MCと配線OLB [j] との間を非導通状態とし、回路MC rと配線OL [j] との間を非導通状態とする。つまり、第2データ $z_i^{(k-1)}$ が“0”であるとき、回路MCと、回路MC rと、には、配線VLからの定電圧が与えられない。

[0171]

ここで、例えば、第1データ $w_i^{(k-1)} j^{(k)}$ が“1”であって、第2データ $z_i^{(k-1)}$ が“1”である場合、回路MCと配線OLとの間には電流は流れ、回路MC rと配線BLBとの間には電流は流れない結果となる。また、例えば、第1データ $w_i^{(k-1)} j^{(k)}$ が“-1”であって、第2データ $z_i^{(k-1)}$ が“1”である場合、回路MCと配線OLとの間には電流は流れず、回路MC rと配線OLBとの間には電流は流れる結果となる。また、例えば、第1データ $w_i^{(k-1)} j^{(k)}$ が“0”であって、第2データ $z_i^{(k-1)}$ が“1”である場合、回路MCと配線OLとの間、及び回路MC rと配線OLBとの間には電流は流れない結果となる。また、例えば、第2データ $z_i^{(k-1)}$ が“0”である場合、第1データ $w_i^{(k-1)} j^{(k)}$ が“-1”、“0”、“1”のいずれかであっても、回路MCと配線OLとの間、及び回路MC rと配線OLBとの間には電流は流れない結果となる。

[0172]

つまり、図5Fの回路MP [i, j] は、図5Eの回路MP [i, j] と同様に、一例として、第1データ $w_i^{(k-1)} j^{(k)}$ が“-1”、“0”、“1”の3値のいずれかをとり、第2データ $z_i^{(k-1)}$ が“0”、“1”の2値をとる場合における、演算を行うことができる。また、図5Eの回路MP [i, j] と同様に、図5Fの回路MP [i, j] は、第1データ $w_i^{(k-1)} j^{(k)}$ が“-1”、“0”、“1”のうちの、いずれか2値、例えば、“-1”、“1”の2値の場合、または、“0”、“1”の2値の場合も、動作させることができる。なお、第1データ $w_i^{(k-1)} j^{(k)}$ は、アナログ値、または、多ビット（多値）のデジタル値を取ってもよい。具体的な例としては、“-

1”の代わりに“負のアナログ値”、および、“1”の代わりに“正のアナログ値”をとっても良い。この場合、回路MCまたは回路MC_rから流れる電流の大きさも、一例としては、第1データ $w_{i \quad (k-1) \quad j \quad (k)}$ の値の絶対値に応じたアナログ値となる。

[0173]

<演算回路の動作例>

次に、図2の演算回路110の動作例について説明する。なお、本動作例の説明では、一例として、図8に示す演算回路110を用いる。

[0174]

図8の演算回路110は、図2の演算回路110のj列目に位置する回路に着目して図示されたものである。つまり、図8の演算回路110は、図1Aに示したニューラルネットワーク100における、ニューロン $N_{j \quad (k)}$ に入力される、ニューロン $N_{i \quad (k-1)}$ 乃至ニューロン $N_{m \quad (k-1)}$ からの信号 $z_{i \quad (k-1)}$ 乃至 $z_{m \quad (k-1)}$ と、重み係数 $w_{i \quad (k-1) \quad j \quad (k)}$ 乃至 $w_{m \quad (k-1) \quad j \quad (k)}$ と、の積和演算と、当該積和演算の結果を用いた活性化関数の演算と、行う回路に相当する。更に、図8の演算回路110のアレイ部ALPに含まれている回路MPは、図5Aの回路MPを適用しているものとする。

[0175]

初めに、演算回路110において、回路MP[1, j]乃至回路MP[m, j]に第1データ $w_{i \quad (k-1) \quad j \quad (k)}$ 乃至 $w_{m \quad (k-1) \quad j \quad (k)}$ が設定される。第1データ $w_{i \quad (k-1) \quad j \quad (k)}$ の設定の方法としては、回路WLDによって、配線WLS[1]乃至配線WLS[m]に順に所定の電位を入力して、回路MP[1, j]乃至回路MP[m, j]を順に選択していき、選択された回路MPに含まれている回路MCの保持部HC、及び回路MC_rの保持部HC_rに対して、回路ILDから、配線IL[j]、配線ILB[j]を介して、第1データに応じた電位を供給する。そして、電位の供給後に、回路WLDによって回路MP[1, j]乃至回路MP[m, j]のそれぞれを非選択にすることにより、回路MP[1, j]乃至回路MP[m, j]のそれぞれが有する回路MCの保持部HC、及び回路MC_rの保持部HC_rに第1データ $w_{i \quad (k-1) \quad j \quad (k)}$ 乃至 $w_{m \quad (k-1) \quad j \quad (k)}$ に応じた電位を保持することができる。一例としては、第1データ $w_{i \quad (k-1) \quad j \quad (k)}$ 乃至 $w_{m \quad (k-1) \quad j \quad (k)}$ のそれぞれについて、正の値を取る場合には、保持部HCには、その正の値に応じた値を入力し、保持部HC_rには、ゼロに相当する値を入力する。一方、第1データ $w_{i \quad (k-1) \quad j \quad (k)}$ 乃至 $w_{m \quad (k-1) \quad j \quad (k)}$ のそれぞれについて、負の値を取る場合には、保持部HCには、ゼロに相当する値を入力し、保持部HC_rには、負の値の絶対値に応じた値を入力する。

[0176]

次に、回路XLDによって、配線X1L[1]乃至配線X1L[m]、配線X2L[1]乃至配線X2L[m]のそれぞれに、第2データ $z_{i \quad (k-1)}$ 乃至 $z_{m \quad (k-1)}$ を供給する。具体的な一例としては、配線X1L[i]及び配線X2L[i]に第2データ $z_{i \quad (k-1)}$ が供給される。なお、配線X1L[i]、配線X2L[i]は、図2に示す演算回路110の配線XLS[i]に相当する。

[0177]

回路MP[1, j]乃至回路MP[m, j]のそれぞれに入力される第2データ $z_{i \quad (k-1)}$ 乃至 $z_{m \quad (k-1)}$ に応じて、回路MP[1, j]乃至回路MP[m, j]に含まれる回路MC、及び回路MC_rと、配線OL[j]、及び回路OLB[j]との導通状態が決まる。具体的な例としては、回路MP[i, j]は、第2データ $z_{i \quad (k-1)}$ に応じて、「回路MCと配線OL[j]との間が導通となり、回路MC_rと配線OLB[j]との間が導通となる」状態と、「回路MCと配線OLB

「 $[j]$ 」との間が導通となり、回路MC rと配線OL $[j]$ との間が導通となる」状態と、「回路MC、及び回路MC rはそれぞれ配線OL $[j]$ 、OLB $[j]$ と非導通となる」状態と、のいずれか一をとる。一例としては、第2データ $z_1^{(k-1)}$ について、正の値を取る場合には、配線X1L $[1]$ には、回路MCと配線OL $[j]$ との間が導通状態となり、かつ、回路MC rと配線OLB $[j]$ との間が導通状態とすることができる値を入力する。そして、配線X2L $[1]$ には、回路MCと配線OLB $[j]$ との間が非導通状態となり、かつ、回路MC rと配線OL $[j]$ との間が非導通状態とすることができる値を入力する。そして、第2データ $z_1^{(k-1)}$ について、負の値を取る場合には、配線X1L $[1]$ には、回路MCと配線OLB $[j]$ との間が導通状態となり、かつ、回路MC rと配線OL $[j]$ との間が導通状態とすることができる値を入力する。そして、配線X2L $[1]$ には、回路MCと配線OL $[j]$ との間が非導通状態となり、かつ、回路MC rと配線OLB $[j]$ との間が非導通状態とすることができる値を入力する。そして、第2データ $z_1^{(k-1)}$ について、ゼロの値を取る場合には、配線X1L $[1]$ には、回路MCと配線OLB $[j]$ との間が非導通状態となり、かつ、回路MC rと配線OL $[j]$ との間が非導通状態とすることができる値を入力する。そして、配線X2L $[1]$ には、回路MCと配線OL $[j]$ との間が非導通状態となり、かつ、回路MC rと配線OLB $[j]$ との間が非導通状態とすることができる値を入力する。

[0178]

回路MP $[i, j]$ に入力される第2データ $z_1^{(k-1)}$ に応じて、回路MP $[i, j]$ に含まれる回路MC、及び回路MC rと、配線OL $[j]$ 、及び回路OLB $[j]$ との間の導通状態、又は非導通状態が決まることによって、回路MC、及び回路MC rと、配線OL $[j]$ 、及び配線OLB $[j]$ との間で電流の入出力が行われる。更に、当該電流の量は、回路MP $[i, j]$ に設定された第1データ $w_1^{(k-1)} j^{(k)}$ 及び／又は第2データ $z_1^{(k-1)}$ に応じて決まる。

[0179]

例えば、回路MP $[i, j]$ において、配線OL $[j]$ から、回路MC又は回路MC rに流れる電流を $I[i, j]$ とし、配線OLB $[j]$ から、回路MC又は回路MC rに流れる電流を $I_B[i, j]$ とする。そして、回路ACTF $[j]$ から配線OL $[j]$ に流れる電流を $I_{out}[j]$ とし、配線OLB $[j]$ から回路ACTF $[j]$ に流れる電流を $I_{Bout}[j]$ とすると、 $I_{out}[j]$ 及び $I_{Bout}[j]$ は、次の式で表すことができる。

[0180]

[数4]

$$I_{out}[j] = \sum_{i=1}^m I[i, j] \quad \dots(1.4)$$

$$I_{Bout}[j] = \sum_{i=1}^m I_B[i, j] \quad \dots(1.5)$$

[0181]

回路MP $[i, j]$ において、一例として、第1データ $w_1^{(k-1)} j^{(k)}$ が“+1”であるとき、回路MCは $I(+1)$ を排出し、回路MC rは $I(-1)$ を排出するものとし、第1データ $w_1^{(k-1)} j^{(k)}$ が“-1”であるとき、回路MCは $I(-1)$ を排出し、回路MC rは $I(+1)$ を排出

するものとし、第1データ $w_i^{(k-1)} j^{(k)}$ が“0”であるとき、回路MCはI (−1)を排出し、回路MC rはI (−1)を排出するものとする。

[0182]

更に、回路MP [i, j] は、第2データ $z_i^{(k-1)}$ が“+1”であるときに、「回路MCと配線OL [j] との間が導通となり、回路MC rと配線OLB [j] との間が導通となり、回路MCと配線OLB [j] との間が非導通となり、回路MC rと配線OL [j] との間が非導通となる」状態をとり、第2データ $z_i^{(k-1)}$ が“−1”であるときに、「回路MCと配線OLB [j] との間が導通となり、回路MC rと配線OL [j] との間が導通となり、回路MCと配線OL [j] との間が非導通となり、回路MC rと配線OLB [j] との間が非導通となる」状態をとり、第2データ $z_i^{(k-1)}$ が“0”であるときに、「回路MCと配線OL [j] との間、及び回路MCと配線OLB [j] との間は非導通となり、回路MC rと配線OL [j] との間、および、回路MC rとOLB [j] との間は、非導通となり、回路MC rと配線OL [j] との間、および、回路MC rとOLB [j] との間は、非導通となる」状態をとるものとする。

[0183]

このとき、回路MP [i, j] において、配線OL [j] から、回路MC又は回路MC rに流れる電流 $I [i, j]$ と、配線OLB [j] から、回路MC又は回路MC rに流れる電流 $I_B [i, j]$ と、は、下表に示すとおりとなる。なお、場合によっては、I (−1)の電流量が0となるように、回路MP [i, j] を構成してもよい。なお、電流 $I [i, j]$ は、回路MC又は回路MC rから配線OL [j] に流れる電流であつてもよい。同様に、電流 $I_B [i, j]$ は、回路MC又は回路MC rから配線OLB [j] に流れる電流であつてもよい。

[0184]

[表1]

$w_i^{(k-1)} j^{(k)}$	$z_i^{(k-1)}$	$I[j]$	$I_B[j]$
0	+1	I(−1)	I(−1)
+1	+1	I(+1)	I(−1)
−1	+1	I(−1)	I(+1)
0	−1	I(−1)	I(−1)
+1	−1	I(−1)	I(+1)
−1	−1	I(+1)	I(−1)
0	0	0	0
+1	0	0	0
−1	0	0	0

[0185]

そして、配線OL [j]、及び配線OLB [j] のそれぞれから流れてくる $I_{out} [j]$ 及び $I_{Bout} [j]$ のそれぞれが、回路ACTF [j] に入力されることによって、回路ACTF [j] は、一例としては、 $I_{out} [j]$ 及び $I_{Bout} [j]$ の比較などを行う。回路ACTF [j] は、一例としては、当該比較の結果に応じて、ニューロン $N_j^{(k)}$ が第(k+1)層のニューロンに送信する信号 $z_j^{(k)}$ を出力する。

[0186]

図8の演算回路110によって、一例としては、ニューロン $N_j^{(k)}$ に入力される、ニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ からの信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ と、重み係数 $w_1^{(k-1)} j^{(k)}$ 乃至 $w_m^{(k-1)} j^{(k)}$ と、の積和演算と、当該積和演算の結果を用いた活性化関数の演算と、を行うことができる。更に、図8の演算回路のアレイ部ALPにおいて、回路MPを n 列設けることで、図2の演算回路110と同等の回路を構成できる。つまり、図2の演算回路110によって、ニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ のそれぞれにおける、積和演算と、当該積和演算の結果を用いた活性化関数の演算と、を同時に行うことができる。

[0187]

<<演算回路に含まれる回路などの変更例>>

上述した、アレイ部ALP、回路ILD、回路WLD、回路XLD、回路AFP、回路MPなどのそれぞれに含まれているトランジスタの一部、又は、全部は、一例としては、OSトランジスタであることが好ましい。例えば、オフ電流を低くすることが望ましいようなトランジスタの場合、具体例としては、容量素子に蓄積された電荷を保持する機能を有するトランジスタは、OSトランジスタであることが好ましい。特に、当該トランジスタとしてOSトランジスタを適用する場合、OSトランジスタは、特に実施の形態3に記載するトランジスタの構造であることがより好ましい。ただし、本発明の一態様は、これに限定されない。

[0188]

また、アレイ部ALP、回路ILD、回路WLD、回路XLD、回路AFP、回路MPなどに含まれるトランジスタは、OSトランジスタ以外では、一例としては、チャネル形成領域にシリコンを含むトランジスタ（以後、Siトランジスタと呼称する。）としてもよい。また、シリコンとしては、例えば、単結晶シリコン、水素化アモルファスシリコン、微結晶シリコン、または多結晶シリコン等を用いることができる。また、OSトランジスタ、Siトランジスタ以外のトランジスタとしては、例えば、Geなどの半導体を活性層としたトランジスタ、ZnSe、CdS、GaAs、InP、GaN、SiGeなどの化合物半導体を活性層としたトランジスタ、カーボンナノチューブを活性層としたトランジスタ、有機半導体を活性層としたトランジスタ等を用いることができる。

[0189]

なお、OSトランジスタの半導体層の金属酸化物において、インジウムを含む金属酸化物（例えば、In酸化物）、あるいは亜鉛を含む金属酸化物（例えば、Zn酸化物）では、 n 型半導体は作製できているが、 p 型半導体は移動度及び信頼性の点で作製が難しい場合もある。そのため、演算回路110、演算回路120、演算回路130は、アレイ部ALP、回路ILD、回路WLD、回路XLD、回路AFP、回路MPなどに含まれる n チャネル型トランジスタとしてOSトランジスタを適用し、 p チャネル型トランジスタとしてSiトランジスタを適用した構成としてもよい。

[0190]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0191]

（実施の形態2）

本実施の形態では、実施の形態1で説明した回路MPの具体的な構成例について説明する。

[0192]

なお、実施の形態1では、回路MPの符号に、アレイ部ALP内の位置を示す[1, 1]、[i, j]、[m, n]等を付記したが、本実施の形態では、特に断らない限り、回路MPの符号に対して[1, 1]、[i, j]、[m, n]等の記載を省略する。

[0193]

<構成例1>

初めに、図5Aの回路MPに適用できる回路構成の例について説明する。図9Aに示す回路MPは、図5Aの回路MPの構成の一例であり、図9Aの回路MPに含まれている回路MCは、一例としては、トランジスタM1乃至トランジスタM4と、容量素子C1と、を有する。なお、例えば、トランジスタM1と、容量素子C1とによって、保持部HCが構成されている。

[0194]

図9Aに図示しているトランジスタM1乃至トランジスタM4は、一例としては、チャネルの上下にゲートを有するマルチゲート構造のnチャネル型トランジスタとしており、トランジスタM1乃至トランジスタM4のそれぞれは第1ゲートと第2ゲートとを有する。但し、本明細書等において、便宜上、一例として、第1ゲートをゲート（フロントゲートと記載する場合がある。）、第2ゲートをバックゲートとして区別するように記載しているが、第1ゲートと第2ゲートは互いに入れ替えることができる。そのため、本明細書等において、「ゲート」という語句は「バックゲート」という語句と入れ替えて記載することができる。同様に、「バックゲート」という語句は「ゲート」という語句と入れ替えて記載することができる。具体例としては、「ゲートは第1配線に電氣的に接続され、バックゲートは第2配線に電氣的に接続されている」という接続構成は、「バックゲートは第1配線に電氣的に接続され、ゲートは第2配線に電氣的に接続されている」という接続構成として置き換えることができる。

[0195]

また、本発明の一態様の半導体装置は、トランジスタのバックゲートの接続構成に依らない。図9Aに図示されているトランジスタM1乃至トランジスタM4のそれぞれでは、バックゲートが図示され、当該バックゲートの接続構成については図示されていないが、当該バックゲートの電氣的な接続先は、設計の段階で決めることができる。例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのオン電流を高めるために、ゲートとバックゲートとを電氣的に接続してもよい。つまり、例えば、トランジスタM1乃至トランジスタM4のそれぞれにおいて、ゲートとバックゲートとを電氣的に接続してもよい。また、例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのしきい値電圧を変動させるため、または、そのトランジスタのオフ電流を小さくするために、外部回路などと電氣的に接続されている配線を設けて、当該外部回路などによってトランジスタのバックゲートに電位を与えてもよい。なお、これについては、図9Aだけでなく、明細書の他の箇所に記載されているトランジスタ、又は他の図面に図示されているトランジスタについても同様である。

[0196]

また、本発明の一態様の半導体装置は、当該半導体装置に含まれるトランジスタの構造に依らない。例えば、図9Aに図示しているトランジスタM1乃至トランジスタM4、トランジスタM1r乃至トランジスタM4rは、図9Cに示すとおり、バックゲートを有さないような構成、つまり、シングルゲート構造のトランジスタとしてもよい。また、一部のトランジスタはバックゲートを有している構成であり、別の一部のトランジスタは、バックゲートを有さない構成であってもよい。

なお、これについては、図 9 A に示す回路図だけでなく、明細書の他の箇所に記載されているトランジスタ、又は他の図面に図示されているトランジスタについても同様である。

[0197]

また、本明細書等において、トランジスタとして、様々な構造のトランジスタを用いることができる。よって、用いるトランジスタの種類に限定はない。トランジスタの一例としては、単結晶シリコンを有するトランジスタ、または、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、ナノクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有するトランジスタなどを用いることができる。または、それらの半導体を薄膜化した薄膜トランジスタ（TFET）などを用いることができる。TFET を用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることができる。製造装置を大きくできるため、大型基板上に製造できる。そのため、同時に多くの個数の表示装置を製造できるため、低コストで製造できる。または、製造温度が低いため、耐熱性の弱い基板を用いることができる。そのため、透光性を有する基板上にトランジスタを製造できる。または、透光性を有する基板上のトランジスタを用いて表示素子での光の透過を制御することができる。または、トランジスタの膜厚が薄いため、トランジスタを形成する膜の一部は、光を透過させることができる。そのため、開口率が向上させることができる。

[0198]

なお、トランジスタの一例としては、化合物半導体（例えば、SiGe、GaAs など）、又は酸化物半導体（例えば、ZnO、InGaZnO、InZnO、InSnO（ITO）、SnO、TiO、AlZnSnO（AZTO）、InSnZnO など）などを有するトランジスタを用いることができる。または、これらの化合物半導体、又は、これらの酸化物半導体を薄膜化した薄膜トランジスタなどを用いることができる。これらにより、製造温度を低くできるので、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板又はフィルム基板などに直接トランジスタを形成することができる。なお、これらの化合物半導体又は酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることもできる。例えば、これらの化合物半導体又は酸化物半導体を配線、抵抗素子、画素電極、又は透光性を有する電極などとして用いることができる。それらをトランジスタと同時に成膜又は形成することが可能なため、コストを低減できる。

[0199]

なお、トランジスタの一例としては、インクジェット法又は印刷法を用いて形成したトランジスタなどを用いることができる。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。よって、マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することができる。または、レジストを用いらずに製造することが可能なので、材料費が安くなり、工程数を削減できる。または、必要な部分にのみ膜を付けることが可能なので、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

[0200]

なお、トランジスタの一例としては、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成するこ

とができる。有機半導体やカーボンナノチューブを有するトランジスタを用いた装置は、衝撃に強くすることができる。

[0201]

なお、トランジスタとしては、他にも様々な構造のトランジスタを用いることができる。例えば、トランジスタとして、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを用いることができる。トランジスタとしてMOS型トランジスタを用いることにより、トランジスタのサイズを小さくすることができる。よって、多数のトランジスタを搭載することができる。トランジスタとしてバイポーラトランジスタを用いることにより、大きな電流を流すことができる。よって、高速に回路を動作させることができる。なお、MOS型トランジスタとバイポーラトランジスタとを1つの基板に混在させて形成してもよい。これにより、低消費電力、小型化、高速動作などを実現することができる。

[0202]

なお、トランジスタの一例としては、活性層の上下にゲート電極が配置されている構造のトランジスタを適用することができる。活性層の上下にゲート電極が配置される構造にすることにより、複数のトランジスタが並列に接続されたような回路構成となる。よって、チャネル形成領域が増えるため、電流値の増加を図ることができる。または、活性層の上下にゲート電極が配置されている構造にすることにより、空乏層ができやすくなるため、S値の改善を図ることができる。

[0203]

なお、トランジスタの一例としては、活性層の上にゲート電極が配置されている構造、活性層の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャネル領域を複数の領域に分けた構造、活性層を並列に接続した構造、又は活性層が直列に接続する構造などのトランジスタを用いることができる。または、トランジスタとして、プレーナ型、FIN型（フィン型）、TRI-GATE型（トライゲート型）、トップゲート型、ボトムゲート型、ダブルゲート型（チャネルの上下にゲートが配置されている）、など、様々な構成をとることができる。

[0204]

なお、トランジスタの一例としては、活性層（もしくはその一部）にソース電極やドレイン電極が重なっている構造のトランジスタを用いることができる。活性層（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることによって、活性層の一部に電荷が溜まることにより動作が不安定になることを防ぐことができる。

[0205]

なお、トランジスタの一例としては、LDD領域を設けた構造を適用できる。LDD領域を設けることにより、オフ電流の低減、又はトランジスタの耐圧向上（信頼性の向上）を図ることができる。または、LDD領域を設けることにより、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレイン電流があまり変化せず、傾きがフラットな電圧・電流特性を得ることができる。

[0206]

例えば、本明細書等において、様々な基板を用いて、トランジスタを形成することができる。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板（例えば単結晶基板又はシリコン基板）、SOI基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、

タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）、ポリテトラフルオロエチレン（PTFE）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ樹脂、無機蒸着フィルム、又は紙類などがある。特に、半導体基板、単結晶基板、又はSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、又は形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

[0207]

また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するために用いることができる。その際、トランジスタは耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成や、基板上にポリイミド等の有機樹脂膜が形成された構成等を用いることができる。

[0208]

つまり、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュブラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

[0209]

なお、所定の機能を実現させるために必要な回路の全てを、同一の基板（例えば、ガラス基板、プラスチック基板、単結晶基板、又はSOI基板など）に形成することが可能である。こうして、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。

[0210]

なお、所定の機能を実現させるために必要な回路の全てを同じ基板に形成しないことが可能である。つまり、所定の機能を実現させるために必要な回路の一部は、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、別の基板に形成されていることが可能である。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板（又はSOI基板）に形成されることが可

能である。そして、所定の機能を実現させるために必要な回路の別の一部が形成される単結晶基板（ＩＣチップともいう）を、ＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）によって、ガラス基板に接続して、ガラス基板にそのＩＣチップを配置することが可能である。または、ＩＣチップを、ＴＡＢ（Ｔａｐｅ　Ａｕｔｏｍａｔｅｄ　Ｂｏｎｄｉｎｇ）、ＣＯＦ（Ｃｈｉｐ　Ｏｎ　Ｆｉｌｍ）、ＳＭＴ（Ｓｕｒｆａｃｅ　Ｍｏｕｎｔ　Ｔｅｃｈｎｏｌｏｇｙ）、又はプリント基板などを用いてガラス基板と接続することが可能である。このように、回路の一部が画素部と同じ基板に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。特に、駆動電圧が大きい部分の回路、又は駆動周波数が高い部分の回路などは、消費電力が大きくなってしまう場合が多い。そこで、このような回路を、画素部とは別の基板（例えば単結晶基板）に形成して、ＩＣチップを構成する。このＩＣチップを用いることによって、消費電力の増加を防ぐことができる。

[0211]

図９Ａの回路ＭＰにおいて、トランジスタＭ１の第１端子は、配線ＩＬに電氣的に接続される。トランジスタＭ１の第２端子は、容量素子Ｃ１の第１端子と、トランジスタＭ２のゲートと、に電氣的に接続される。トランジスタＭ１のゲートは、配線ＷＬに電氣的に接続されている。トランジスタＭ２の第１端子は、容量素子Ｃ１の第２端子と、配線ＶＬと、に電氣的に接続される。トランジスタＭ２の第２端子は、トランジスタＭ３の第１端子と、トランジスタＭ４の第１端子とに電氣的に接続されている。トランジスタＭ３の第２端子は、配線ＯＬに電氣的に接続される。トランジスタＭ３のゲートは、配線Ｘ１Ｌに電氣的に接続されている。トランジスタＭ４の第２端子は、配線ＯＬＢに電氣的に接続される。トランジスタＭ４のゲートは、配線Ｘ２Ｌに電氣的に接続される。なお、図９Ｂに示すように、容量素子Ｃ１の第２端子は、配線ＶＬではなく、別の配線ＶＬ_mに電氣的に接続されていてもよい。また、同様に、容量素子Ｃ１_rの第２端子は、配線ＶＬ_rではなく、別の配線ＶＬ_m_rに電氣的に接続されていてもよい。なお、図９Ａだけでなく、他の図面の回路図においても、容量素子Ｃ１の第２端子が、配線ＶＬではなく、別の配線ＶＬ_mに電氣的に接続されるような構成にしてもよい。また、図９Ｂにおいて、例えば、配線ＶＬと配線ＶＬ_rとを一本の同一の配線として、配線ＶＬ_mと配線ＶＬ_m_rとを一本の同一の配線としてもよい（図示しない）。

[0212]

なお、図９Ａに示す保持部ＨＣにおいて、トランジスタＭ１の第２端子と、容量素子Ｃ１の第１端子と、トランジスタＭ２のゲートと、の電氣的接続点をノードｎｄ１としている。

[0213]

保持部ＨＣは、実施の形態１で説明したとおり、一例としては、第１データｗに応じた電位を保持する機能を有する。図９Ａの回路ＭＣに含まれている保持部ＨＣへの当該電位の保持は、トランジスタＭ１をオン状態としたときに、配線ＩＬから当該電位を入力して、容量素子Ｃ１に書き込み、その後にトランジスタＭ１をオフ状態にすることで行われる。これによって、ノードｎｄ１の電位を、第１データに応じた電位として保持することができる。

[0214]

また、トランジスタＭ１は、ノードｎｄ１の電位を長時間保持するため、オフ電流が少ないトランジスタを適用するのが好ましい。オフ電流が少ないトランジスタとしては、例えば、ＯＳトランジスタを用いることができる。また、トランジスタＭ１として、バックゲートを有するトランジスタ

タを適用し、バックゲートに低レベル電位を印加して、閾値電圧をプラス側にシフトさせて、オフ電流を小さくする構成としてもよい。

[0215]

回路MC_rは、回路MCとほぼ同様の回路構成となっている。そのため、回路MC_rの有する回路素子には、回路MCの有する回路素子と区別をするため、符号に「r」を付している。

[0216]

回路MC_rにおいて、回路MCと異なる接続構成について説明する。トランジスタM3_rの第2端子は、配線OLでなく、配線OLBに電氣的に接続され、トランジスタM4_rの第2端子は、配線OLBでなく、配線OLに電氣的に接続されている。トランジスタM2の第1端子は、配線VL_rと、に電氣的に接続されている。

[0217]

後述する動作例において、回路MPに入出する電流について簡易的に説明するため、図9Aに示す配線OLの両端をノードina、ノードoutaとし、配線OLBの両端をノードinb、ノードoutbとする。

[0218]

配線VLは、一例としては、定電圧を供給する配線として機能する。当該定電圧としては、トランジスタM2、または、トランジスタM2_rがnチャネル型トランジスタである場合には、例えば、低レベル電位であるVSS、接地電位、それら以外の低レベル電位などとすることができる。また、配線VL_rは、配線VLと同様に、定電圧を供給する配線として機能し、当該定電圧としては、低レベル電位であるVSS、接地電位などとすることができる。この場合、演算回路110、演算回路120、演算回路130の回路ACTF[1]乃至回路ACTF[n]として図3A乃至図3E、図4A乃至図4D、図4Fを適用している場合、回路ACTF[1]乃至回路ACTF[n]に電氣的に接続されている配線VALが与える定電圧は、配線VL、及び配線VL_rが与える電位よりも高い電位、例えばVDDとするのが好ましい。

[0219]

また、配線VL_rが供給する定電圧は、配線VLが供給する定電圧と異なってもよいし、同一としてもよい。例えば、配線VLと配線VL_rとが与える定電圧がほぼ等しい場合、図10Aの回路MPのとおり、配線VL_rは配線VLと同一の配線とすることができる。

[0220]

また、図9Aの回路MPの構成は、状況に応じて、変更することができる。例えば、図10Bに示すとおり、図9Aの回路MPのトランジスタM2、トランジスタM2_r、トランジスタM3、トランジスタM3_r、トランジスタM4、トランジスタM4_rのそれぞれをpチャネル型トランジスタであるトランジスタM2_p、トランジスタM2_p_r、トランジスタM3_p、トランジスタM3_p_r、トランジスタM4_p、トランジスタM4_p_rに置き換えてもよい。特に、トランジスタM2、トランジスタM2_rをpチャネル型トランジスタに置き換える場合、配線VLが与える定電圧を、高レベル電位であるVDDとするのが好ましい。また、この場合に加え、演算回路110、演算回路120、演算回路130の回路ACTF[1]乃至回路ACTF[n]として図3A乃至図3E、図4A乃至図4D、図4Fを適用している場合、回路ACTF[1]乃至回路ACTF[n]に電氣的に接続されている配線VALが与える定電圧は、接地電位、又はVSSとするのが好ましい。このように、配線の電位を変更した場合には、電流が流れる向きも変更されることとなる。

[0221]

また、同様に、トランジスタM1についてもpチャネル型のトランジスタに置き換えてもよい。また、図10Bでは、図9Aの回路MPのトランジスタM2、トランジスタM2r、トランジスタM3、トランジスタM3r、トランジスタM4、トランジスタM4rのそれぞれをpチャネル型トランジスタであるトランジスタM2p、トランジスタM2pr、トランジスタM3p、トランジスタM3pr、トランジスタM4p、トランジスタM4prに置き換えたが、図9Aの回路MPのトランジスタM2、トランジスタM2r、トランジスタM3、トランジスタM3r、トランジスタM4、トランジスタM4rから選ばれた一以上のトランジスタをpチャネル型トランジスタに置き換えてもよい。

[0222]

また、例えば、図11Aに示すとおり、図9Aの回路MPのトランジスタM3、M3r、トランジスタM4、トランジスタM4rのそれぞれをアナログスイッチA3、アナログスイッチA4、アナログスイッチA3r、アナログスイッチA4rに置き換えてもよい。なお、図11Aには、アナログスイッチA3、アナログスイッチA4、アナログスイッチA3r、アナログスイッチA4rを動作させるため、配線X1LB、配線X2LBも図示している。配線X1LBは、アナログスイッチA3、アナログスイッチA3rに電氣的に接続され、配線X2LBは、アナログスイッチA4、アナログスイッチA4rに電氣的に接続されている。配線X1LBには、配線X1Lに入力される信号の反転信号が入力され、配線X2LBには、配線X2Lに入力される信号の反転信号が入力される。また、図11Bに示すように、配線X1L、配線X2Lを配線XLとし、配線X1LB、配線X2LBを配線XLBとしてまとめてもよい。なお、一例としては、アナログスイッチA3、アナログスイッチA4、アナログスイッチA3r、アナログスイッチA4rは、nチャネル型トランジスタとpチャネル型トランジスタとを用いたCMOS構成としてもよい。

[0223]

また、例えば、図12Aに示すとおり、図9Aの回路MPのトランジスタM4、トランジスタM4rのそれぞれをpチャネル型トランジスタであるトランジスタM4p、トランジスタM4prに置き換えてもよい。図12Aの回路MPにおいて、トランジスタM3のゲートは、トランジスタM4pのゲートと、配線XLに電氣的に接続されている。配線XLは、図9Aにおける2本の配線X1L、配線X2Lを1本にまとめたものに相当する。トランジスタM3及びトランジスタM4pのそれぞれの極性は異なっており、かつトランジスタM3及びトランジスタM4pのゲートのそれぞれは配線XLに電氣的に接続されている。そのため、配線XLに所定の電位を与えることによって、トランジスタM3及びトランジスタM4pの一方をオン状態、トランジスタM3及びトランジスタM4pの他方をオフ状態にすることができる。

[0224]

また、例えば、図12Bに示すとおり、図9Aの回路MPにトランジスタM2m、トランジスタM2mrを加え、かつトランジスタM4、トランジスタM4rのそれぞれの第1端子の電氣的な接続先を変更してもよい。図12Bの回路MPにおいて、トランジスタM2mの第1端子は、容量素子C1の第2端子と、トランジスタM2の第1端子と、配線VLと、に電氣的に接続され、トランジスタM2mの第2端子は、トランジスタM4の第1端子に電氣的に接続されている。なお、図9Aの回路MPでは、トランジスタM2の第2端子は、トランジスタM4の第1端子に電氣的に接続されていたが、図12Bの回路MPでは、トランジスタM2の第2端子は、トランジスタM4の第

1端子に電氣的に接続されていない。図12Bに示す回路MPは、トランジスタM3、M4に流れる電流は、それぞれトランジスタM2、トランジスタM2mのゲートの電位によって決められる。なお、一例としては、トランジスタM2、トランジスタM2mのサイズ、例えば、チャンネル長またはチャンネル幅は互いに等しいことが好ましい。このような回路構成とすることにより、効率的にレイアウトできる可能性がある。また、トランジスタM3、トランジスタM4に流れる電流を揃えることができる可能性がある。

[0225]

<<動作例>>

次に、図9Aに示した回路MPの動作例について説明する。

[0226]

図13A乃至図13C、図14A乃至図14C、図15A乃至図15Cは、回路MPの動作例を示したタイミングチャートであり、それぞれ、配線IL、配線ILB、配線WL、配線X1L、配線X2L、ノードnd1、ノードnd1rの電位の変動を示している。なお、図13A乃至図13C、図14A乃至図14C、図15A乃至図15Cに記載しているhighは高レベル電位を示し、lowは低レベル電位を示している。配線OLからノードoutaに（または、ノードoutaから配線OLに）出力される電流量を I_{OL} としている。また、配線OLBからノードoutbに（または、ノードoutbから配線OLBに）出力される電流量を I_{OLB} としている。図13A乃至図13C、図14A乃至図14C、図15A乃至図15Cに示すタイミングチャートでは、電流量 I_{OL} 、 I_{OLB} の変化量も図示している。

[0227]

なお、本動作例では、配線VL、配線VLrが与える定電圧はVSS（低レベル電位）とする。この場合には、配線VALから配線OLを介して、配線VLに電流が流れることになる。同様に、配線VALから配線OLBを介して、配線VLrに電流が流れることになる。

[0228]

また、本明細書などにおいて、「低レベル電位」、「高レベル電位」という用語は、特定の電位を意味するものではなく、配線が異なれば、具体的な電位も異なる場合がある。例えば、ノードnd1、ノードnd1rに保持される低レベル電位、高レベル電位のそれぞれは、配線X1L、配線X2Lに印加される低レベル電位、高レベル電位と異なる電位であってもよい。

[0229]

動作例を説明する前に、回路MPが保持する重み係数を次の通りに定義する。保持部HCのノードnd1に高レベル電位、保持部HCrのノードnd1rに低レベル電位が保持されているとき、回路MPは重み係数として“+1”を保持しているものとする。保持部HCのノードnd1に低レベル電位、保持部HCrのノードnd1rに高レベル電位が保持されているとき、回路MPは重み係数として“-1”を保持しているものとする。保持部HCのノードnd1に低レベル電位、保持部HCrのノードnd1rに低レベル電位が保持されているとき、回路MPは重み係数として“0”を保持しているものとする。なお、ノードnd1、nd1rに保持される高レベル電位としては、例えば、VDD、または、VDDよりも少しだけ低い電位とすることができ、ノードnd1、ノードnd1rに保持される低レベル電位としては、例えば、VSSとすることができる。なお、重み係数をアナログ値とすることも可能である。その場合、例えば、重み係数として“正のアナログ値”の場合には、保持部HCのノードnd1に高レベルのアナログ電位、保持部HCrのノードnd1

rに低レベル電位が保持されている。重み係数として“負のアナログ値”の場合には、例えば、保持部HCのノードnd1に低レベル電位、保持部HC rのノードnd1 rに高レベルのアナログ電位が保持されている。重み係数として“0”の場合には、例えば、保持部HCのノードnd1に低レベル電位、保持部HC rのノードnd1 rに低レベル電位が保持されている。

[0230]

また、回路MPに入力されるニューロンの信号（演算値）を、一例として、次の通りに定義する。配線X1Lに高レベル電位、配線X2Lに低レベル電位が印加されているとき、回路MPには、ニューロンの信号として“+1”が入力されている。配線X1Lに低レベル電位、配線X2Lに高レベル電位が印加されているとき、回路MPには、ニューロンの信号として“-1”が入力されている。配線X1Lに低レベル電位、配線X2Lに低レベル電位が印加されているとき、回路MPには、ニューロンの信号として“0”が入力されるものとする。

[0231]

また、本明細書などにおいて、トランジスタM2、トランジスタM2 rは、特に断りの無い場合は、オン状態の場合は最終的に飽和領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、飽和領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。供給される電圧の振幅値を小さくするために、トランジスタM2、M2 rは、線形領域で動作してもよい。なお、重み係数をアナログ値とする場合には、重み係数の大きさに応じて、例えば、トランジスタM2、M2 rは、線形領域で動作する場合と、飽和領域で動作する場合とが混在していてもよい。

[0232]

また、本明細書などにおいて、トランジスタM1、トランジスタM3、トランジスタM4、トランジスタM1 r、トランジスタM3 r、トランジスタM4 r、は、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。

[0233]

以下では、重み係数、及びニューロンの信号のそれぞれが取り得る値の組み合わせ毎に、回路MPの動作例を説明する。

[0234]

[条件1]

初めに、一例として、重み係数wが“0”であって、回路MPに入力されるニューロンの信号（演算値）が“+1”である場合を考える。図13Aは、その場合における回路MPのタイミングチャートである。

[0235]

時刻T1から時刻T2までの間では、配線IL、及び配線ILBのそれぞれには、保持部HCのノードnd1の電位、保持部HC rのノードnd1 rの電位を初期化するための初期化電位 V_{ini} が入力されている。なお、図13Aでは、 V_{ini} は低レベル電位よりも高く、高レベル電位よりも低い電位として図示しているが、 V_{ini} は低レベル電位よりも低い電位、又は高レベル電位よりも高い電位として設定してもよい。または、 V_{ini} は低レベル電位と同じ電位、又は、高レベル電位

と同じ電位として設定してもよい。また、配線 I L、及び配線 I L B のそれぞれに与える初期化電位 V_{ini} は互いに異なる電位としてもよい。なお、配線 I L、及び配線 I L B のそれぞれに初期化電位 V_{ini} を入力しなくてもよい。つまり、時刻 T 1 から時刻 T 2 までの間の期間を設けなくてもよい。

[0236]

また、時刻 T 1 から時刻 T 2 までの間において、配線 W L には低レベル電位が入力されている。そのため、トランジスタ M 1、及びトランジスタ M 1 r はそれぞれオフ状態となっている。

[0237]

また、時刻 T 1 から時刻 T 2 までの間において、ノード n d 1、及びノード n d 1 r のそれぞれの電位は特に定められていない。図 13 A では、ノード n d 1、及びノード n d 1 r のそれぞれの電位は、低レベル電位よりも高く、 V_{ini} よりも低い電位としている。

[0238]

配線 X 1 L、及び配線 X 2 L には、それぞれ低レベル電位が入力されている。そのため、トランジスタ M 3、トランジスタ M 4、トランジスタ M 3 r、及びトランジスタ M 4 r はそれぞれオフ状態となっている。

[0239]

次に、時刻 T 2 から時刻 T 3 までの間において、配線 W L に高レベル電位が入力される。これによって、トランジスタ M 1、及びトランジスタ M 1 r はそれぞれオン状態となり、配線 I L とノード n d 1 との間が導通状態になり、配線 I L B とノード n d 1 r との間が導通状態になる。そのため、ノード n d 1、及びノード n d 1 r の電位は、それぞれ V_{ini} となる。なお、ノード n d 1、ノード n d 1 r の電位は、初期化電位 V_{ini} でなくてもよい。つまり、時刻 T 2 から時刻 T 3 までの間の期間を設けなくてもよい。

[0240]

時刻 T 3 から時刻 T 4 までの間において、配線 I L、及び配線 I L B のそれぞれに低レベル電位が印加され、重み係数 w として“0”が入力される。配線 W L には、時刻 T 3 より前から引き続き高レベル電位が入力され、重み係数 w として“0”が入力されているため、トランジスタ M 1、トランジスタ M 1 r はオン状態となっている。このため、ノード n d 1、及びノード n d 1 r の電位は、それぞれ低レベル電位となる。

[0241]

時刻 T 4 から時刻 T 5 までの間において、配線 W L には低レベル電位が入力される。これによって、トランジスタ M 1、トランジスタ M 1 r はそれぞれオフ状態となり、容量素子 C 1、及び容量素子 C 1 r のそれぞれによって、ノード n d 1、及びノード n d 1 r のそれぞれの電位が保持される。

[0242]

時刻 T 1 から時刻 T 5 までの動作によって、回路 M P の重み係数として“0”が設定される。

[0243]

ここまでの動作によって、トランジスタ M 2、トランジスタ M 2 r のそれぞれのゲートの電位は低レベル電位となり、また、トランジスタ M 2、トランジスタ M 2 r のそれぞれの第 1 端子の電位は、V S S であるため、トランジスタ M 2、トランジスタ M 2 r のそれぞれはオフ状態となる。

[0244]

時刻T 5から時刻T 6までの間に、一例として、配線I L、及び配線I L Bには初期化電位 V_{ini} が入力される。なお、この動作は、特別に必要な動作ではないため、配線I L、及び配線I L Bに初期化電位 V_{ini} を入力しなくてもよい。つまり、時刻T 5から時刻T 6までの間の期間を設けなくてもよい。また、配線I L、及び配線I L Bのそれぞれには、互いに異なる電位を入力してもよい。

[0245]

時刻T 6以降において、回路MPへのニューロンの信号“+1”の入力として、配線X 1 Lに高レベル電位、配線X 2 Lに低レベル電位が入力される。これによって、トランジスタM 3、及びトランジスタM 3 rはそれぞれオン状態となり、トランジスタM 4、及びトランジスタM 4 rはそれぞれオフ状態となる。つまり、この動作によって、回路MCと配線O Lとの間が導通状態になり、回路MC rと配線O L Bとの間が導通状態になる。

[0246]

このとき、回路MCにおいて、トランジスタM 2がオフ状態となっているため、配線O Lから配線V Lまでの間に電流は流れない。つまり、配線O Lのノードout aから出力される電流 I_{OL} は、時刻T 6の前後で変化しない。同様に、回路MC rにおいて、トランジスタM 2 rがオフ状態となっているため、配線O L Bから配線V L rまでの間に電流は流れない。つまり、配線O L Bのノードout bから出力される電流 I_{OLB} も、時刻T 6の前後で変化しない。

[0247]

ところで、本条件は、重み係数を“0”とし、回路MPに入力されるニューロンの信号を“+1”としているため、式(1. 1)を用いると、重み係数とニューロンの信号の積は、“0”となる。重み係数とニューロンの信号の積が“0”となる結果は、回路MPの動作では、時刻T 6以降において電流 I_{OL} 及び電流 I_{OLB} のそれぞれが変化しない場合に対応する。

[0248]

なお、重み係数wは、一旦入力すると、その値を更新せずに、演算値の方のみを変更することによって、複数の積和演算処理を行ってもよい。この場合、重み係数wの更新が不要となるため、消費電力を低減することができる。なお、重み係数wの更新を少なくするためには、重み係数wを長期間保持する必要がある。このとき、例えば、OSトランジスタを用いると、オフ電流が低いことを利用して、重み係数wを長期間保持することが可能となる。

[0249]

[条件2]

次に、一例として、重み係数wが“+1”であって、回路MPに入力されるニューロンの信号(演算値)が“+1”である場合を考える。図13Bは、その場合における回路MPのタイミングチャートである。

[0250]

時刻T 1から時刻T 3までの間の動作については、条件1の時刻T 1から時刻T 3までの間の動作と同様であるため、条件1の時刻T 1から時刻T 3までの間の動作の説明を参酌する。

[0251]

時刻T 3から時刻T 4までの間において、配線I Lに高レベル電位、配線I L Bに低レベル電位が印加され、重み係数wとして“1”が入力される。配線W Lには、時刻T 3より前から引き続き高レベル電位が入力され、重み係数wとして“1”が入力されているため、トランジスタM 1、及

びトランジスタM1 rはオン状態となっている。このため、ノードn d 1の電位は高レベル電位となり、ノードn d 1 rの電位は低レベル電位となる。

[0252]

時刻T4から時刻T5までの間において、配線WLには低レベル電位が入力される。これによって、トランジスタM1、及びトランジスタM1 rはそれぞれオフ状態となり、容量素子C1、及び容量素子C1 rのそれぞれによって、ノードn d 1、及びノードn d 1 rのそれぞれの電位が保持される。

[0253]

時刻T1から時刻T5までの動作によって、回路MPの重み係数として“+1”が設定される。

[0254]

ここまでの動作によって、トランジスタM2のゲートの電位は高レベル電位、トランジスタM2 rのゲートの電位は低レベル電位となり、また、トランジスタM2、及びトランジスタM2 rのそれぞれの第1端子の電位は、VSSであるため、トランジスタM2はオン状態、トランジスタM2 rはオフ状態となる。

[0255]

時刻T5から時刻T6までの間の動作については、条件1の時刻T5から時刻T6までの間の動作と同様であるため、条件1の時刻T5から時刻T6までの間の動作の説明を参酌する。

[0256]

時刻T6以降において、回路MPへのニューロンの信号“+1”の入力として、配線X1Lに高レベル電位、配線X2Lに低レベル電位が入力される。これによって、トランジスタM3、及びトランジスタM3 rはそれぞれオン状態となり、トランジスタM4、及びトランジスタM4 rはそれぞれオフ状態となる。つまり、この動作によって、回路MCと配線OLとの間が導通状態になり、回路MC rと配線OLBとの間が導通状態になる。

[0257]

このとき、回路MCにおいて、トランジスタM2がオン状態となっているため、配線OLから配線VLまでの間に電流が流れる。つまり、配線OLのノードout aから出力される電流 I_{OL} は、時刻T6を経過後に増加する（図13Bでは、電流 I_{OL} の増加量を ΔI と記載している。）。一方、回路MC rにおいて、トランジスタM2 rがオフ状態となっているため、配線OLBから配線VL rまでの間に電流は流れない。つまり、配線OLBのノードout bから出力される電流 I_{OLB} は、時刻T6の前後で変化しない。

[0258]

ところで、本条件は、重み係数wを“+1”とし、回路MPに入力されるニューロンの信号（演算値）を“+1”としているため、式（1. 1）を用いると、重み係数とニューロンの信号の積は、“+1”となる。重み係数とニューロンの信号の積が“1”となる結果は、回路MPの動作では、時刻T6以降において電流 I_{OL} が変化し、電流 I_{OLB} が変化しない場合に対応する。

[0259]

[条件3]

次に、一例として、重み係数wが“-1”であって、回路MPに入力されるニューロンの信号（演算値）が“+1”である場合を考える。図13Cは、その場合における回路MPのタイミングチャートである。

[0260]

時刻T1から時刻T3までの間の動作については、条件1の時刻T1から時刻T3までの間の動作と同様であるため、条件1の時刻T1から時刻T3までの間の動作の説明を参酌する。

[0261]

時刻T3から時刻T4までの間において、配線ILに低レベル電位、配線ILBに高レベル電位が印加され、重み係数 w として“-1”が入力される。配線WLには、時刻T3より前から引き続き高レベル電位が入力されているため、トランジスタM1、及びトランジスタM1rはオン状態となっている。このため、重み係数 w として“-1”が入力され、ノードnd1の電位は低レベル電位となり、ノードnd1rの電位は高レベル電位となる。

[0262]

時刻T4から時刻T5までの間において、配線WLには低レベル電位が入力される。これによって、トランジスタM1、及びトランジスタM1rはそれぞれオフ状態となり、容量素子C1、及び容量素子C1rのそれぞれによって、ノードnd1、及びノードnd1rのそれぞれの電位が保持される。

[0263]

時刻T1から時刻T5までの動作によって、回路MPの重み係数として“-1”が設定される。

[0264]

ここまでの動作によって、トランジスタM2のゲートの電位は低レベル電位、トランジスタM2rのゲートの電位は高レベル電位となり、また、トランジスタM2、M2rのそれぞれの第1端子の電位は、VSSであるため、トランジスタM2はオフ状態、トランジスタM2rはオン状態となる。

[0265]

時刻T5から時刻T6までの間の動作については、条件1の時刻T5から時刻T6までの間の動作と同様であるため、条件1の時刻T5から時刻T6までの間の動作の説明を参酌する。

[0266]

時刻T6以降において、回路MPへのニューロンの信号“+1”の入力として、配線X1Lに高レベル電位、配線X2Lに低レベル電位が入力される。これによって、トランジスタM3、及びトランジスタM3rはそれぞれオン状態となり、トランジスタM4、及びトランジスタM4rはそれぞれオフ状態となる。つまり、この動作によって、回路MCと配線OLとの間が導通状態になり、回路MCrと配線OLBとの間が導通状態になる。

[0267]

このとき、回路MCにおいて、トランジスタM2がオフ状態となっているため、配線OLから配線VLまでの間に電流は流れない。つまり、配線OLのノードoutaから出力される電流 I_{OL} は、時刻T6の前後で変化しない。一方、回路MCrにおいて、トランジスタM2rがオン状態となっているため、配線OLBから配線VLrまでの間に電流が流れる。つまり、配線OLBのノードoutbから出力される電流 I_{OLB} は、時刻T6を経過後に増加する（図13Cでは、電流 I_{OLB} の増加量を ΔI と記載している。）。

[0268]

ところで、本条件は、重み係数 w を“-1”とし、回路MPに入力されるニューロンの信号（演算値）を“+1”としているため、式（1. 1）を用いると、重み係数とニューロンの信号の積は、

“−1”となる。重み係数とニューロンの信号の積が“−1”となる結果は、回路MPの動作では、時刻T 6以降において電流 I_{OL} が変化せず、電流 I_{OLB} が変化する場合に対応する。

[0269]

[条件4]

本条件では、一例として、重み係数 w を“0”とし、回路MPに入力されるニューロンの信号（演算値）を“−1”とする場合の回路MPの動作を考える。図14Aは、その場合における回路MPのタイミングチャートである。

[0270]

時刻T 1から時刻T 6までの間の動作については、条件1の時刻T 1から時刻T 6までの間の動作と同様であるため、条件1の時刻T 1から時刻T 6までの間の動作の説明を参酌する。

[0271]

時刻T 6以降において、回路MPへのニューロンの信号（演算値）“−1”の入力として、配線X 1 Lに低レベル電位、配線X 2 Lに高レベル電位が入力される。これによって、トランジスタM 3、及びトランジスタM 3 rはそれぞれオフ状態となり、トランジスタM 4、及びトランジスタM 4 rはそれぞれオン状態となる。つまり、この動作によって、回路MCと配線OL Bとの間は導通状態になり、回路MC rと配線OLとの間は導通状態になる。

[0272]

このとき、回路MCにおいて、トランジスタM 2がオフ状態となっているため、配線OL Bから配線V Lまでの間に電流は流れない。つまり、配線OL Bのノードout bから出力される電流 I_{OLB} は、時刻T 6の前後で変化しない。同様に、回路MC rにおいて、トランジスタM 2 rがオフ状態となっているため、配線OLから配線V L rまでの間に電流は流れない。つまり、配線OLのノードout aから出力される電流 I_{OL} も、時刻T 6の前後で変化しない。

[0273]

ところで、本条件は、重み係数 w を“0”とし、回路MPに入力されるニューロンの信号（演算値）を“−1”としているため、式（1. 1）を用いると、重み係数とニューロンの信号の積は、“0”となる。重み係数とニューロンの信号の積が“0”となる結果は、回路MPの動作では、時刻T 6以降において電流 I_{OL} 及び電流 I_{OLB} のそれぞれが変化しない場合に対応し、これは条件1の回路動作の結果と一致する。

[0274]

[条件5]

本条件では、一例として、重み係数 w を“+1”とし、回路MPに入力されるニューロンの信号（演算値）を“−1”とする場合の回路MPの動作を考える。図14Bは、その場合における回路MPのタイミングチャートである。

[0275]

時刻T 1から時刻T 6までの間の動作については、条件2の時刻T 1から時刻T 6までの間の動作と同様であるため、条件2の時刻T 1から時刻T 6までの間の動作の説明を参酌する。

[0276]

時刻T 6以降において、回路MPへのニューロンの信号（演算値）“−1”の入力として、配線X 1 Lに低レベル電位、配線X 2 Lに高レベル電位が入力される。これによって、トランジスタM 3、及びトランジスタM 3 rはそれぞれオフ状態となり、トランジスタM 4、及びトランジスタM

4 r はそれぞれオン状態となる。つまり、この動作によって、回路MCと配線OLBとの間が導通状態になり、回路MC r と配線OLとの間が導通状態になる。

[0277]

このとき、回路MCにおいて、トランジスタM2がオン状態となっているため、配線OLBから配線VLまでの間に電流が流れる。つまり、配線OLBのノードout bから出力される電流 I_{OLB} は、時刻T6を経過後に増加する（図14Bでは、電流 I_{OLB} の増加量を ΔI と記載している。）。一方、回路MC r において、トランジスタM2 r がオフ状態となっているため、配線OLから配線VL r までの間に電流は流れない。つまり、配線OLのノードout aから出力される電流 I_{OL} は、時刻T6の前後で変化しない。

[0278]

ところで、本条件は、重み係数wを“+1”とし、回路MPに入力されるニューロンの信号（演算値）を“−1”としているため、式（1. 1）を用いると、重み係数とニューロンの信号の積は、“−1”となる。重み係数とニューロンの信号の積が“−1”となる結果は、回路MPの動作では、時刻T6以降において電流 I_{OL} が変化せず、電流 I_{OLB} が変化する場合に対応し、これは条件3の回路動作の結果と一致する。

[0279]

[条件6]

本条件では、一例として、重み係数wを“−1”とし、回路MPに入力されるニューロンの信号（演算値）を“−1”とする場合の回路MPの動作を考える。図14Cは、その場合における回路MPのタイミングチャートである。

[0280]

時刻T1から時刻T6までの間の動作については、条件3の時刻T1から時刻T6までの間の動作と同様であるため、条件3の時刻T1から時刻T6までの間の動作の説明を参酌する。

[0281]

時刻T6以降において、回路MPへのニューロンの信号（演算値）“−1”の入力として、配線X1Lに低レベル電位、配線X2Lに高レベル電位が入力される。これによって、トランジスタM3、及びトランジスタM3 r はそれぞれオフ状態となり、トランジスタM4、及びトランジスタM4 r はそれぞれオン状態となる。つまり、この動作によって、回路MCと配線OLBとの間は導通状態になり、回路MC r と配線OLとの間は導通状態になる。

[0282]

このとき、回路MCにおいて、トランジスタM2がオフ状態となっているため、配線OLBから配線VLまでの間に電流は流れない。つまり、配線OLBのノードout bから出力される電流 I_{OLB} は、時刻T6の前後で変化しない。一方、回路MC r において、トランジスタM2 r がオン状態となっているため、配線OLから配線VL r までの間に電流が流れる。つまり、配線OLのノードout aから出力される電流 I_{OL} は、時刻T6を経過後に増加する（図14Cでは、電流 I_{OL} の増加量を ΔI と記載している。）。

[0283]

ところで、本条件は、重み係数wを“−1”とし、回路MPに入力されるニューロンの信号（演算値）を“−1”としているため、式（1. 1）を用いると、重み係数とニューロンの信号の積は、“+1”となる。重み係数とニューロンの信号の積が“+1”となる結果は、回路MPの動作では、

時刻T 6以降において電流 I_{OL} が変化し、電流 I_{OLB} が変化しない場合に対応し、これは条件2の回路動作の結果と一致する。

[0284]

[条件7]

本条件では、一例として、重み係数 w が“0”であって、回路MPに入力されるニューロンの信号（演算値）が“0”である場合を条件7として、回路MPの動作を考える。図15Aは、その場合における回路MPのタイミングチャートである。

[0285]

時刻T 1から時刻T 6までの間の動作については、条件1の時刻T 1から時刻T 6までの間の動作と同様であるため、条件1の時刻T 1から時刻T 6までの間の動作の説明を参酌する。

[0286]

時刻T 6以降において、回路MPへのニューロンの信号（演算値）“0”の入力として、配線X 1 Lに低レベル電位、配線X 2 Lに低レベル電位が入力される。これによって、トランジスタM 3、トランジスタM 3 r、トランジスタM 4、及びトランジスタM 4 rはそれぞれオフ状態となる。つまり、この動作によって、回路MC、及び回路MC rのそれぞれは配線OL、配線OLBのどちらの間であっても非導通状態となる。

[0287]

このため、回路MCにおいて、配線OLから配線VL又は配線VL rの一方までの間に電流は流れない。つまり、配線OLBのノードout bから出力される電流 I_{OLB} は、時刻T 6の前後で変化しない。同様に、回路MC rにおいて、配線OLBから配線VL又は配線VL rの他方までの間にも電流は流れない。つまり、配線OLのノードout aから出力される電流 I_{OL} も、時刻T 6の前後で変化しない。

[0288]

ところで、本条件は、重み係数 w が“0”とし、回路MPに入力されるニューロンの信号（演算値）“0”としているため、式(1. 1)を用いると、重み係数とニューロンの信号の積は、“0”となる。重み係数とニューロンの信号の積が“0”となる結果は、回路MPの動作では、時刻T 6以降において電流 I_{OL} 及び電流 I_{OLB} のそれぞれが変化しない場合に対応し、これは条件1、及び条件4の回路動作の結果と一致する。

[0289]

[条件8]

本条件では、一例として、重み係数 w が“+1”であって、回路MPに入力されるニューロンの信号（演算値）が“0”である場合を条件8として、回路MPの動作を考える。図15Bは、その場合における回路MPのタイミングチャートである。

[0290]

時刻T 1から時刻T 6までの間の動作については、条件2の時刻T 1から時刻T 6までの間の動作と同様であるため、条件2の時刻T 1から時刻T 6までの間の動作の説明を参酌する。

[0291]

時刻T 6以降において、回路MPへのニューロンの信号（演算値）“0”の入力として、配線X 1 Lに低レベル電位、配線X 2 Lに低レベル電位が入力される。つまり、条件7の時刻T 6以降の動作と同様であるため、この動作によって、回路MCは、配線OL、OLBのどちらの間であって

も非導通状態となり、回路MC_rは配線OL、及び配線OLBのどちらの間であっても非導通状態となる。したがって、配線OL又は配線OLBから、配線VL又は配線VL_rのどちらか一方までの間に電流は流れないため、配線OLのノードout_aから出力される電流I_{OL}、及び配線OLBのノードout_bから出力される電流I_{OLB}のそれぞれは、時刻T₆の前後で変化しない。

[0292]

ところで、本条件は、重み係数wを“+1”とし、回路MPに入力されるニューロンの信号（演算値）を“0”としているため、式（1. 1）を用いると、重み係数とニューロンの信号の積は、“0”となる。重み係数とニューロンの信号の積が“0”となる結果は、回路MPの動作では、時刻T₆以降において電流I_{OL}及び電流I_{OLB}のそれぞれが変化しない場合に対応し、これは条件1、条件4、及び条件7の回路動作の結果と一致する。

[0293]

[条件9]

本条件では、一例として、重み係数wが“−1”であって、回路MPに入力されるニューロンの信号（演算値）が“0”である場合を条件9として、回路MPの動作を考える。図15Cは、その場合における回路MPのタイミングチャートである。

[0294]

時刻T₁から時刻T₆までの間の動作については、条件3の時刻T₁から時刻T₆までの間の動作と同様であるため、条件3の時刻T₁から時刻T₆までの間の動作の説明を参酌する。

[0295]

時刻T₆以降において、回路MPへのニューロンの信号（演算値）“0”の入力として、配線X_{1L}に低レベル電位、配線X_{2L}に低レベル電位が入力される。つまり、条件7の時刻T₆以降の動作と同様であるため、この動作によって、回路MCは、配線OL、及び配線OLBのどちらの間であっても非導通状態となり、回路MC_rは配線OL、配線OLBのどちらの間であっても非導通状態となる。したがって、配線OL又は配線OLBから、配線VL又は配線VL_rのどちらか一方までの間に電流は流れないため、配線OLのノードout_aから出力される電流I_{OL}、及び配線OLBのノードout_bから出力される電流I_{OLB}のそれぞれは、時刻T₆の前後で変化しない。

[0296]

ところで、本条件は、重み係数wを“−1”とし、回路MPに入力されるニューロンの信号（演算値）を“0”としているため、式（1. 1）を用いると、重み係数とニューロンの信号の積は、“0”となる。重み係数とニューロンの信号の積が“0”となる結果は、回路MPの動作では、時刻T₆以降において電流I_{OL}及び電流I_{OLB}のそれぞれが変化しない場合に対応し、これは条件1、条件4、条件7、及び条件8の回路動作の結果と一致する。

[0297]

上述した条件1乃至条件9の動作例の結果を下表にまとめる。なお、下表では、高レベル電位をhighと記載し、低レベル電位をlowと記載している。

[0298]

[表2]

条件	重み係数	nd1	nd1r	信号	X1L	X2L	重み係数 × 信号	I_{OL} の変化	I_{OLB} の変化
条件1	0	low	low	+1	high	low	0	無し	無し
条件2	+1	high	low	+1	high	low	+1	有り	無し
条件3	-1	low	high	+1	high	low	-1	無し	有り
条件4	0	low	low	-1	low	high	0	無し	無し
条件5	+1	high	low	-1	low	high	-1	無し	有り
条件6	-1	low	high	-1	low	high	+1	有り	無し
条件7	0	low	low	0	low	low	0	無し	無し
条件8	+1	high	low	0	low	low	0	無し	無し
条件9	-1	low	high	0	low	low	0	無し	無し

[0299]

ここでは、配線OL、及び配線OLBに、回路MCと回路MC r とが1個ずつ接続されている場合を一例として示した。これについて、図2、図6、図7、図8などに示すように、配線OL、及び配線OLBに、回路MCと回路MC r とが複数個ずつ接続されている場合には、各回路MC、回路MC r から出力される電流が、キルヒホッフの電流則にもとづき、足し合わせられることになる。その結果、和の演算が行われることとなる。つまり、回路MC、回路MC r において、積の演算が行われ、複数の回路MC、回路MC r からの電流の足し合わせにより、和の演算が行われる。以上の結果、積和演算処理が行われることとなる。

[0300]

ところで、回路MPの動作において、重み係数を“+1”、“-1”の2値のみとし、ニューロンの信号を“+1”、“-1”の2値のみとした計算を行うことで、回路MPは排他的論理和の否定の回路（一致回路）と同様の動作を行うことができる。

[0301]

また、回路MPの動作において、重み係数を“+1”、“0”の2値のみとし、ニューロンの信号を“+1”、“0”の2値のみとした計算を行うことで、回路MPは論理積の回路と同様の動作を行うことができる。

[0302]

ところで、本動作例では、回路MPの回路MC、MC r が有する保持部HC、及び保持部HC r に保持されている電位を、高レベル電位又は低レベル電位としたが、保持部HC、及び保持部HC r にはアナログ値を示す電位を保持してもよい。例えば、重み係数として“正のアナログ値”の場合には、保持部HCのノードnd1に高レベルのアナログ電位、保持部HC r のノードnd1rに低レベル電位が保持されている。重み係数として“負のアナログ値”の場合には、例えば、保持部HCのノードnd1に低レベル電位、保持部HC r のノードnd1rに高レベルのアナログ電位が保持されている。そして、電流 I_{OL} 及び電流 I_{OLB} の電流の大きさは、アナログ電位に応じた大きさとなる。また、保持部HC、HC r にはアナログ値を示す電位を保持することについては、図9Aの回路MPの動作例に限定されず、本明細書等に示す他の回路MPに対しても行ってもよい。

[0303]

<構成例2>

次に、図5C、及び図5Dに図示した回路MPに適用できる回路構成の例について説明する。

[0304]

図16Aに示す回路MPは、図5Cの回路MPの構成例を示しており、図9Aの回路MPとの違いは、配線IL、配線ILBを1本にまとめている点と、図9Aの配線WLとして配線W1L、配線W2Lを有する点である。

[0305]

図16Aの回路MPにおいて、トランジスタM1の第1端子及びトランジスタM1rの第1端子は、配線ILに電氣的に接続されている。加えて、トランジスタM1のゲートは配線W1Lに電氣的に接続され、トランジスタM1rのゲートは配線W2Lに電氣的に接続されている。なお、図16Aの回路MPと、図9Aの回路MPと同様の接続構成となっている箇所については説明を省略する。

[0306]

図16Aの回路MPに重み係数を設定するとき、初めに、配線W1L、配線W2Lに供給される電位を変化させて、トランジスタM1をオン状態にし、トランジスタM1rをオフ状態にして、次に配線ILから保持部HCに保持するための電位を供給し、トランジスタM1をオフ状態にする。その後に、配線W1L、配線W2Lに供給される電位を変化させて、トランジスタM1をオフ状態にし、トランジスタM1rをオン状態にして、次に配線ILから保持部HCrに保持するための電位を供給し、トランジスタM1rをオフ状態にする。このように、図16Aの回路MPの場合、配線ILから保持部HC、保持部HCrに順次電位を供給することによって、保持部HC、保持部HCrに重み係数に相当する電位を保持することができる。

[0307]

図16Bに示す回路MPは、図5Dの回路MPの構成例を示しており、図9Aの回路MPとの違いは、配線ILと配線OLとを配線IOLにまとめ、配線ILBと配線OLBとを配線IOLBにまとめている点である。

[0308]

図16Bの回路MPにおいて、トランジスタM1の第1端子は、配線IOLに電氣的に接続され、トランジスタM1rの第1端子は、配線IOLBに電氣的に接続されている。加えて、トランジスタM3の第2端子は、配線IOLに電氣的に接続され、トランジスタM4の第2端子は、配線IOLBに電氣的に接続され、トランジスタM3rの第2端子は、配線IOLBに電氣的に接続され、トランジスタM4rの第2端子は、配線IOLに電氣的に接続されている。なお、図16Bの回路MPと、図9Aの回路MPと同様の接続構成となっている箇所については説明を省略する。

[0309]

図16Bの回路MPは、保持部HCに配線IOLが電氣的に接続され、保持部HCrに配線IOLBが電氣的に接続され、配線WLにトランジスタM1、トランジスタM1rのそれぞれのゲートが電氣的に接続されているので、図9Aの回路MPと同様に、保持部HC、保持部HCrに重み係数に相当する電位を同時に書きこむことができる。

[0310]

<構成例3>

図17に示す回路MPは、図9Aの回路MPと異なり、保持部HC、保持部HCrだけでなく、保持部HCs、保持部HCsrを有する回路である。

[0311]

図17の回路MPに含まれている回路MCは、図9Aの回路MPが有する回路素子に加え、トランジスタM1s、トランジスタM2s、トランジスタM5、トランジスタM5s、容量素子C1sを有する。また、図17の回路MPに含まれている回路MCrは、回路MCと同様の回路素子を有するため、回路MCのトランジスタM1s、トランジスタM2s、トランジスタM5、トランジスタM5s、容量素子C1sのそれぞれに対応する、トランジスタM1sr、トランジスタM2sr、トランジスタM5r、トランジスタM5sr、容量素子C1srを有する。

[0312]

なお、本明細書などにおいて、トランジスタM5、トランジスタM5s、トランジスタM5r、トランジスタM5srは、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。

[0313]

次に、図17の回路MPの構成について説明する。なお、図17の回路MPにおいて、図9Aの回路MPと同様の構成となっている箇所については省略する。

[0314]

トランジスタM1のゲートは、配線W1Lに電氣的に接続されている。トランジスタM5の第1端子は、トランジスタM2の第2端子に電氣的に接続され、トランジスタM5の第2端子は、トランジスタM3の第1端子と、トランジスタM4の第1端子と、に電氣的に接続され、トランジスタM5のゲートは、配線S1Lに電氣的に接続されている。

[0315]

トランジスタM1sの第1端子は、配線I Lに電氣的に接続され、トランジスタM1sの第2端子は、容量素子C1sの第1端子と、トランジスタM2sのゲートと、に電氣的に接続され、トランジスタM1sのゲートは、配線W2Lに電氣的に接続されている。トランジスタM2sの第1端子は、容量素子C1sの第2端子と、配線V L sに電氣的に接続され、トランジスタM2sの第2端子は、トランジスタM5sの第1端子に電氣的に接続されている。トランジスタM5sの第2端子は、トランジスタM3の第1端子と、トランジスタM4の第1端子と、に電氣的に接続され、トランジスタM5sのゲートは、配線S2Lに電氣的に接続されている。

[0316]

図17の回路MPにおいて、回路MCrは、回路MCとほぼ同様の回路構成となっている。そのため、回路MCrの有する回路素子には、回路MCの有する回路素子と区別をするため、符号に「r」を付している。

[0317]

配線V L sは、定電圧を供給する配線として機能し、当該定電圧としては、低レベル電位であるVSS、VSS以外の低レベル電位、接地電位などとすることができる。また、当該定電圧としては、高レベル電位であるVDDとしてもよい。また、配線V L sが供給する定電圧は、配線V Lが供給する定電圧と異なってもよいし、同一としてもよい。配線V Lと配線V L sとが与える定電圧がほぼ等しい場合、配線V L sは配線V Lと同一の配線とすることができる。

[0318]

配線 $V L s r$ は、定電圧を供給する配線として機能し、当該定電圧としては、低レベル電位である $V S S$ 、 $V S S$ 以外の低レベル電位、接地電位などとすることができる。また、当該定電圧としては、高レベル電位である $V D D$ としてもよい。また、配線 $V L s r$ が供給する定電圧は、配線 $V L r$ が供給する定電圧と異なってもよいし、同一としてもよい。配線 $V L r$ と配線 $V L s r$ とが与える定電圧がほぼ等しい場合、配線 $V L s r$ は配線 $V L r$ と同一の配線とすることができる。

[0319]

また、配線 $V L$ 、配線 $V L s$ 、配線 $V L r$ 、配線 $V L s r$ のそれぞれが与える定電圧は互いに異なる電圧としてもよいし、同一としてもよい。また、配線 $V L$ 、配線 $V L s$ 、配線 $V L r$ 、配線 $V L s r$ から選ばれた 2 本、又は 3 本の配線が与える定電圧は互いに等しくてもよい。

[0320]

配線 $S 1 L$ は、トランジスタ $M 5$ 、及びトランジスタ $M 5 r$ をオン状態又はオフ状態にするための電位を供給する配線として機能し、配線 $S 2 L$ は、トランジスタ $M 5 s$ 、及びトランジスタ $M 5 s r$ をオン状態又はオフ状態にするための電位を供給する配線として機能する。

[0321]

図 5 C、図 5 D に図示した回路 MP は、図 1 7 の回路 MP に示した構成を適用することによって、重み係数を 2 個保持することができる。具体的には、図 1 7 の回路 MP は、1 個目の重み係数に応じた電位を、回路 MC の保持部 $H C$ と、回路 MC r の保持部 $H C r$ と、に保持し、2 個目の重み係数に応じた電位を、回路 MC の保持部 $H C s$ と、回路 MC の保持部 $H C s r$ と、に保持することができる。また、図 1 7 の回路 MP は、配線 $S 1 L$ 、配線 $S 2 L$ から与える電位によって、演算に用いる重み係数の切り替えを行うことができる。例えば、演算回路 110 の回路 MP [1, j] 乃至回路 MP [m, j] に含まれるそれぞれの保持部 $H C$ 、保持部 $H C r$ に重み係数 $w_1^{(k-1)} j^{(k)}$ 乃至 $w_m^{(k-1)} j^{(k)}$ に相当する電位を保持し、演算回路 110 の回路 MP [1, j] 乃至回路 MP [m, j] に含まれるそれぞれの保持部 $H C s$ 、 $H C s r$ に重み係数 $w_1^{(k-1)} h^{(k)}$ 乃至 $w_m^{(k-1)} h^{(k)}$ (ここでの h は、1 以上で j でない整数とする。) に相当する電位を保持して、配線 $X L S$ [1] 乃至配線 $X L S$ [m] (図 1 7 の回路 MP における配線 $X 1 L$ 、 $X 2 L$) に信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ に応じた電位を入力する。このとき、配線 $S 1 L$ に高レベル電位を印加して、トランジスタ $M 5$ 、トランジスタ $M 5 r$ をオン状態とし、配線 $S 2 L$ に低レベル電位を印加して、トランジスタ $M 5 s$ 、トランジスタ $M 5 s r$ をオフ状態とすることで、演算回路 110 の回路 MP [1, j] 乃至回路 MP [m, j] は、重み係数 $w_1^{(k-1)} j^{(k)}$ 乃至 $w_m^{(k-1)} j^{(k)}$ と信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ との積和と活性化関数の演算を行うことができる。また、配線 $S 1 L$ に低レベル電位を印加して、トランジスタ $M 5$ 、トランジスタ $M 5 r$ をオフ状態とし、配線 $S 2 L$ に高レベル電位を印加して、トランジスタ $M 5 s$ 、トランジスタ $M 5 s r$ をオン状態とすることで、演算回路 110 の回路 MP [1, j] 乃至回路 MP [m, j] は、重み係数 $w_1^{(k-1)} h^{(k)}$ 乃至 $w_m^{(k-1)} h^{(k)}$ と信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ との積和と活性化関数の演算を行うことができる。

[0322]

上述の通り、演算回路 110 に図 1 7 の回路 MP を適用することによって、重み係数を 2 個保持することができ、かつ当該重み係数を切り替えて、積和と活性化関数の演算を行うことができる。図 1 7 の回路 MP を構成した演算回路 110 は、例えば、第 k 層のニューロンの個数が n より大きい場合、第 k 層と異なる中間層における演算を行う場合、などに有効である。また、図 1 7 の回路

MPでは、回路MC、及び回路MC rが有する保持部はそれぞれ2個としたが、回路MC、及び回路MC rのそれぞれは、状況に応じて、3個以上の保持部を有してもよい。

[0323]

<構成例4>

図18Aに示す回路MPは、図5Aの回路MPに適用できる回路であり、保持部HC、及び保持部HC rのそれぞれが、容量素子C1、容量素子C1 rの代わりに負荷回路LC、負荷回路LC rを有する点で、図9Aの回路MPと異なっている。

[0324]

図18Aの回路MPの回路MCにおいて、負荷回路LCの第1端子は、トランジスタM1の第2端子と、トランジスタM3の第1端子と、トランジスタM4の第1端子と、に電氣的に接続され、負荷回路LCの第2端子は、配線VLに電氣的に接続されている。

[0325]

なお、図18Aの回路MPの回路MC rは、回路MCとほぼ同様の回路構成となっている。そのため、回路MC rの有する回路素子には、回路MCの有する回路素子と区別をするため、符号に「r」を付している。

[0326]

ここでの配線VL、配線VL rは、定電圧VCNSを供給する配線として機能する。VCNSとしては、例えば、接地電位(GND)、又は負荷回路LC、負荷回路LC rを正常に動作させる範囲の低電位とすることができる。

[0327]

負荷回路LC、負荷回路LC rは、一例としては、第1端子と第2端子との間の抵抗値を変化することができる回路である。負荷回路LC、負荷回路LC rの第1端子と第2端子との間の抵抗値を変化することにより、負荷回路LC、負荷回路LC rの第1端子と第2端子との間に流れる電流量を変化させることができる。

[0328]

ここで、図18Aの回路MPにおいて、負荷回路LC、負荷回路LC rの第1端子と第2端子との間の抵抗値を変更する方法について説明する。初めに、配線X1L、配線X2Lのそれぞれに低レベル電位を入力してトランジスタM3、トランジスタM3 r、トランジスタM4、トランジスタM4 rをオフ状態にする。次に、配線WLに高レベル電位を入力してトランジスタM1、M1 rをオン状態にし、配線IL(配線ILB)の電位を変化させることで、負荷回路LC(負荷回路LC r)の第1端子と第2端子との間の抵抗値を設定する。例えば、配線IL(配線ILB)に、負荷回路LC(負荷回路LC r)の第1端子と第2端子との間の抵抗値をリセットするための電位を入力し、その後に、配線IL(配線ILB)に、負荷回路LC(負荷回路LC r)の第1端子と第2端子との間の抵抗値を所望の値となるような電位を入力する方法などがある。負荷回路LC(負荷回路LC r)の第1端子と第2端子との間の抵抗値を所望の値に設定したあとは、配線WLに低レベル電位を入力してトランジスタM1、トランジスタM1 rをオフ状態にすればよい。

[0329]

負荷回路LC、負荷回路LC rとしては、例えば、図18Bに図示するように、抵抗変化素子VRを用いることができる。また、負荷回路LC、負荷回路LC rとしては、例えば、図18Cに図示するように、MTJ素子MRを含む回路VCとすることができる。また、負荷回路LC、負荷回

路LCrとしては、例えば、図18Dに図示するように、相変化メモリ（PCM）などに用いられる、相変化材料が含まれる抵抗素子（本明細書等では、便宜上、相変化メモリPCMと呼称する。）を用いることができる。

[0330]

また、負荷回路LC、負荷回路LCrを用いた回路MPは、図18Aに示した構成に限定されず、状況に応じて、図18Aの回路MPの構成を変更することができる。図18Aの回路MPの変更例としては、図18Aの回路MPに配線IL、配線ILBと、トランジスタM1と、トランジスタM1rと、を設けない回路構成とすることができる。図19は、当該回路構成を示した回路図であり、図5Dの回路MPの構成例の一となっている。

[0331]

図19の回路MPにおいて、負荷回路LCの第1端子と第2端子との間の抵抗値の設定は、配線X1Lに高レベル電位、配線X2Lに低レベル電位を入力して、トランジスタM3をオン状態、トランジスタM4をオフ状態にし、配線IOLからトランジスタM3を介して、負荷回路LCの第1端子に電位を与えることで行うことができる。また、このとき、配線IOLBから、トランジスタM3rを介して、負荷回路LCrの第1端子に電位を与えることができるため、負荷回路LCと同時に、負荷回路LCrの第1端子と第2端子との間の抵抗値の設定も行うことができる。

[0332]

また、負荷回路LCの第1端子と第2端子との間の抵抗値の設定は、配線X1Lに低レベル電位、配線X2Lに高レベル電位を入力して、トランジスタM3をオフ状態、トランジスタM4をオン状態にし、配線IOLBからトランジスタM4を介して、負荷回路LCの第1端子に電位を与えることでも行うことができる。また、このとき、配線IOLから、トランジスタM4rを介して、負荷回路LCrの第1端子に電位を与えることができるため、負荷回路LCと同時に、負荷回路LCrの第1端子と第2端子との間の抵抗値の設定も行うことができる。

[0333]

なお、図18A、図19に示した負荷回路LC、及び負荷回路LCrのそれぞれの第1端子と第2端子との間の抵抗値は、2値、又は3値以上としてもよく、更にアナログ値としてもよい。

[0334]

<構成例5>

図20Aに示す回路MPは、図5Aの回路MPに適用できる回路であり、保持部HC、保持部HCrのそれぞれが、容量素子C1、容量素子C1rの代わりにインバータループの回路構成を有する点で、図9Aの回路MPと異なっている。

[0335]

図20Aの回路MPの回路MCにおいて、保持部HCは、インバータ回路INV1と、インバータ回路INV2と、を有する。インバータ回路INV1の入力端子は、インバータ回路INV2の出力端子と、トランジスタM1の第2端子と、トランジスタM2のゲートと、に電氣的に接続されている。なお、図9Aの説明と同様に、トランジスタM1の第2端子と、トランジスタM2のゲートと、インバータ回路INV1の入力端子と、インバータ回路INV2の出力端子と、の電氣的接続点をノードnd1と呼称する。なお、ノードnd1は、インバータ回路INV1の入力端子ではなく、インバータ回路INV1の出力端子と接続されていてもよい。

[0336]

なお、図20Aの回路MPの回路MC_rは、回路MCとほぼ同様の回路構成となっている。そのため、回路MC_rの有する回路素子には、回路MCの有する回路素子と区別をするため、符号に「r」を付している。

[0337]

回路MCに含まれている保持部HCは、インバータ回路INV1と、インバータ回路INV2と、によって、インバータループが構成され、回路MC_rに含まれている保持部HC_rは、インバータ回路INV1_r、インバータ回路INV2_rと、によって、インバータループが構成されている。つまり、図20Aの回路MPは、保持部HC、及び保持部HC_rのそれぞれのインバータループによって、重み係数に相当する電位を保持することができる。

[0338]

なお、図20Aの回路MPでは、インバータ回路INV1、インバータ回路INV1_r、インバータ回路INV2、インバータ回路INV2_rを図示しているが、インバータ回路INV1、インバータ回路INV1_r、インバータ回路INV2、インバータ回路INV2_rの少なくとも一は、入力信号が入力されて当該入力信号の反転信号を出力する論理回路に置き換えてもよい。当該論理回路としては、例えば、NAND回路、NOR回路、XOR回路、これらを組み合わせた回路等とすることができる。具体的には、インバータ回路をNAND回路に置き換える場合、NAND回路の2入力端子の一方に固定電位として高レベル電位を入力することで、NAND回路をインバータ回路として機能することができる。また、インバータ回路をNOR回路に置き換える場合、NOR回路の2入力端子の一方に固定電位として低レベル電位を入力することで、NOR回路をインバータ回路として機能することができる。また、インバータ回路をXOR回路に置き換える場合、XOR回路の2入力端子の一方に固定電位として高レベル電位を入力することで、XOR回路をインバータ回路として機能することができる。

[0339]

上述の通り、本明細書等に記載されているインバータ回路は、NAND回路、NOR回路、XOR回路、又はこれらを組み合わせた回路などの論理回路に置き換えることができる。そのため、本明細書などにおいて、「インバータ回路」という用語は、「論理回路」と呼称することができる。

[0340]

また、図20Aの回路MPは、状況に応じて、構成を変更することができる。図20Aの回路MPの変更した一例を、図20Bに示す。図20Bの回路MPは、図20Aの回路MPの回路MC_rから、保持部HC_rを除いた構成であり、回路MCの保持部HCが回路MC_rのトランジスタM2_rのゲートに電氣的に接続された構成となっている。

[0341]

図20Bでは、インバータ回路INV1の出力端子と、インバータ回路INV2の入力端子と、の電氣的接続点をノードnd2としている。つまり、トランジスタM2_rのゲートには、ノードnd2の電位が入力される。

[0342]

図20Bに示す回路MPは、回路MC_rに保持部HC_rが含まれてなく、トランジスタM2_rのゲートに与える電位は、回路MCの保持部HCによって保持される。また、保持部HCは、インバータ回路INV1とインバータ回路INV2とからなるインバータループの構成を有するため、ノ

ードn d 1では高レベル電位又は低レベル電位の一方が保持され、ノードn d 2では高レベル電位又は低レベル電位の他方が保持される。

[0343]

なお、インバータループの構成上、保持部HCは、ノードn d 1、及びノードn d 2のそれぞれに同じ電位を保持することができない。そのため、図20Bの回路MPにおいて、ノードn d 1、及びノードn d 2のそれぞれに同じ電位を保持することで表現される重み係数を設定することができない。具体的には、上述の動作例において、トランジスタM2、トランジスタM2rのそれぞれのゲートに低レベル電位を保持できないため、図20Bの回路MPに重み係数“0”を設定することができない。

[0344]

<構成例6>

図21Aに示す回路MPは、図5Aの回路MPに適用できる回路であり、保持部HC、保持部HCrのそれぞれが、2個のトランジスタと、2個の容量素子と、を有する点などで、図9Aの回路MPと異なっている。

[0345]

図21Aに示す回路MPの回路MCにおいて、保持部HCは、トランジスタM1、トランジスタM1sと、容量素子C2、容量素子C2sと、を有する。トランジスタM1の第1端子は、配線ILに電氣的に接続され、トランジスタM1の第2端子は、容量素子C2の第1端子と、トランジスタM6のゲートと、に電氣的に接続され、トランジスタM1のゲートは、配線WLに電氣的に接続されている。トランジスタM1sの第1端子は、配線ILに電氣的に接続され、トランジスタM1sの第2端子は、容量素子C2sの第1端子と、トランジスタM7のゲートと、に電氣的に接続され、トランジスタM1sのゲートは、配線WLに電氣的に接続されている。なお、図9Aの説明と同様に、トランジスタM1の第2端子と、トランジスタM6のゲートと、容量素子C2の第1端子と、の電氣的接続点をn d 1と呼称し、トランジスタM1sの第2端子と、トランジスタM7のゲートと、容量素子C2sの第1端子と、の電氣的接続点をn d 1sと呼称する。

[0346]

容量素子C2の第2端子は、配線X1Lに電氣的に接続され、容量素子C2sの第2端子は、配線X2Lに電氣的に接続されている。

[0347]

トランジスタM6の第1端子は、トランジスタM7の第1端子と、配線VLに電氣的に接続され、トランジスタM6の第2端子は、配線OLに電氣的に接続されている。トランジスタM7の第2端子は、配線OLBに電氣的に接続されている。

[0348]

なお、図21Aの回路MPの回路MCrは、回路MCとほぼ同様の回路構成となっている。そのため、回路MCrの有する回路素子には、回路MCの有する回路素子と区別をするため、符号に「r」を付している。

[0349]

回路MCに含まれている保持部HCは、容量素子C2、容量素子C2sによって、電位を保持する機能を有する。具体的には、配線WLに高レベル電位を入力して、トランジスタM1、トランジスタM1sをオン状態にした後で、配線ILに所定の電位を入力することによって、容量素子C2、

容量素子C 2 s のそれぞれの第1端子に当該電位が書き込まれる。その後、配線WLに低レベル電位を入力して、トランジスタM1、トランジスタM1 s をオフ状態にすることで、保持部HCのノードnd1、ノードnd1 s のそれぞれに当該電位を保持することができる。なお、保持部HCに所定の電位を書き込み、保持する際において、配線X1L、配線X2Lのそれぞれの電位は、例えば、定電位とするのが好ましく、特に低レベル電位より高く、高レベル電位より低い電位とするのが好ましい。また、便宜上、当該定電位を基準電位と呼称する。

[0350]

また、図21Aの回路MPにおいて、配線WLは、保持部HC、及び保持部HC r のそれぞれに電氣的に接続されているため、保持部HC、及び保持部HC r のそれぞれに、重み係数に相当する電位を書き込んで保持する場合、配線WLの電位が高レベル電位のときに同時に保持部HC、及び保持部HC r に所定の電位を書き込んで、その後、配線WLの電位を低レベル電位にしてトランジスタM1、トランジスタM1 s、トランジスタM1 r、及びトランジスタM1 s r を同時にオフ状態とすればよい。

[0351]

また、ここで、回路MPに入力されるニューロンの信号を次の通りに定義する。配線X1Lに基準電位より高い電圧（以後、高レベル電位と呼称する。）、配線X2Lに基準電位より低い電圧（以後、低レベル電位と呼称する。）が印加されているとき、回路MPには、ニューロンの信号として“+1”が入力され、配線X1Lに低レベル電位、配線X2Lに高レベル電位が印加されているとき、回路MPには、ニューロンの信号として“-1”が入力され、配線X1L、配線X2Lのそれぞれに低レベル電位が印加されているとき、回路MPには、ニューロンの信号として“0”が入力されるものとする。

[0352]

例えば、保持部HC、保持部HC r に、重み係数に相当する電位を保持した後に、回路MPにニューロンの信号として“+1”を入力する場合、配線X1Lに高レベル電位が入力されるため、ノードnd1、nd1 r のそれぞれの電位は容量素子C2、容量素子C2 r による容量結合によって高くなる。これにより、トランジスタM6、トランジスタM6 r のそれぞれのゲートの電位が高くなるため、トランジスタM6、トランジスタM6 r はオン状態となる。また、配線X2Lに低レベル電位が入力されるため、ノードnd1 s、ノードnd1 s r のそれぞれの電位は容量素子C2 s、容量素子C2 s r による容量結合によって低くなる。これにより、トランジスタM7、トランジスタM7 r のそれぞれのゲートの電位が低くなるため、トランジスタM7、トランジスタM7 r はオフ状態となる。つまり、回路MPにニューロンの信号として“+1”が入力されることによって、回路MCと配線OLとの間は導通状態になり、回路MC r と配線OLBとの間は導通状態になる。

[0353]

また、例えば、保持部HC、保持部HC r に、重み係数に相当する電位を保持した後に、回路MPにニューロンの信号として“-1”を入力する場合、配線X1Lに低レベル電位が入力されるため、ノードnd1、ノードnd1 r のそれぞれの電位は容量素子C2、容量素子C2 r による容量結合によって低くなる。これにより、トランジスタM6、トランジスタM6 r のそれぞれのゲートの電位が低くなるため、トランジスタM6、トランジスタM6 r はオフ状態となる。また、配線X2Lに高レベル電位が入力されるため、ノードnd1 s、ノードnd1 s r のそれぞれの電位は容量素子C2 s、容量素子C2 s r による容量結合によって高くなる。これにより、トランジスタM

7、トランジスタM7 rのそれぞれのゲートの電位が高くなるため、トランジスタM7、トランジスタM7 rはオン状態となる。つまり、回路MPにニューロンの信号として“−1”が入力されることによって、回路MCと配線OLBとの間は導通状態になり、回路MC rと配線OLとの間は導通状態になる。

[0354]

また、例えば、保持部HC、保持部HC rに、重み係数に相当する電位を保持した後に、回路MPにニューロンの信号として“0”を入力する場合、配線X1Lに低レベル電位が入力されるため、ノードnd1、ノードnd1 rのそれぞれの電位は容量素子C2、容量素子C2 rによる容量結合によって低くなる。これにより、トランジスタM6、及びトランジスタM6 rのそれぞれのゲートの電位が低くなるため、トランジスタM6、及びトランジスタM6 rはオフ状態となる。また、配線X2Lに低レベル電位が入力されるため、ノードnd1 s、ノードnd1 s rのそれぞれの電位は容量素子C2 s、容量素子C2 s rによる容量結合によって低くなる。これにより、トランジスタM7、及びトランジスタM7 rのそれぞれのゲートの電位が低くなるため、トランジスタM7、及びトランジスタM7 rはオフ状態となる。つまり、回路MPにニューロンの信号として“0”が入力されることによって、回路MC、回路MC rのそれぞれと、配線OL、配線OLBとの間は、非導通状態になる。

[0355]

なお、トランジスタM6、トランジスタM6 r、トランジスタM7、及びトランジスタM7 rのオン状態は、一例としては、飽和領域で動作することが好ましい。そのため、トランジスタM6、トランジスタM6 r、トランジスタM7、及びトランジスタM7 rのそれぞれのゲート、ソース、ドレインには、オン状態では飽和領域で動作するように適切にバイアスされているのが好ましい。トランジスタM6、トランジスタM6 r、トランジスタM7、及びトランジスタM7 rのそれぞれのオン状態を飽和領域で動作することによって、ゲート−ソース電位が高くなると、トランジスタのソース−ドレイン間に流れる電流が大きくなる。つまり、配線X1L（配線X2L）が高レベル電位であるとき、トランジスタM6、トランジスタM6 r（トランジスタM7、トランジスタM7 r）のソース−ドレイン間に流れる電流は、ノードnd1、ノードnd1 r（ノードnd1 s、ノードnd1 s r）の電位の大きさによって決まる。ただし、本発明の一態様は、これに限定されない。

[0356]

また、図21Aの回路MPは、状況に応じて、構成を変更することができる。図21Aの回路MPの変更した一例を、図21Bに示す。図21Bの回路MPは、図21AのトランジスタM6、トランジスタM6 r、トランジスタM7、及びトランジスタM7 rからバックゲートを除いた構成となっている。そのため、回路MPに含まれているトランジスタM6、トランジスタM6 r、トランジスタM7、及びトランジスタM7 rは、トランジスタの構造に依存せず、設計の段階で決めることができる。

[0357]

例えば、図21BのトランジスタM6、トランジスタM6 r、トランジスタM7、及びトランジスタM7 rは、活性層に単結晶シリコン、又は非単結晶シリコンが含まれているSiトランジスタとすることができる。また、図21BのトランジスタM6、トランジスタM6 r、トランジスタM7、及びトランジスタM7 rは、活性層に酸化物半導体が含まれているOSトランジスタとするこ

とができる。また、トランジスタM6、トランジスタM6 r、トランジスタM7、及びトランジスタM7 rとしては、有機半導体、化合物半導体などを有するトランジスタとしてもよい。

[0358]

上述の通り、演算回路110に図21A、図21Bの回路MPを適用することによって、図9Aの回路MPと同様に、積和と活性化関数の演算を行うことができる。

[0359]

<構成例7>

構成例1乃至構成例6では、回路MPが保持する重み係数が“+1”、“-1”、“0”の3値と、配線X1L、配線X2Lから入力される電位に応じたニューロンの信号が“+1”、“-1”、“0”の3値と、の積を計算することができる、回路MPについて説明したが、本構成例では、一例として、重み係数が“+1”、“-1”、“0”の3値と、ニューロンの信号（演算値）が“+1”、“0”の2値と、の積を計算することができる回路MPについて説明する。

[0360]

図22Aに示す回路MPは、図9Aの回路MPからトランジスタM4、M4 rを除いた回路である。また、トランジスタM4、トランジスタM4 rを除いたため、図22Aでは、トランジスタM4、トランジスタM4 rのそれぞれのゲートに電位を入力するための配線X2Lも除いている。また、配線X1Lに相当する配線は、図22Aでは配線XLと記載している。

[0361]

図22Aの回路MPに設定される重み係数は、保持部HCのノードnd1に高レベル電位、保持部HC rのノードnd1 rに低レベル電位が保持されている場合に“+1”とし、保持部HCのノードnd1に低レベル電位、保持部HC rのノードnd1 rに高レベル電位が保持されている場合に“-1”とし、保持部HCのノードnd1に低レベル電位、保持部HC rのノードnd1 rに低レベル電位が保持されている場合に“0”とする。

[0362]

また、図22Aの回路MPに入力されるニューロンの信号は、配線XLに高レベル電位が印加されている場合に“+1”とし、配線XLに低レベル電位が印加されている場合に“0”とする。

[0363]

なお、図22Aの回路MPの動作については、構成例1の動作例の説明を参酌する。

[0364]

図22Aの回路MPにおいて、上述のとおり、重み係数と入力されるニューロンの信号を定義したとき、それぞれの重み係数の場合において、回路MPにニューロンの信号が入力されたことによって、配線OLのノードout aから出力される電流 I_{OL} の変化の有無、及び配線OLBのノードout bから出力される電流 I_{OLB} の変化の有無は、以下の表のとおりとなる。なお、下表では、高レベル電位をhighと記載し、低レベル電位をlowと記載している。

[0365]

[表3]

重み係数	nd1	nd1r	信号	XL	重み係数 × 信号	I _{OL} の変化	I _{OLB} の変化
0	low	low	+1	high	0	無し	無し
+1	high	low	+1	high	+1	有り	無し
-1	low	high	+1	high	-1	無し	有り
0	low	low	0	low	0	無し	無し
+1	high	low	0	low	0	無し	無し
-1	low	high	0	low	0	無し	無し

[0366]

上表のとおり、図22Aの回路MPは、重み係数が“+1”、“-1”、“0”の3値と、ニューロンの信号が“+1”、“0”の2値と、の積を計算することができる。なお、重み係数は、3値ではなく、2値でもよいし、3値以上であってもよい。例えば、“+1”、“0”の2値、または、“+1”、“-1”の2値、でもよい。または、重み係数は、アナログ値でもよいし、多ビット（多値）のデジタル値でもよい。

[0367]

なお、本動作例では、回路MPの回路MC、回路MCrのそれぞれが有する保持部HC、保持部HCrに保持されている電位を、高レベル電位又は低レベル電位としたが、保持部HC、及び保持部HCrにはアナログ値を示す電位を保持してもよい。例えば、重み係数として“正のアナログ値”の場合には、保持部HCのノードnd1に高レベルのアナログ電位、保持部HCrのノードnd1rに低レベル電位が保持されている。重み係数として“負のアナログ値”の場合には、例えば、保持部HCのノードnd1に低レベル電位、保持部HCrのノードnd1rに高レベルのアナログ電位が保持されている。そして、電流I_{OL}及び電流I_{OLB}の電流の大きさは、アナログ電位に応じた大きさとなる。

[0368]

図22Aの回路MPは、図16Aの回路MPと同様に、配線ILと配線ILBとを一本にまとめ、配線WLを配線W1L、W2Lに分けた構成としてもよい。そのような回路構成を図22Bに示す。図22Bの回路MPは、一例として、図6の演算回路120に適用することができる。なお、図22Bの回路MPの動作方法については、図16Aの回路MPの動作方法の説明の記載を参酌する。

[0369]

また、図22Aの回路MPは、配線XLを配線X1L、配線X2Lに分けた構成としてもよい。そのような回路構成を図22Cに示す。配線X1L、配線X2Lのそれぞれには、高レベル電位又は低レベル電位を与えるものとする、トランジスタM3、M3rのそれぞれのオン状態及びオフ状態の組み合わせは4通りとなる。また、保持部HC、保持部HCrのそれぞれのノードnd1、ノードnd1rには、高レベル電位又は低レベル電位が保持されるものとする、ノードnd1、ノードnd1rに保持される電位の組み合わせは4通りとなる。

[0370]

具体的には、ノードnd1に高レベル電位が保持され、配線X1Lに高レベル電位が印加されているときに、配線OLと配線VL間が電氣的に接続されるため、配線OLに流れる電流量I_{OL}が変化する。また、ノードnd1rに高レベル電位が保持され、配線X2Lに高レベル電位が印加され

ているときに、配線OLBと配線VLr間が電氣的に接続されるため、配線OLBに流れる電流量 I_{OLB} が変化する。図22Cの回路MPにおいて、ノードnd1、nd1rに保持される電位の組み合わせと、配線X1L、X2Lが与える電位の組み合わせと、によって定められる、配線OLのノードoutaから出力される電流 I_{OL} の変化の有無、及び配線OLBのノードoutbから出力される電流 I_{OLB} の変化の有無は、以下の表のとおりとなる。なお、下表では、高レベル電位をhighと記載し、低レベル電位をlowと記載している。

[0371]

[表4]

nd1	nd1r	X1L	X2L	I_{OL} の変化	I_{OLB} の変化
low	low	high	low	無し	無し
high	low	high	low	有り	無し
low	high	high	low	無し	無し
high	high	high	low	有り	無し
low	low	low	high	無し	無し
high	low	low	high	無し	無し
low	high	low	high	無し	有り
high	high	low	high	無し	有り
low	low	low	low	無し	無し
high	low	low	low	無し	無し
low	high	low	low	無し	無し
high	high	low	low	無し	無し
low	low	high	high	無し	無し
high	low	high	high	有り	無し
low	high	high	high	無し	有り
high	high	high	high	有り	有り

[0372]

次に、図22A乃至図22Cの回路MPとは、構成が異なる回路について説明する。

[0373]

図23Aに示す回路MPは、図22Aの回路MPと同様に、重み係数が“+1”、“-1”、“0”の3値と、ニューロンの信号が“+1”、“0”の2値と、の積を計算する回路であって、図21Aの回路MPにトランジスタM1s、トランジスタM1sr、トランジスタM7、トランジスタM7rと、容量素子C2s、容量素子C2srを設けない回路構成となっている。また、容量素子C2s、容量素子C2srを除いたため、図23Aでは、容量素子C2s、容量素子C2srのそれぞれの第2端子に電位を入力するための配線X2Lも除いている。また、配線X1Lに相当する配線は、図23Aでは配線XLと記載している。

[0374]

図23Aの動作については、構成例6の記載を参酌する。

[0375]

図22Aの回路MPと同様に、図23Aの回路MPに対して、重み係数と、ニューロンの信号と、を定義することによって、上表のとおり、重み係数が“+1”、“-1”、“0”の3値と、ニューロンの信号が“+1”、“0”の2値と、の積を計算することができる。なお、重み係数は、3値ではなく、2値でもよいし、3値以上であってもよい。例えば、“+1”、“0”の2値、また

は、“+1”、“-1”の2値、でもよい。または、重み係数は、アナログ値でもよいし、多ビット（多値）のデジタル値でもよい。例えば、回路MPの回路MC、回路MC_rが有する保持部HC、保持部HC_rに保持されている電位を、高レベル電位又は低レベル電位としたが、保持部HC、保持部HC_rにはアナログ値を示す電位を保持してもよい。例えば、重み係数として“正のアナログ値”の場合には、保持部HCのノードnd1に高レベルのアナログ電位、保持部HC_rのノードnd1_rに低レベル電位が保持されている。重み係数として“負のアナログ値”の場合には、例えば、保持部HCのノードnd1に低レベル電位、保持部HC_rのノードnd1_rに高レベルのアナログ電位が保持されている。そして、電流I_{OL}及び電流I_{OLB}の電流の大きさは、アナログ電位に応じた大きさとなる。

[0376]

図23Aの回路MPは、図16Aの回路MPと同様に、配線ILと配線ILBとを一本にまとめ、配線WLを配線W1L、配線W2Lに分けた構成としてもよい。そのような回路構成を図23Bに示す。図23Bの回路MPは、一例として、図6の演算回路120に適用することができる。なお、図23Bの回路MPの動作方法については、図16Aの回路MPの動作方法の説明の記載を参酌する。

[0377]

また、図23Aの回路MPは、図22Cの回路MPと同様に、配線XLを配線X1L、配線X2Lに分けた構成としてもよい。そのような回路構成を図23Cに示す。配線X1L、配線X2Lのそれぞれには、高レベル電位又は低レベル電位を与えるものとする、トランジスタM6、トランジスタM6_rのそれぞれのオン状態及びオフ状態の組み合わせは4通りとなる。また、保持部HC、保持部HC_rのそれぞれのノードnd1、ノードnd1_rには、高レベル電位又は低レベル電位が保持されるものとする、ノードnd1、ノードnd1_rに保持される電位の組み合わせは4通りとなる。なお、例えば、回路MPの回路MC、回路MC_rが有する保持部HC、保持部HC_rに保持されている電位を、高レベル電位又は低レベル電位としたが、保持部HC、保持部HC_rにはアナログ値を示す電位を保持してもよい。例えば、重み係数として“正のアナログ値”の場合には、保持部HCのノードnd1に高レベルのアナログ電位、保持部HC_rのノードnd1_rに低レベル電位が保持されている。重み係数として“負のアナログ値”の場合には、例えば、保持部HCのノードnd1に低レベル電位、保持部HC_rのノードnd1_rに高レベルのアナログ電位が保持されている。そして、電流I_{OL}及び電流I_{OLB}の電流の大きさは、アナログ電位に応じた大きさとなる。

[0378]

図23Cの回路MPにおいて、配線OL、配線OLBに流れる電流の変化は、図22Cの回路MPと同様に考えることができる。そのため、図23Cの回路MPにおいて、ノードnd1、ノードnd1_rに保持される電位の組み合わせと、配線X1L、X2Lが与える電位の組み合わせと、によって定められる、配線OLのノードoutaから出力される電流I_{OL}の変化の有無、及び配線OLBのノードoutbから出力される電流I_{OLB}の変化の有無は、図22Cの回路MPで説明した上表のとおりとなる。

[0379]

<構成例8>

図24Aに示す回路MPは、図5Fの回路MPに適用できる回路の一例である。

[0380]

図24Aの回路MPは、回路MCと、回路MC_rと、トランジスタM_Zと、を有する。

[0381]

なお、図24Aの回路MPの回路MC_rは、回路MCとほぼ同様の回路構成となっている。そのため、回路MC_rの有する回路素子には、回路MCの有する回路素子と区別をするため、符号に「_r」を付している。

[0382]

また、回路MCは、保持部HCと、トランジスタM₈と、を有し、回路MC_rは、保持部HC_rと、トランジスタM_{8r}と、を有する。

[0383]

図24Aの回路MPの回路MCに含まれている保持部HCは、一例として、図9A乃至図9C、図10A、図10B、図11A、図11B、図12A、図12Bなどの回路MPの回路MCに含まれている保持部HCと、同様の構成にすることができる。

[0384]

トランジスタM₈の第1端子は、トランジスタM_Zの第1端子に電氣的に接続され、トランジスタM₈のゲートは、トランジスタM₁の第2端子と、容量素子C₁の第1端子と、に電氣的に接続され、トランジスタM₈の第2端子は、配線OLに電氣的に接続されている。容量素子C₁の第2端子は、配線CVLに電氣的に接続されている。トランジスタM₁の第1端子は、配線ILに電氣的に接続されている。

[0385]

また、トランジスタM_{8r}の第1端子は、トランジスタM_Zの第1端子に電氣的に接続され、トランジスタM_{8r}のゲートは、トランジスタM_{1r}の第2端子と、容量素子C_{1r}の第1端子と、に電氣的に接続され、トランジスタM_{8r}の第2端子は、配線OLBに電氣的に接続されている。容量素子C_{1r}の第2端子は、配線CVLに電氣的に接続されている。トランジスタM₁の第1端子は、配線ILBに電氣的に接続されている。

[0386]

配線CVLは、一例として、定電圧を与える配線として機能する。当該定電圧としては、例えば、高レベル電位、低レベル電位、接地電位などとすることができる。

[0387]

図24Aの回路MPに含まれている保持部HC、保持部HC_rは、図9Aなどに示している回路MPに含まれている保持部HC、保持部HC_rと同様に、重み係数に応じた電位を保持することができる。具体的には、例えば、配線WLに所定の電位を与えて、トランジスタM₁、及びトランジスタM_{1r}をオン状態にして、配線ILから容量素子C₁の第1端子に電位を供給し、配線ILBから容量素子C_{1r}の第1端子に電位を供給すればよい。その後、配線WLに所定の電位を与えて、トランジスタM₁、及びトランジスタM_{1r}をオフ状態にすればよい。

[0388]

ここで、例えば、図24Aの回路MPに設定される重み係数は、保持部HCのノードnd1に高レベル電位、保持部HC_rのノードnd1_rに低レベル電位が保持されている場合に“+1”とし、保持部HCのノードnd1に低レベル電位、保持部HC_rのノードnd1_rに高レベル電位が保持されている場合に“-1”とし、保持部HCのノードnd1に低レベル電位、保持部HC_rのノードnd1_rに低レベル電位が保持されている場合に“0”とする。

[0389]

保持部HC、及び保持部HC rのそれぞれに重み係数に応じた電位が保持されることによって、トランジスタM8及びトランジスタM8 rのそれぞれのゲートの電位が定まる。ここで、配線XLに、例えば、ニューロンの信号の値に応じた電位を与えることによって、回路MPから配線IL、及び／又は配線ILBに流れる電流が定まる。例えば、配線XLに“1”の第2データとして高レベル電位が与えられたとき、配線VLが与える定電圧がトランジスタM8の第1端子と、トランジスタM8 rの第1端子と、に与えられる。このとき、トランジスタM8のゲートの電位が高レベル電位であるとき、トランジスタM8の第1端子と第2端子との間に電流が流れ、トランジスタM8のゲートの電位が低レベル電位であるとき、トランジスタM8の第1端子と第2端子との間に電流が流れない。同様に、トランジスタM8 rのゲートの電位が高レベル電位であるとき、トランジスタM8 rの第1端子と第2端子との間に電流が流れ、トランジスタM8 rのゲートの電位が低レベル電位であるとき、トランジスタM8 rの第1端子と第2端子との間に電流が流れない。また、例えば、配線XLに“0”の第2データとして低レベル電位が与えられたとき、トランジスタM8の第1端子と、トランジスタM8 rの第1端子と、には、配線VLが与える定電圧が与えられないため、それぞれのトランジスタの第1端子－第2端子間に電流は流れない。

[0390]

つまり、上記をまとめると、重み係数とニューロンの信号の値との積が“+1”であるとき、回路MCから配線OLに所定の電流が流れ、回路MC rから配線OLBに所定の電流が流れない。また、重み係数とニューロンの信号の値との積が“-1”であるとき、回路MC rから配線OLBに所定の電流が流れ、回路MCから配線OLに所定の電流が流れない。また、重み係数とニューロンの信号の値との積が“0”であるとき、回路MCから配線OLに電流が流れず、回路MC rから配線OLBに所定の電流が流れない。

[0391]

以上より、図24Aの回路MPは、構成例7で説明した回路MPと同様に、重み係数が“+1”、“-1”、“0”の3値と、ニューロンの信号（演算値）が“+1”、“0”の2値と、の積を計算することができる。また、図24Aの回路MPは、構成例7で説明した回路MPと同様に、重み係数をアナログ値、多ビット（多値）のデジタル値などとしてもよい。

[0392]

また、本発明の一態様の半導体装置である演算回路に適用できる、図24Aの回路MPは、状況に応じて適宜変更してもよい。

[0393]

例えば、図7の演算回路130に図24Aの回路MPを適用する場合、図24Aの回路MPを図24Bに示す回路MPに構成を変更すればよい。図24Bの回路MPは、図24Aの回路MPにおいて、配線OLと配線ILとを配線IOLとして一本の配線としてまとめ、かつ配線OLBと配線ILBとを配線IOLBとして一本の配線としてまとめた構成となっている。なお、図24Bに示す配線XLは、図7に示す配線XLS[1]乃至配線XLS[m]のいずれか一に相当し、図24Bに示す配線WLは、図7に示す配線WLS[1]乃至配線WLS[m]のいずれか一に相当する。

[0394]

また、図5Aの回路MPに適用できる回路は、図24Aの回路MPに限定されない。

[0395]

例えば、構成例 4 で説明した図 18 A の回路 MP を、図 5 A の回路 MP に適用できる回路に変形することができる。図 25 A に示す回路 MP は、図 5 A の回路 MP に適用できる回路であって、図 18 A と同様に負荷回路 LC を含む保持部 HC と、負荷回路 LC r を含む保持部 HC r と、を有する。なお、図 25 A の動作については、図 24 A の回路 MP、図 18 A の回路 MP などの動作例の説明を参酌する。

[0396]

なお、例えば、図 7 の演算回路 130 に図 25 A の回路 MP を適用する場合、図 25 A の回路 MP を図 25 B に示す回路 MP に構成を変更すればよい。図 25 B の回路 MP は、図 25 A の回路 MP において、配線 OL と配線 IL とを配線 IOL として一本の配線としてまとめ、配線 OLB と配線 ILB とを配線 IO LB として一本の配線としてまとめ、さらにトランジスタ M1、及びトランジスタ M1 r を設けていない構成となっている。なお、図 25 B に示す配線 XL は、図 7 に示す配線 XLS [1] 乃至配線 XLS [m] のいずれかーに相当し、図 25 B に示す配線 WL は、図 7 に示す配線 WLS [1] 乃至配線 WLS [m] のいずれかーに相当する。

[0397]

また、例えば、構成例 5 で説明した図 20 A の回路 MP を、図 5 A の回路 MP に適用できる回路に変形することができる。図 26 A に示す回路 MP は、図 5 A の回路 MP に適用できる回路であって、図 20 A と同様にインバータ回路 INV1 及びインバータ回路 INV2 を含む保持部 HC と、インバータ回路 INV1 r 及びインバータ回路 INV2 r を含む保持部 HC r と、を有する。なお、図 26 A の回路 MP は、トランジスタ M3、トランジスタ M3 r、トランジスタ M4、トランジスタ M4 r を設けていない。なお、図 26 A の動作については、図 24 A の回路 MP、図 20 A の回路 MP などの動作例の説明を参酌する。

[0398]

また、例えば、構成例 5 で説明した図 20 B の回路 MP を、図 5 A の回路 MP に適用できる回路に変形することができる。図 26 B に示す回路 MP は、図 5 A の回路 MP に適用できる回路であって、図 20 B と同様にインバータ回路 INV1 及びインバータ回路 INV2 を含む保持部 HC を有する。なお、図 26 B の回路 MP は、トランジスタ M3、トランジスタ M3 r、トランジスタ M4、トランジスタ M4 r を設けていない。なお、図 26 B の動作については、図 24 A の回路 MP、図 20 B の回路 MP などの動作例の説明を参酌する。

[0399]

また、例えば、構成例 7 で説明した図 22 A の回路 MP を、図 5 A の回路 MP に適用できる回路に変形することができる。図 27 A に示す回路 MP は、図 5 A の回路 MP に適用できる回路であって、図 22 A の回路 MP の変形例である。なお、図 22 A の回路 MP は、容量素子 C1 の第 2 端子が配線 VL に電氣的に接続されている点、容量素子 C1 r の第 2 端子が配線 VL に電氣的に接続されている点、トランジスタ M2 の第 1 端子とトランジスタ M2 の第 1 端子とはトランジスタ MZ の第 1 端子に電氣的に接続されている点、トランジスタ M3 及びトランジスタ M3 r を設けていない点、などで図 22 A の回路 MP と異なる。なお、図 27 A の動作については、図 24 A の回路 MP、図 22 A の回路 MP などの動作例の説明を参酌する。

[0400]

なお、例えば、図 6 の演算回路 120 に図 27 A の回路 MP を適用する場合、図 27 A の回路 MP を図 27 B に示す回路 MP に構成を変更すればよい。図 27 B の回路 MP は、図 27 A の回路 MP

Pにおいて、配線 I L と配線 I L B とを配線 I L として一本の配線としてまとめた構成となっている。なお、図 2 7 B に示す配線 X L は、図 6 に示す配線 X L S [1] 乃至配線 X L S [m] のいずれかーに相当し、図 2 7 B に示す配線 W L は、図 6 に示す配線 W L S [1] 乃至配線 W L S [m] のいずれかーに相当する。

[0401]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0402]

(実施の形態 3)

本実施の形態では、上記実施の形態で説明した半導体装置に適用可能な O S トランジスタの構成例について説明する。

[0403]

<半導体装置の構成例>

図 2 8 に示す半導体装置は、トランジスタ 3 0 0 と、トランジスタ 5 0 0 と、容量素子 6 0 0 と、を有している。図 3 0 A はトランジスタ 5 0 0 のチャネル長方向の断面図であり、図 3 0 B はトランジスタ 5 0 0 のチャネル幅方向の断面図であり、図 3 0 C はトランジスタ 3 0 0 のチャネル幅方向の断面図である。

[0404]

トランジスタ 5 0 0 は、チャネル形成領域に金属酸化物を有するトランジスタ（O S トランジスタ）である。トランジスタ 5 0 0 は、オフ電流が小さいため、これを半導体装置、特に演算回路 1 1 0 に含まれている回路 M P のトランジスタ M 1、トランジスタ M 3、トランジスタ M 4 などに用いることにより、長期にわたり書き込んだデータを保持することが可能である。つまり、リフレッシュ動作の頻度が少ない、あるいは、リフレッシュ動作を必要としないため、半導体装置の消費電力を低減することができる。

[0405]

トランジスタ 5 0 0 はトランジスタ 3 0 0 の上方に設けられ、容量素子 6 0 0 はトランジスタ 3 0 0、及びトランジスタ 5 0 0 の上方に設けられている。なお、容量素子 6 0 0 は、回路 M P における容量素子 C 1、容量素子 C 1 r などとすることができる。

[0406]

トランジスタ 3 0 0 は、基板 3 1 1 上に設けられ、導電体 3 1 6、絶縁体 3 1 5、基板 3 1 1 の一部からなる半導体領域 3 1 3、ソース領域又はドレイン領域として機能する低抵抗領域 3 1 4 a、及び低抵抗領域 3 1 4 b を有する。なお、トランジスタ 3 0 0 は、例えば、上記実施の形態におけるトランジスタに適用することができる。

[0407]

トランジスタ 3 0 0 は、図 3 0 C に示すように、半導体領域 3 1 3 の上面及びチャネル幅方向の側面が絶縁体 3 1 5 を介して導電体 3 1 6 に覆われている。このように、トランジスタ 3 0 0 を F i n 型とすることにより、実効上のチャネル幅が増大することによりトランジスタ 3 0 0 のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ 3 0 0 のオフ特性を向上させることができる。

[0408]

なお、トランジスタ 3 0 0 は、p チャネル型、あるいは n チャネル型のいずれでもよい。

[0409]

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域314a、及び低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT（High Electron Mobility Transistor）としてもよい。

[0410]

低抵抗領域314a、及び低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、又はホウ素などのp型の導電性を付与する元素を含む。

[0411]

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。

[0412]

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0413]

なお、図28に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。例えば、半導体装置をOSトランジスタのみの単極性回路とする場合、図29に示すとおり、トランジスタ300の構成を、酸化物半導体を用いているトランジスタ500と同様の構成にすればよい。なお、トランジスタ500の詳細については後述する。

[0414]

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326が順に積層して設けられている。

[0415]

絶縁体320、絶縁体322、絶縁体324、及び絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0416]

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の

含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0417]

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されていてもよい。

[0418]

また、絶縁体324には、基板311、又はトランジスタ300などから、トランジスタ500が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0419]

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0420]

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当りに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0421]

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0422]

また、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326には容量素子600、又はトランジスタ500と接続する導電体328、及び導電体330等が埋め込まれている。なお、導電体328、及び導電体330は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

[0423]

各プラグ、及び配線（導電体328、導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0424]

絶縁体 3 2 6、及び導電体 3 3 0 上に、配線層を設けてもよい。例えば、図 2 8 において、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 が順に積層して設けられている。また、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 には、導電体 3 5 6 が形成されている。導電体 3 5 6 は、トランジスタ 3 0 0 と接続するプラグ、又は配線としての機能を有する。なお導電体 3 5 6 は、導電体 3 2 8、及び導電体 3 3 0 と同様の材料を用いて設けることができる。

[0 4 2 5]

なお、例えば、絶縁体 3 5 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 5 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 5 0 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 3 0 0 とトランジスタ 5 0 0 とは、バリア層により分離することができ、トランジスタ 3 0 0 からトランジスタ 5 0 0 への水素の拡散を抑制することができる。

[0 4 2 6]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 3 0 0 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体 3 5 0 と接する構造であることが好ましい。

[0 4 2 7]

絶縁体 3 5 4、及び導電体 3 5 6 上に、配線層を設けてもよい。例えば、図 2 8 において、絶縁体 3 6 0、絶縁体 3 6 2、及び絶縁体 3 6 4 が順に積層して設けられている。また、絶縁体 3 6 0、絶縁体 3 6 2、及び絶縁体 3 6 4 には、導電体 3 6 6 が形成されている。導電体 3 6 6 は、プラグ又は配線としての機能を有する。なお導電体 3 6 6 は、導電体 3 2 8、及び導電体 3 3 0 と同様の材料を用いて設けることができる。

[0 4 2 8]

なお、例えば、絶縁体 3 6 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 6 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 6 0 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 3 0 0 とトランジスタ 5 0 0 とは、バリア層により分離することができ、トランジスタ 3 0 0 からトランジスタ 5 0 0 への水素の拡散を抑制することができる。

[0 4 2 9]

絶縁体 3 6 4、及び導電体 3 6 6 上に、配線層を設けてもよい。例えば、図 2 8 において、絶縁体 3 7 0、絶縁体 3 7 2、及び絶縁体 3 7 4 が順に積層して設けられている。また、絶縁体 3 7 0、絶縁体 3 7 2、及び絶縁体 3 7 4 には、導電体 3 7 6 が形成されている。導電体 3 7 6 は、プラグ又は配線としての機能を有する。なお導電体 3 7 6 は、導電体 3 2 8、及び導電体 3 3 0 と同様の材料を用いて設けることができる。

[0 4 3 0]

なお、例えば、絶縁体 3 7 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 7 6 は、水素に対するバリア性を有する導電体を含むこ

とが好ましい。特に、水素に対するバリア性を有する絶縁体 370 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

[0431]

絶縁体 374、及び導電体 376 上に、配線層を設けてもよい。例えば、図 28 において、絶縁体 380、絶縁体 382、及び絶縁体 384 が順に積層して設けられている。また、絶縁体 380、絶縁体 382、及び絶縁体 384 には、導電体 386 が形成されている。導電体 386 は、プラグ又は配線としての機能を有する。なお導電体 386 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

[0432]

なお、例えば、絶縁体 380 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 386 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 380 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

[0433]

上記において、導電体 356 を含む配線層、導電体 366 を含む配線層、導電体 376 を含む配線層、及び導電体 386 を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体 356 を含む配線層と同様の配線層を 3 層以下にしてもよいし、導電体 356 を含む配線層と同様の配線層を 5 層以上にしてもよい。

[0434]

絶縁体 384 上には絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 が、順に積層して設けられている。絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

[0435]

例えば、絶縁体 510、及び絶縁体 514 には、例えば、基板 311、又はトランジスタ 300 を設ける領域などから、トランジスタ 500 を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体 324 と同様の材料を用いることができる。

[0436]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 500 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 500 と、トランジスタ 300 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0437]

また、水素に対するバリア性を有する膜として、例えば、絶縁体 510、及び絶縁体 514 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0438]

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

[0439]

また、例えば、絶縁体512、及び絶縁体516には、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体512、及び絶縁体516として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0440]

また、絶縁体510、絶縁体512、絶縁体514、及び絶縁体516には、導電体518、及びトランジスタ500を構成する導電体（例えば、導電体503）等が埋め込まれている。なお、導電体518は、容量素子600、又はトランジスタ300と接続するプラグ、又は配線としての機能を有する。導電体518は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

[0441]

特に、絶縁体510、及び絶縁体514と接する領域の導電体518は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ500とは、酸素、水素、及び水に対するバリア性を有する層で、分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0442]

絶縁体516の上方には、トランジスタ500が設けられている。

[0443]

図30A、及び図30Bに示すように、トランジスタ500は、絶縁体514及び絶縁体516に埋め込まれるように配置された導電体503と、絶縁体516及び導電体503の上に配置された絶縁体520と、絶縁体520の上に配置された絶縁体522と、絶縁体522の上に配置された絶縁体524と、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、酸化物530b上に互いに離れて配置された導電体542a及び導電体542bと、導電体542a及び導電体542b上に配置され、導電体542aと導電体542bの間に重畳して開口が形成された絶縁体580と、開口の底面及び側面に配置された酸化物530cと、酸化物530cの形成面に配置された絶縁体550と、絶縁体550の形成面に配置された導電体560と、を有する。

[0444]

また、図30A、及び図30Bに示すように、酸化物530a、酸化物530b、導電体542a、及び導電体542bと、絶縁体580との間に絶縁体544が配置されることが好ましい。また、図30A、及び図30Bに示すように、導電体560は、絶縁体550の内側に設けられた導電体560aと、導電体560aの内側に埋め込まれるように設けられた導電体560bと、を有

することが好ましい。また、図30A、及び図30Bに示すように、絶縁体580、導電体560、及び絶縁体550の上に絶縁体574が配置されることが好ましい。

[0445]

なお、以下において、酸化物530a、酸化物530b、及び酸化物530cをまとめて酸化物530という場合がある。

[0446]

なお、トランジスタ500では、チャンネルが形成される領域と、その近傍において、酸化物530a、酸化物530b、及び酸化物530cの3層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物530bの単層、酸化物530bと酸化物530aの2層構造、酸化物530bと酸化物530cの2層構造、又は4層以上の積層構造を設ける構成にしてもよい。また、トランジスタ500では、導電体560を2層の積層構造として示しているが、本発明はこれに限られるものではない。例えば、導電体560が、単層構造であってもよいし、3層以上の積層構造であってもよい。また、図28、図30Aに示すトランジスタ500は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0447]

ここで、導電体560は、トランジスタのゲート電極として機能し、導電体542a及び導電体542bは、それぞれソース電極又はドレイン電極として機能する。上記のように、導電体560は、絶縁体580の開口、及び導電体542aと導電体542bに挟まれた領域に埋め込まれるように形成される。導電体560、導電体542a及び導電体542bの配置は、絶縁体580の開口に対して、自己整合的に選択される。つまり、トランジスタ500において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体560を位置合わせのマージンを設けることなく形成することができるので、トランジスタ500の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

[0448]

さらに、導電体560が、導電体542aと導電体542bの間の領域に自己整合的に形成されるので、導電体560は、導電体542a又は導電体542bと重畳する領域を有さない。これにより、導電体560と導電体542a及び導電体542bとの間に形成される寄生容量を低減することができる。よって、トランジスタ500のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

[0449]

導電体560は、第1のゲート（トップゲートともいう）電極として機能する場合がある。また、導電体503は、第2のゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と、連動させず、独立して変化させることで、トランジスタ500のしきい値電圧を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500のしきい値電圧を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0450]

導電体503は、酸化物530、及び導電体560と、重なるように配置する。これにより、導電体560、及び導電体503に電位を印加した場合、導電体560から生じる電界と、導電体503から生じる電界と、がつながり、酸化物530に形成されるチャンネル形成領域を覆うことができる。本明細書等において、第1のゲート電極、及び第2のゲート電極の電界によって、チャンネル形成領域を電氣的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。

[0451]

また、導電体503は、導電体518と同様の構成であり、絶縁体514及び絶縁体516の開口の内壁に接して導電体503aが形成され、さらに内側に導電体503bが形成されている。なお、トランジスタ500では、導電体503a及び導電体503bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体503は、単層、又は3層以上の積層構造として設ける構成にしてもよい。

[0452]

ここで、導電体503aは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、又は酸素の拡散を抑制する機能とは、上記不純物、又は上記酸素のいずれか一又は、すべての拡散を抑制する機能とする。

[0453]

例えば、導電体503aが酸素の拡散を抑制する機能を持つことにより、導電体503bが酸化して導電率が低下することを抑制することができる。

[0454]

また、導電体503が配線の機能を兼ねる場合、導電体503bは、タングステン、銅、又はアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。なお、導電体503bを単層で図示したが、積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0455]

絶縁体520、絶縁体522、絶縁体524、及び絶縁体550は、第2のゲート絶縁膜としての機能を有する。

[0456]

ここで、酸化物530と接する絶縁体524は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体524には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物530に接して設けることにより、酸化物530中の酸素欠損を低減し、トランジスタ500の信頼性を向上させることができる。

[0457]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さ

らに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、又は $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100°C 以上 700°C 以下、又は 100°C 以上 400°C 以下の範囲が好ましい。

[0458]

また、上記過剰酸素領域を有する絶縁体と、酸化物 530 と、を接して加熱処理、マイクロ波処理、または RF 処理のいずれか一または複数の処理を行っても良い。当該処理を行うことで、酸化物 530 中の水、または水素を除去することができる。例えば、酸化物 530 において、 $\text{V}_\text{O}\text{H}$ の結合が切断される反応が起きる、別言すると「 $\text{V}_\text{O}\text{H} \rightarrow \text{V}_\text{O} + \text{H}$ 」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合して H_2O として、酸化物 530、または酸化物 530 近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体 542（導電体 542a、および導電体 542b）に拡散または捕獲（ゲッタリングともいう）される場合がある。

[0459]

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側に RF を印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側に RF を印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物 530、または酸化物 530 近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を 133 Pa 以上、好ましくは 200 Pa 以上、さらに好ましくは 400 Pa 以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比（ $\text{O}_2 / (\text{O}_2 + \text{Ar})$ ）が 50% 以下、好ましくは 10% 以上 30% 以下で行うとよい。

[0460]

また、トランジスタ 500 の作製工程中において、酸化物 530 の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、 100°C 以上 450°C 以下、より好ましくは 350°C 以上 400°C 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10 ppm 以上、 1% 以上、もしくは 10% 以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物 530 に酸素を供給して、酸素欠損（ V_O ）の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気中で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを 10 ppm 以上、 1% 以上、または 10% 以上含む雰囲気で行ってもよい。または、酸化性ガスを 10 ppm 以上、 1% 以上、または 10% 以上含む雰囲気中で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気中で加熱処理を行ってもよい。

[0461]

なお、酸化物 530 に加酸素化処理を行うことで、酸化物 530 中の酸素欠損を、供給された酸素により修復させる、別言すると「 $\text{V}_\text{O} + \text{O} \rightarrow \text{null}$ 」という反応を促進させることができる。さらに、酸化物 530 中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する（脱水化する）ことができる。これにより、酸化物 530 中に残存していた水素が酸素欠損に再結合して $\text{V}_\text{O}\text{H}$ が形成されるのを抑制することができる。

[0462]

また、絶縁体 5 2 4 が、過剰酸素領域を有する場合、絶縁体 5 2 2 は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

[0 4 6 3]

絶縁体 5 2 2 が、酸素や不純物の拡散を抑制する機能を有することで、酸化物 5 3 0 が有する酸素は、絶縁体 5 2 0 側へ拡散することがなく、好ましい。また、導電体 5 0 3 が、絶縁体 5 2 4 や、酸化物 5 3 0 が有する酸素と反応することを抑制することができる。

[0 4 6 4]

絶縁体 5 2 2 は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（P Z T）、チタン酸ストロンチウム（S r T i O₃）、又は（B a, S r）T i O₃（B S T）などのいわゆる h i g h - k 材料を含む絶縁体を単層又は積層で用いることが好ましい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体に h i g h - k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0 4 6 5]

特に、不純物、及び酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体 5 2 2 を形成した場合、絶縁体 5 2 2 は、酸化物 5 3 0 からの酸素の放出や、トランジスタ 5 0 0 の周辺部から酸化物 5 3 0 への水素等の不純物の混入を抑制する層として機能する。

[0 4 6 6]

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

[0 4 6 7]

また、絶縁体 5 2 0 は、熱的に安定していることが好ましい。例えば、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため、好適である。また、h i g h - k 材料の絶縁体と、酸化シリコン又は酸化窒化シリコンと、を組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体 5 2 0 を得ることができる。

[0 4 6 8]

なお、図 3 0 A、及び図 3 0 B のトランジスタ 5 0 0 では、3 層の積層構造からなる第 2 のゲート絶縁膜として、絶縁体 5 2 0、絶縁体 5 2 2、及び絶縁体 5 2 4 が図示されているが、第 2 のゲート絶縁膜は、単層、2 層、又は 4 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0 4 6 9]

トランジスタ 5 0 0 は、チャネル形成領域を含む酸化物 5 3 0 に、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物 5 3 0 として、I n - M - Z n 酸化物（元素

Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種)等の金属酸化物を用いるとよい。特に、酸化物530として適用できるIn-M-Zn酸化物は、実施の形態4で説明するCAAC-OS、CAC-OSであることが好ましい。また、酸化物530として、In-Ga酸化物、In-Zn酸化物を用いてもよい。

[0470]

また、トランジスタ500には、キャリア濃度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア濃度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、金属酸化物中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0471]

特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。また、酸化物530中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合しV_oHを形成する場合がある。V_oHはドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。また、金属酸化物中の水素は、熱、電界などのストレスによって動きやすいため、金属酸化物に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。本発明の一態様においては、酸化物530中のV_oHをできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、V_oHが十分低減された金属酸化物を得るには、金属酸化物中の水分、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、金属酸化物に酸素を供給して酸素欠損を補填すること（加酸素化処理と記載する場合がある。）が重要である。V_oHなどの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0472]

酸素欠損に水素が入った欠陥は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

[0473]

よって、金属酸化物を酸化物530に用いる場合、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とす

る。水素などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0474]

また、酸化物530に金属酸化物を用いる場合、チャネル形成領域の金属酸化物のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0475]

また、酸化物530に金属酸化物を用いる場合、導電体542（導電体542a、および導電体542b）と酸化物530とが接することで、酸化物530中の酸素が導電体542へ拡散し、導電体542が酸化する場合がある。導電体542が酸化することで、導電体542の導電率が低下する蓋然性が高い。なお、酸化物530中の酸素が導電体542へ拡散することを、導電体542が酸化物530中の酸素を吸収する、と言い換えることができる。

[0476]

また、酸化物530中の酸素が導電体542（導電体542a、および導電体542b）へ拡散することで、導電体542aと酸化物530bとの間の界面とその界面付近、および、導電体542bと酸化物530bとの間の界面とその界面付近に絶縁性を有する領域が形成される場合がある。当該領域は、導電体542よりも酸素を多く含むため、当該領域は導電体542a及び導電体542bよりも電気抵抗が高いと推定される。このとき、導電体542と、当該領域と、酸化物530bとの3層構造は、金属－絶縁体－半導体からなる3層構造とみなすことができ、MIS（Metal-Insulator-Semiconductor）構造と呼ぶ、またはMIS構造を主としたダイオード接合構造と呼ぶ場合がある。

[0477]

なお、上記の絶縁性を有する領域は、導電体542と酸化物530bとの間に形成されることに限られず、例えば、絶縁性を有する領域が、導電体542と酸化物530cとの間に形成される場合や、導電体542と酸化物530bとの間、および導電体542と酸化物530cとの間に形成される場合がある。

[0478]

また、酸化物530においてチャネル形成領域として機能する金属酸化物は、バンドギャップが2eV以上、好ましくは2.5eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0479]

酸化物530は、酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。また、酸化物530b上に酸化物530cを有することで、酸化物530cよりも上方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。

[0480]

なお、酸化物 530 は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物 530 a に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 530 b に用いる金属酸化物における、構成元素中の元素 M の原子数比より、大きいことが好ましい。また、酸化物 530 a に用いる金属酸化物において、I n に対する元素 M の原子数比が、酸化物 530 b に用いる金属酸化物における、I n に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 530 b に用いる金属酸化物において、元素 M に対する I n の原子数比が、酸化物 530 a に用いる金属酸化物における、元素 M に対する I n の原子数比より大きいことが好ましい。また、酸化物 530 c は、酸化物 530 a 又は酸化物 530 b に用いることができる金属酸化物を、用いることができる。

[0481]

また、酸化物 530 a 及び酸化物 530 c の伝導帯下端のエネルギーが、酸化物 530 b の伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物 530 a 及び酸化物 530 c の電子親和力が、酸化物 530 b の電子親和力より小さいことが好ましい。

[0482]

ここで、酸化物 530 a、酸化物 530 b、及び酸化物 530 c の接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物 530 a、酸化物 530 b、及び酸化物 530 c の接合部における伝導帯下端のエネルギー準位は、連続的に変化又は連続接合するともいうことができる。このようにするためには、酸化物 530 a と酸化物 530 b との界面、及び酸化物 530 b と酸化物 530 c との界面において形成される混合層の欠陥準位密度を低くするとよい。

[0483]

具体的には、酸化物 530 a と酸化物 530 b、酸化物 530 b と酸化物 530 c が、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物 530 b が I n -G a -Z n 酸化物の場合、酸化物 530 a 及び酸化物 530 c として、I n -G a -Z n 酸化物、G a -Z n 酸化物、酸化ガリウムなどを用いるとよい。

[0484]

このとき、キャリアの主たる経路は酸化物 530 b となる。酸化物 530 a、酸化物 530 c を上述の構成とすることで、酸化物 530 a と酸化物 530 b との界面、及び酸化物 530 b と酸化物 530 c との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 500 は高いオン電流を得られる。

[0485]

酸化物 530 b 上には、ソース電極、及びドレイン電極として機能する導電体 542 a、及び導電体 542 b が設けられる。導電体 542 a、及び導電体 542 b としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、又は上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、

チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタルなどの金属窒化物膜は、水素又は酸素に対するバリア性があるため好ましい。

[0486]

また、図30では、導電体542a、及び導電体542bを単層構造として示したが、2層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

[0487]

また、チタン膜又は窒化チタン膜と、そのチタン膜又は窒化チタン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にチタン膜又は窒化チタン膜を形成する三層構造、モリブデン膜又は窒化モリブデン膜と、そのモリブデン膜又は窒化モリブデン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にモリブデン膜又は窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫又は酸化亜鉛を含む透明導電材料を用いてもよい。

[0488]

また、図30Aに示すように、酸化物530の、導電体542a（導電体542b）との界面とその近傍には、低抵抗領域として、領域543a、及び領域543bが形成される場合がある。このとき、領域543aはソース領域又はドレイン領域の一方として機能し、領域543bはソース領域又はドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチャンネル形成領域が形成される。

[0489]

酸化物530と接するように上記導電体542a（導電体542b）を設けることで、領域543a（領域543b）の酸素濃度が低減する場合がある。また、領域543a（領域543b）に導電体542a（導電体542b）に含まれる金属と、酸化物530の成分とを含む金属化合物層が形成される場合がある。このような場合、領域543a（領域543b）のキャリア密度が増加し、領域543a（領域543b）は、低抵抗領域となる。

[0490]

絶縁体544は、導電体542a、及び導電体542bを覆うように設けられ、導電体542a、及び導電体542bの酸化を抑制する。このとき、絶縁体544は、酸化物530の側面を覆い、絶縁体524と接するように設けられてもよい。

[0491]

絶縁体544として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタン又は、マグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。また、絶縁体544として、窒化酸化シリコン又は窒化シリコンなども用いることができる。

[0492]

特に、絶縁体544として、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、及びハフニウムを含む酸化物（ハ

フニウムアルミネート) などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいことが好ましい。なお、導電体542a、及び導電体542bが耐酸化性を有する材料、又は、酸素を吸収しても著しく導電性が低下しない場合、絶縁体544は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0493]

絶縁体544を有することで、絶縁体580に含まれる水、及び水素などの不純物が酸化物530c、絶縁体550を介して、酸化物530bに拡散することを抑制することができる。また、絶縁体580が有する過剰酸素により、導電体560が酸化するのを抑制することができる。

[0494]

絶縁体550は、第1のゲート絶縁膜として機能する。絶縁体550は、酸化物530cの内側(上面、及び側面)に接して配置することが好ましい。絶縁体550は、上述した絶縁体524と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

[0495]

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

[0496]

加熱により酸素が放出される絶縁体を、絶縁体550として、酸化物530cの上面に接して設けることにより、絶縁体550から、酸化物530cを通じて、酸化物530bのチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体524と同様に、絶縁体550中の水又は水素などの不純物濃度が低減されていることが好ましい。絶縁体550の膜厚は、1nm以上20nm以下とするのが好ましい。

[0497]

また、絶縁体550が有する過剰酸素を、効率的に酸化物530へ供給するために、絶縁体550と導電体560との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体550から導電体560への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体550から導電体560への過剰酸素の拡散が抑制される。つまり、酸化物530へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体560の酸化を抑制することができる。当該金属酸化物としては、絶縁体544に用いることができる材料を用いればよい。

[0498]

なお、絶縁体550は、第2のゲート絶縁膜と同様に、積層構造としてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、high-k材料と、熱的に安定している材料との積層構造とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構造とすることができる。

[0499]

第1のゲート電極として機能する導電体560は、図30A、及び図30Bでは2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

[0500]

導電体560aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体560aが酸素の拡散を抑制する機能を持つことにより、絶縁体550に含まれる酸素により、導電体560bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウムなどを用いることが好ましい。また、導電体560aとして、酸化物530に適用できる酸化物半導体を用いることができる。その場合、導電体560bをスパッタリング法で成膜することで、導電体560aの電気抵抗値を低下させて導電体にすることができる。これをOC(Oxide Conductor)電極と呼ぶことができる。

[0501]

また、導電体560bは、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体560bは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層構造としてもよい。

[0502]

絶縁体580は、絶縁体544を介して、導電体542a、及び導電体542b上に設けられる。絶縁体580は、過剰酸素領域を有することが好ましい。例えば、絶縁体580として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂などを有することが好ましい。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

[0503]

絶縁体580は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体580を、酸化物530cと接して設けることで、絶縁体580中の酸素を、酸化物530cを通じて、酸化物530へと効率良く供給することができる。なお、絶縁体580中の水又は水素などの不純物濃度が低減されていることが好ましい。

[0504]

絶縁体580の開口は、導電体542aと導電体542bの間の領域に重畳して形成される。これにより、導電体560は、絶縁体580の開口、及び導電体542aと導電体542bに挟まれた領域に、埋め込まれるように形成される。

[0505]

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体560の導電性が下がらないようにする必要がある。そのために導電体560の膜厚を大きくすると、導電体

560はアスペクト比が高い形状となりうる。本実施の形態では、導電体560を絶縁体580の開口に埋め込むように設けるため、導電体560をアスペクト比の高い形状にしても、工程中に導電体560を倒壊させることなく、形成することができる。

[0506]

絶縁体574は、絶縁体580の上面、導電体560の上面、及び絶縁体550の上面に接して設けられることが好ましい。絶縁体574をスパッタリング法で成膜することで、絶縁体550、及び絶縁体580へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物530中に酸素を供給することができる。

[0507]

例えば、絶縁体574として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

[0508]

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、及び窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

[0509]

また、絶縁体574の上に、層間膜として機能する絶縁体581を設けることが好ましい。絶縁体581は、絶縁体524などと同様に、膜中の水又は水素などの不純物濃度が低減されていることが好ましい。

[0510]

また、絶縁体581、絶縁体574、絶縁体580、及び絶縁体544に形成された開口に、導電体540a、及び導電体540bを配置する。導電体540a及び導電体540bは、導電体560を挟んで対向して設ける。導電体540a及び導電体540bは、後述する導電体546、及び導電体548と同様の構成である。

[0511]

絶縁体581上には、絶縁体582が設けられている。絶縁体582は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体582には、絶縁体514と同様の材料を用いることができる。例えば、絶縁体582には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0512]

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

[0513]

また、絶縁体５８２上には、絶縁体５８６が設けられている。絶縁体５８６は、絶縁体３２０と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体５８６として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[０５１４]

また、絶縁体５２０、絶縁体５２２、絶縁体５２４、絶縁体５４４、絶縁体５８０、絶縁体５７４、絶縁体５８１、絶縁体５８２、及び絶縁体５８６には、導電体５４６、及び導電体５４８等が埋め込まれている。

[０５１５]

導電体５４６、及び導電体５４８は、容量素子６００、トランジスタ５００、又はトランジスタ３００と接続するプラグ、又は配線としての機能を有する。導電体５４６、及び導電体５４８は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

[０５１６]

なお、トランジスタ５００の形成後、トランジスタ５００を囲むように開口を形成し、当該開口を覆うように、水素、または水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ５００を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。または、複数のトランジスタ５００をまとめて、水素、または水に対するバリア性が高い絶縁体で包み込んでもよい。なお、トランジスタ５００を囲むように開口を形成する場合、例えば、絶縁体５１４または絶縁体５２２に達する開口を形成し、絶縁体５１４または絶縁体５２２に接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ５００の作製工程の一部を兼ねられるため、好適である。なお、水素、または水に対するバリア性が高い絶縁体としては、例えば、絶縁体５２２と同様の材料を用いればよい。

[０５１７]

続いて、トランジスタ５００の上方には、容量素子６００が設けられている。容量素子６００は、導電体６１０と、導電体６２０、絶縁体６３０とを有する。

[０５１８]

また、導電体５４６、及び導電体５４８上に、導電体６１２を設けてもよい。導電体６１２は、トランジスタ５００と接続するプラグ、又は配線としての機能を有する。導電体６１０は、容量素子６００の電極としての機能を有する。なお、導電体６１２、及び導電体６１０は、同時に形成することができる。

[０５１９]

導電体６１２、及び導電体６１０には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）などを用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

[０５２０]

図28では、導電体612、及び導電体610は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0521]

絶縁体630を介して、導電体610と重畳するように、導電体620を設ける。なお、導電体620は、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるCu（銅）やAl（アルミニウム）等を用いればよい。

[0522]

導電体620、及び絶縁体630上には、絶縁体650が設けられている。絶縁体650は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体650は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

[0523]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。又は、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化又は高集積化を図ることができる。

[0524]

<トランジスタの構造例>

なお、本実施の形態に示す半導体装置のトランジスタ500は、上記の構造に限られるものではない。以下、トランジスタ500に用いることができる構造例について説明する。なお、下記に説明するトランジスタは、上記に説明したトランジスタの変形例であるため、下記の説明では、異なる点を主に説明し、同一の点については省略することがある。

[0525]

<<トランジスタの構造例1>>

図31A乃至図31Cを用いてトランジスタ500Aの構造例を説明する。図31Aはトランジスタ500Aの上面図である。図31Bは、図31Aに一点鎖線L1-L2で示す部位の断面図である。図31Cは、図31Aに一点鎖線W1-W2で示す部位の断面図である。なお、図31Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0526]

図31A乃至図31Cに示すトランジスタ500Aは、図30Aに示したトランジスタ500に、層間膜として機能する絶縁体511と、配線として機能する導電体505と、を加えた構成となっている。

[0527]

また、図31A乃至図31Cに示すトランジスタ500Aでは、酸化物530c、絶縁体550、及び導電体560が、絶縁体580に設けられた開口部内に、絶縁体544を介して配置される。また、酸化物530c、絶縁体550、及び導電体560は、導電体542a、及び導電体542bとの間に配置される。

[0528]

絶縁体 5 1 1 としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（P Z T）、チタン酸ストロンチウム（S r T i O₃）又は（B a, S r）T i O₃（B S T）などの絶縁体を単層又は積層で用いることができる。又はこれらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

[0 5 2 9]

例えば、絶縁体 5 1 1 は、水又は水素などの不純物が、基板側からトランジスタ 5 0 0 A に混入するのを抑制するバリア膜として機能することが好ましい。したがって、絶縁体 5 1 1 は、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）絶縁性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）絶縁性材料を用いることが好ましい。また、例えば、絶縁体 5 1 1 として酸化アルミニウムや窒化シリコンなどを用いてもよい。当該構成により、水素、水などの不純物が絶縁体 5 1 1 よりも基板側からトランジスタ 5 0 0 A 側に拡散するのを抑制することができる。

[0 5 3 0]

例えば、絶縁体 5 1 2 は、絶縁体 5 1 1 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0 5 3 1]

導電体 5 0 5 は、絶縁体 5 1 2 に埋め込まれるように形成される。ここで、導電体 5 0 5 の上面の高さと、絶縁体 5 1 2 の上面の高さは同程度にできる。なお導電体 5 0 5 は、単層とする構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 5 0 5 を 2 層以上の多層膜構造としてもよい。なお、導電体 5 0 5 は、タングステン、銅、又はアルミニウムを主成分とする導電性が高い導電性材料を用いることが好ましい。

[0 5 3 2]

絶縁体 5 1 4、及び絶縁体 5 1 6 は、絶縁体 5 1 1 又は絶縁体 5 1 2 と同様に、層間膜として機能する。例えば、絶縁体 5 1 4 は、水又は水素などの不純物が、基板側からトランジスタ 5 0 0 A に混入するのを抑制するバリア膜として機能することが好ましい。当該構成により、水素、水などの不純物が絶縁体 5 1 4 よりも基板側からトランジスタ 5 0 0 A 側に拡散するのを抑制することができる。また、例えば、絶縁体 5 1 6 は、絶縁体 5 1 4 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0 5 3 3]

また、絶縁体 5 2 2 は、バリア性を有することが好ましい。絶縁体 5 2 2 がバリア性を有することで、トランジスタ 5 0 0 A の周辺部からトランジスタ 5 0 0 A への水素等の不純物の混入を抑制する層として機能する。

[0 5 3 4]

また、酸化物 5 3 0 c は、絶縁体 5 8 0 に設けられた開口部内に、絶縁体 5 4 4 を介して設けられることが好ましい。絶縁体 5 4 4 がバリア性を有する場合、絶縁体 5 8 0 からの不純物が酸化物 5 3 0 へと拡散することを抑制することができる。

[0535]

また、導電体542a、及び導電体542b上に、バリア層を設けてもよい。バリア層は、酸素、又は水素に対してバリア性を有する物質を用いることが好ましい。当該構成により、絶縁体544を成膜する際に、導電体542a、及び導電体542bが酸化することを抑制することができる。

[0536]

バリア層には、例えば、金属酸化物を用いることができる。特に、酸化アルミニウム、酸化ハフニウム、酸化ガリウムなどの、酸素や水素に対してバリア性のある絶縁膜を用いることが好ましい。また、CVD法で形成した窒化シリコンを用いてもよい。

[0537]

バリア層を有することで、導電体542a、及び導電体542bの材料選択の幅を広げることができる。例えば、導電体542a、及び導電体542bに、タングステンや、アルミニウムなどの耐酸化性が低い一方で導電性が高い材料を用いることができる。また、例えば、成膜、又は加工がしやすい導電体を用いることができる。

[0538]

絶縁体550は、第1のゲート絶縁膜として機能する。絶縁体550は、絶縁体580に設けられた開口部内に、酸化物530c、及び絶縁体544を介して設けられることが好ましい。

[0539]

また、導電体540a、及び導電体540bの材料としては、導電体503と同様に、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。例えば、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましい。又は、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0540]

例えば、導電体540a、及び導電体540bとしては、例えば、水素、及び酸素に対してバリア性を有する導電体である窒化タンタル等と、導電性が高いタングステンとの積層構造を用いることで、配線としての導電性を保持したまま、外部からの不純物の拡散を抑制することができる。

[0541]

上記構造を有することで、オン電流が大きい酸化物半導体を有するトランジスタを有する半導体装置を提供することができる。又は、オフ電流が小さい酸化物半導体を有するトランジスタを有する半導体装置を提供することができる。又は、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することができる。

[0542]

<<トランジスタの構造例2>>

図32A乃至図32Cを用いてトランジスタ500Bの構造例を説明する。図32Aはトランジスタ500Bの上面図である。図32Bは、図32Aに一点鎖線L1-L2で示す部位の断面図である。図32Cは、図32Aに一点鎖線W1-W2で示す部位の断面図である。なお、図32Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0543]

トランジスタ500Bはトランジスタ500Aの変形例である。よって、説明の繰り返しを防ぐため、主にトランジスタ500Aと異なる点について説明する。

[0544]

トランジスタ500Bは、導電体542a（導電体542b）と、酸化物530cと、絶縁体550と、導電体560と、が重畳する領域を有する。当該構造とすることで、オン電流が高いトランジスタを提供することができる。また、制御性が高いトランジスタを提供することができる。

[0545]

第1のゲート電極として機能する導電体560は、導電体560a、及び導電体560a上の導電体560bを有する。導電体560aは、導電体503aと同様に、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0546]

導電体560aが酸素の拡散を抑制する機能を持つことにより、導電体560bの材料選択性を向上することができる。つまり、導電体560aを有することで、導電体560bの酸化が抑制され、導電率が低下することを防止することができる。

[0547]

また、導電体560の上面及び側面と、絶縁体550の側面と、酸化物530cの側面と、を覆うように、絶縁体544を設けることが好ましい。

[0548]

絶縁体544を設けることで、導電体560の酸化を抑制することができる。また、絶縁体544を有することで、絶縁体580が有する水、及び水素などの不純物がトランジスタ500Bへ拡散することを抑制することができる。

[0549]

また、トランジスタ500Bのコンタクトプラグは、トランジスタ500Aのコンタクトプラグの構成と異なっている。トランジスタ500Bでは、コンタクトプラグとして機能する導電体546a（導電体546b）と、絶縁体580との間に、バリア性を有する絶縁体576a（絶縁体576b）が配置されている。絶縁体576a（絶縁体576b）を設けることで、絶縁体580の酸素が導電体546と反応し、導電体546が酸化することを抑制することができる。

[0550]

また、バリア性を有する絶縁体576a（絶縁体576b）を設けることで、プラグや配線に用いられる導電体の材料選択の幅を広げることができる。例えば、導電体546a（導電体546b）に、酸素を吸収する性質を持つ一方で、導電性が高い金属材料を用いることで、低消費電力の半導体装置を提供することができる。具体的には、タングステンや、アルミニウムなどの耐酸化性が低い一方で導電性が高い材料を用いることができる。また、例えば、成膜、又は加工がしやすい導電体を用いることができる。

[0551]

<<トランジスタの構造例3>>

図33A乃至図33Cを用いてトランジスタ500Cの構造例を説明する。図33Aはトランジスタ500Cの上面図である。図33Bは、図33Aに一点鎖線L1-L2で示す部位の断面図である。図33Cは、図33Aに一点鎖線W1-W2で示す部位の断面図である。なお、図33Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0552]

トランジスタ500Cはトランジスタ500Aの変形例である。よって、説明の繰り返しを防ぐため、主にトランジスタ500Aと異なる点について説明する。

[0553]

図33A乃至図33Cに示すトランジスタ500Cは、導電体542aと酸化物530bの間に導電体547aが配置され、導電体542bと酸化物530bの間に導電体547bが配置されている。ここで、導電体542a（導電体542b）は、導電体547a（導電体547b）の上面及び導電体560側の側面を越えて延在し、酸化物530bの上面に接する領域を有する。ここで、導電体547a、及び導電体547bは、導電体542a、及び導電体542bに用いることができる導電体を用いればよい。さらに、導電体547a、及び導電体547bの膜厚は、少なくとも導電体542a、及び導電体542bより厚いことが好ましい。

[0554]

図33A乃至図33Cに示すトランジスタ500Cは、上記のような構成を有することにより、トランジスタ500Aよりも、導電体542a、及び導電体542bを導電体560に近づけることができる。又は、導電体542aの端部及び導電体542bの端部と、導電体560を重ねることができる。これにより、トランジスタ500Cの実質的なチャネル長を短くし、オン電流の向上と、周波数特性の向上と、を図ることができる。

[0555]

また、導電体547a（導電体547b）は、導電体542a（導電体542b）と重畳して設けられることが好ましい。このような構成にすることで、導電体540a（導電体540b）を埋め込む開口を形成するエッチングにおいて、導電体547a（導電体547b）がストップパとして機能し、酸化物530bがオーバーエッチングされるのを防ぐことができる。

[0556]

また、図33A乃至図33Cに示すトランジスタ500Cは、絶縁体544の上に接して絶縁体545を配置する構成としている。絶縁体544としては、水又は水素などの不純物や、過剰な酸素が、絶縁体580側からトランジスタ500Cに混入するのを抑制するバリア絶縁膜として機能することが好ましい。絶縁体545としては、絶縁体544に用いることができる絶縁体を用いることができる。また、絶縁体544としては、例えば、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化シリコン又は窒化酸化シリコンなどの、窒化物絶縁体を用いてもよい。

[0557]

また、図33A乃至図33Cに示すトランジスタ500Cは、図31A乃至図31Cに示すトランジスタ500Aと異なり、導電体503を単層構造としている。この場合、パターン形成された導電体503の上に絶縁体516となる絶縁膜を成膜し、当該絶縁膜の上部を、導電体503の上面が露出するまでCMP法などを用いて除去すればよい。ここで、導電体503の上面の平坦性を良好にすることが好ましい。例えば、導電体503上面の平均面粗さ（Ra）を1nm以下、好ましくは0.5nm以下、より好ましくは0.3nm以下にすればよい。これにより、導電体503の上に形成される、絶縁層の平坦性を良好にし、酸化物530b及び酸化物530cの結晶性の向上を図ることができる。

[0558]

<<トランジスタの構造例4>>

図34A乃至図34Cを用いてトランジスタ500Dの構造例を説明する。図34Aはトランジスタ500Dの上面図である。図34Bは、図34Aに一点鎖線L1-L2で示す部位の断面図である。図34Cは、図34Aに一点鎖線W1-W2で示す部位の断面図である。なお、図34Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0559]

トランジスタ500Dは上記トランジスタの変形例である。よって、説明の繰り返しを防ぐため、主に上記トランジスタと異なる点について説明する。

[0560]

図34A乃至図34Cに示すトランジスタ500Dは、トランジスタ500、トランジスタ500A乃至トランジスタ500Cと異なり、導電体542a、及び導電体542bを設けずに、露出した酸化物530b表面の一部に領域531a及び領域531bを有する。領域531a又は領域531bの一方はソース領域として機能し、他方はドレイン領域として機能する。

[0561]

また、トランジスタ500Dは、図33A乃至図33Cに示したトランジスタ500Cと同様に、導電体505を設けずに、第2のゲートとしての機能を有する導電体503を配線としても機能させている。また、酸化物530c上に絶縁体550を有し、絶縁体550上に金属酸化物552を有する。また、金属酸化物552上に導電体560を有し、導電体560上に絶縁体570を有する。また、絶縁体570上に絶縁体571を有する。

[0562]

金属酸化物552は、酸素拡散を抑制する機能を有することが好ましい。絶縁体550と、導電体560との間に、酸素の拡散を抑制する金属酸化物552を設けることで、導電体560への酸素の拡散が抑制される。つまり、酸化物530へ供給する酸素量の減少を抑制することができる。また、酸素による導電体560の酸化を抑制することができる。

[0563]

なお、金属酸化物552は、第1のゲートの一部としての機能を有してもよい。例えば、酸化物530として用いることができる酸化物半導体を、金属酸化物552として用いることができる。その場合、導電体560をスパッタリング法で成膜することで、金属酸化物552の電気抵抗値を低下させて導電層とすることができる。これをOC (Oxide Conductor) 電極と呼ぶことができる。

[0564]

また、金属酸化物552は、ゲート絶縁膜の一部としての機能を有する場合がある。したがって、絶縁体550に酸化シリコンや酸化窒化シリコンなどを用いる場合、金属酸化物552は、比誘電率が高いhigh-k材料である金属酸化物を用いることが好ましい。当該積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁膜として機能する絶縁層の等価酸化膜厚(EOT)の薄膜化が可能となる。

[0565]

トランジスタ500Dにおいて、金属酸化物552を単層で示したが、2層以上の積層構造としてもよい。例えば、ゲート電極の一部として機能する金属酸化物と、ゲート絶縁膜の一部として機能する金属酸化物とを積層して設けてもよい。

[0566]

金属酸化物552を有することで、ゲート電極として機能する場合は、導電体560からの電界の影響を弱めることなく、トランジスタ500Dのオン電流の向上を図ることができる。又は、ゲート絶縁膜として機能する場合は、絶縁体550と、金属酸化物552との物理的な厚みにより、導電体560と、酸化物530との間の距離を保つことで、導電体560と酸化物530との間のリーク電流を抑制することができる。従って、絶縁体550、及び金属酸化物552との積層構造を設けることで、導電体560と酸化物530との間の物理的な距離、及び導電体560から酸化物530へかかる電界強度を、容易に適宜調整することができる。

[0567]

具体的には、金属酸化物552として、酸化物530に用いることができる酸化物半導体を低抵抗化することで、金属酸化物552として用いることができる。又は、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又は、マグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

[0568]

特に、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁層である、酸化アルミニウム、酸化ハフニウム、アルミニウム、及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいと好ましい。なお、金属酸化物552は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0569]

絶縁体570は、水又は水素などの不純物、及び酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウム又は酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体570よりも上方からの酸素で導電体560が酸化するのを抑制することができる。また、絶縁体570よりも上方からの水又は水素などの不純物が、導電体560、及び絶縁体550を介して、酸化物530に混入することを抑制することができる。

[0570]

絶縁体571はハードマスクとして機能する。絶縁体571を設けることで、導電体560の加工の際、導電体560の側面が概略垂直、具体的には、導電体560の側面と基板表面のなす角を、75度以上100度以下、好ましくは80度以上95度以下とすることができる。

[0571]

なお、絶縁体571に、水又は水素などの不純物、及び酸素の透過を抑制する機能を有する絶縁性材料を用いることで、バリア層としての機能を兼ねさせてもよい。その場合、絶縁体570は設けなくともよい。

[0572]

絶縁体571をハードマスクとして用いて、絶縁体570、導電体560、金属酸化物552、絶縁体550、及び酸化物530cの一部を選択的に除去することで、これらの側面を略一致させて、かつ、酸化物530b表面の一部を露出させることができる。

[0573]

また、トランジスタ500Dは、露出した酸化物530b表面の一部に領域531a及び領域531bを有する。領域531a又は領域531bの一方はソース領域として機能し、他方はドレイン領域として機能する。

[0574]

領域531a及び領域531bの形成は、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、又はプラズマ処理などを用いて、露出した酸化物530b表面にリン又はボロンなどの不純物元素を導入することで実現できる。なお、本実施の形態などにおいて「不純物元素」とは、主成分元素以外の元素のことをいう。

[0575]

また、酸化物530b表面の一部を露出させた後に金属膜を成膜し、その後加熱処理することにより、該金属膜に含まれる元素を酸化物530bに拡散させて領域531a及び領域531bを形成することもできる。

[0576]

不純物元素が導入された酸化物530bの一部の領域は、電気抵抗率が低下する。このため、領域531a及び領域531bを「不純物領域」又は「低抵抗領域」という場合がある。

[0577]

絶縁体571及び／又は導電体560をマスクとして用いることで、領域531a及び領域531bを自己整合（セルフアライメント）的に形成することができる。よって、領域531a及び／又は領域531bと、導電体560が重ならず、寄生容量を低減することができる。また、チャネル形成領域とソースドレイン領域（領域531a又は領域531b）の間にオフセット領域が形成されない。領域531a及び領域531bを自己整合（セルフアライメント）的に形成することにより、オン電流の増加、しきい値電圧の低減、動作周波数の向上などを実現できる。

[0578]

なお、オフ電流を更に低減するため、チャネル形成領域とソースドレイン領域の間にオフセット領域を設けてもよい。オフセット領域とは、電気抵抗率が高い領域であり、前述した不純物元素の導入が行なわれない領域である。オフセット領域の形成は、絶縁体575の形成後に前述した不純物元素の導入を行なうことで実現できる。この場合、絶縁体575も絶縁体571などと同様にマスクとして機能する。よって、酸化物530bの絶縁体575と重なる領域に不純物元素が導入されず、該領域の電気抵抗率を高いままとすることができる。

[0579]

また、トランジスタ500Dは、絶縁体570、導電体560、金属酸化物552、絶縁体550、及び酸化物530cの側面に絶縁体575を有する。絶縁体575は、比誘電率の低い絶縁体であることが好ましい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂などであることが好ましい。特に、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを絶縁体575に用いると、後の工程で絶縁体575中に過剰酸素領域を容易に形成するため好ましい。また、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。また、絶縁体575は、酸素を拡散する機能を有することが好ましい。

[0580]

また、トランジスタ500Dは、絶縁体575、酸化物530上に絶縁体544を有する。絶縁体544は、スパッタリング法を用いて成膜することが好ましい。スパッタリング法を用いることにより、水又は水素などの不純物の少ない絶縁体を成膜することができる。例えば、絶縁体544として、酸化アルミニウムを用いるとよい。

[0581]

なお、スパッタリング法を用いた酸化膜は、被成膜構造体から水素を引き抜く場合がある。従って、絶縁体544が酸化物530及び絶縁体575から水素及び水を吸収することで、酸化物530及び絶縁体575の水素濃度を低減することができる。

[0582]

<<トランジスタの構造例5>>

図35A乃至図35Cを用いてトランジスタ500Eの構造例を説明する。図35Aはトランジスタ500Eの上面図である。図35Bは、図35Aに一点鎖線L1-L2で示す部位の断面図である。図35Cは、図35Aに一点鎖線W1-W2で示す部位の断面図である。なお、図35Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0583]

トランジスタ500Eは上記トランジスタの変形例である。よって、説明の繰り返しを防ぐため、主に上記トランジスタと異なる点について説明する。

[0584]

図35A乃至図35Cでは、トランジスタ500Dと同様に、導電体542a、及び導電体542bを設けずに、露出した酸化物530b表面の一部に領域531a及び領域531bを有する。領域531a又は領域531bの一方はソース領域として機能し、他方はドレイン領域として機能する。また、酸化物530bと、絶縁体544の間に、絶縁体573を有する。

[0585]

図35A乃至図35Cに示す、領域531a、及び領域531bは、酸化物530bに下記の元素が添加された領域である。領域531a、及び領域531bは、例えば、ダミーゲートを用いることで形成することができる。

[0586]

具体的には、酸化物530b上にダミーゲートを設け、当該ダミーゲートをマスクとして用い、酸化物530bの一部の領域を低抵抗化する元素を添加するとよい。つまり、酸化物530が、ダミーゲートと重畳していない領域に、当該元素が添加され、領域531a及び領域531bが形成される。なお、当該元素の添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。

[0587]

なお、酸化物530bの一部の領域を低抵抗化する元素としては、代表的には、ホウ素、又はリンが挙げられる。また、水素、炭素、窒素、フッ素、硫黄、塩素、チタン、希ガス元素等を用いてもよい。希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。当該元素の濃度は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）などを用いて測定すればよい。

[0588]

特に、アモルファスシリコン、低温ポリシリコンなどが半導体層に含まれるSiトランジスタの製造ラインの装置において、ホウ素、及びリンを添加することができるため、当該製造ラインの装置を用いることにより酸化物530bの一部を低抵抗化することができる。つまり、Siトランジスタの製造ラインの一部を、トランジスタ500Eの作製工程に用いることができる。

[0589]

続いて、酸化物530b、及びダミーゲート上に、絶縁体573となる絶縁膜、及び絶縁体544となる絶縁膜を成膜してもよい。絶縁体573となる絶縁膜、及び絶縁体544となる絶縁膜を積層して設けることで、領域531a又は領域531bと、酸化物530cと、絶縁体550と、が重畳する領域を設けることができる。

[0590]

具体的には、絶縁体544となる絶縁膜上に絶縁体580となる絶縁膜を設けた後、絶縁体580となる絶縁膜にCMP (Chemical Mechanical Polishing) 処理を行うことで、絶縁体580となる絶縁膜の一部を除去し、ダミーゲートを露出する。続いて、ダミーゲートを除去する際に、ダミーゲートと接する絶縁体573の一部も除去するとよい。従って、絶縁体580に設けられた開口部の側面には、絶縁体544、及び絶縁体573が露出し、当該開口部の底面には、酸化物530bに設けられた領域531a、及び領域531bのそれぞれの一部が露出する。次に、当該開口部に酸化物530cとなる酸化膜、絶縁体550となる絶縁膜、及び導電体560となる導電膜を順に成膜した後、絶縁体580が露出するまでCMP処理などにより、酸化物530cとなる酸化膜、絶縁体550となる絶縁膜、及び導電体560となる導電膜の一部を除去することで、図35に示すトランジスタを形成することができる。

[0591]

なお、絶縁体573、及び絶縁体544は必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0592]

図35A乃至図35Cに示すトランジスタには、導電体542a、及び導電体542bが設けられていないため、コストの低減を図ることができる。

[0593]

<<トランジスタの構造例6>>

また、図30A、及び図30Bでは、ゲートとして機能する導電体560が、絶縁体580の開口の内部に形成されている構造例について説明したが、例えば、当該導電体の上方に、当該絶縁体が設けられた構造を用いることもできる。このようなトランジスタの構造例を、図36A、図36B、図37A、図37Bに示す。

[0594]

図36Aはトランジスタの上面図であり、図36Bはトランジスタの斜視図である。また、図36AにおけるL1-L2の断面図を図37Aに示し、W1-W2の断面図を図37Bに示す。

[0595]

図36A、図36B、図37A、図37Bに示すトランジスタは、バックゲートとしての機能を有する導電体BGEと、ゲート絶縁膜としての機能を有する絶縁体BGIと、酸化物半導体Sと、ゲート絶縁膜としての機能を有する絶縁体FGIと、フロントゲートとしての機能を有する導電体FGEと、配線としての機能を有する導電体WEと、を有する。また、導電体PEは、導電体WE

と、酸化物S、導電体BGE、又は導電体FGEと、を接続するためのプラグとしての機能を有する。なお、ここでは、酸化物半導体Sが、3層の酸化物S1、S2、S3によって構成されている例を示している。

[0596]

<容量素子の構造例>

図38A乃至図38Cでは、図28に示す半導体装置に適用できる容量素子600の一例として容量素子600Aについて示している。図38Aは容量素子600Aの上面図であり、図38Bは容量素子600Aの一点鎖線L3-L4における断面を示した斜視図であり、図38Cは容量素子600Aの一点鎖線W3-L4における断面を示した斜視図である。

[0597]

導電体610は、容量素子600Aの一对の電極の一方として機能し、導電体620は、容量素子600Aの一对の電極の他方として機能する。また、絶縁体630は、一对の電極に挟まれる誘電体として機能する。

[0598]

容量素子600は、導電体610の下部において、導電体546と、導電体548とに電気的に接続されている。導電体546と、導電体548は、別の回路素子と接続するためのプラグ、又は配線として機能する。また図38A乃至図38Cでは、導電体546と、導電体548と、をまとめて導電体540と記載している。

[0599]

また、図38A乃至図38Cでは、図を明瞭に示すために、導電体546及び導電体548が埋め込まれている絶縁体586と、導電体620及び絶縁体630を覆っている絶縁体650と、を省略している。

[0600]

なお、図28、図29、図38A乃至図38Cに示す容量素子600はプレーナ型であるが、容量素子の形状はこれに限定されない。例えば、容量素子600は、図39A乃至図39Cに示すシリンドラ型の容量素子600Bとしてもよい。

[0601]

図39Aは容量素子600Bの上面図であり、図39Bは容量素子600Bの一点鎖線L3-L4における断面図であり、図39Cは容量素子600Bの一点鎖線W3-L4における断面を示した斜視図である。

[0602]

図39Bにおいて、容量素子600Bは、導電体540が埋め込まれている絶縁体586上の絶縁体631と、開口部を有する絶縁体651と、2対の電極の一方として機能する導電体610と、2対の電極の他方として機能する導電体620と、を有する。

[0603]

また、図39Cでは、図を明瞭に示すために、絶縁体586と、絶縁体650と、絶縁体651と、を省略している。

[0604]

絶縁体631としては、例えば、絶縁体586と同様の材料を用いることができる。

[0605]

また、絶縁体631には、導電体540に電氣的に接続されるように導電体611が埋め込まれている。導電体611は、例えば、導電体330、導電体518と同様の材料を用いることができる。

[0606]

絶縁体651としては、例えば、絶縁体586と同様の材料を用いることができる。

[0607]

また、絶縁体651は、前述の通り、開口部を有し、当該開口部は導電体611に重畳している。

[0608]

導電体610は、当該開口部の底部と、側面と、に形成されている。つまり、導電体621は、導電体611に重畳し、かつ導電体611に電氣的に接続されている。

[0609]

なお、導電体610の形成方法としては、エッチング法などによって絶縁体651に開口部を形成し、次に、スパッタリング法、ALD法などによって導電体610を成膜する。その後、CMP (Chemical Mechanical Polishing) 法などによって、開口部に成膜された導電体610を残して、絶縁体651上に成膜された導電体610を除去すればよい。

[0610]

絶縁体630は、絶縁体651上と、導電体610の形成面上と、に位置する。なお、絶縁体630は、容量素子において、2対の電極に挟まれる誘電体として機能する。

[0611]

導電体620は、絶縁体651の開口部が埋まるように、絶縁体630上に形成されている。

[0612]

絶縁体650は、絶縁体630と、導電体620と、を覆うように形成されている。

[0613]

図39に示すシリンダ型の容量素子600Bは、プレーナ型の容量素子600Aよりも静電容量の値を高くすることができる。そのため、例えば、上記の実施の形態で説明した容量素子C1、容量素子C1rなどとして、容量素子600Bを適用することによって、長時間、容量素子の端子間の電圧を維持することができる。

[0614]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0615]

(実施の形態4)

本実施の形態では、上記の実施の形態で説明したOSトランジスタに用いることができる金属酸化物であるCAC-OS (Cloud-Aligned Composite Oxide Semiconductor)、及びCAAC-OS (c-axis Aligned Crystalline Oxide Semiconductor) の構成について説明する。なお、本明細書等において、CACは機能、または材料の構成の一例を表し、CAACは結晶構造の一例を表す。

[0616]

<金属酸化物の構成>

CAC-OS又はCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-

OS又はCAC-metal oxideを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（又はホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能（On/Offさせる機能）をCAC-OS又はCAC-metal oxideに付与することができる。CAC-OS又はCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

[0617]

また、CAC-OS又はCAC-metal oxideは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0618]

また、CAC-OS又はCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

[0619]

また、CAC-OS又はCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OS又はCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OS又はCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

[0620]

すなわち、CAC-OS又はCAC-metal oxideは、マトリックス複合材（matrix composite）、又は金属マトリックス複合材（metal matrix composite）と呼称することもできる。

[0621]

<金属酸化物の構造>

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS（c-axis aligned crystalline oxide semiconductor）、多結晶酸化物半導体、nc-OS（nanocrystalline oxide semiconductor）、擬似非晶質酸化物半導体（a-like OS: amorphous-like oxide semiconductor）及び非晶質酸化物半導体などがある。

[0622]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間に格子配列の向きが変化している箇所を指す。

[0623]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、及び七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0624]

また、CAAC-OSは、インジウム、及び酸素を有する層（以下、I_n層）と、元素M、亜鉛、及び酸素を有する層（以下、(M, Z_n)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Z_n)層の元素Mがインジウムと置換した場合、(I_n, M, Z_n)層と表すこともできる。また、I_n層のインジウムが元素Mと置換した場合、(I_n, M)層と表すこともできる。

[0625]

CAAC-OSは結晶性の高い酸化物半導体である。一方、CAAC-OSは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSトランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

[0626]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0627]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。

[0628]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0629]

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0630]

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0631]

また、トランジスタには、キャリア密度の低い酸化物半導体を用いることが好ましい。酸化物半導体膜のキャリア密度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。例えば、酸化物半導体は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

[0632]

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0633]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0634]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0635]

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

[0636]

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

[0637]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより

得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0638]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体において、窒素はできる限り低減されていることが好ましい、例えば、酸化物半導体中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0639]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

[0640]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0641]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0642]

(実施の形態5)

本実施の形態は、上記実施の形態に示す半導体装置などが形成された半導体ウェハ、及び当該半導体装置が組み込まれた電子部品の一例を示す。

[0643]

<半導体ウェハ>

初めに、半導体装置などが形成された半導体ウェハの例を、図40Aを用いて説明する。

[0644]

図40Aに示す半導体ウェハ4800は、ウェハ4801と、ウェハ4801の上面に設けられた複数の回路部4802と、を有する。なお、ウェハ4801の上面において、回路部4802の無い部分は、スペーシング4803であり、ダイシング用の領域である。

[0645]

半導体ウェハ4800は、ウェハ4801の表面に対して、前工程によって複数の回路部4802を形成することで作製することができる。また、その後、ウェハ4801の複数の回路部4802が形成された反対側の面を研削して、ウェハ4801を薄膜化してもよい。この工程により、ウェハ4801の反りなどを低減し、部品としての小型化を図ることができる。

[0646]

次の工程としては、ダイシング工程が行われる。ダイシングは、一点鎖線で示したスクライブラインSCL1及びスクライブラインSCL2（ダイシングライン、又は切断ラインと呼ぶ場合がある）に沿って行われる。なお、スペーシング4803は、ダイシング工程を容易に行うために、複数のスクライブラインSCL1が平行になるように設け、複数のスクライブラインSCL2が平行になるように設け、スクライブラインSCL1とスクライブラインSCL2が垂直になるように設けるのが好ましい。

[0647]

ダイシング工程を行うことにより、図40Bに示すようなチップ4800aを、半導体ウェハ4800から切り出すことができる。チップ4800aは、ウェハ4801aと、回路部4802と、スペーシング4803aと、を有する。なお、スペーシング4803aは、極力小さくなるようにするのが好ましい。この場合、隣り合う回路部4802の間のスペーシング4803の幅が、スクライブラインSCL1の切りしろと、又はスクライブラインSCL2の切りしろとほぼ同等の長さであればよい。

[0648]

なお、本発明の一態様の素子基板の形状は、図40Aに図示した半導体ウェハ4800の形状に限定されない。例えば、矩形状の半導体ウェハあってもよい。素子基板の形状は、素子の作製工程、及び素子を作製するための装置に応じて、適宜変更することができる。

[0649]

<電子部品>

次に、チップ4800aが組み込まれた電子部品の例を、図40C、図40Dを用いて説明を行う。

[0650]

図40Cに電子部品4700および電子部品4700が実装された基板（実装基板4704）の斜視図を示す。図40Cに示す電子部品4700は、リード4701と、上述したチップ4800aと、を有し、ICチップ等として機能する。特に、本明細書などにおいて、上記実施の形態で説明した演算回路110など半導体装置を含む電子部品4700をブレインモーフィックプロセッサ（BMP）と呼称する。

[0651]

電子部品4700は、例えば、リードフレームのリード4701とチップ4800a上の電極とを金属の細線（ワイヤー）で電氣的に接続するワイヤーボンディング工程と、エポキシ樹脂等によって封止するモールド工程と、リードフレームのリード4701へのメッキ処理と、パッケージの表面への印字処理と、を行うことで作製することができる。また、ワイヤーボンディング工程は、例えば、ボールボンディングや、ウェッジボンディングなどを用いることができる。また、図40Cでは、電子部品4700のパッケージにQFP（Quad Flat Package）を適用しているが、パッケージの態様はこれに限定されない。

[0652]

電子部品4700は、例えばプリント基板4702に実装される。このようなICチップが複数組み合わされて、それぞれがプリント基板4702上で電氣的に接続されることで実装基板4704が完成する。

[0653]

図40Dに電子部品4730の斜視図を示す。電子部品4730は、SiP (System in package) またはMCM (Multi Chip Module) の一例である。電子部品4730は、パッケージ基板4732 (プリント基板) 上にインターポーザ4731が設けられ、インターポーザ4731上に半導体装置4735、および複数の半導体装置4710が設けられている。

[0654]

電子部品4730では、半導体装置4710を有する。半導体装置4710としては、例えば、上記実施の形態で説明した半導体装置、広帯域メモリ (HBM: High Bandwidth Memory) などとすることができる。また、半導体装置4735は、CPU、GPU、FPGA、記憶装置などの集積回路 (半導体装置) を用いることができる。

[0655]

パッケージ基板4732は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ4731は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

[0656]

インターポーザ4731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ4731は、インターポーザ4731上に設けられた集積回路をパッケージ基板4732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ4731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板4732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV (Through Silicon Via) を用いることもできる。

[0657]

インターポーザ4731としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

[0658]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0659]

また、シリコンインターポーザを用いたSiPやMCMなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ (2.5次元実装) では、シリコンインターポーザを用いることが好ましい。

[0660]

また、電子部品 4730 と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ 4731 上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品 4730 では、半導体装置 4710 と半導体装置 4735 の高さを揃えることが好ましい。

[0661]

電子部品 4730 を他の基板に実装するため、パッケージ基板 4732 の底部に電極 4733 を設けてもよい。図 40D では、電極 4733 を半田ボールで形成する例を示している。パッケージ基板 4732 の底部に半田ボールをマトリクス状に設けることで、BGA (Ball Grid Array) 実装を実現できる。また、電極 4733 を導電性のピンで形成してもよい。パッケージ基板 4732 の底部に導電性のピンをマトリクス状に設けることで、PGA (Pin Grid Array) 実装を実現できる。

[0662]

電子部品 4730 は、BGA および PGA に限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA (Staggered Pin Grid Array)、LGA (Land Grid Array)、QFP (Quad Flat Package)、QFJ (Quad Flat J-leaded package)、または QFN (Quad Flat Non-leaded package) などの実装方法を用いることができる。

[0663]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0664]

(実施の形態 6)

本実施の形態では、上記実施の形態で説明した半導体装置を有する電子機器の一例について説明する。なお、図 41 には、当該半導体装置を有する電子部品 4700 (BMP) が各電子機器に含まれている様子を図示している。

[0665]

[携帯電話]

図 41 に示す情報端末 5500 は、情報端末の一種である携帯電話（スマートフォン）である。情報端末 5500 は、筐体 5510 と、表示部 5511 と、を有しており、入力用インターフェースとして、タッチパネルが表示部 5511 に備えられ、ボタンが筐体 5510 に備えられている。

[0666]

情報端末 5500 は、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部 5511 に表示するアプリケーション、表示部 5511 に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部 5511 に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

[0667]

[ウェアラブル端末]

また、図４１には、ウェアラブル端末の一例として情報端末５９００が図示されている。情報端末５９００は、筐体５９０１、表示部５９０２、操作ボタン５９０３、操作子５９０４、バンド５９０５などを有する。

[０６６８]

ウェアラブル端末は、先述した情報端末５５００と同様に、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、ウェアラブル端末を装着した人の健康状態を管理するアプリケーション、目的地を入力することで最適な道を選択して誘導するナビゲーションシステムなどが挙げられる。

[０６６９]

[情報端末]

また、図４１には、デスクトップ型情報端末５３００が図示されている。デスクトップ型情報端末５３００は、情報端末の本体５３０１と、ディスプレイ５３０２と、キーボード５３０３と、を有する。

[０６７０]

デスクトップ型情報端末５３００は、先述した情報端末５５００と同様に、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、デスクトップ型情報端末５３００を用いることで、新規の人工知能の開発を行うことができる。

[０６７１]

なお、上述では、電子機器としてスマートフォン、ウェアラブル端末及びデスクトップ用情報端末を例として、それぞれ図４１に図示したが、スマートフォン、ウェアラブル端末及びデスクトップ用情報端末以外の情報端末を適用することができる。スマートフォン、ウェアラブル端末及びデスクトップ用情報端末以外の情報端末としては、例えば、ＰＤＡ（Personal Digital Assistant）、ノート型情報端末、ワークステーションなどが挙げられる。

[０６７２]

[電化製品]

また、図４１には、電化製品の一例として電気冷凍冷蔵庫５８００が図示されている。電気冷凍冷蔵庫５８００は、筐体５８０１、冷蔵室用扉５８０２、冷凍室用扉５８０３等を有する。

[０６７３]

電気冷凍冷蔵庫５８００に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有する電気冷凍冷蔵庫５８００を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫５８００は、電気冷凍冷蔵庫５８００に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫５８００に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

[０６７４]

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、ＩＨ調理器、ウォーターサー

バ、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

[0675]

[ゲーム機]

また、図41には、ゲーム機の一例である携帯ゲーム機5200が図示されている。携帯ゲーム機5200は、筐体5201、表示部5202、ボタン5203等を有する。

[0676]

更に、図41には、ゲーム機の一例である据え置き型ゲーム機7500が図示されている。据え置き型ゲーム機7500は、本体7520と、コントローラ7522を有する。なお、本体7520には、無線または有線によってコントローラ7522を接続することができる。また、図41に示していないが、コントローラ7522は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなるタッチパネルやスティック、回転式つまみ、スライド式つまみなどを備えることができる。また、コントローラ7522は、図41に示す形状に限定されず、ゲームのジャンルに応じて、コントローラ7522の形状を様々に変更してもよい。例えば、FPS (First Person Shooter) などのシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲームなどでは、楽器、音楽機器などを模した形状のコントローラを用いることができる。更に、据え置き型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、マイクロフォンなどを備えて、ゲームプレイヤーのジェスチャー、及び／又は音声によって操作する形式としてもよい。

[0677]

また、上述したゲーム機の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ、ヘッドマウントディスプレイなどの表示装置によって、出力することができる。

[0678]

携帯ゲーム機5200に上記実施の形態で説明した半導体装置を適用することによって、低消費電力の携帯ゲーム機5200を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[0679]

更に、携帯ゲーム機5200に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有する携帯ゲーム機5200を実現することができる。

[0680]

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機5200に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表現が可能となる。

[0681]

また、携帯ゲーム機 5 2 0 0 で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1 人でもゲームを行うことができる。

[0 6 8 2]

図 4 1 では、ゲーム機の一例として携帯ゲーム機を図示しているが、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、家庭用の据え置き型ゲーム機、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

[0 6 8 3]

[移動体]

上記実施の形態で説明した半導体装置は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

[0 6 8 4]

図 4 1 には移動体の一例である自動車 5 7 0 0 が図示されている。

[0 6 8 5]

自動車 5 7 0 0 の運転席周辺には、スピードメーターやタコメーター、走行距離、燃料の残量、ギア状態、エアコンの設定などを表示するインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す表示装置が備えられていてもよい。

[0 6 8 6]

特に当該表示装置に、自動車 5 7 0 0 の外側に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーなどで遮られた視界、運転席の死角などを補うことができ、安全性を高めることができる。

[0 6 8 7]

上記実施の形態で説明した半導体装置は人工知能の構成要素として適用できるため、例えば、当該半導体装置を自動車 5 7 0 0 の自動運転システムに用いることができる。また、当該半導体装置を道路案内、危険予測などを行うシステムに用いることができる。当該表示装置には、道路案内、危険予測などの情報を表示する構成としてもよい。

[0 6 8 8]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のコンピュータを適用して、人工知能を利用したシステムを付与することができる。

[0 6 8 9]

[カメラ]

上記実施の形態で説明した半導体装置は、カメラに適用することができる。

[0 6 9 0]

図 4 1 には、撮像装置の一例であるデジタルカメラ 6 2 4 0 が図示されている。デジタルカメラ 6 2 4 0 は、筐体 6 2 4 1、表示部 6 2 4 2、操作ボタン 6 2 4 3、シャッターボタン 6 2 4 4 等を有し、また、デジタルカメラ 6 2 4 0 には、着脱可能なレンズ 6 2 4 6 が取り付けられている。なお、ここではデジタルカメラ 6 2 4 0 を、レンズ 6 2 4 6 を筐体 6 2 4 1 から取り外して交換す

ることが可能な構成としたが、レンズ6246と筐体6241とが一体となってもよい。また、デジタルカメラ6240は、ストロボ装置や、ビューファインダー等を別途装着することができる構成としてもよい。

[0691]

デジタルカメラ6240に上記実施の形態で説明した半導体装置を適用することによって、低消費電力のデジタルカメラ6240を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[0692]

更に、デジタルカメラ6240に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有するデジタルカメラ6240を実現することができる。人工知能を利用することによって、デジタルカメラ6240は、顔、物体など被写体を自動的に認識する機能、又は当該被写体に合わせたピント調節、環境に合わせて自動的にフラッシュを焚く機能、撮像した画像を調色する機能などを有することができる。

[0693]

[ビデオカメラ]

上記実施の形態で説明した半導体装置は、ビデオカメラに適用することができる。

[0694]

図41には、撮像装置の一例であるビデオカメラ6300が図示されている。ビデオカメラ6300は、第1筐体6301、第2筐体6302、表示部6303、操作キー6304、レンズ6305、接続部6306等を有する。操作キー6304及びレンズ6305は第1筐体6301に設けられており、表示部6303は第2筐体6302に設けられている。そして、第1筐体6301と第2筐体6302とは、接続部6306により接続されており、第1筐体6301と第2筐体6302の間の角度は、接続部6306により変更が可能である。表示部6303における映像を、接続部6306における第1筐体6301と第2筐体6302との間の角度に従って切り替える構成としてもよい。

[0695]

ビデオカメラ6300で撮影した映像を記録する際、データの記録形式に応じたエンコードを行う必要がある。人工知能を利用することによって、ビデオカメラ6300は、エンコードの際に、人工知能によるパターン認識を行うことができる。このパターン認識によって、連続する撮像画像データに含まれる人、動物、物体などの差分データを算出して、データの圧縮を行うことができる。

[0696]

[PC用の拡張デバイス]

上記実施の形態で説明した半導体装置は、PC (Personal Computer) などの計算機、情報端末用の拡張デバイスに適用することができる。

[0697]

図42Aは、当該拡張デバイスの一例として、持ち運びのできる、演算処理が可能なチップが搭載された、PCに外付けする拡張デバイス6100を示している。拡張デバイス6100は、例えば、USB (Universal Serial Bus) などでPCに接続することで、当該チップによる演算処理を行うことができる。なお、図42Aは、持ち運びが可能な形態の拡張デバイ

ス 6 1 0 0 を図示しているが、本発明の一態様に係る拡張デバイスは、これに限定されず、例えば、冷却用ファンなどを搭載した比較的大きい形態の拡張デバイスとしてもよい。

[0698]

拡張デバイス 6 1 0 0 は、筐体 6 1 0 1、キャップ 6 1 0 2、USB コネクタ 6 1 0 3 及び基板 6 1 0 4 を有する。基板 6 1 0 4 は、筐体 6 1 0 1 に収納されている。基板 6 1 0 4 には、上記実施の形態で説明した半導体装置などを駆動する回路が設けられている。例えば、基板 6 1 0 4 には、チップ 6 1 0 5（例えば、上記実施の形態で説明した半導体装置、電子部品 4 7 0 0、メモリチップなど。）、コントローラチップ 6 1 0 6 が取り付けられている。USB コネクタ 6 1 0 3 は、外部装置と接続するためのインターフェースとして機能する。

[0699]

拡張デバイス 6 1 0 0 を PC などに用いることにより、当該 PC の演算処理能力を高くすることができる。これにより、処理能力の足りない PC でも、例えば、人工知能、動画処理などの演算を行うことができる。

[0700]

[放送システム]

上記実施の形態で説明した半導体装置は、放送システムに適用することができる。

[0701]

図 4 2 B は、放送システムにおけるデータ伝送を模式的に示している。具体的には、図 4 2 B は、放送局 5 6 8 0 から送信された電波（放送信号）が、各家庭のテレビジョン受信装置（TV）5 6 0 0 に届くまでの経路を示している。TV 5 6 0 0 は、受信装置を備え（図示しない。）、アンテナ 5 6 5 0 で受信された放送信号は、当該受信装置を介して、TV 5 6 0 0 に送信される。

[0702]

図 4 2 B では、アンテナ 5 6 5 0 は、UHF（Ultra High Frequency）アンテナを図示しているが、アンテナ 5 6 5 0 としては、BS・110°CS アンテナ、CS アンテナなども適用できる。

[0703]

電波 5 6 7 5 A、電波 5 6 7 5 B は地上波放送用の放送信号であり、電波塔 5 6 7 0 は受信した電波 5 6 7 5 A を増幅して、電波 5 6 7 5 B の送信を行う。各家庭では、アンテナ 5 6 5 0 で電波 5 6 7 5 B を受信することで、TV 5 6 0 0 で地上波放送を視聴することができる。なお、放送システムは、図 4 2 B に示す地上波放送に限定せず、人工衛星を用いた衛星放送、光回線によるデータ放送などとしてもよい。

[0704]

上述した放送システムは、上記実施の形態で説明した半導体装置を適用して、人工知能を利用した放送システムとしてもよい。放送局 5 6 8 0 から各家庭の TV 5 6 0 0 に放送データを送信するとき、エンコーダによって放送データの圧縮が行われ、アンテナ 5 6 5 0 が当該放送データを受信したとき、TV 5 6 0 0 に含まれる受信装置のデコーダによって当該放送データの復元が行われる。人工知能を利用することによって、例えば、エンコーダの圧縮方法の一である動き補償予測において、表示画像に含まれる表示パターンの認識を行うことができる。また、人工知能を利用したフレーム内予測などを行うこともできる。また、例えば、解像度の低い放送データを受信して、解像度

の高いTV5600で当該放送データの表示を行うとき、デコーダによる放送データの復元において、アップコンバートなどの画像の補間処理を行うことができる。

[0705]

上述した人工知能を利用した放送システムは、放送データの量が増大する超高精細度テレビジョン(UHDTV:4K、8K)放送に対して好適である。

[0706]

また、TV5600側における人工知能の応用として、例えば、TV5600に人工知能を有する録画装置を設けてもよい。このような構成にすることによって、当該録画装置にユーザの好みを人工知能に学習させることで、ユーザの好みにあった番組を自動的に録画することができる。

[0707]

[認証システム]

上記実施の形態で説明した半導体装置は、認証システムに適用することができる。

[0708]

図42Cは、掌紋認証装置を示しており、筐体6431、表示部6432、掌紋読み取り部6433、配線6434を有している。

[0709]

図42Cには、掌紋認証装置が手6435の掌紋を取得する様子を示している。取得した掌紋は、人工知能を利用したパターン認識の処理が行われ、当該掌紋が本人のものであるかどうかの判別を行うことができる。これにより、セキュリティの高い認証を行うシステムを構築することができる。また、本発明の一態様に係る認証システムは、掌紋認証装置に限定されず、指紋、静脈、顔、虹彩、声紋、遺伝子、体格などの生体情報を取得して生体認証を行う装置であつてもよい。

[0710]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[符号の説明]

[0711]

ALP:アレイ部、ILD:回路、WLD:回路、XLD:回路、AFP:回路、MP:回路、MP[1,1]:回路、MP[m,1]:回路、MP[i,j]:回路、MP[1,n]:回路、MP[m,n]:回路、MC:回路、MCr:回路、HC:保持部、HCr:保持部、HCS:保持部、HCSr:保持部、ACTF[1]:回路、ACTF[j]:回路、ACTF[n]:回路、TRF:変換回路、CMP:比較器、CMPa:比較器、CMPb:比較器、OP:オペアンプ、OPa:オペアンプ、OPb:オペアンプ、INV1:インバータ回路、INV1r:インバータ回路、INV2:インバータ回路、INV2r:インバータ回路、INV3:インバータ回路、VinT:端子、VrefT:端子、VoutT:端子、IL:配線、IL[1]:配線、IL[j]:配線、IL[n]:配線、ILB:配線、ILB[1]:配線、ILB[j]:配線、ILB[n]:配線、OL:配線、OL[1]:配線、OL[j]:配線、OL[n]:配線、OLB:配線、OLB[1]:配線、OLB[j]:配線、OLB[n]:配線、IOL[1]:配線、IOL[j]:配線、IOL[n]:配線、IOLB[1]:配線、IOLB[j]:配線、IOLB[n]:配線、WLS[1]:配線、WLS[i]:配線、WLS[m]:配線、WL:配線、WL[i]:配線、W1L:配線、W2L:配線、W1L[i]:配線、W2L[i]:配線、XLS[1]:配線、XLS[i]:配線、XLS[m]:配線、X1L:配線、X2L:配線、X

1LB:配線、X2LB:配線、XL[i]:配線、X1L[i]:配線、X2L[i]:配線、
 S1L:配線、S2L:配線、VrefL:配線、Vref1L:配線、Vref2L:配線、V
 AL:配線、VL:配線、VLr:配線、VLm:配線、VLmr:配線、VLs:配線、VLs
 r:配線、CVL:配線、ina:ノード、inb:ノード、outa:ノード、outb:ノード、
 nd1:ノード、nd1r:ノード、nd1s:ノード、nd1sr:ノード、nd2:ノード、
 M1:トランジスタ、M1r:トランジスタ、M1s:トランジスタ、M1sr:トランジスタ、
 M2:トランジスタ、M2r:トランジスタ、M2m:トランジスタ、M2mr:トランジスタ、
 M2p:トランジスタ、M2pr:トランジスタ、M3:トランジスタ、M3r:トランジスタ、
 M4:トランジスタ、M4r:トランジスタ、M4p:トランジスタ、M4pr:トランジスタ、
 M5:トランジスタ、M5r:トランジスタ、M5s:トランジスタ、M5sr:トランジスタ、
 M6:トランジスタ、M6r:トランジスタ、M7:トランジスタ、M7r:トランジスタ、
 M8:トランジスタ、M8r:トランジスタ、MZ:トランジスタ、S01a:スイッチ、S01
 b:スイッチ、S02a:スイッチ、S02b:スイッチ、S03:スイッチ、A3:アナログス
 イッチ、A3r:アナログスイッチ、A4:アナログスイッチ、A4r:アナログスイッチ、C
 1:容量素子、C1r:容量素子、C1s:容量素子、C1sr:容量素子、C2:容量素子、C
 2r:容量素子、C2s:容量素子、C2sr:容量素子、CE:容量素子、CEB:容量素子、
 CC:容量素子、RE:抵抗素子、REB:抵抗素子、DE:ダイオード素子、DEB:ダイオード
 素子、ADCa:アナログデジタル変換回路、ADCb:アナログデジタル変換回路、LC:負
 荷回路、LCr:負荷回路、VR:抵抗変化素子、VC:回路、MR:MTJ素子、PCM:相変
 化メモリ、BGI:絶縁体、FGI:絶縁体、BGE:導電体、FGE:導電体、PE:導電体、
 WE:導電体、 $N_1^{(1)}$:ニューロン、 $N_p^{(1)}$:ニューロン、 $N_1^{(k-1)}$:ニューロン、 $N_i^{(k-1)}$:
 ニューロン、 $N_m^{(k-1)}$:ニューロン、 $N_1^{(k)}$:ニューロン、 $N_j^{(k)}$:ニューロン、 $N_n^{(k)}$:ニュー
 ロン、 $N_1^{(R)}$:ニューロン、 $N_q^{(R)}$:ニューロン、100:ニューラルネットワーク、110:
 演算回路、120:演算回路、130:演算回路、300:トランジスタ、311:基板、31
 3:半導体領域、314a:低抵抗領域、314b:低抵抗領域、315:絶縁体、316:導電
 体、320:絶縁体、322:絶縁体、324:絶縁体、326:絶縁体、328:導電体、33
 0:導電体、350:絶縁体、352:絶縁体、354:絶縁体、356:導電体、360:絶縁
 体、362:絶縁体、364:絶縁体、366:導電体、370:絶縁体、372:絶縁体、37
 4:絶縁体、376:導電体、380:絶縁体、382:絶縁体、384:絶縁体、386:導電
 体、500:トランジスタ、500A:トランジスタ、500B:トランジスタ、500C:トラ
 ンジスタ、500D:トランジスタ、500E:トランジスタ、503:導電体、503a:導電
 体、503b:導電体、505:導電体、510:絶縁体、511:絶縁体、512:絶縁体、5
 14:絶縁体、516:絶縁体、518:導電体、520:絶縁体、522:絶縁体、524:絶
 縁体、530:酸化物、530a:酸化物、530b:酸化物、530c:酸化物、531a:領
 域、531b:領域、540:導電体、540a:導電体、540b:導電体、542:導電体、
 542a:導電体、542b:導電体、543a:領域、543b:領域、544:絶縁体、54
 5:絶縁体、546:導電体、546a:導電体、546b:導電体、547a:導電体、547
 b:導電体、548:導電体、550:絶縁体、552:金属酸化物、560:導電体、560
 a:導電体、560b:導電体、570:絶縁体、571:絶縁体、573:絶縁体、574:絶
 縁体、575:絶縁体、576a:絶縁体、576b:絶縁体、580:絶縁体、581:絶縁体、

582 : 絶縁体、586 : 絶縁体、600 : 容量素子、600A : 容量素子、600B : 容量素子、
610 : 導電体、611 : 導電体、612 : 導電体、620 : 導電体、621 : 導電体、630 :
絶縁体、631 : 絶縁体、650 : 絶縁体、651 : 絶縁体、4700 : 電子部品、4701 : リ
ード、4702 : プリント基板、4704 : 実装基板、4710 : 半導体装置、4730 : 電子部
品、4731 : インターポーザ、4732 : パッケージ基板、4733 : 電極、4735 : 半導体
装置、4800 : 半導体ウェハ、4800a : チップ、4801 : ウェハ、4801a : ウェハ、
4802 : 回路部、4803 : スペーシング、4803a : スペーシング、5200 : 携帯ゲーム
機、5201 : 筐体、5202 : 表示部、5203 : ボタン、5300 : デスクトップ型情報端末、
5301 : 本体、5302 : ディスプレイ、5303 : キーボード、5500 : 情報端末、551
0 : 筐体、5511 : 表示部、5600 : TV、5650 : アンテナ、5670 : 電波塔、567
5A : 電波、5675B : 電波、5680 : 放送局、5700 : 自動車、5800 : 電気冷凍冷蔵
庫、5801 : 筐体、5802 : 冷蔵庫用扉、5803 : 冷凍室用扉、5900 : 情報端末、59
01 : 筐体、5902 : 表示部、5903 : 操作ボタン、5904 : 操作子、5905 : バンド、
6100 : 拡張デバイス、6101 : 筐体、6102 : キャップ、6103 : USBコネクタ、6
104 : 基板、6105 : チップ、6106 : コントローラチップ、6240 : デジタルカメラ、
6241 : 筐体、6242 : 表示部、6243 : 操作ボタン、6244 : シャッターボタン、62
46 : レンズ、6300 : ビデオカメラ、6301 : 第1筐体、6302 : 第2筐体、6303 :
表示部、6304 : 操作キー、6305 : レンズ、6306 : 接続部、6431 : 筐体、643
2 : 表示部、6433 : 掌紋読み取り部、6434 : 配線、6435 : 手、7520 : 本体、75
22 : コントローラ

請求の範囲

[請求項 1]

第 1 回路と、第 2 回路と、を有する半導体装置であって、
前記第 1 回路は、第 1 保持ノードを有し、
前記第 2 回路は、第 2 保持ノードを有し、
前記第 1 回路は、第 1 入力配線、第 2 入力配線、第 1 配線、及び第 2 配線と電氣的に接続され、
前記第 2 回路は、前記第 1 入力配線、前記第 2 入力配線、前記第 1 配線、及び前記第 2 配線と電氣的に接続され、
前記第 1 回路は、第 1 データに応じた第 1 電位を前記第 1 保持ノードに保持する機能を有し、
前記第 2 回路は、前記第 1 データに応じた第 2 電位を前記第 2 保持ノードに保持する機能を有し、
前記第 1 回路は、
前記第 1 入力配線に高レベル電位が入力され、かつ前記第 2 入力配線に低レベル電位が入力されたときに、前記第 1 電位に応じた電流を前記第 1 配線に出力する機能と、
前記第 1 入力配線に低レベル電位が入力され、かつ前記第 2 入力配線に高レベル電位が入力されたときに、前記第 1 電位に応じた電流を前記第 2 配線に出力する機能と、
前記第 1 入力配線に低レベル電位が入力され、かつ前記第 2 入力配線に低レベル電位が入力されたときに、前記第 1 電位に応じた電流を前記第 1 配線、及び前記第 2 配線に出力しない機能と、
を有し、
前記第 2 回路は、
前記第 1 入力配線に高レベル電位が入力され、かつ前記第 2 入力配線に低レベル電位が入力されたときに、前記第 2 電位に応じた電流を前記第 2 配線に出力する機能と、
前記第 1 入力配線に低レベル電位が入力され、かつ前記第 2 入力配線に高レベル電位が入力されたときに、前記第 2 電位に応じた電流を前記第 1 配線に出力する機能と、
前記第 1 入力配線に低レベル電位が入力され、かつ前記第 2 入力配線に低レベル電位が入力されたときに、前記第 2 電位に応じた電流を前記第 1 配線、及び前記第 2 配線に出力しない機能と、
を有する、
半導体装置。

[請求項 2]

請求項 1 において、
前記第 1 回路は、第 1 乃至第 4 トランジスタと、第 1 容量素子と、を有し、
前記第 2 回路は、第 5 乃至第 8 トランジスタと、第 2 容量素子と、を有し、
前記第 1 保持ノードは、前記第 1 トランジスタの第 1 端子、前記第 2 トランジスタのゲート、及び前記第 1 容量素子の第 1 端子と電氣的に接続され、
前記第 2 トランジスタの第 1 端子は、前記第 1 容量素子の第 2 端子と電氣的に接続され、
前記第 2 トランジスタの第 2 端子は、前記第 3 トランジスタの第 1 端子、及び前記第 4 トランジスタの第 1 端子と電氣的に接続され、
前記第 3 トランジスタのゲートは、前記第 1 入力配線と電氣的に接続され、
前記第 4 トランジスタのゲートは、前記第 2 入力配線と電氣的に接続され、
前記第 3 トランジスタの第 2 端子は、前記第 1 配線と電氣的に接続され、
前記第 4 トランジスタの第 2 端子は、前記第 2 配線と電氣的に接続され、

前記第2保持ノードは、前記第5トランジスタの第1端子、前記第6トランジスタのゲート、及び前記第2容量素子の第1端子と電氣的に接続され、

前記第6トランジスタの第1端子は、前記第2容量素子の第2端子と電氣的に接続され、

前記第6トランジスタの第2端子は、前記第7トランジスタの第1端子、及び、前記第8トランジスタの第1端子と電氣的に接続され、

前記第7トランジスタのゲートは、前記第1入力配線と電氣的に接続され、

前記第8トランジスタのゲートは、前記第2入力配線と電氣的に接続され、

前記第7トランジスタの第2端子は、前記第2配線と電氣的に接続され、

前記第8トランジスタの第2端子は、前記第1配線と電氣的に接続されている、

半導体装置。

[請求項3]

請求項1において、

前記第1回路は、第1乃至第4トランジスタと、第9トランジスタと、第1容量素子と、を有し、

前記第2回路は、第5乃至第8トランジスタと、第10トランジスタと、第2容量素子と、を有し、

前記第1保持ノードは、前記第1トランジスタの第1端子、前記第2トランジスタのゲート、前記第9トランジスタのゲート、及び前記第1容量素子の第1端子と電氣的に接続され、

前記第1容量素子の第2端子は、前記第2トランジスタの第1端子、及び前記第9トランジスタの第1端子と電氣的に接続され、

前記第2トランジスタの第2端子は、前記第3トランジスタの第1端子と電氣的に接続され、

前記第9トランジスタの第2端子は、前記第4トランジスタの第1端子と電氣的に接続され、

前記第3トランジスタのゲートは、前記第1入力配線と電氣的に接続され、

前記第4トランジスタのゲートは、前記第2入力配線と電氣的に接続され、

前記第3トランジスタの第2端子は、前記第1配線と電氣的に接続され、

前記第4トランジスタの第2端子は、前記第2配線と電氣的に接続され、

前記第2保持ノードは、前記第5トランジスタの第1端子、前記第6トランジスタのゲート、前記第10トランジスタのゲート、及び前記第2容量素子の第1端子と電氣的に接続され、

前記第2容量素子の第2端子は、前記第6トランジスタの第1端子、及び前記第10トランジスタの第1端子と電氣的に接続され、

前記第6トランジスタの第2端子は、前記第7トランジスタの第1端子と電氣的に接続され、

前記第10トランジスタの第2端子は、前記第8トランジスタの第1端子と電氣的に接続され、

前記第7トランジスタのゲートは、前記第1入力配線と電氣的に接続され、

前記第8トランジスタのゲートは、前記第2入力配線と電氣的に接続され、

前記第7トランジスタの第2端子は、前記第2配線と電氣的に接続され、

前記第8トランジスタの第2端子は、前記第1配線と電氣的に接続されている半導体装置。

[請求項4]

請求項1において、

前記第1回路は、第1乃至第4トランジスタと、第1論理回路と、第2論理回路と、を有し、

前記第2回路は、第5乃至第8トランジスタと、第3論理回路と、第4論理回路と、を有し、

前記第1乃至第4論理回路のそれぞれは、入力端子に入力された信号の反転信号を出力端子から出力する機能を有し、

前記第1保持ノードは、前記第1論理回路の入力端子、前記第2論理回路の出力端子、前記第1トランジスタの第1端子、及び前記第2トランジスタのゲートと電氣的に接続され、

前記第1論理回路の出力端子は、前記第2論理回路の入力端子と電氣的に接続され、

前記第2トランジスタの第2端子は、前記第3トランジスタの第1端子、及び前記第4トランジスタの第1端子と電氣的に接続され、

前記第3トランジスタのゲートは、前記第1入力配線と電氣的に接続され、

前記第4トランジスタのゲートは、前記第2入力配線と電氣的に接続され、

前記第3トランジスタの第2端子は、前記第1配線と電氣的に接続され、

前記第4トランジスタの第2端子は、前記第2配線と電氣的に接続され、

前記第2保持ノードは、前記第3論理回路の入力端子、前記第4論理回路の出力端子、前記第5トランジスタの第1端子、及び前記第6トランジスタのゲートと電氣的に接続され、

前記第3論理回路の出力端子は、前記第4論理回路の入力端子と電氣的に接続され、

前記第6トランジスタの第2端子は、前記第7トランジスタの第1端子、及び前記第8トランジスタの第1端子と電氣的に接続され、

前記第7トランジスタのゲートは、前記第1入力配線と電氣的に接続され、

前記第8トランジスタのゲートは、前記第2入力配線と電氣的に接続され、

前記第7トランジスタの第2端子は、前記第2配線と電氣的に接続され、

前記第8トランジスタの第2端子は、前記第1配線と電氣的に接続されている半導体装置。

[請求項5]

請求項1において、

前記第1回路は、第1乃至第4トランジスタと、第1論理回路と、第2論理回路と、を有し、

前記第2回路は、第6乃至第8トランジスタを有し、

前記第1論理回路、前記第2論理回路のそれぞれは、入力端子に入力された信号の反転信号を出力端子から出力する機能を有し、

前記第1保持ノードは、前記第1論理回路の入力端子、前記第2論理回路の出力端子、前記第1トランジスタの第1端子、及び前記第2トランジスタのゲートと電氣的に接続され、

前記第1論理回路の出力端子は、前記第2論理回路の入力端子と電氣的に接続され、

前記第2トランジスタの第2端子は、前記第3トランジスタの第1端子、及び前記第4トランジスタの第1端子と電氣的に接続され、

前記第3トランジスタのゲートは、前記第1入力配線と電氣的に接続され、

前記第4トランジスタのゲートは、前記第2入力配線と電氣的に接続され、

前記第3トランジスタの第2端子は、前記第1配線と電氣的に接続され、

前記第4トランジスタの第2端子は、前記第2配線と電氣的に接続され、

前記第2保持ノードは、前記第2論理回路の入力端子、前記第1論理回路の出力端子、及び、前記第6トランジスタのゲートと電氣的に接続され、

前記第6トランジスタの第2端子は、前記第7トランジスタの第1端子、及び前記第8トランジスタの第1端子と電氣的に接続され、

前記第7トランジスタのゲートは、前記第1入力配線と電氣的に接続され、

前記第8トランジスタのゲートは、前記第2入力配線と電氣的に接続され、
前記第7トランジスタの第2端子は、前記第2配線と電氣的に接続され、
前記第8トランジスタの第2端子は、前記第1配線と電氣的に接続されている半導体装置。

[請求項6]

第1回路と、第2回路と、を有する半導体装置であって、
前記第1回路は、第1負荷回路を有し、
前記第2回路は、第2負荷回路を有し、
前記第1負荷回路と、前記第2負荷回路と、のそれぞれは、第1端子と、第2端子と、を有し、
前記第1負荷回路と、前記第2負荷回路と、のそれぞれは、第1データに応じて第1端子と第2端子との間の抵抗値を変化する機能を有し、
前記第1回路は、第1入力配線、第2入力配線、第1配線、及び第2配線と電氣的に接続され、
前記第2回路は、前記第1入力配線、前記第2入力配線、前記第1配線、及び前記第2配線と電氣的に接続され、
前記第1回路は、
前記第1入力配線に高レベル電位が入力され、かつ前記第2入力配線に低レベル電位が入力されたときに、前記第1負荷回路の前記抵抗値に応じた電流を前記第1配線に出力する機能と、
前記第1入力配線に低レベル電位が入力され、かつ前記第2入力配線に高レベル電位が入力されたときに、前記第1負荷回路の前記抵抗値に応じた電流を前記第2配線に出力する機能と、
前記第1入力配線に低レベル電位が入力され、かつ前記第2入力配線に低レベル電位が入力されたときに、前記第1負荷回路の前記抵抗値に応じた電流を前記第1配線、及び前記第2配線に出力しない機能と、を有し、
前記第2回路は、
前記第1入力配線に高レベル電位が入力され、かつ前記第2入力配線に低レベル電位が入力されたときに、前記第2負荷回路の前記抵抗値に応じた電流を前記第2配線に出力する機能と、
前記第1入力配線に低レベル電位が入力され、かつ前記第2入力配線に高レベル電位が入力されたときに、前記第2負荷回路の前記抵抗値に応じた電流を前記第1配線に出力する機能と、
前記第1入力配線に低レベル電位が入力され、かつ前記第2入力配線に低レベル電位が入力されたときに、前記第2負荷回路の前記抵抗値に応じた電流を前記第1配線、及び前記第2配線に出力しない機能と、を有する半導体装置。

[請求項7]

請求項6において、
前記第1回路は、第3トランジスタと、第4トランジスタと、を有し、
前記第2回路は、第7トランジスタと、第8トランジスタと、を有し、
前記第1負荷回路の第1端子は、前記第3トランジスタの第1端子、及び前記第4トランジスタの第1端子と電氣的に接続され、
前記第3トランジスタのゲートは、前記第1入力配線と電氣的に接続され、
前記第4トランジスタのゲートは、前記第2入力配線と電氣的に接続され、
前記第3トランジスタの第2端子は、前記第1配線と電氣的に接続され、
前記第4トランジスタの第2端子は、前記第2配線と電氣的に接続され、

前記第2負荷回路の第1端子は、前記第7トランジスタの第1端子、及び前記第8トランジスタの第1端子と電氣的に接続され、

前記第7トランジスタのゲートは、前記第1入力配線と電氣的に接続され、

前記第8トランジスタのゲートは、前記第2入力配線と電氣的に接続され、

前記第7トランジスタの第2端子は、前記第2配線と電氣的に接続され、

前記第8トランジスタの第2端子は、前記第1配線と電氣的に接続されている半導体装置。

[請求項8]

請求項7において、

前記第1回路は、第1トランジスタを有し、

前記第2回路は、第2トランジスタを有し、

前記第1トランジスタの第1端子は、前記第1負荷回路の第1端子と電氣的に接続され、

前記第2トランジスタの第1端子は、前記第2負荷回路の第1端子と電氣的に接続されている半導体装置。

[請求項9]

請求項6乃至請求項8のいずれか一において、

前記第1負荷回路は、抵抗変化素子、MTJ素子、相変化メモリのいずれか一を有し、

前記第2負荷回路は、抵抗変化素子、MTJ素子、相変化メモリのいずれか一を有する半導体装置。

[請求項10]

請求項1乃至請求項9のいずれか一において、

第3回路と、第4回路と、を有し、

前記第3回路は、前記第1入力配線と、前記第2入力配線と、のそれぞれに第2データに応じた電位を入力する機能を有し、

前記第4回路は、前記第1配線と、前記第2配線と、のそれぞれから流れる電流を比較して、前記第4回路の出力端子から、前記第1データと前記第2データの積に応じた電位を出力する機能を有する半導体装置。

[請求項11]

請求項1乃至請求項10のいずれか一の半導体装置を有し、

前記半導体装置によってニューラルネットワークの演算を行う電子機器。

1/42

図1A

100

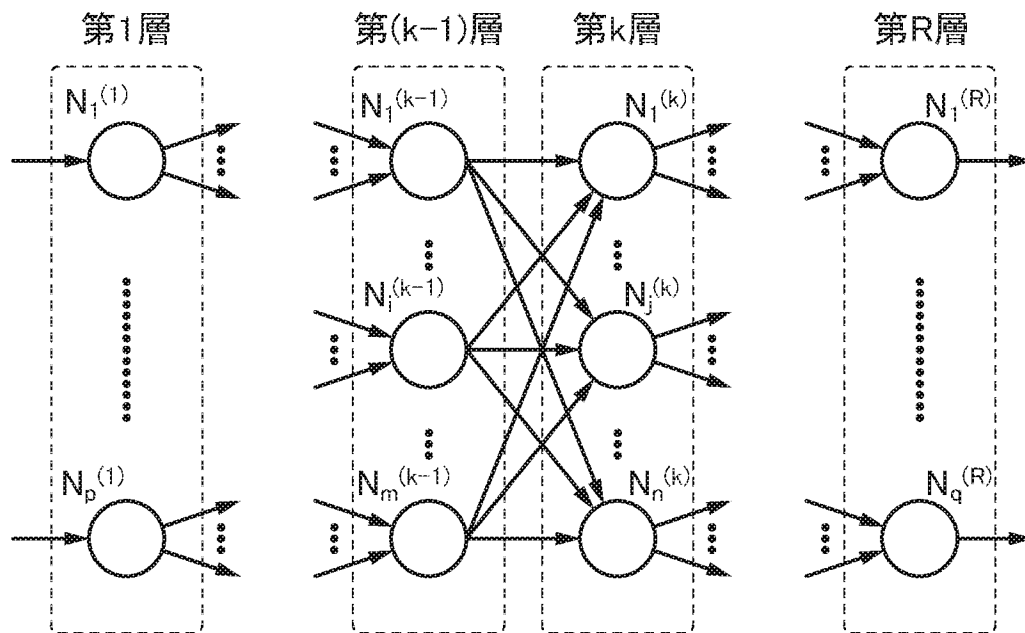
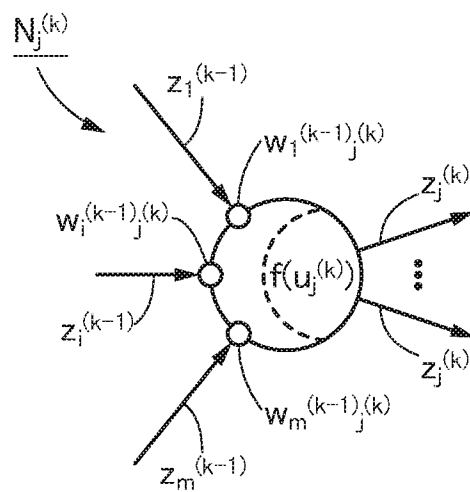
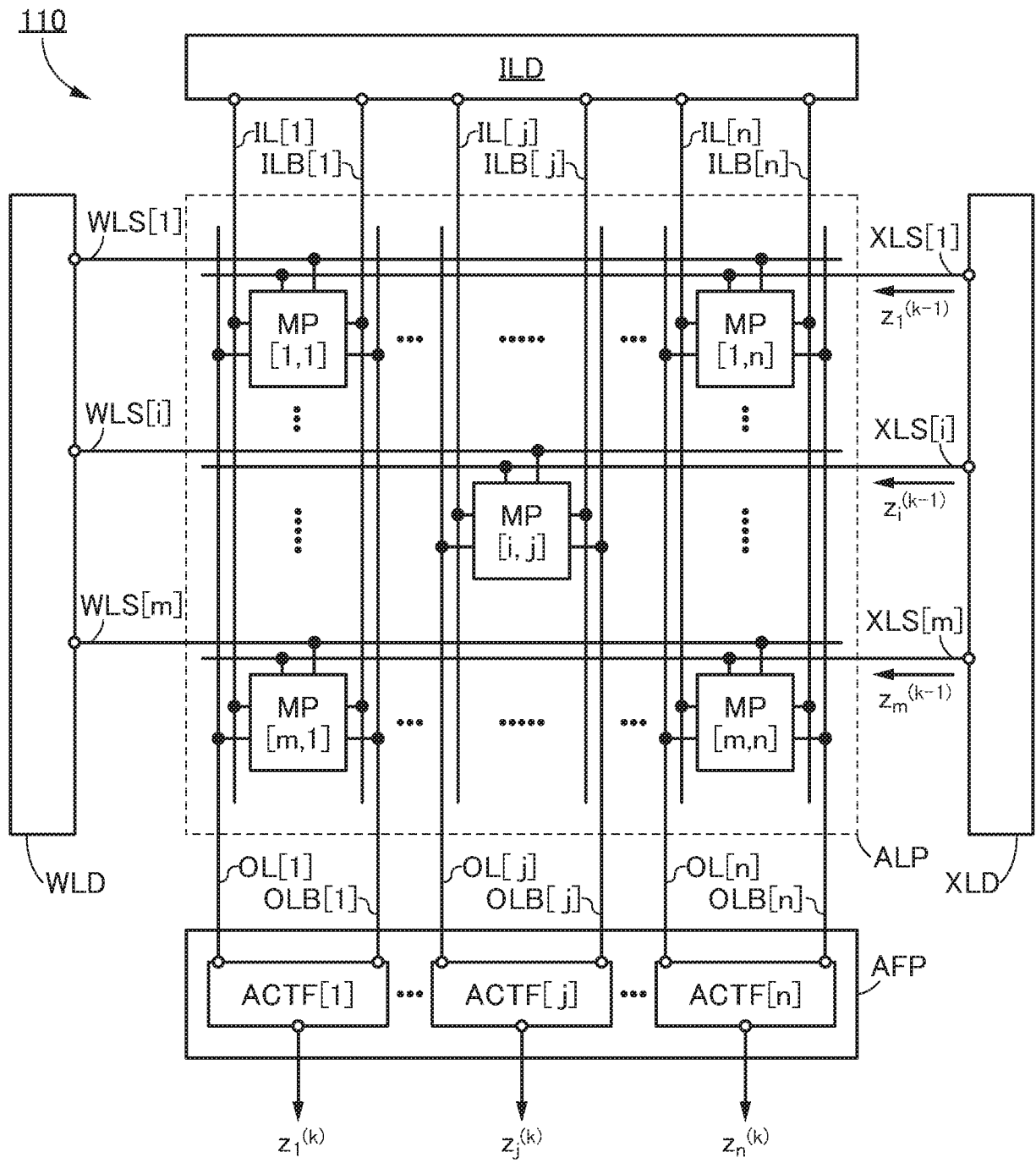


図1B



2/42



3/42

FIG 3A

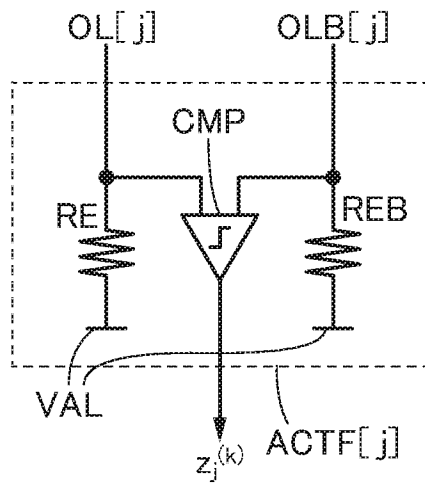


FIG 3B

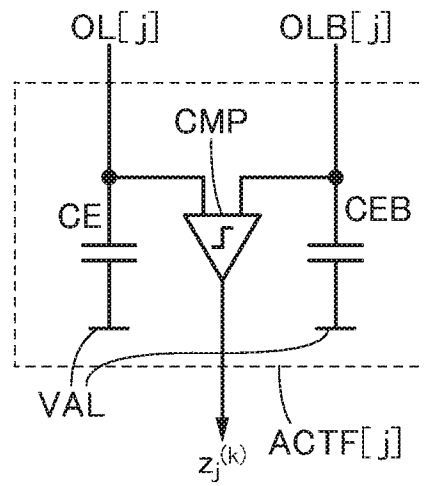


FIG 3C

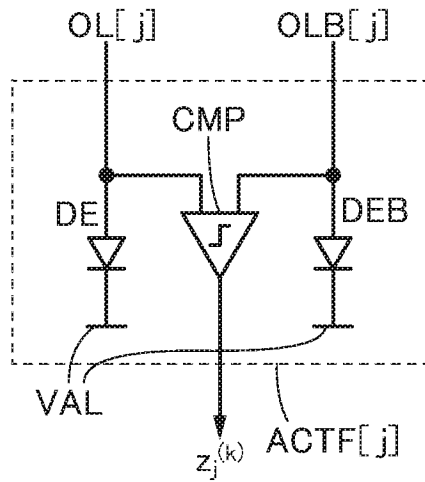


FIG 3D

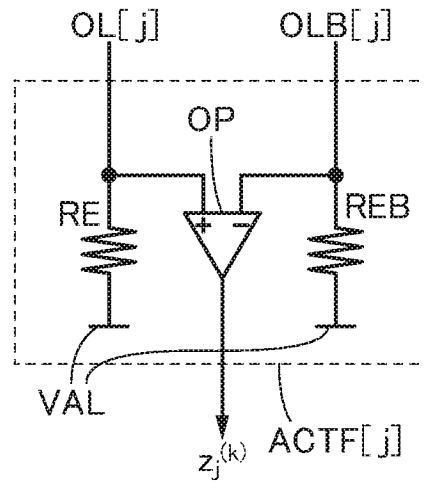


FIG 3E

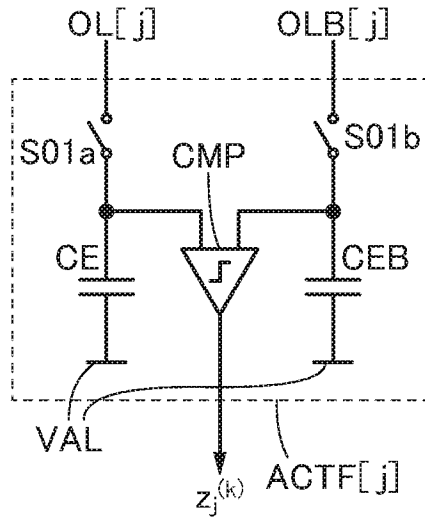
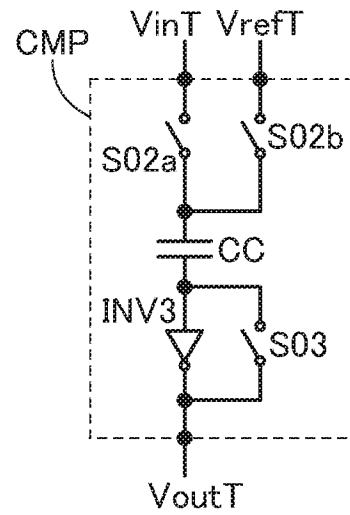


FIG 3F



4/42

図4A

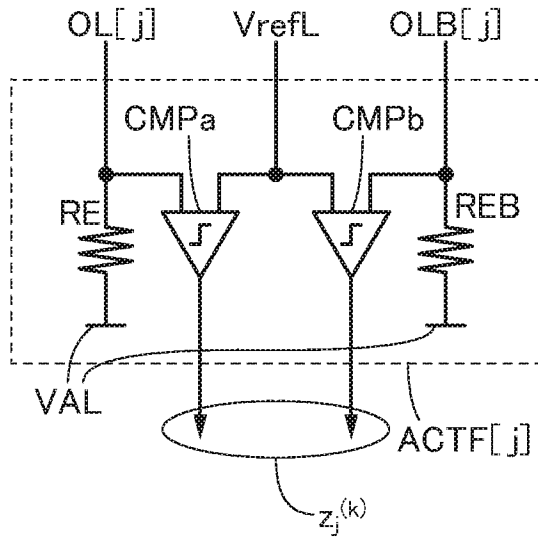


図4B

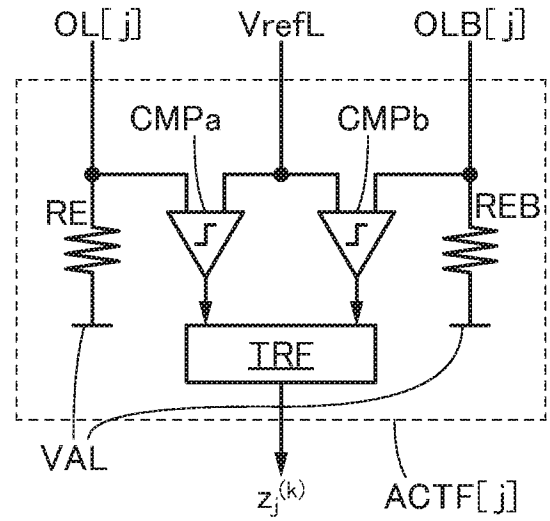


図4C

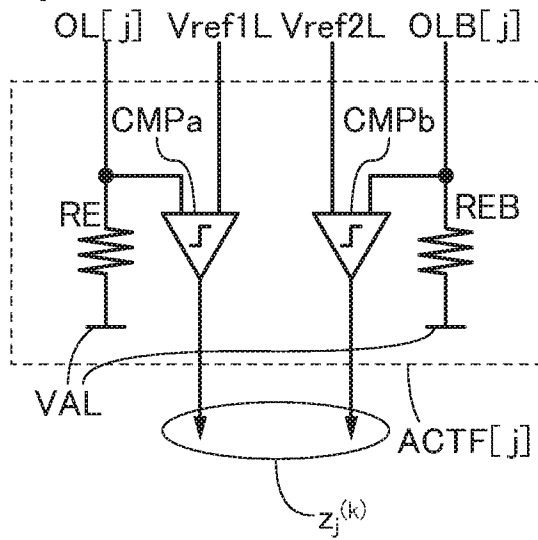


図4D

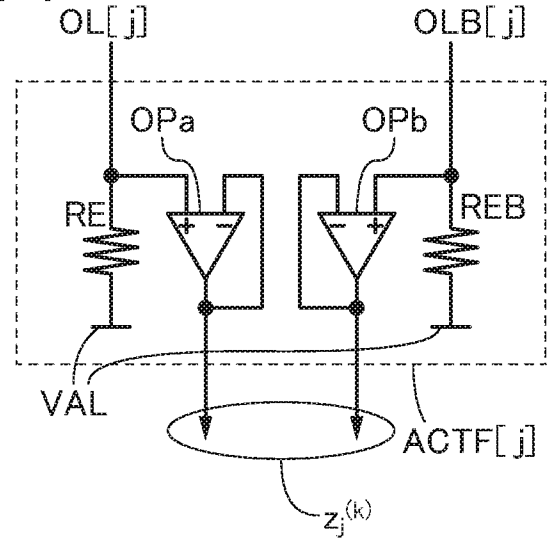


図4E

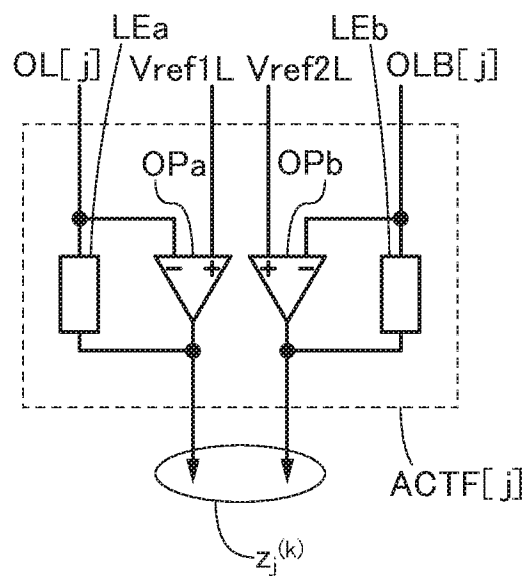
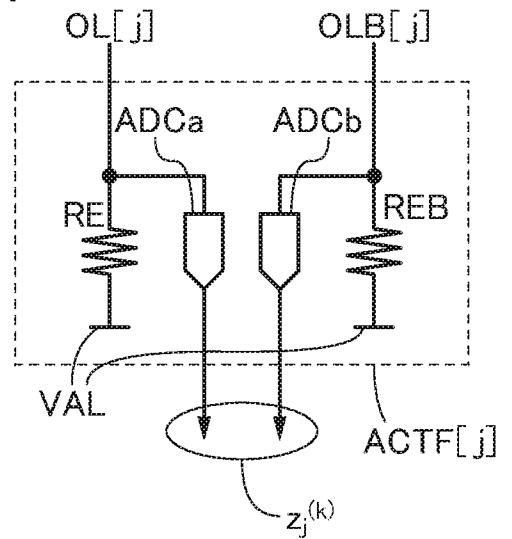


図4F



5/42

図5A

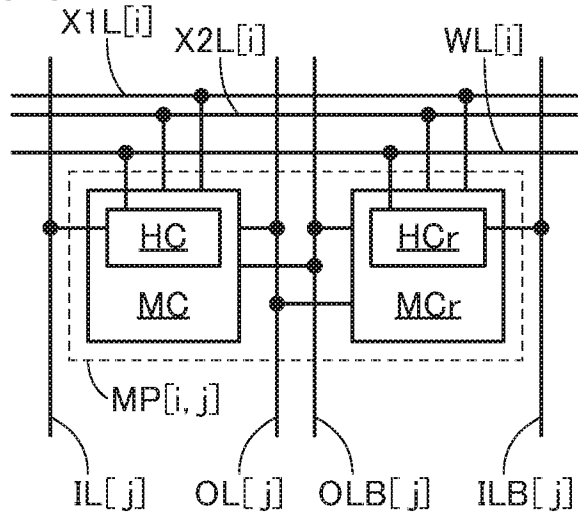


図5B

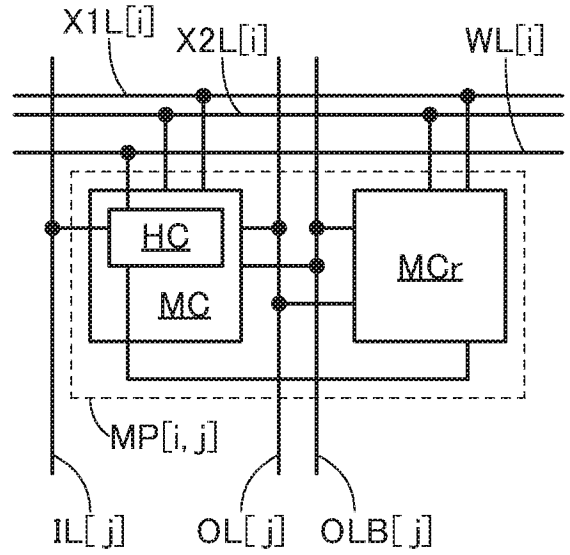


図5C

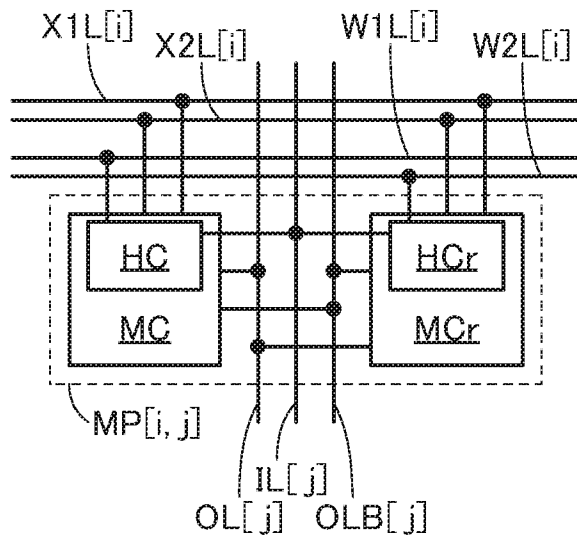


図5D

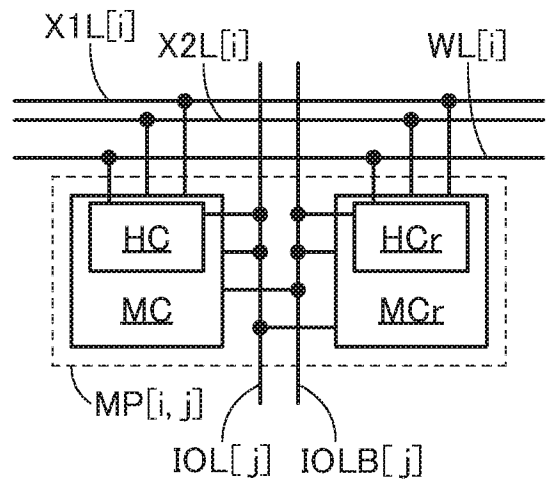


図5E

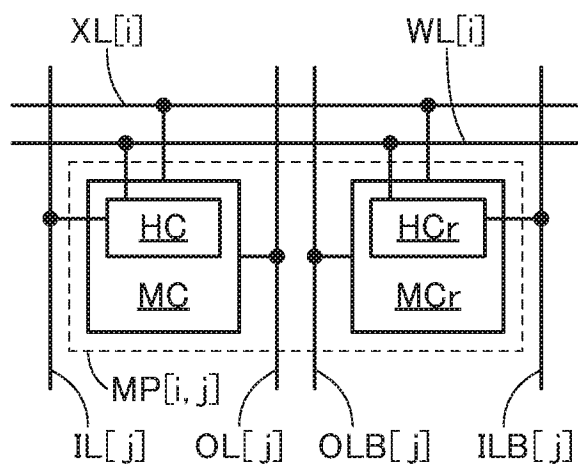
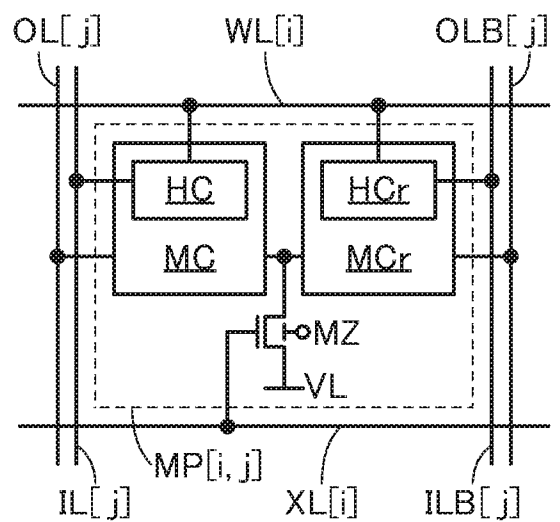


図5F



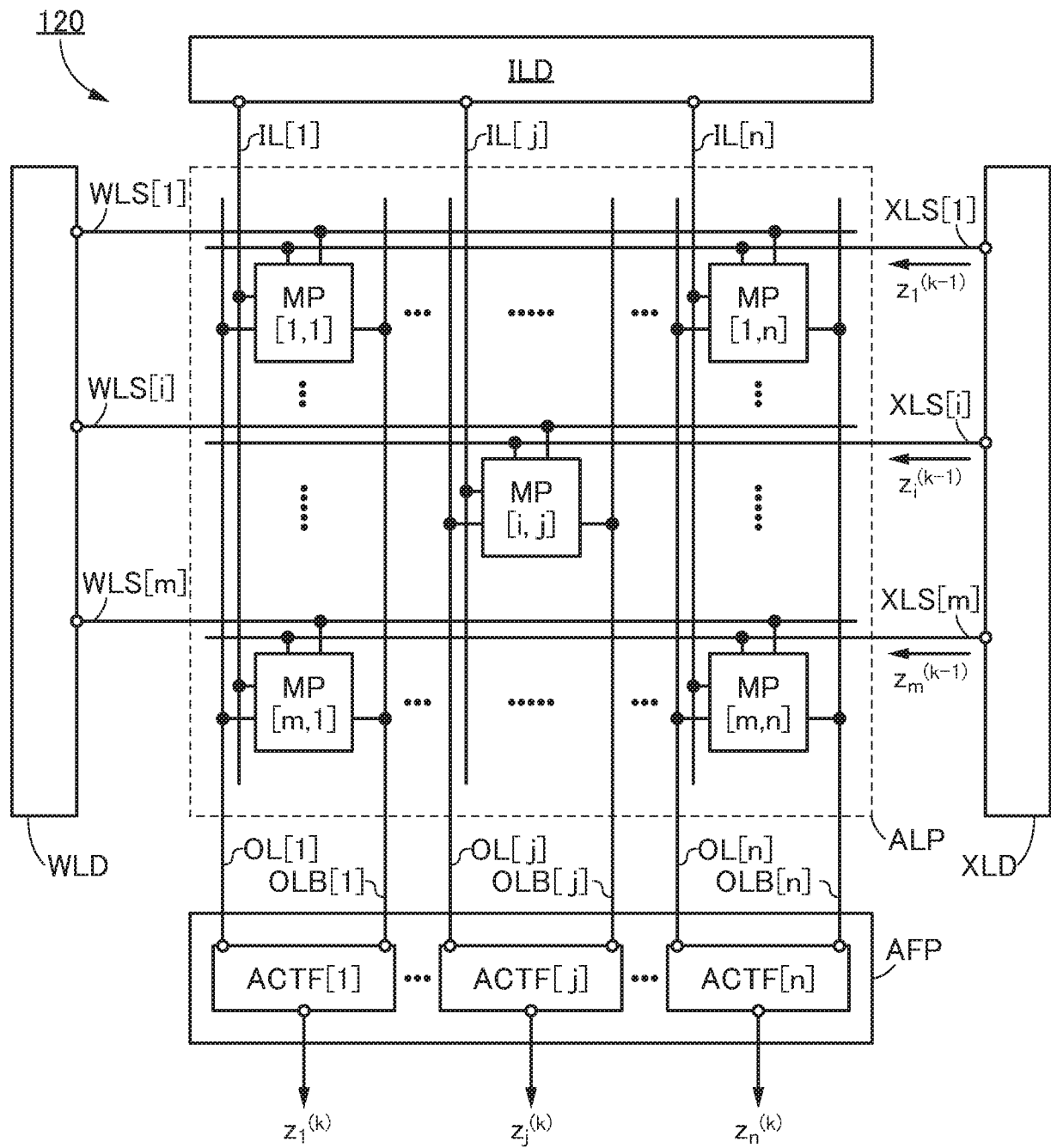
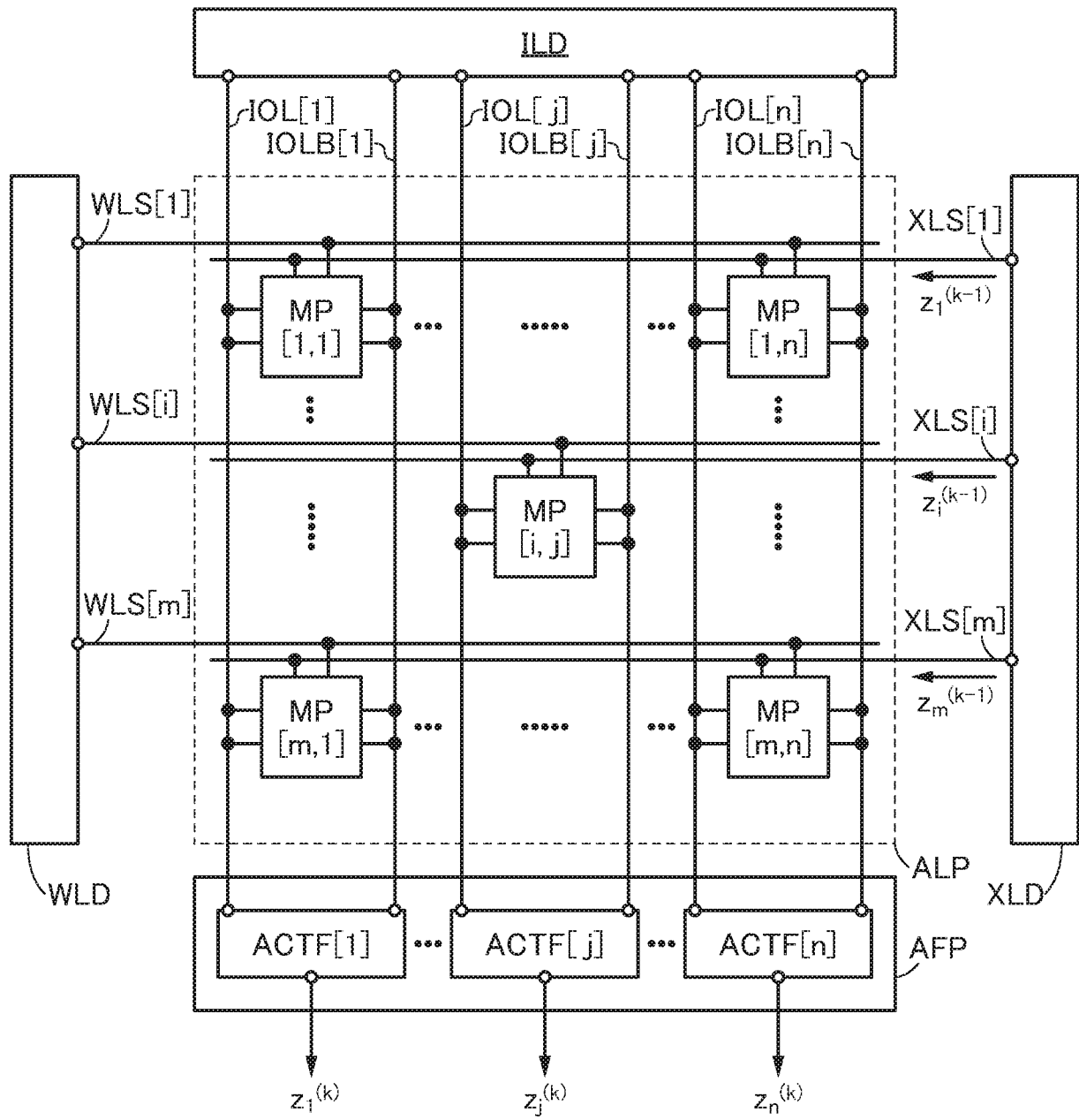


图 7

7142

130



8

8/42

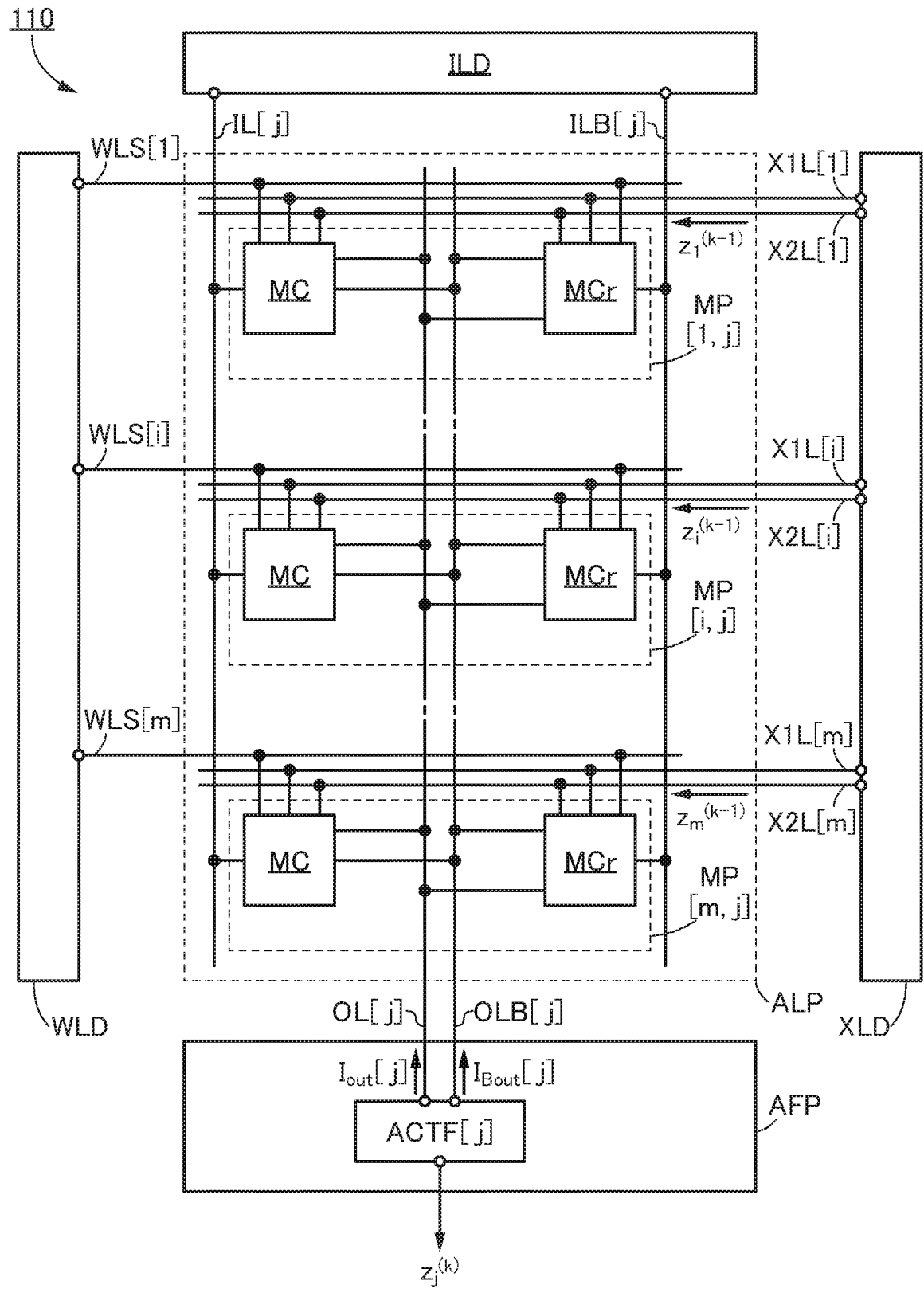


図 9A

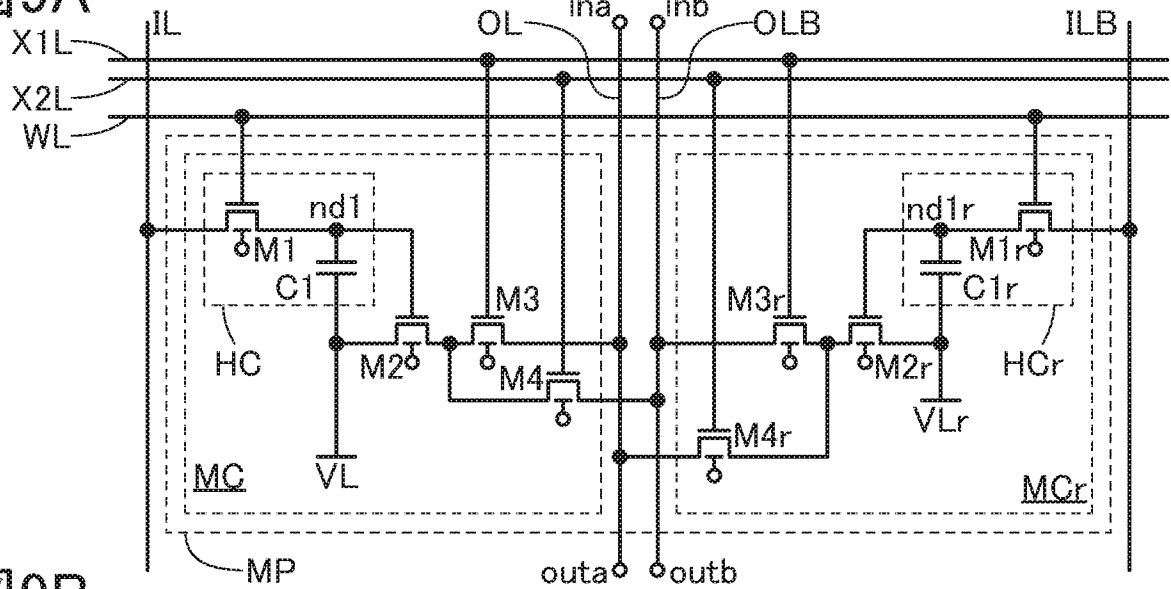
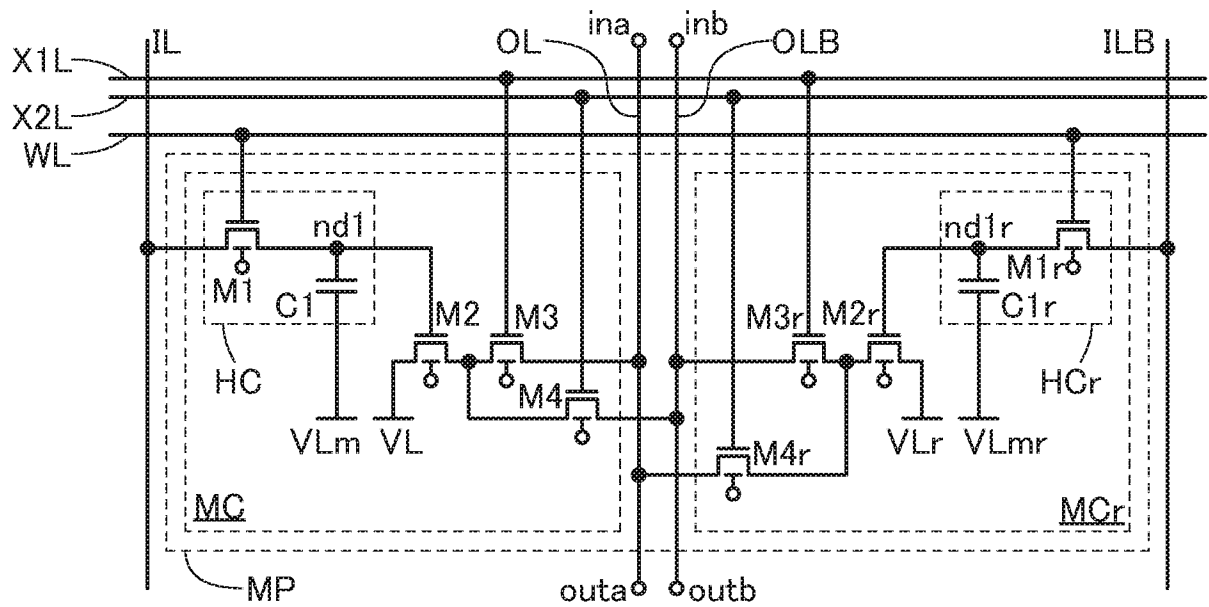
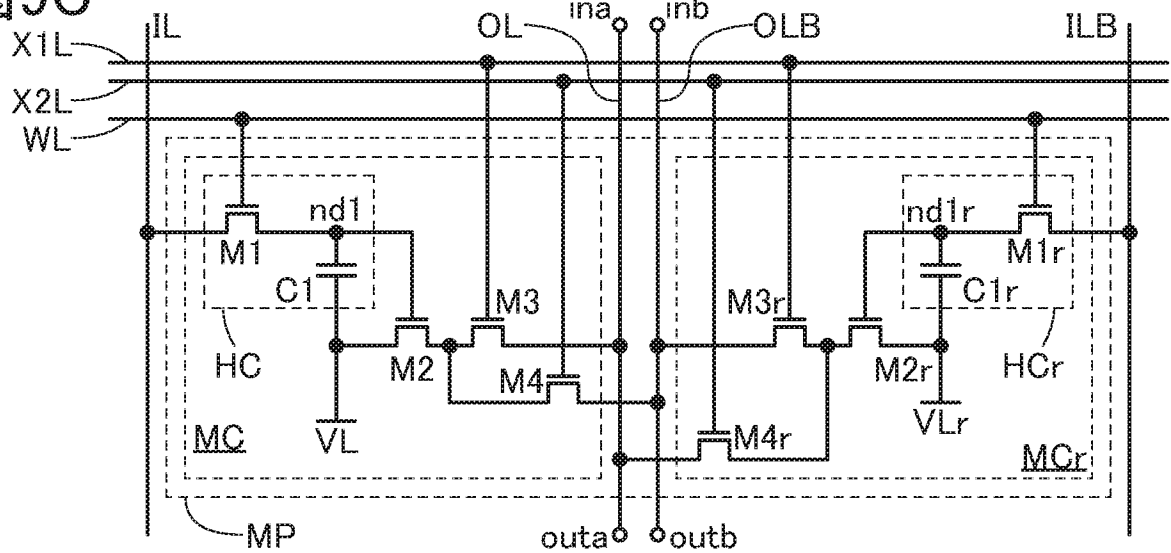


图 9B



9C



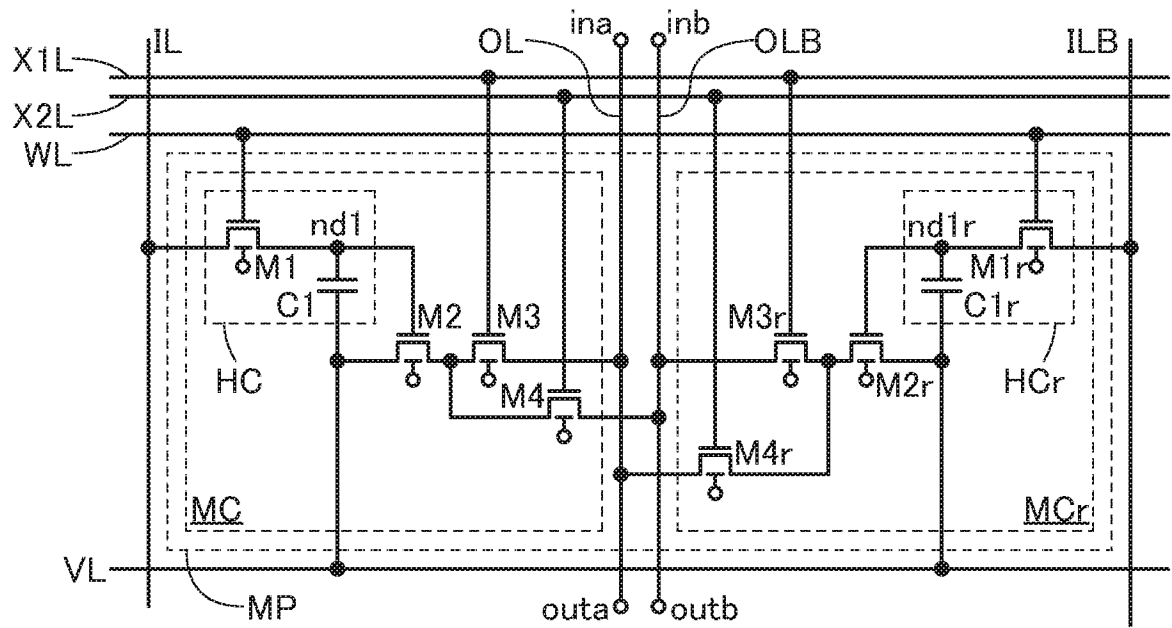
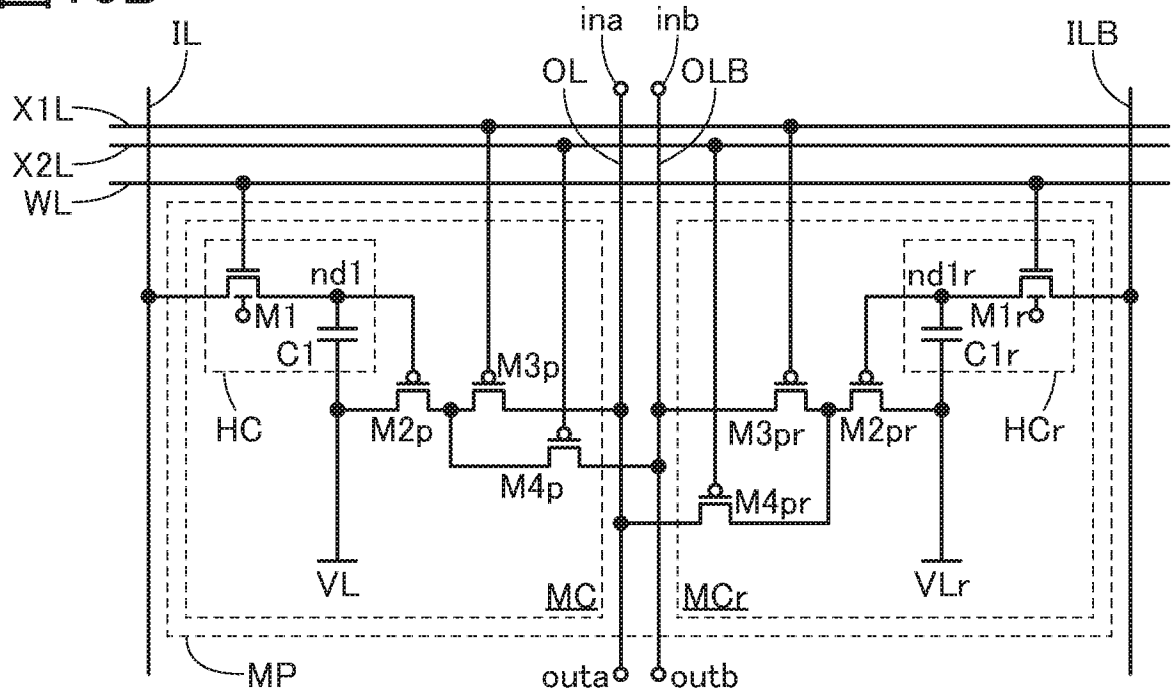
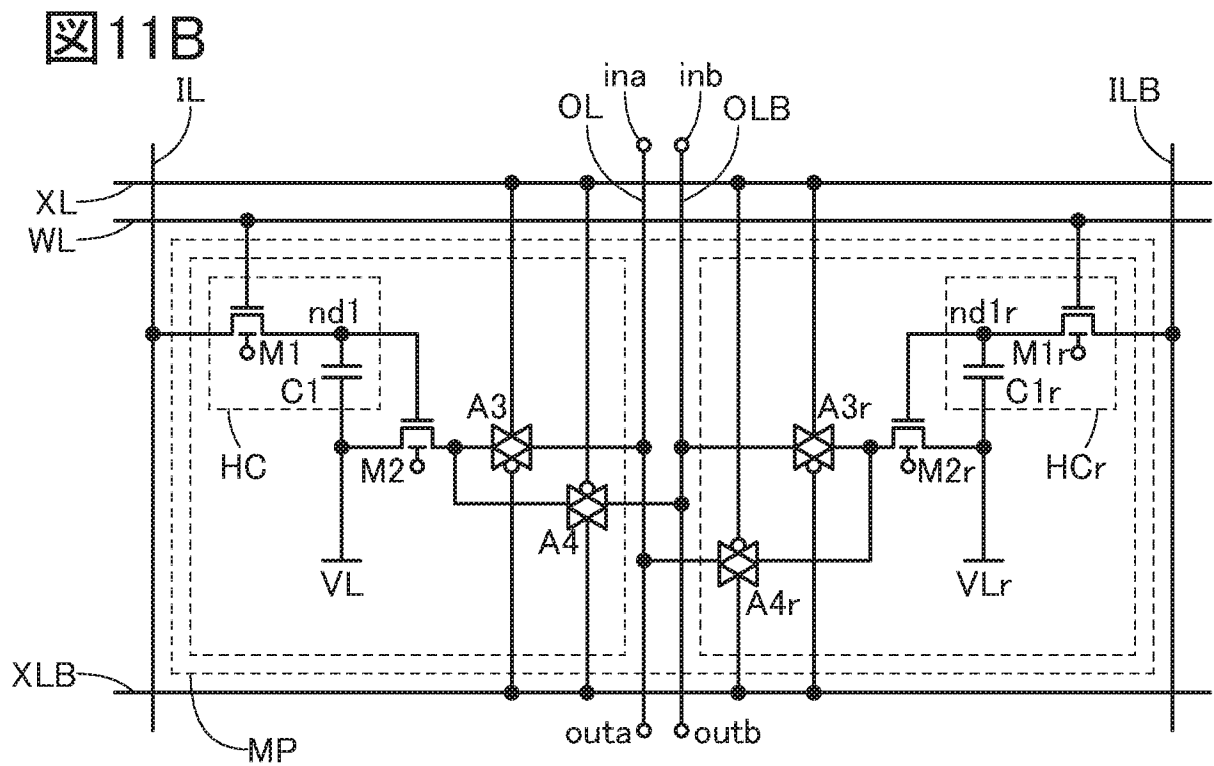
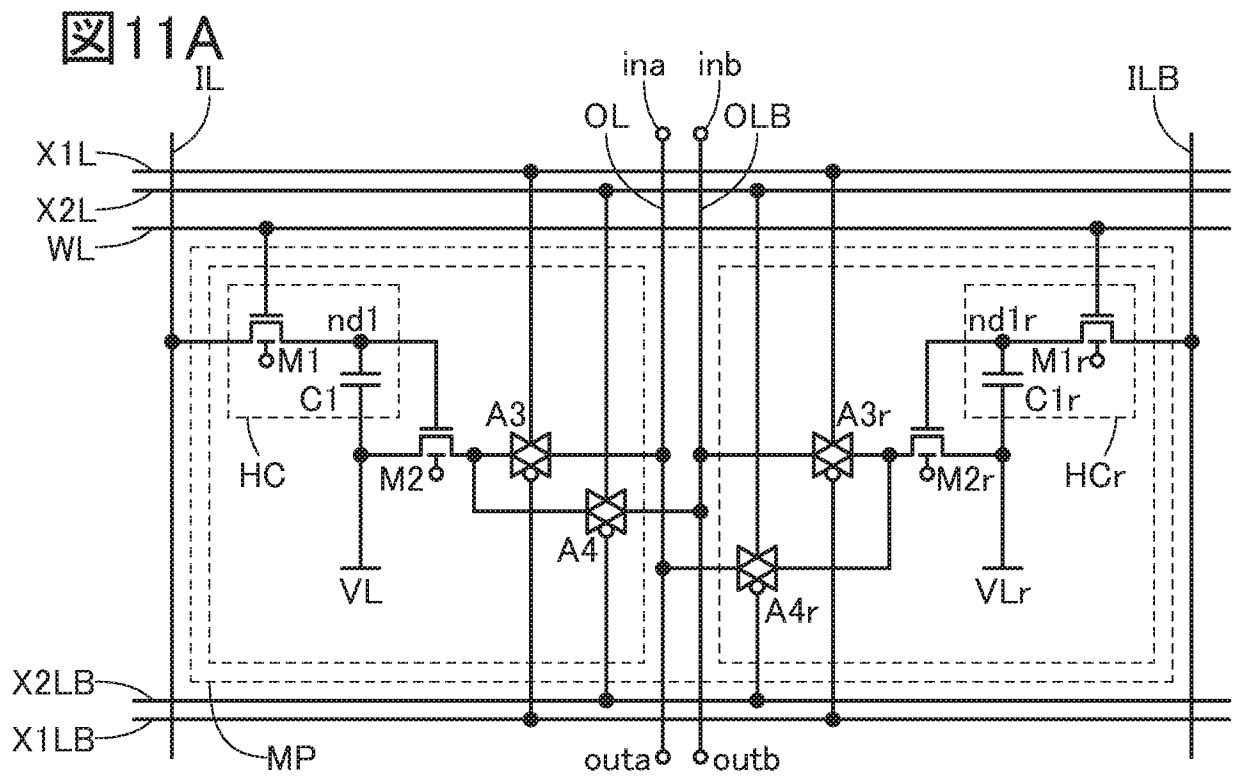


図 10B



11/42



12/42

図12A

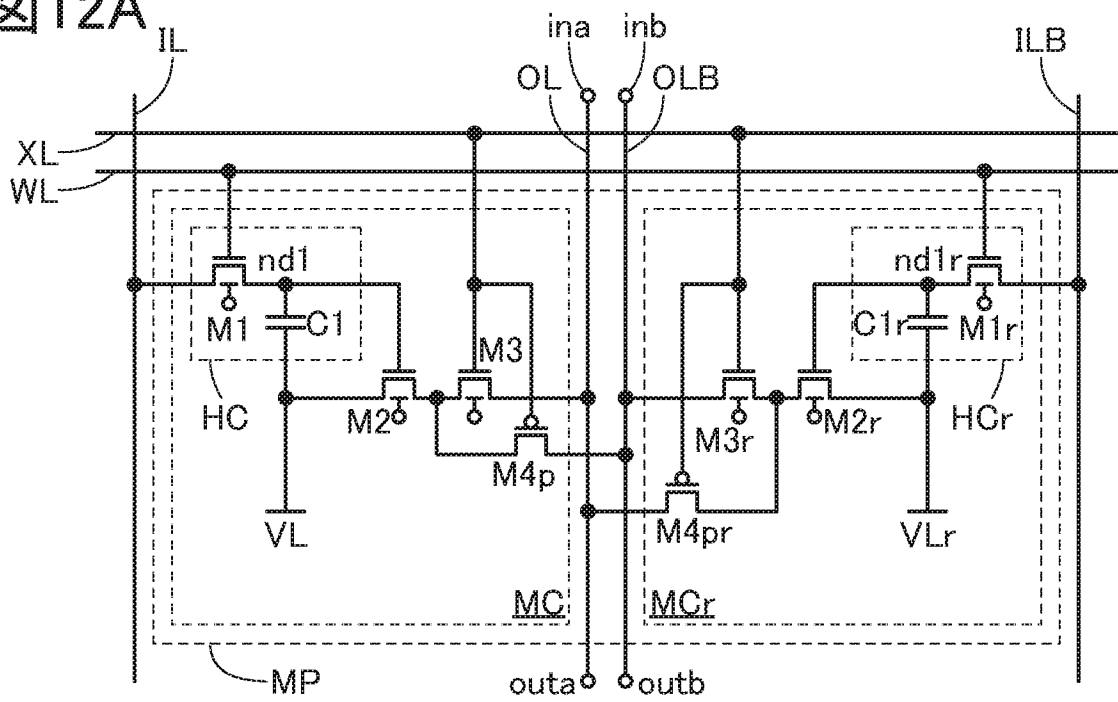


図12B

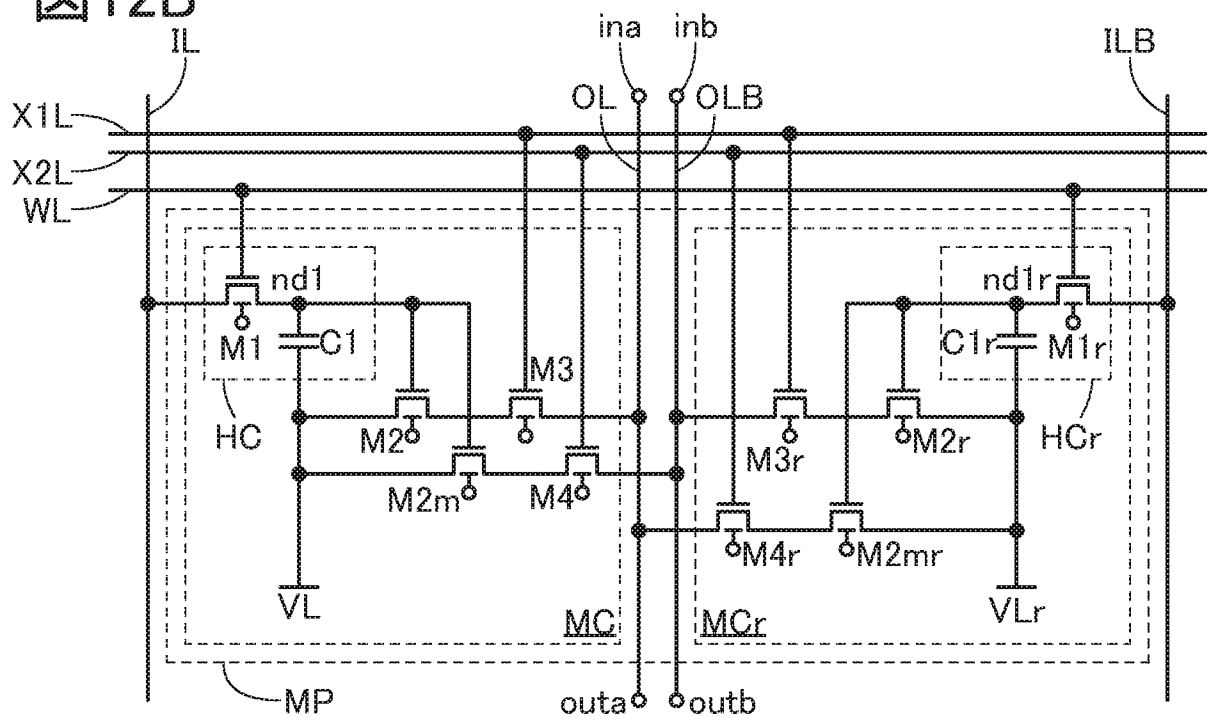


図13A

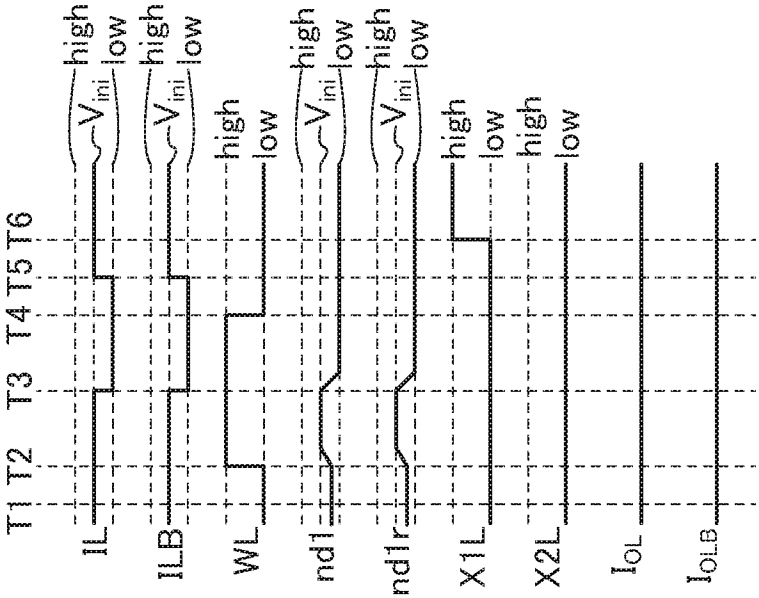


図13B

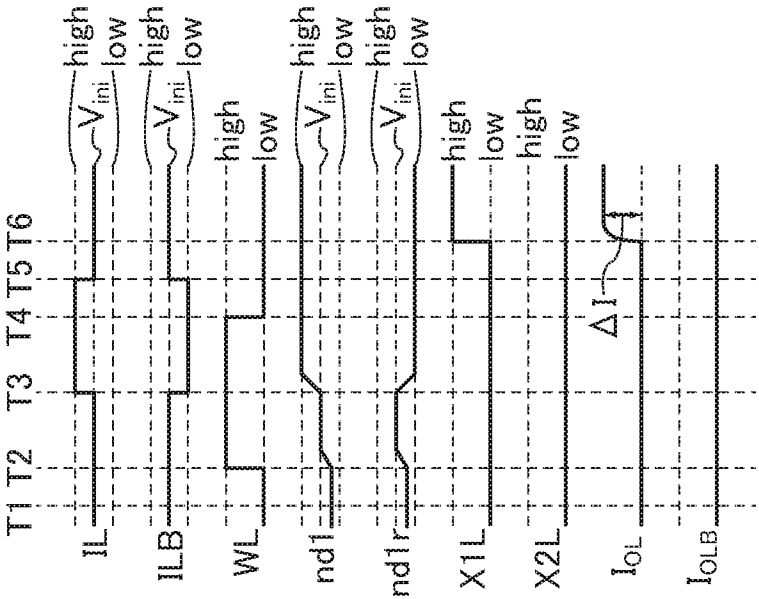
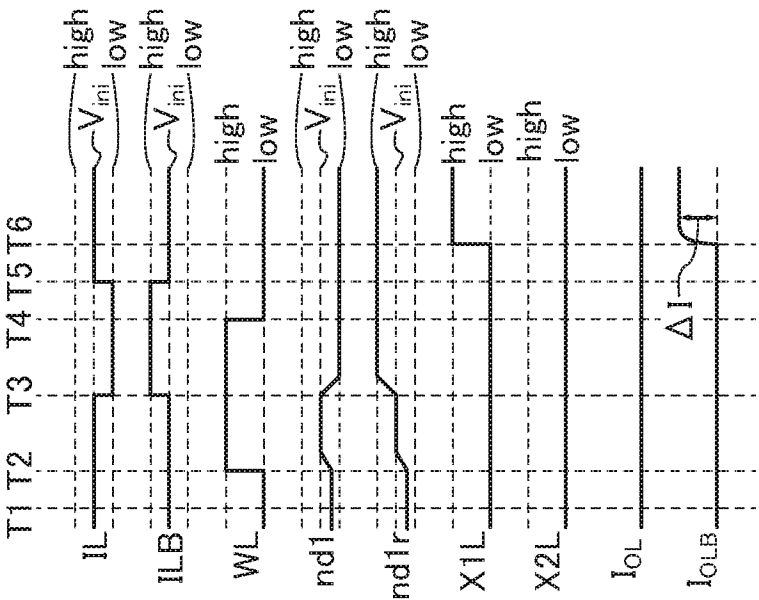
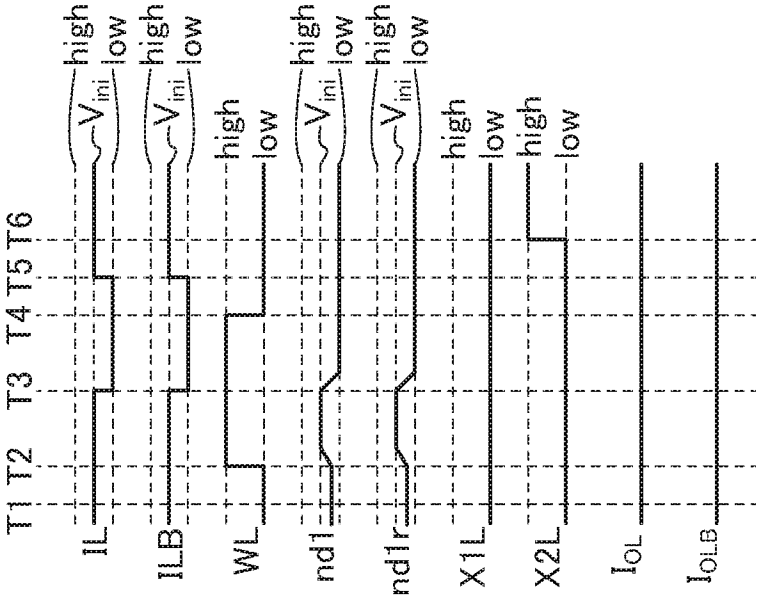


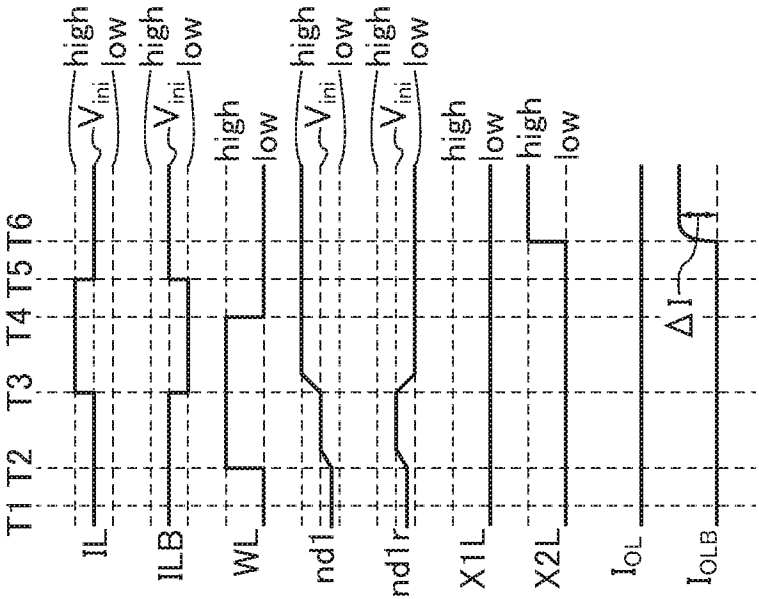
図13C



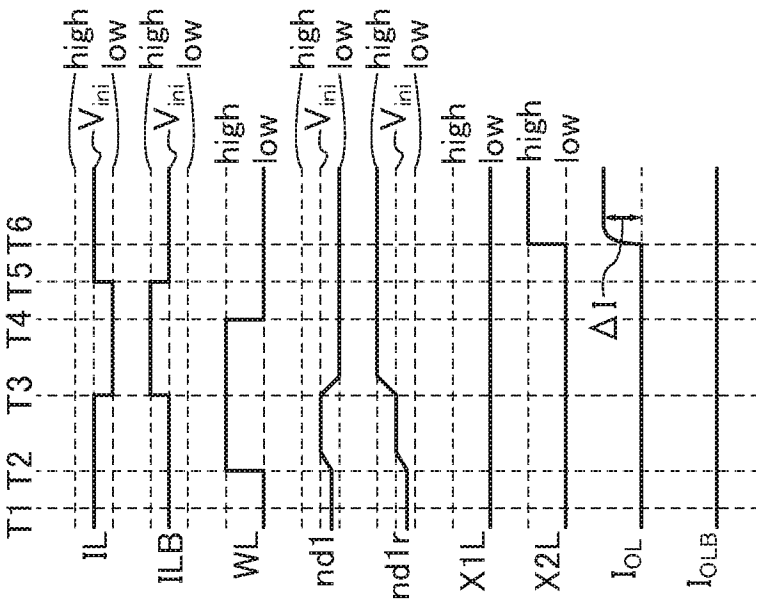
14A



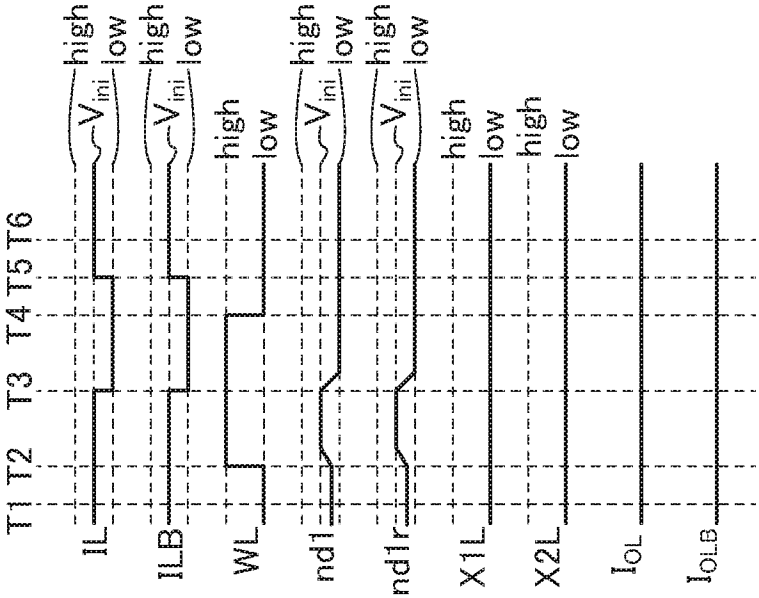
14B



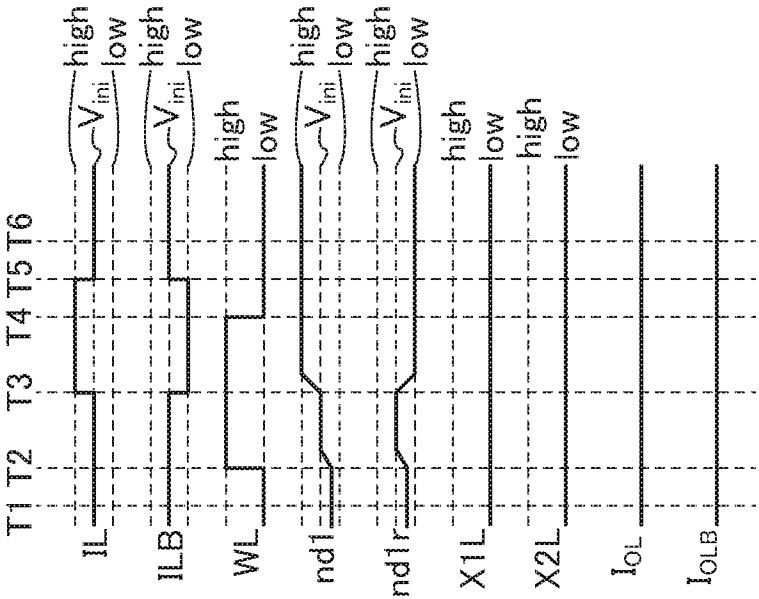
14C



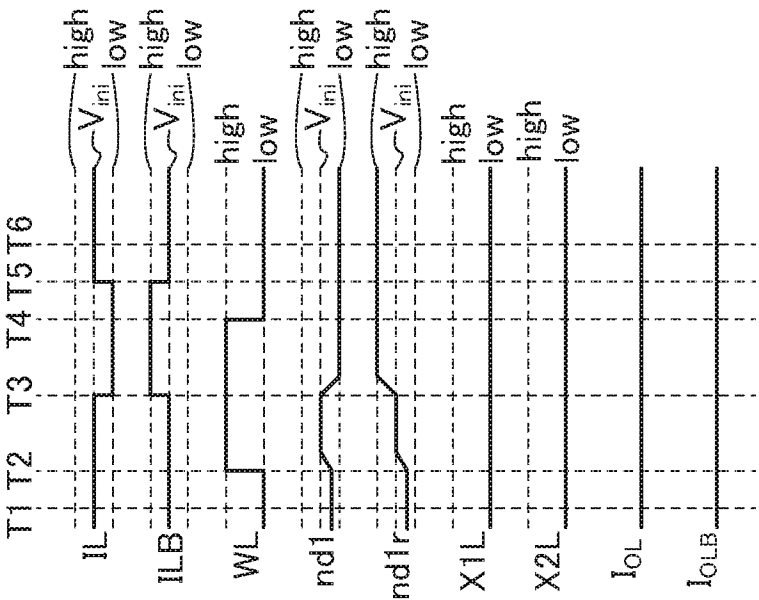
15A



15B



15C



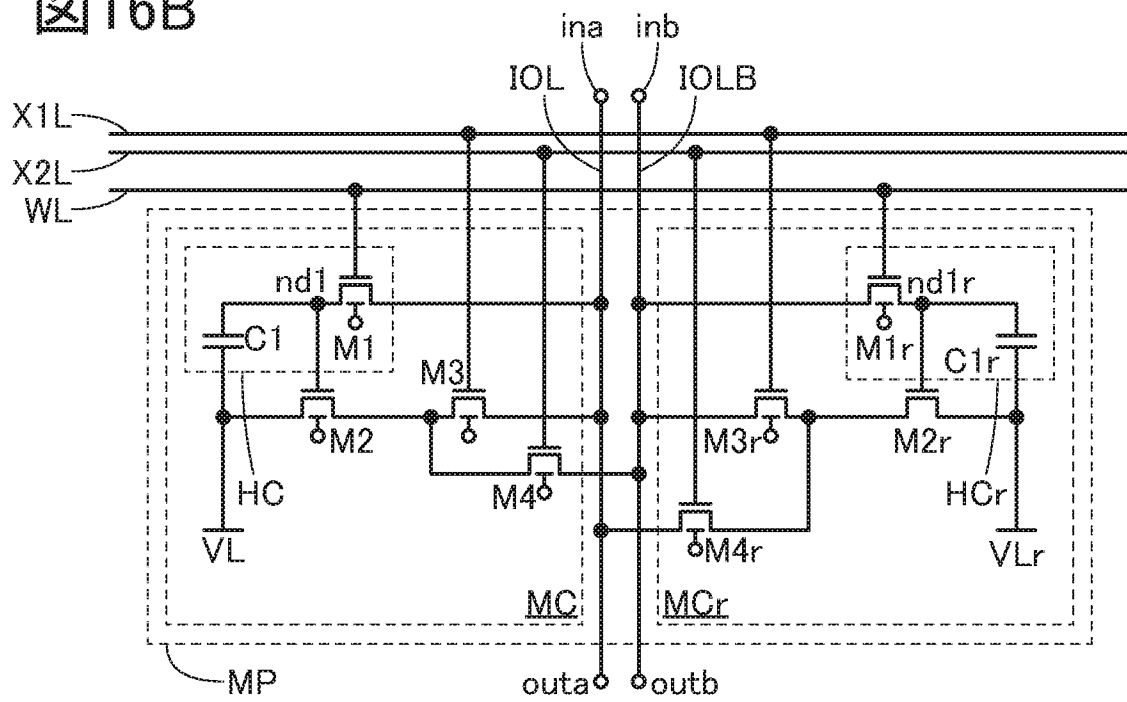
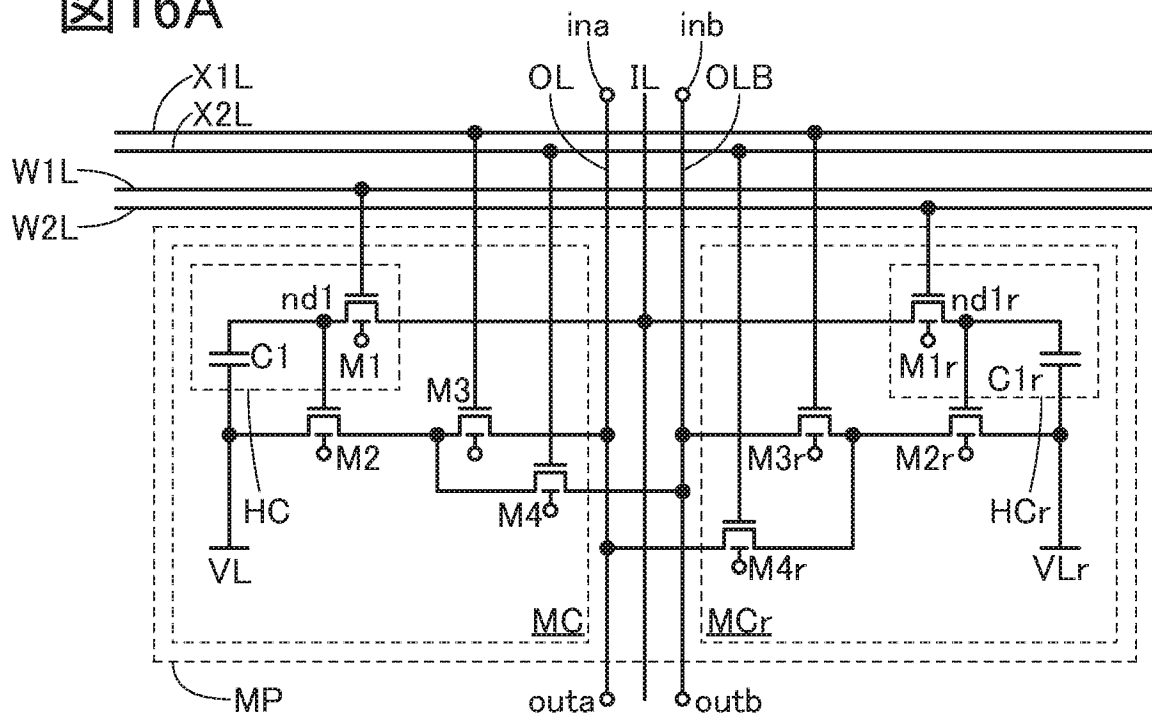
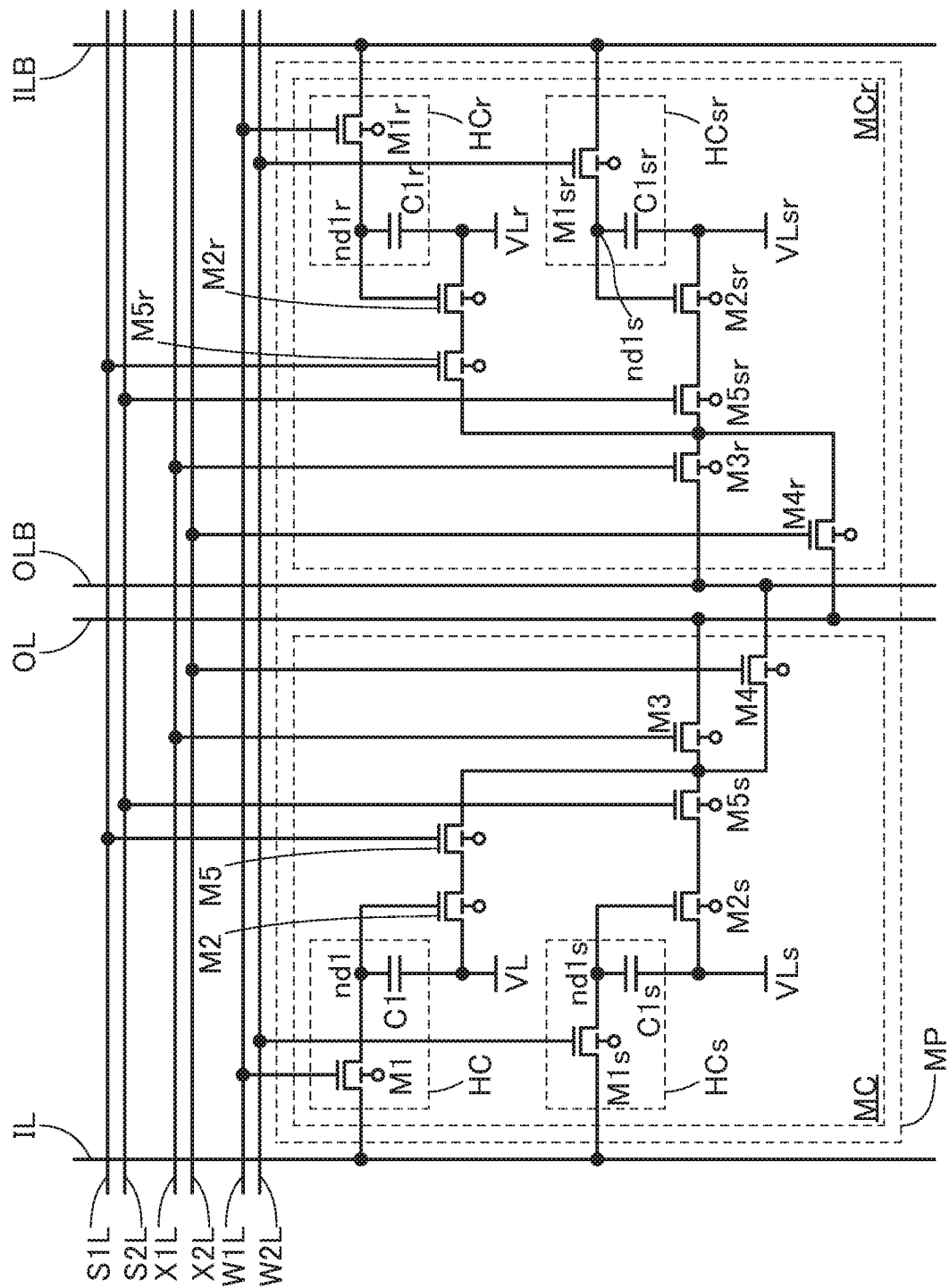
 16A

図17



18/42

図18A

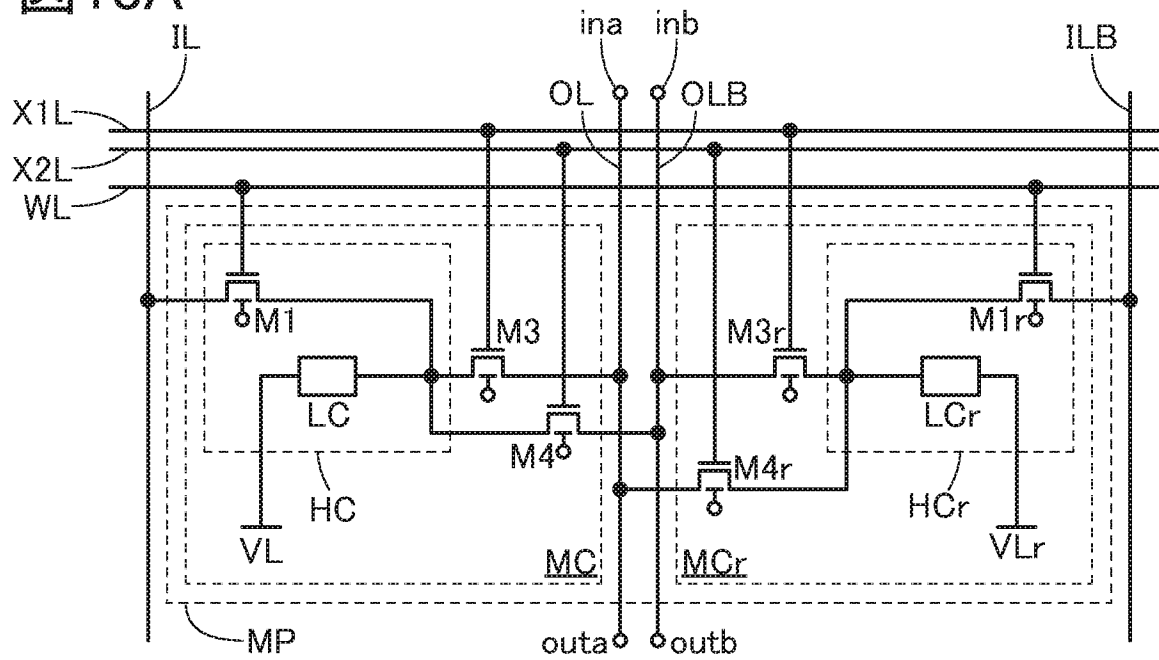


図18B

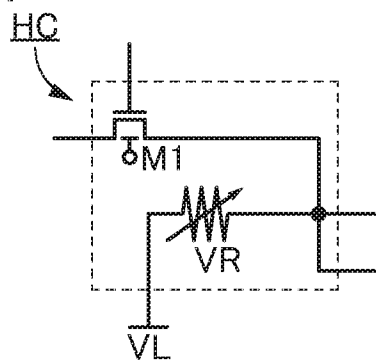


図18C

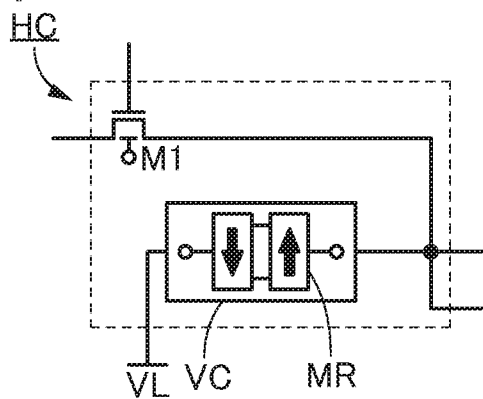


図18D

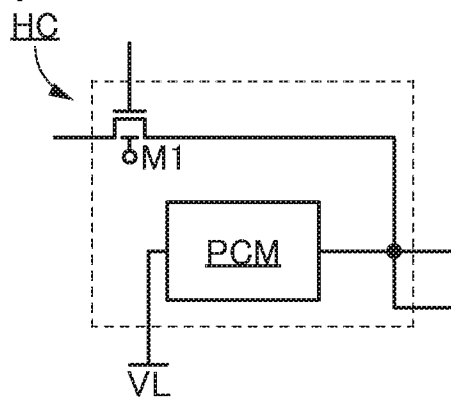
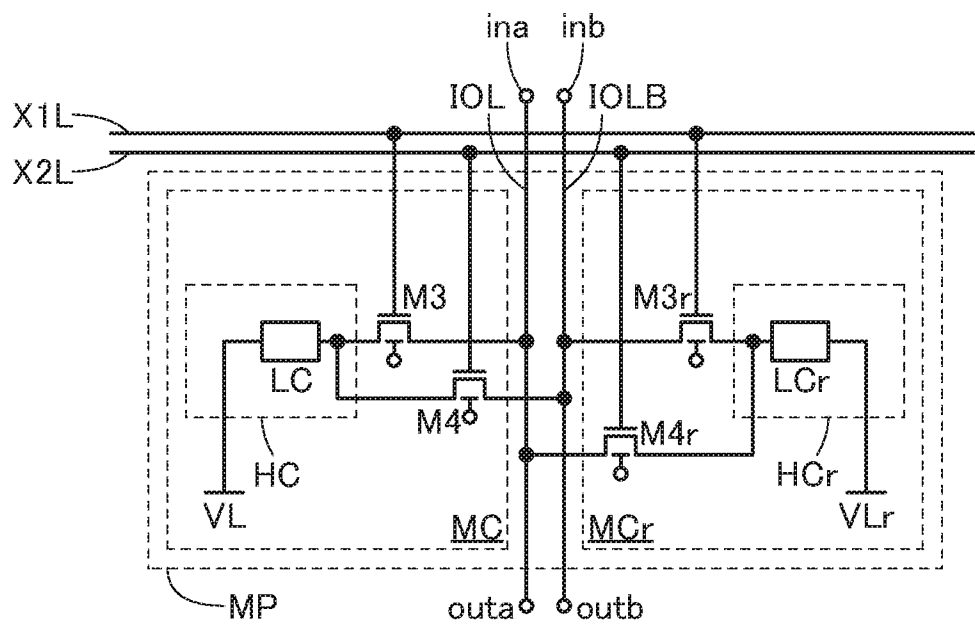
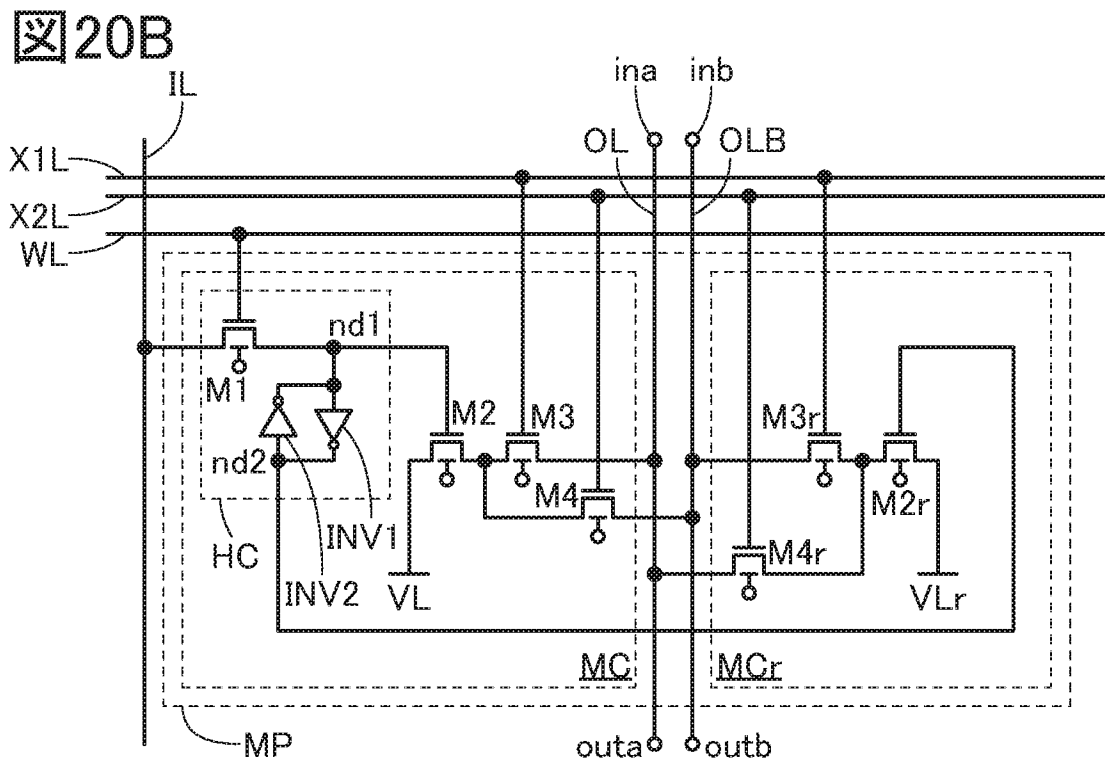
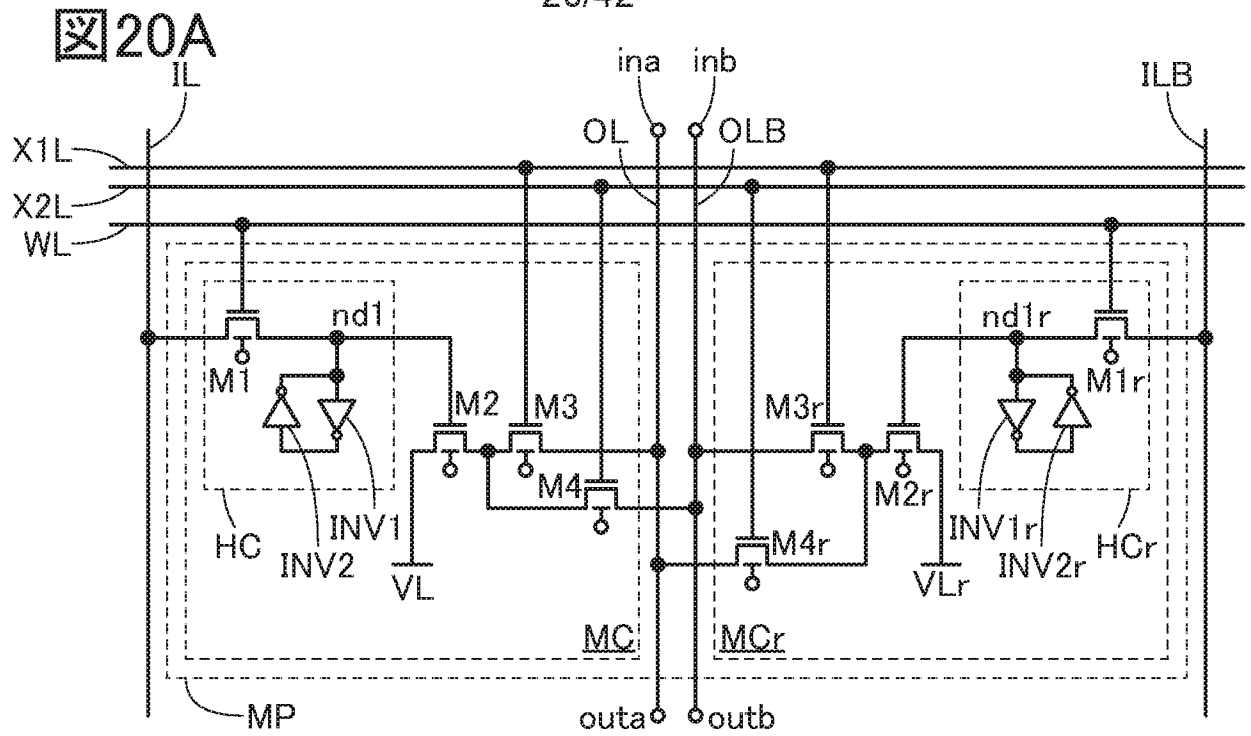


図 19

19/42



20/42



21/42

図21A

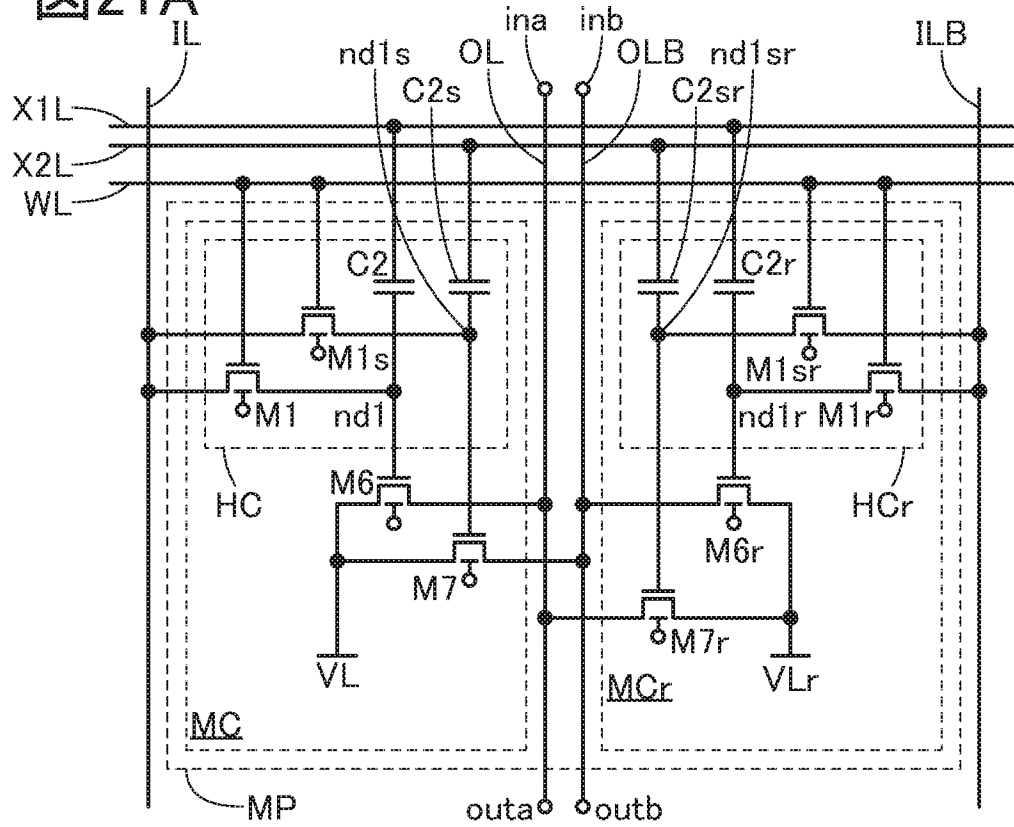
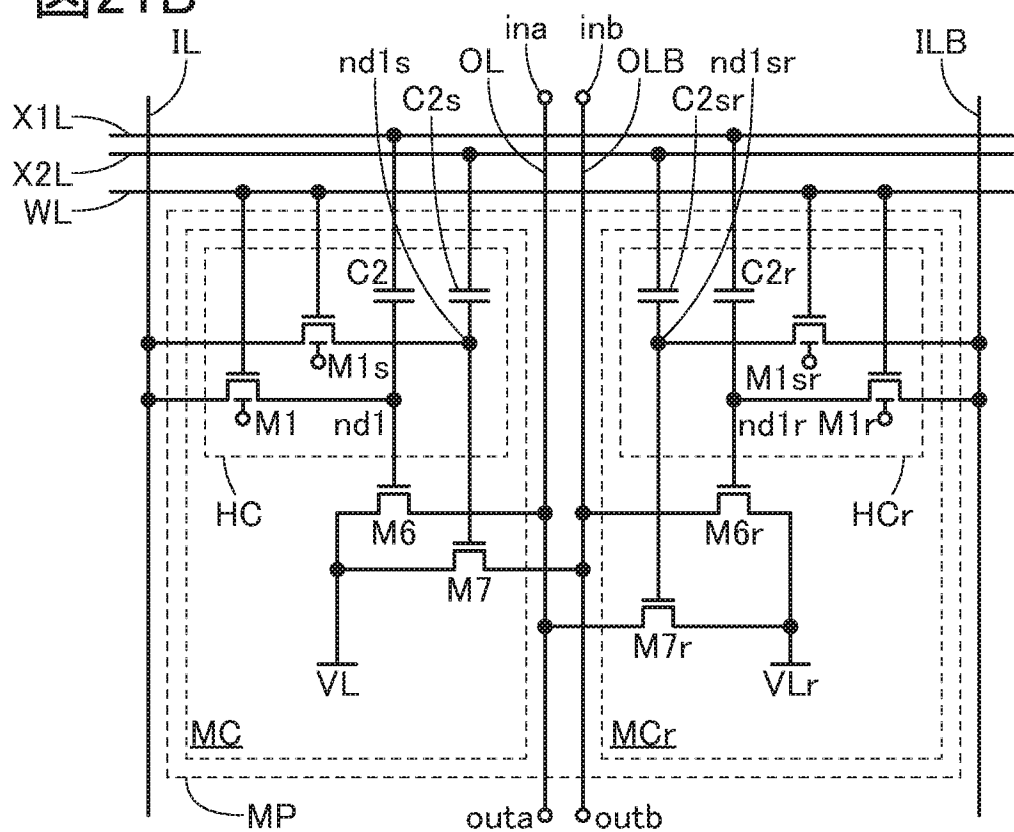


図21B



22/42

図 22A

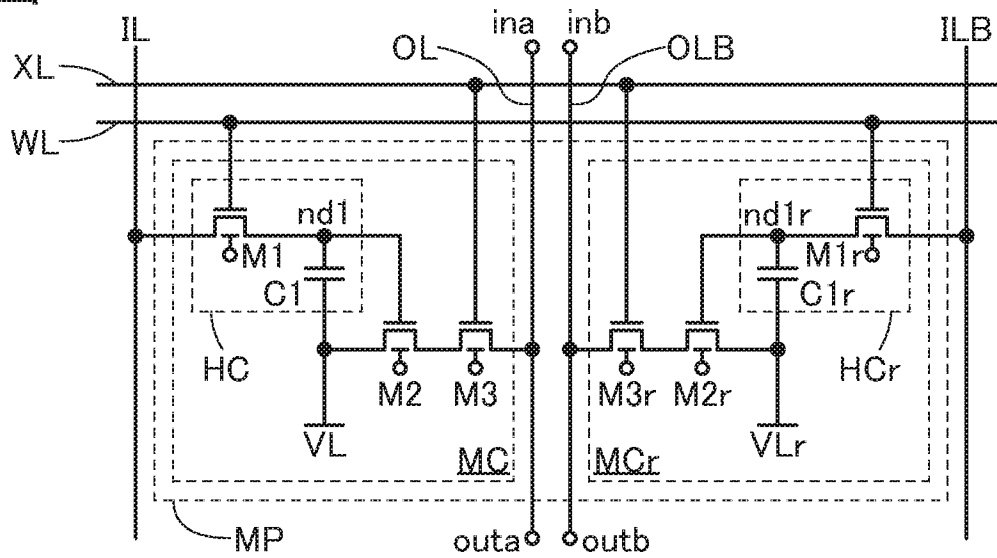


図 22B

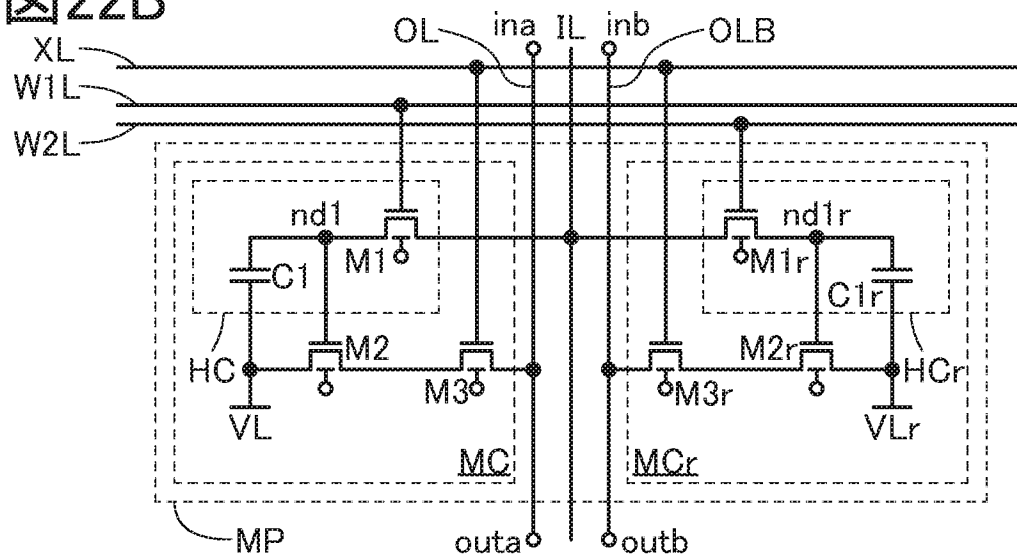
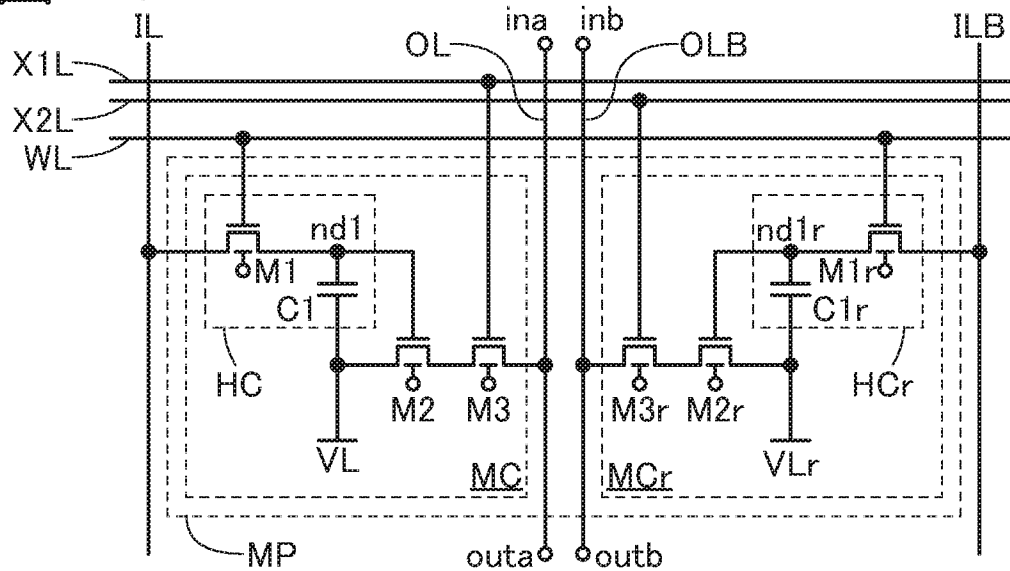
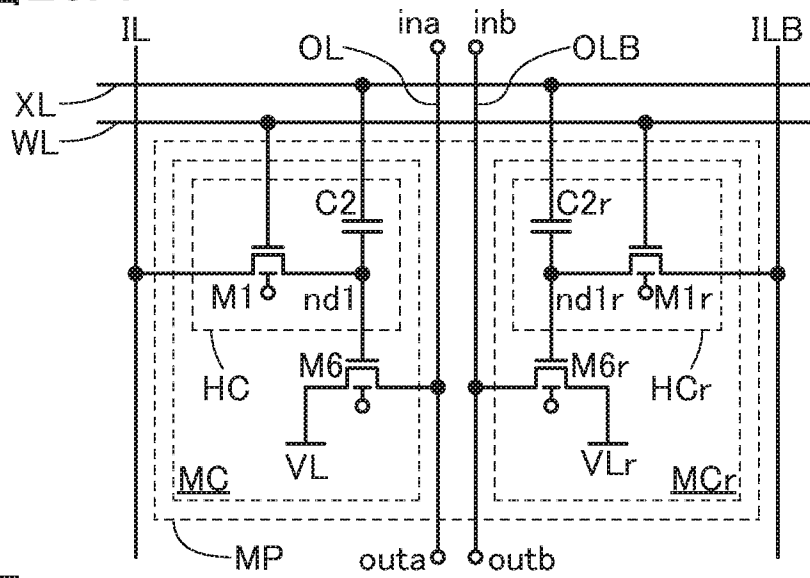


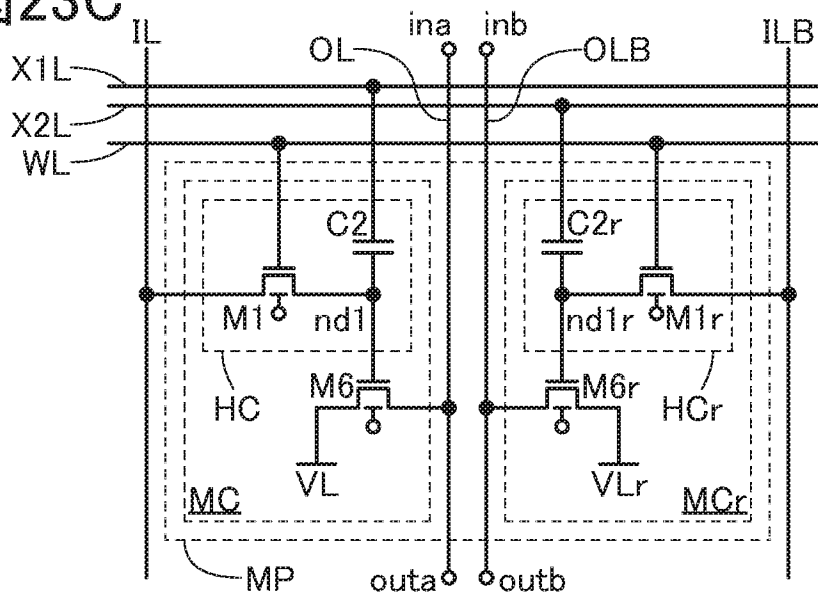
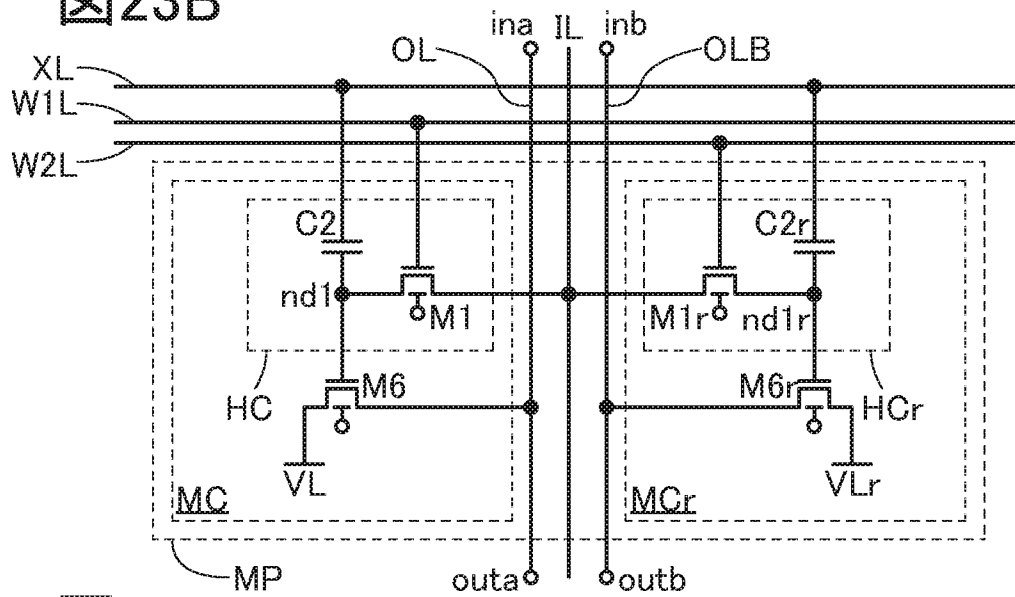
図 22C



 23A



23B



24/42

図24A

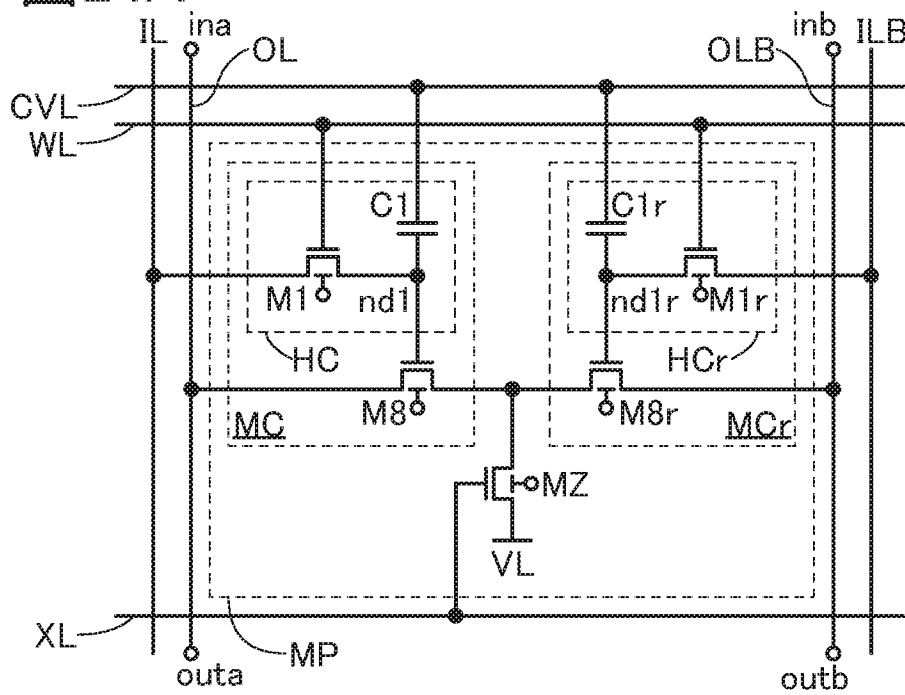


図24B

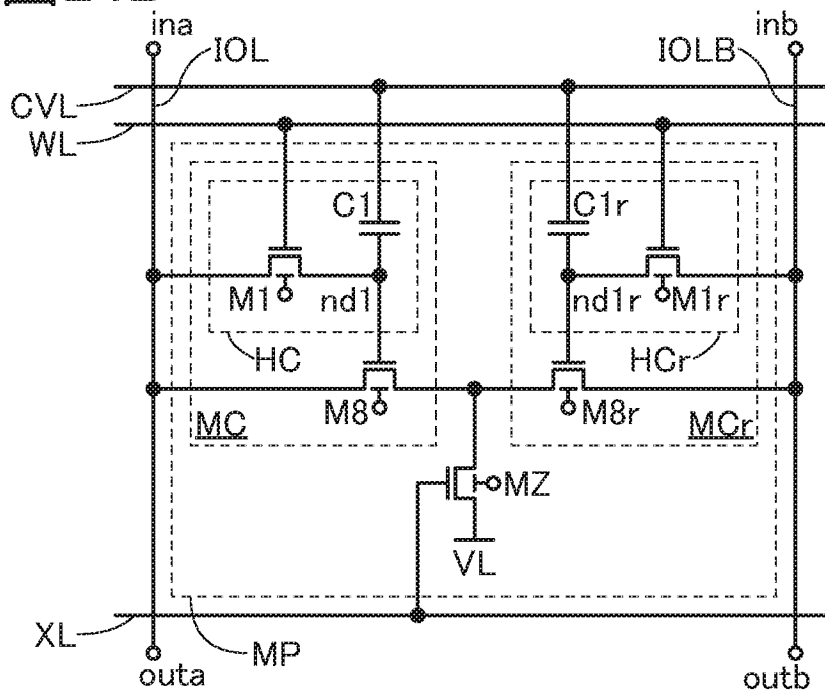


図25A

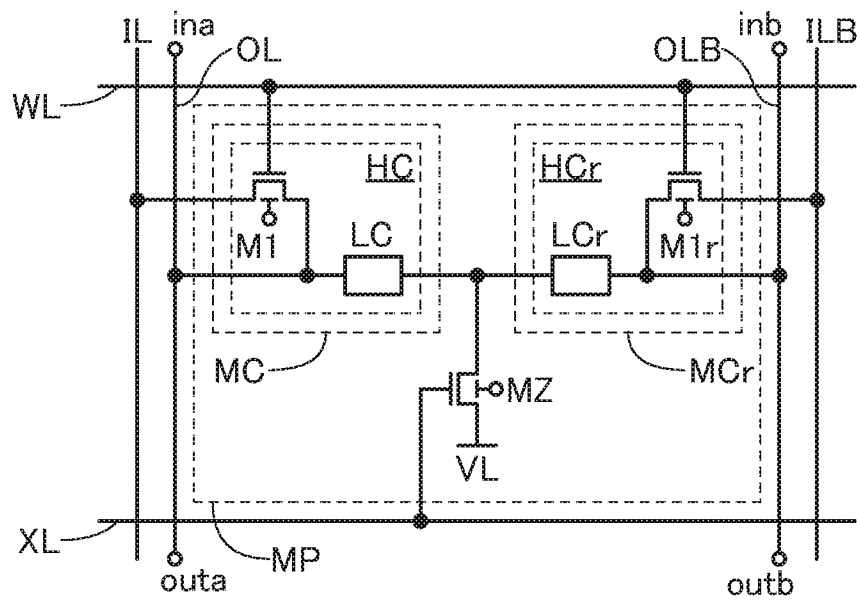
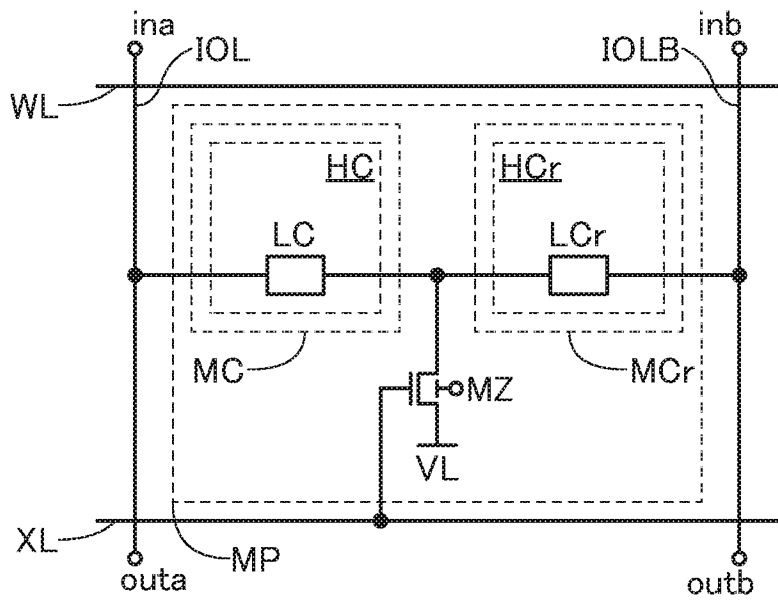


図25B



26/42

図 26A

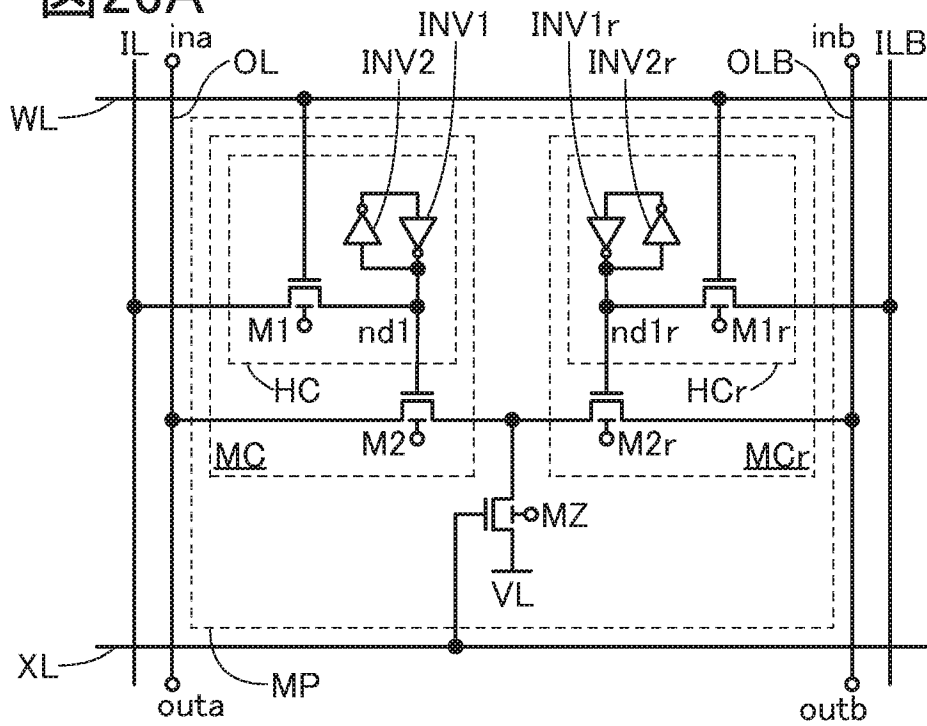
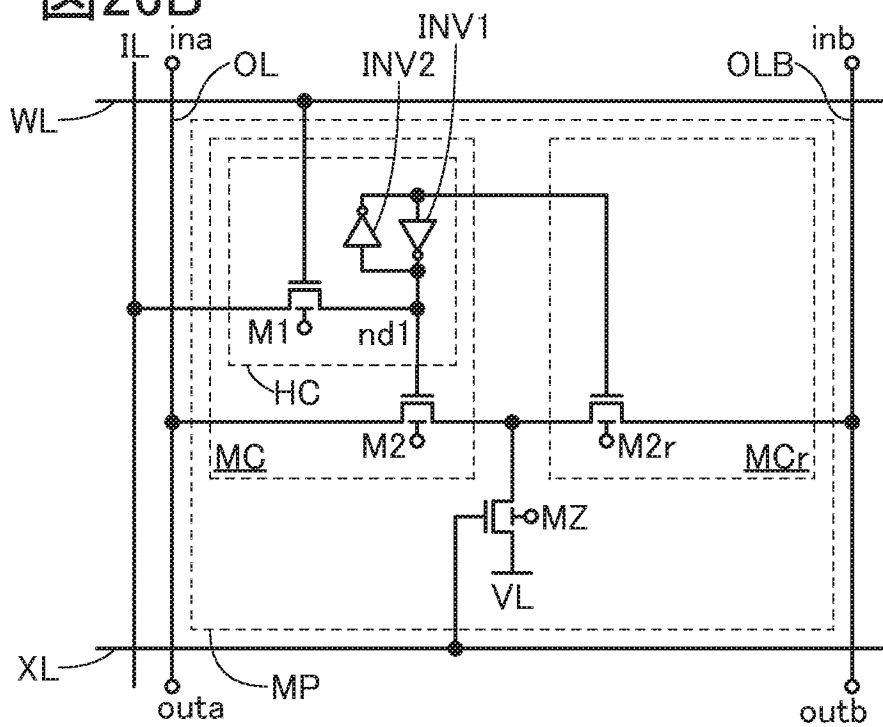


図 26B



27/42

図27A

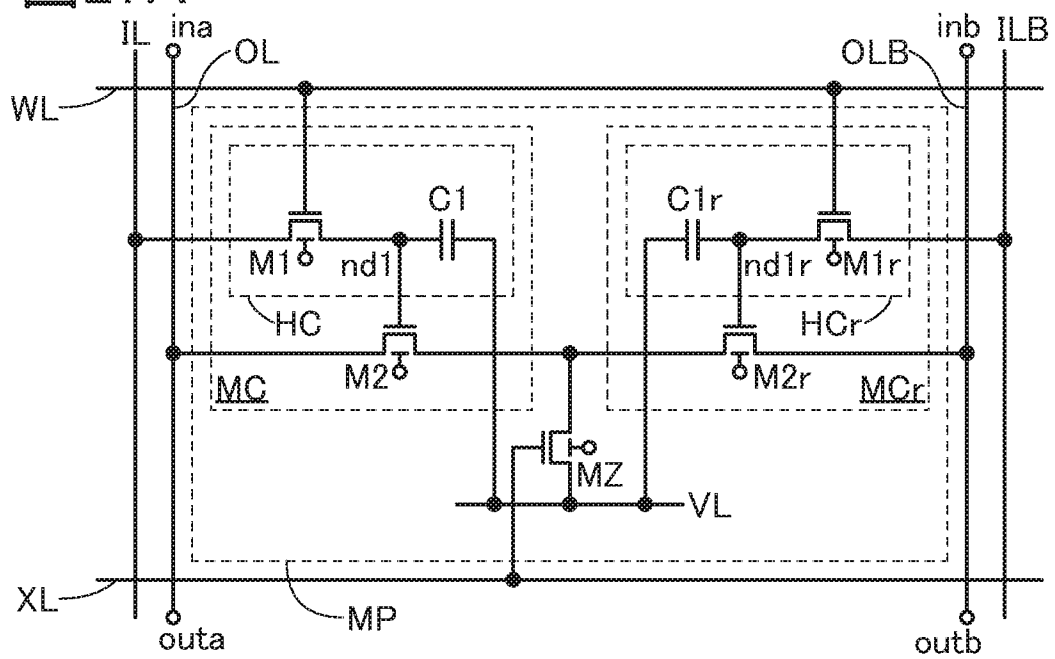


図27B

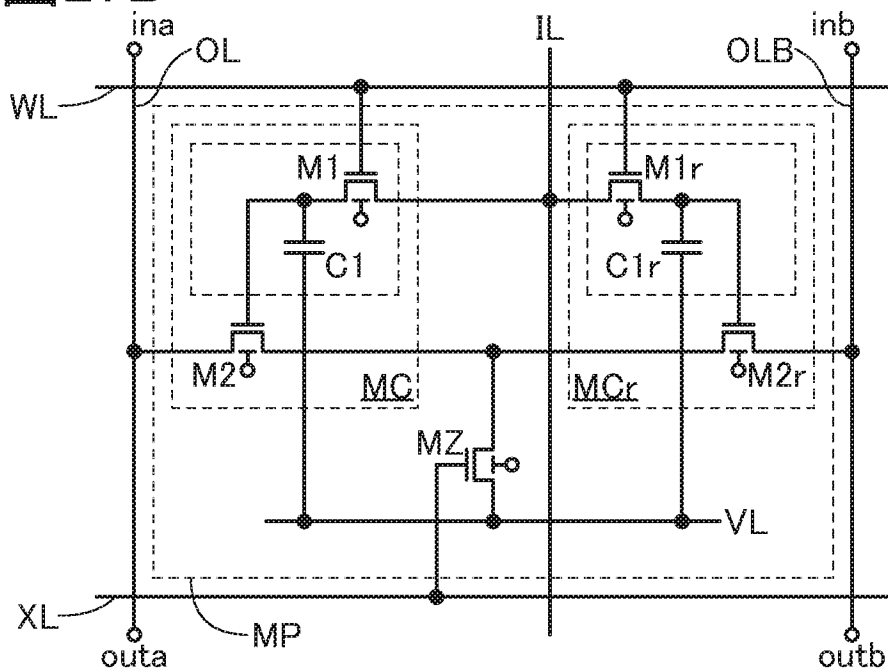
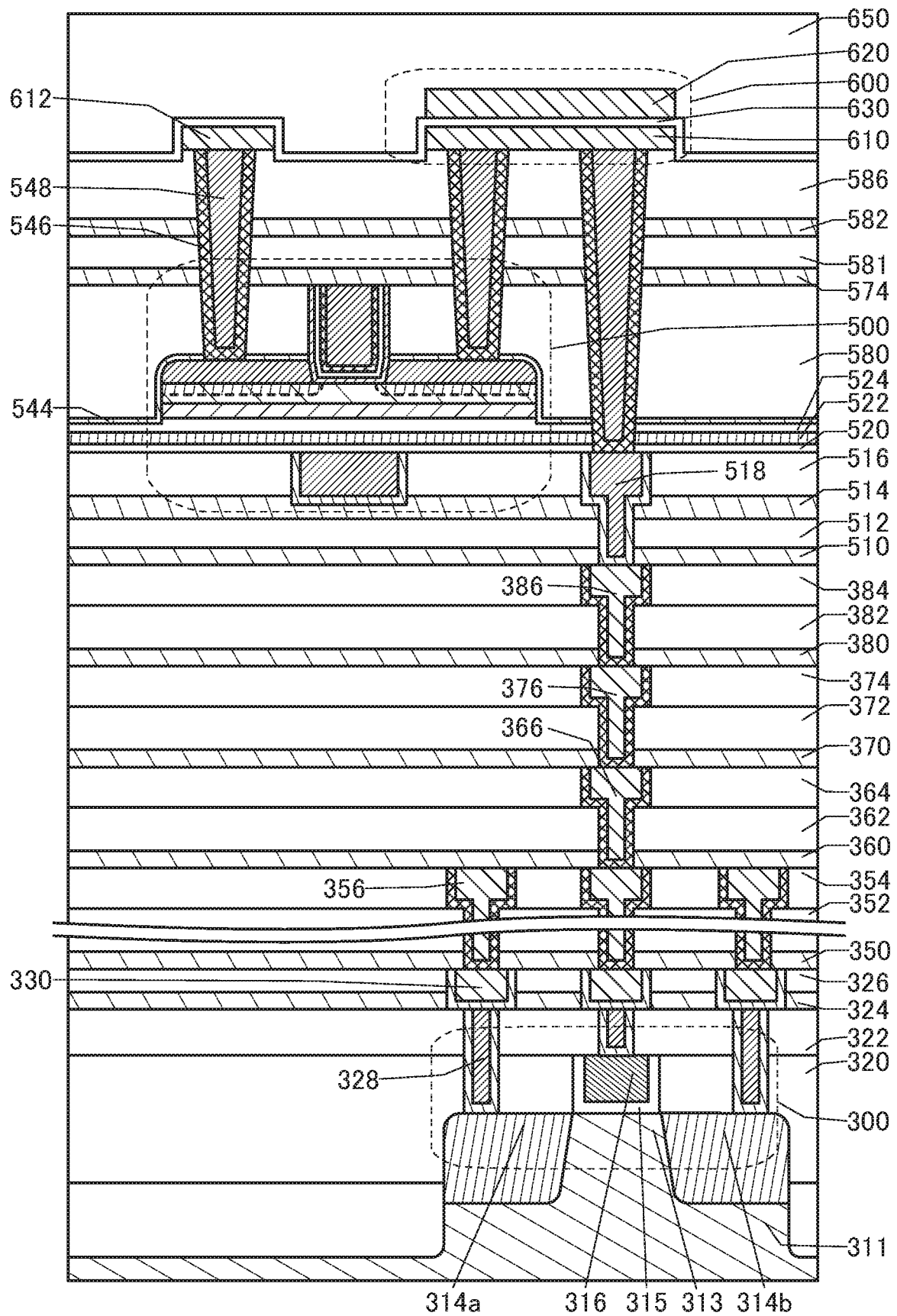


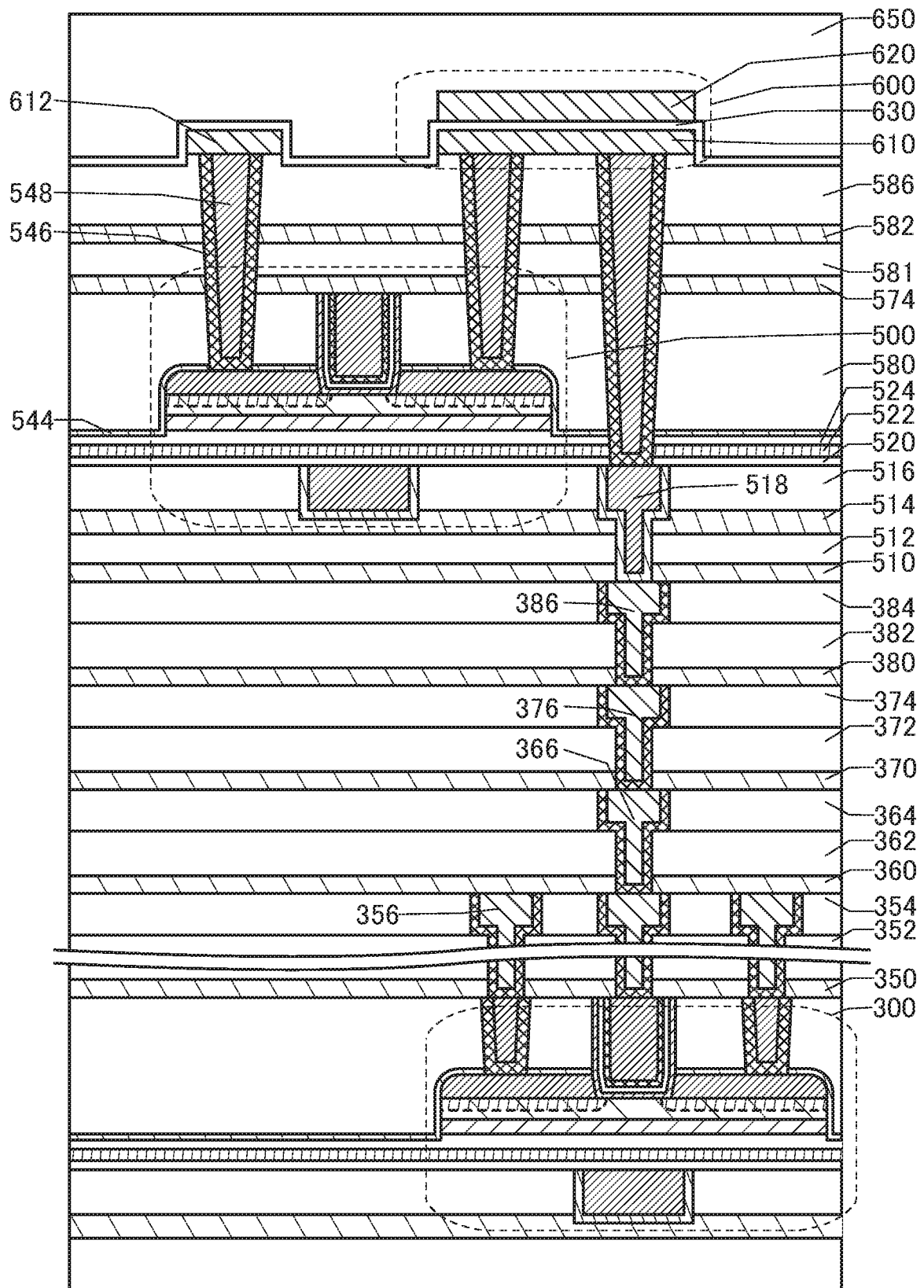
图28

28/42



29

29/42



30/42

図30A

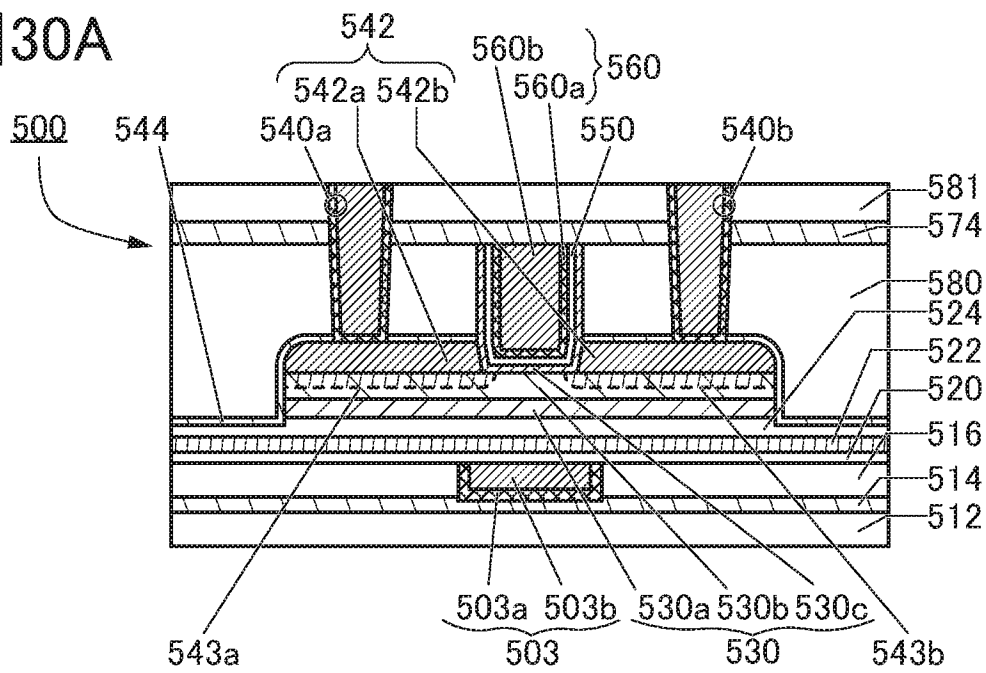


図30B

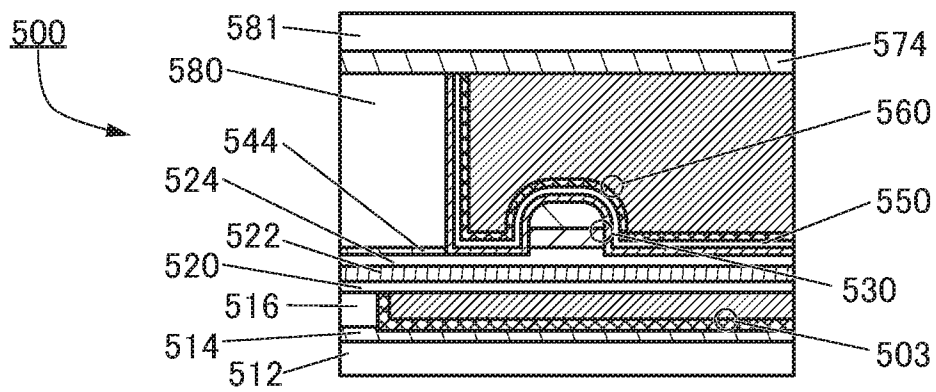
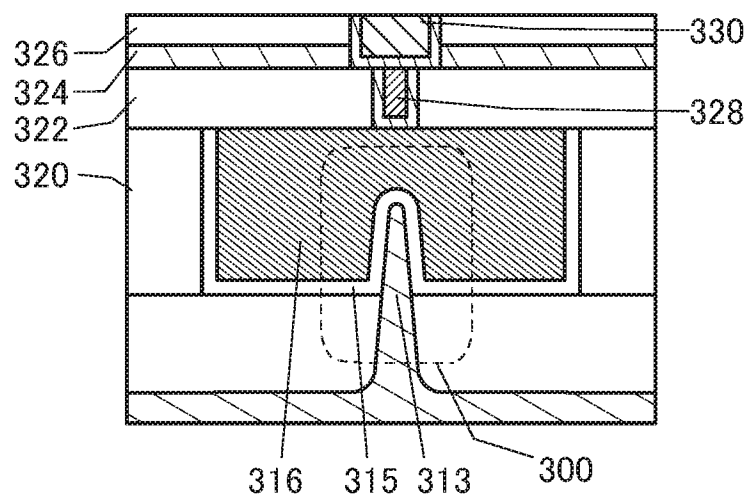


図30C



31/42

図31A

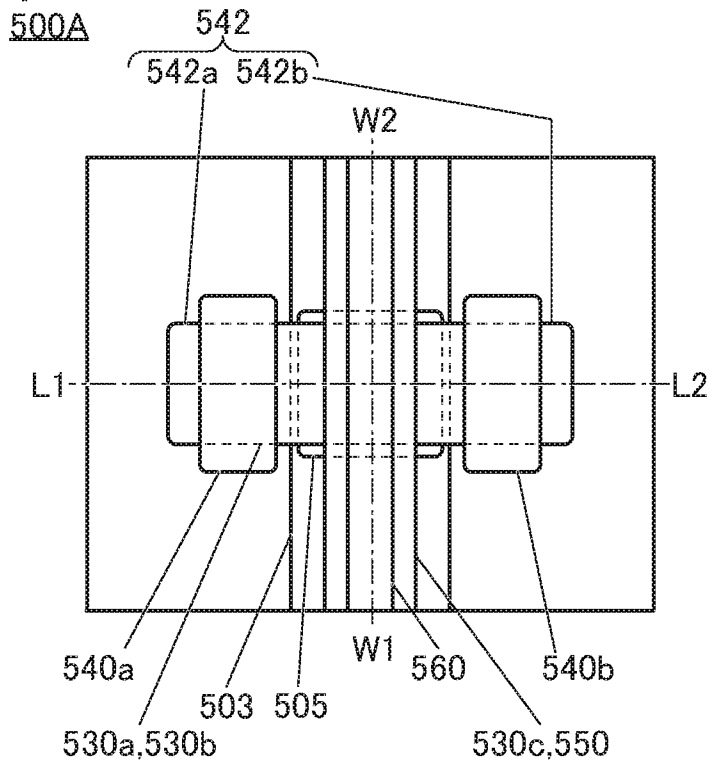


図31C

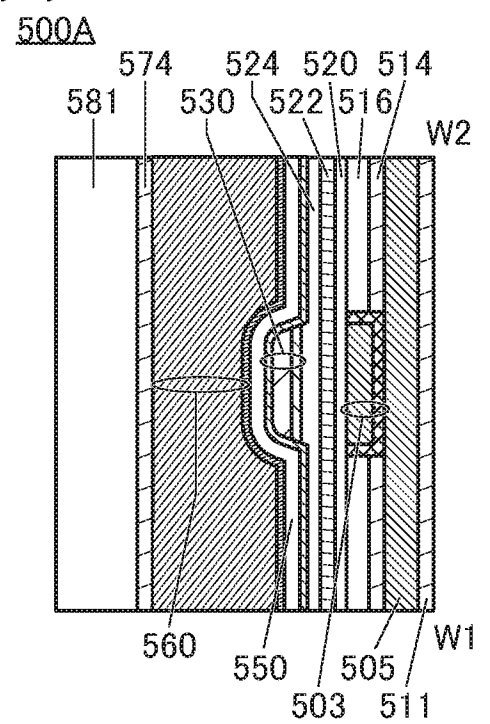
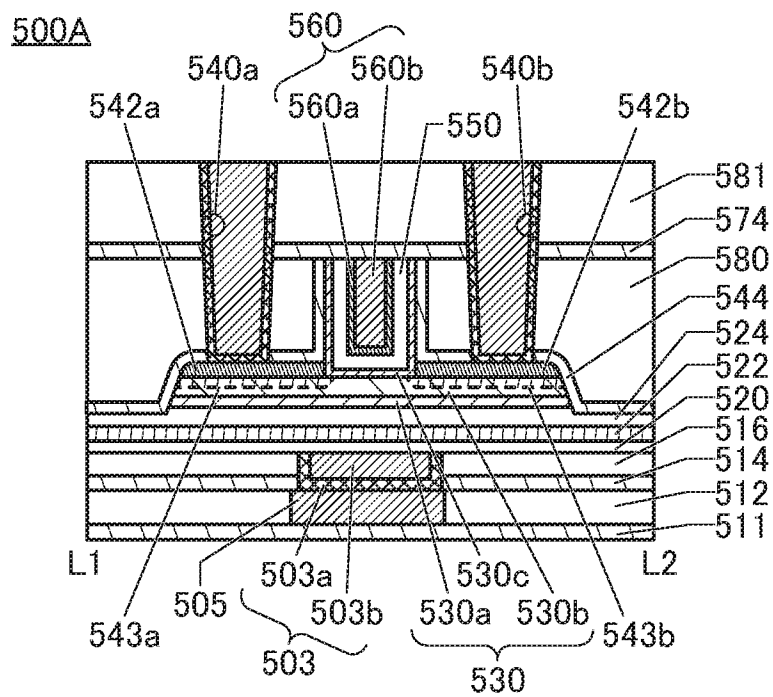


図31B



32/42

図32A

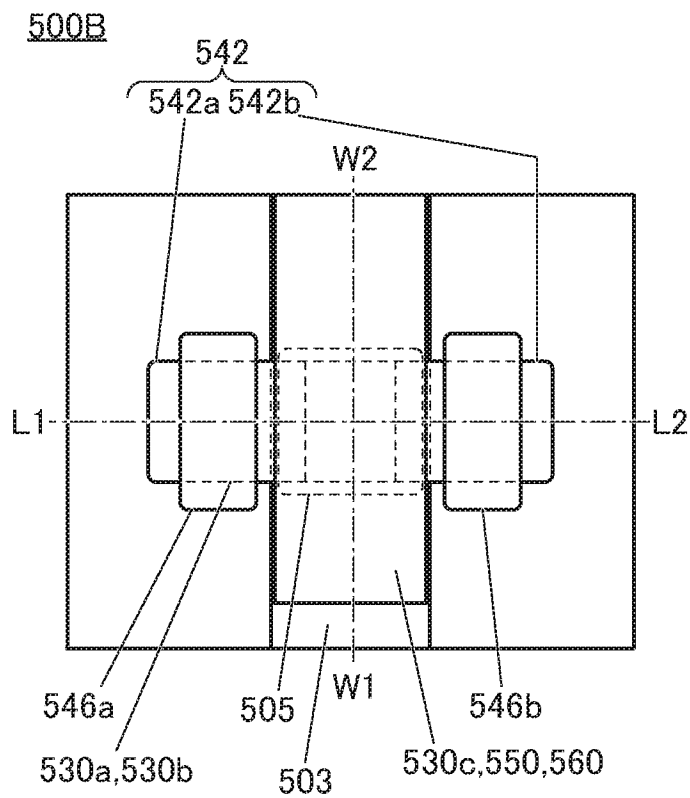


図32C

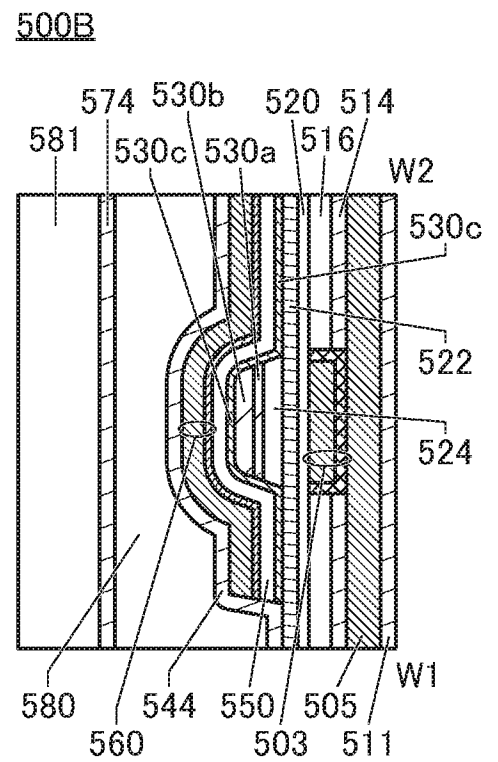
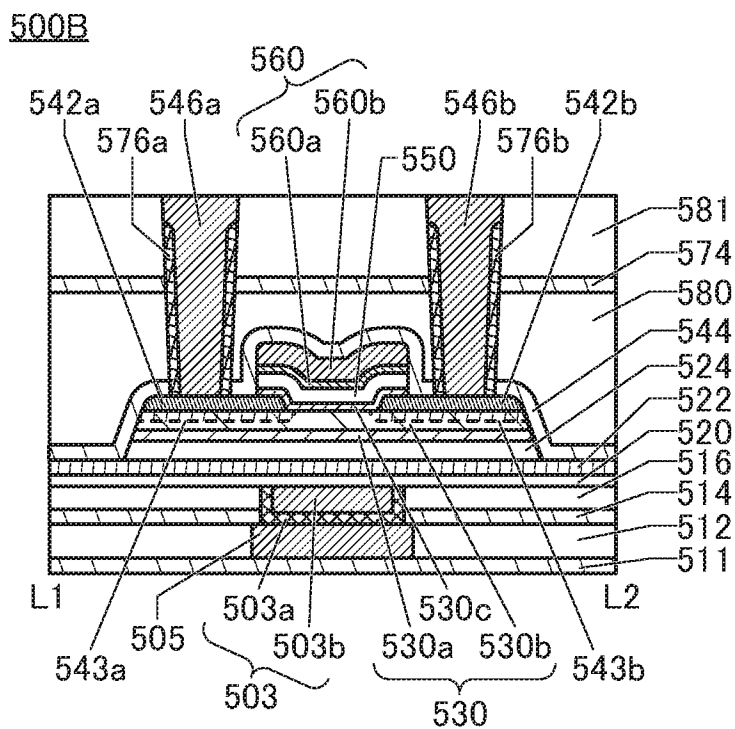


図32B



33/42

図33A

500C

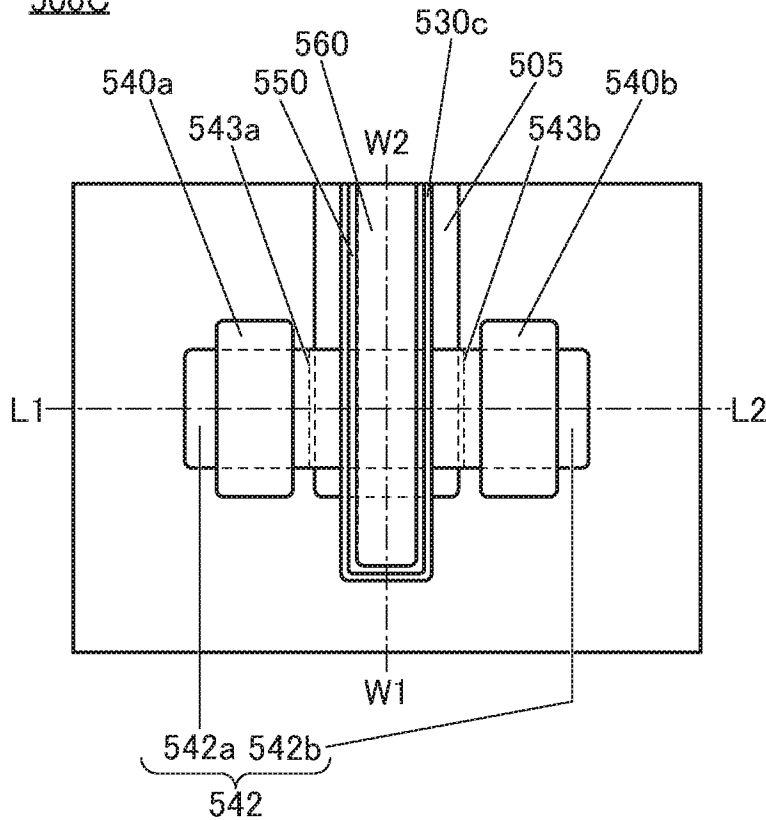


図33C

500C

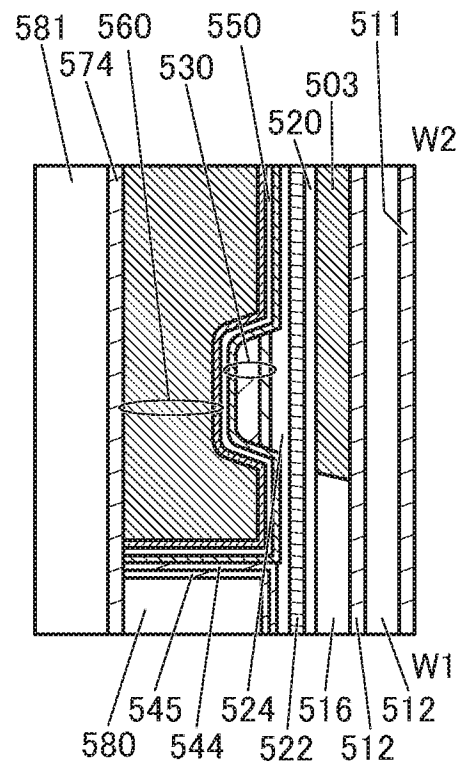


図33B

500C

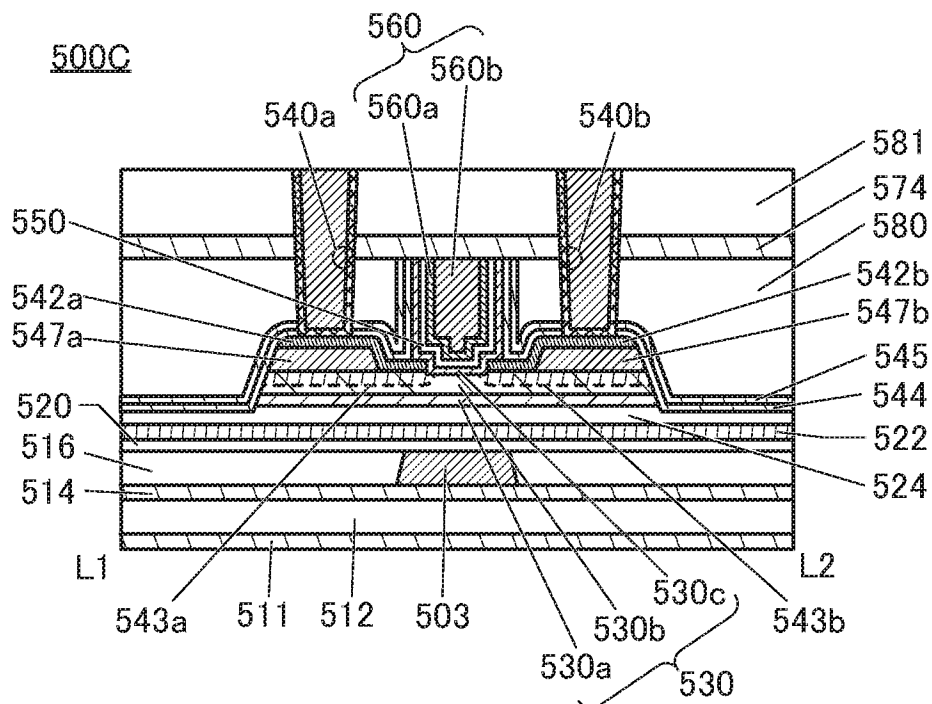


図34A

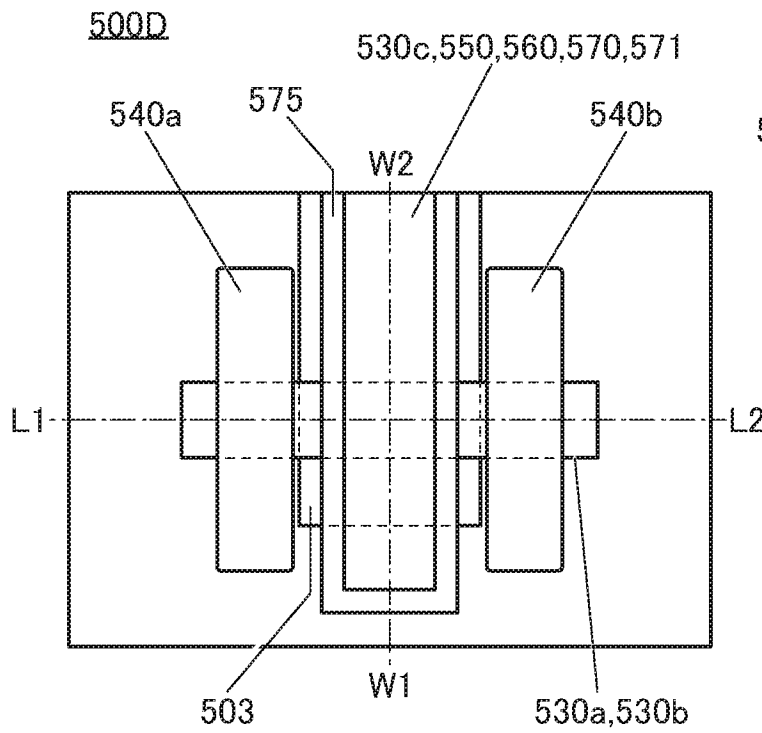


図34C

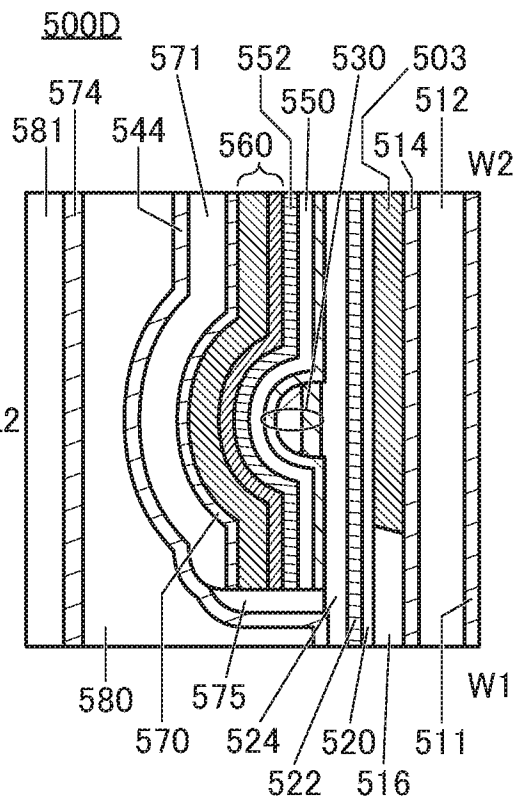
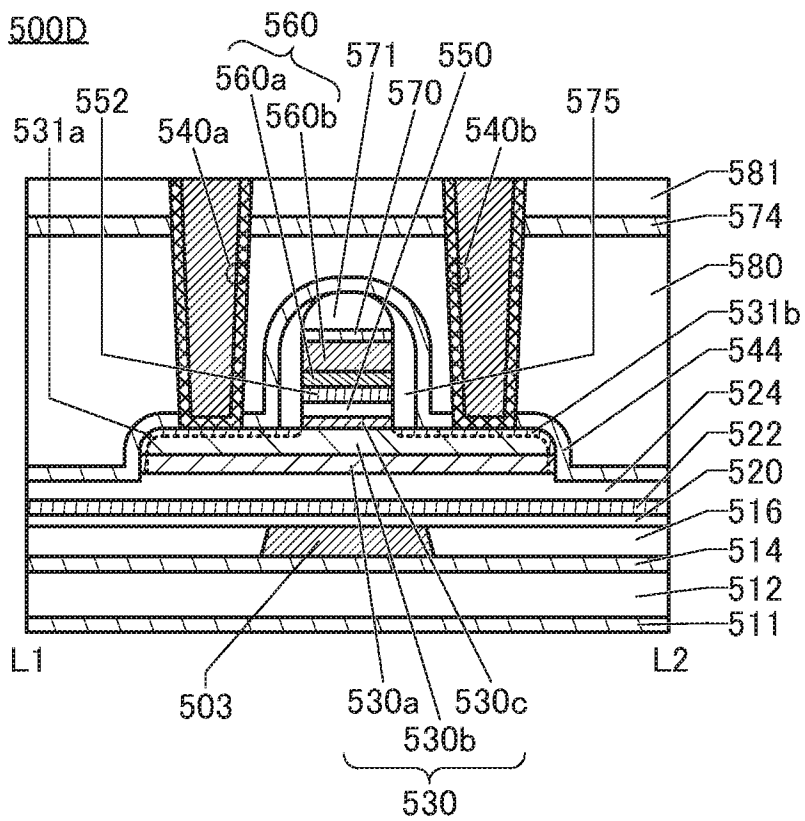


図34B



35/42

図35A

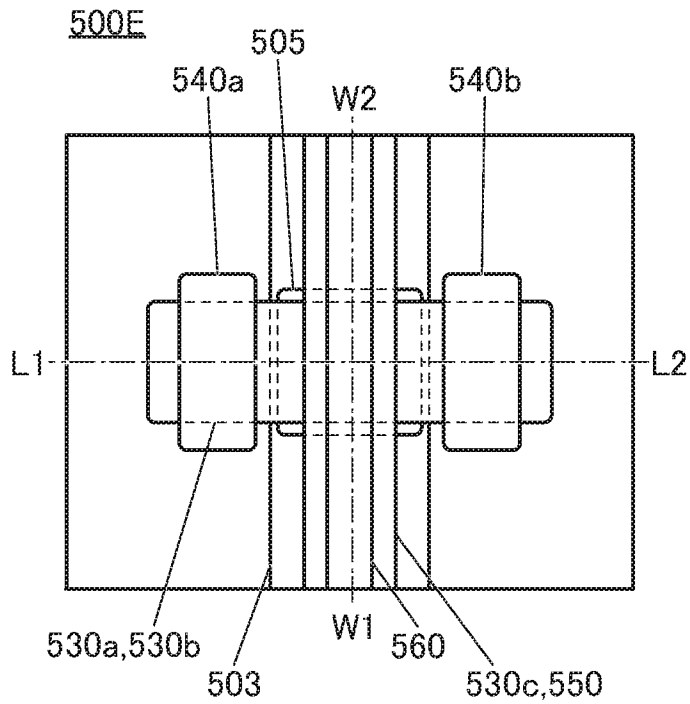


図35C

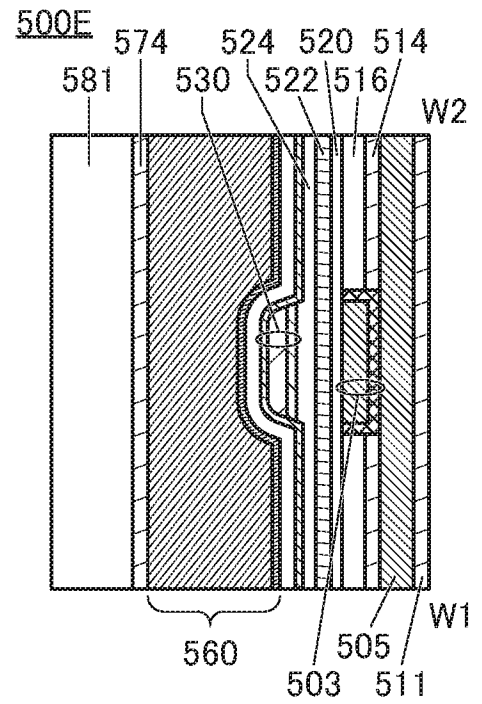
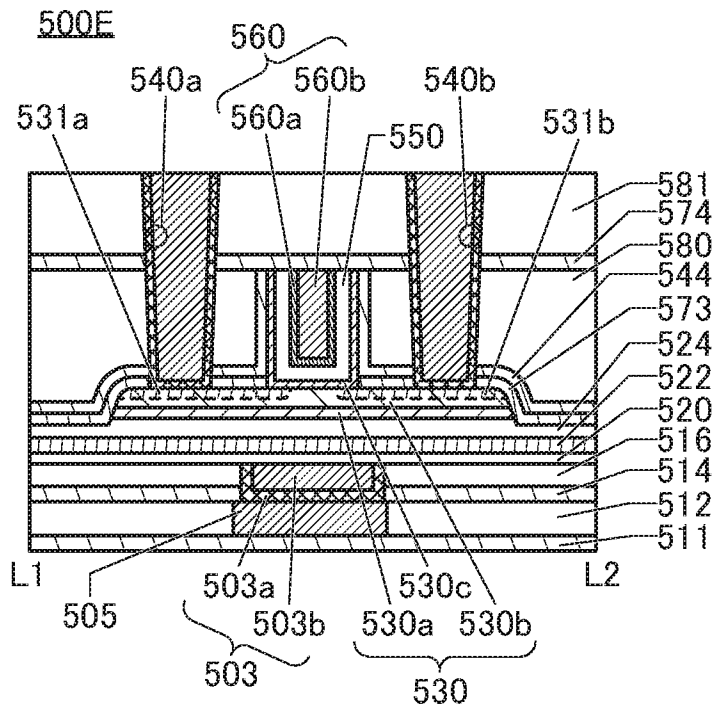


図35B



36/42

図36A

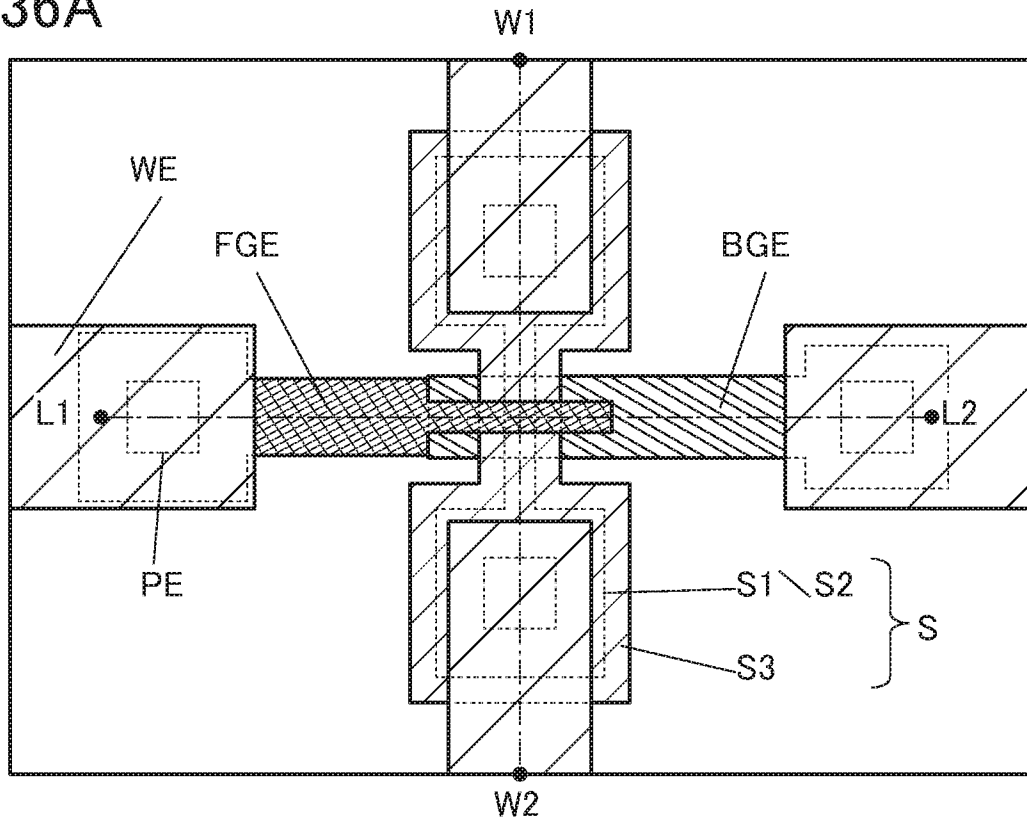
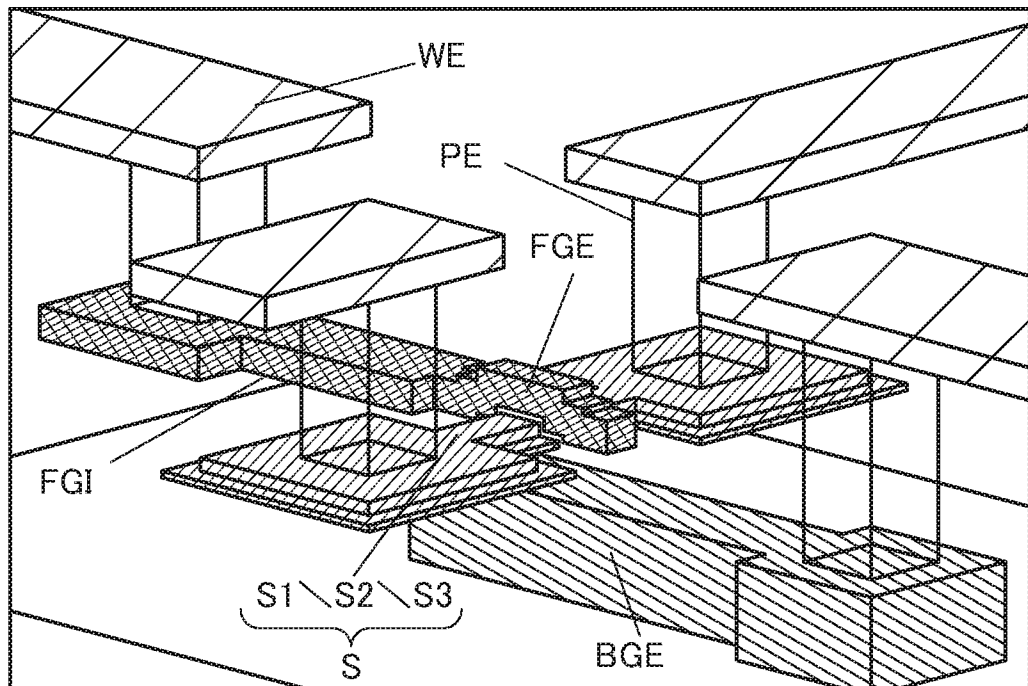


図36B



37/42

図37A

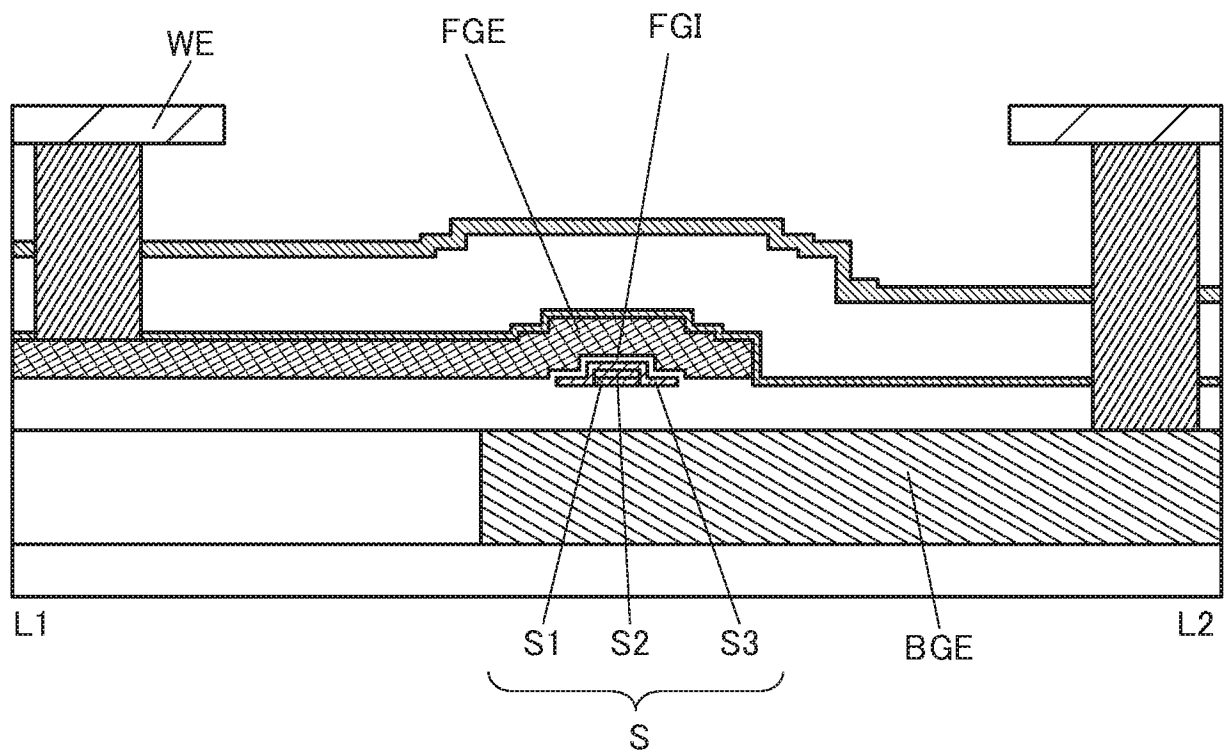
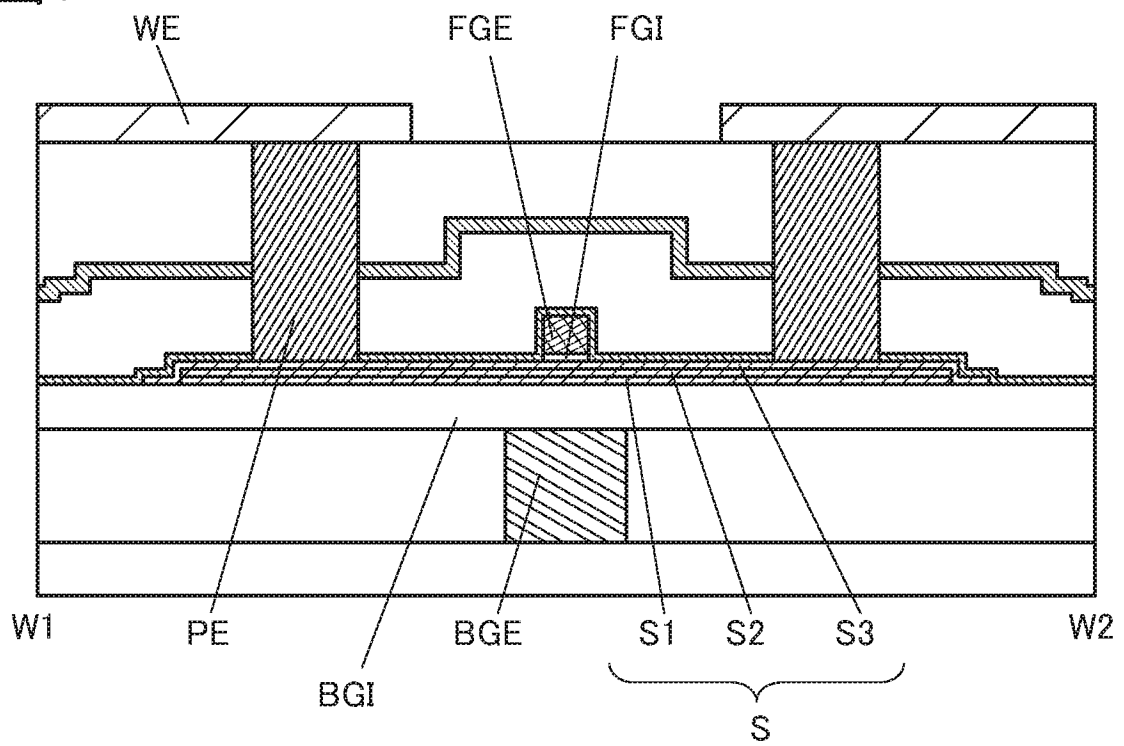


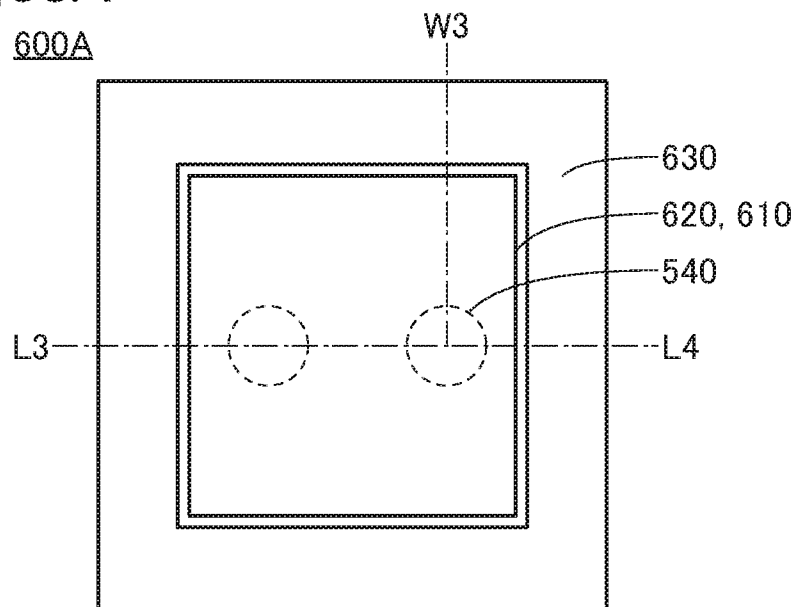
図37B



38/42

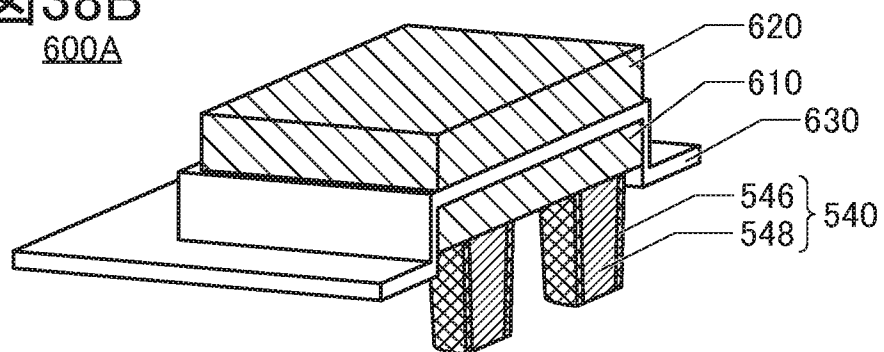
38A

600A



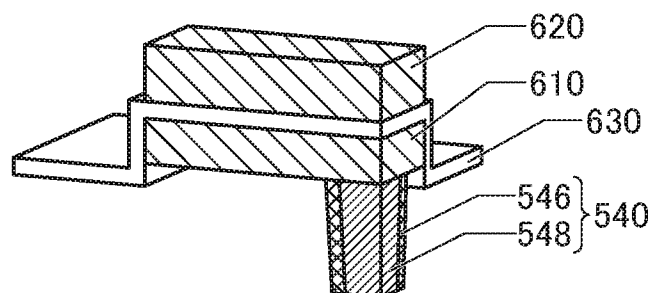
38B

600A



38C

600A



39/42

図39A

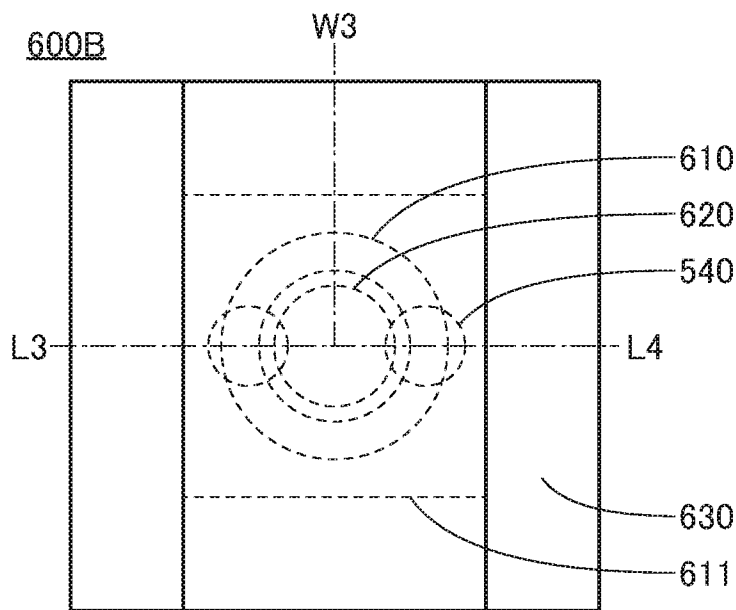


図39B

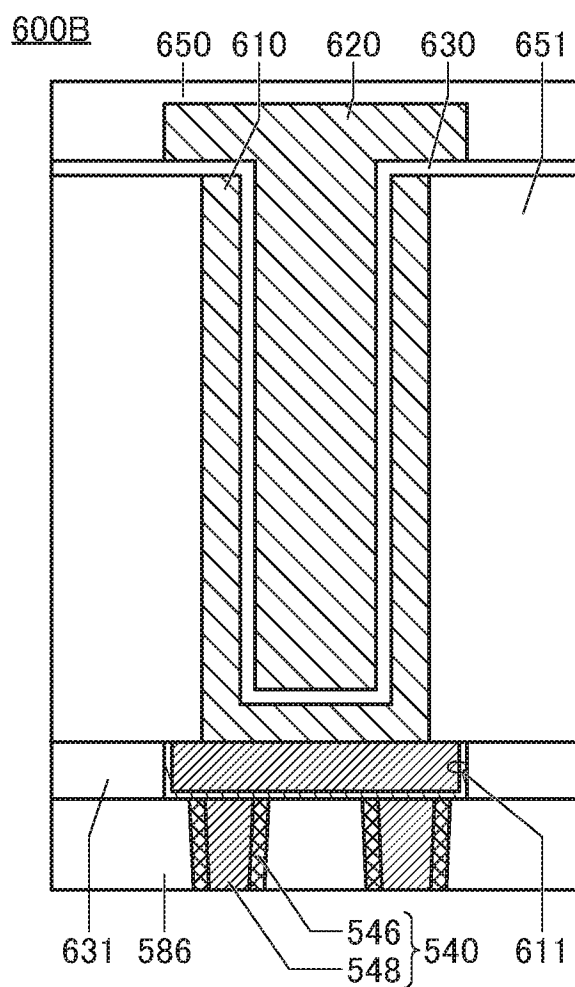
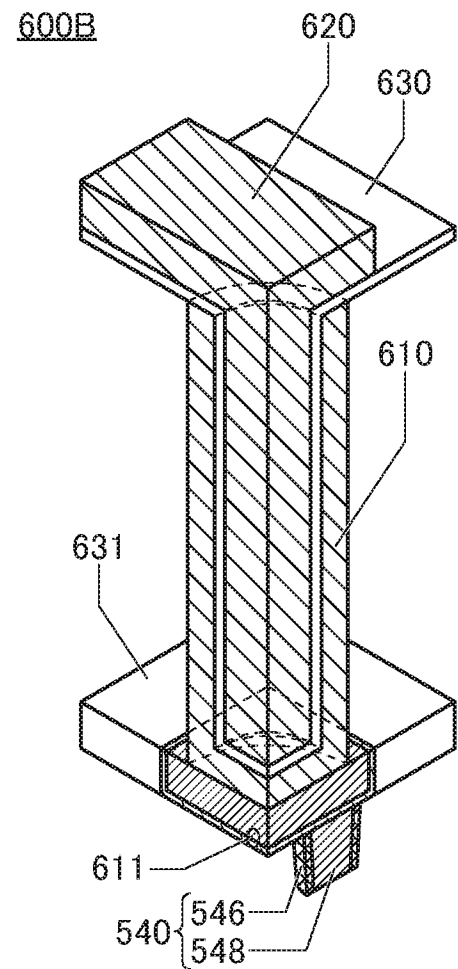
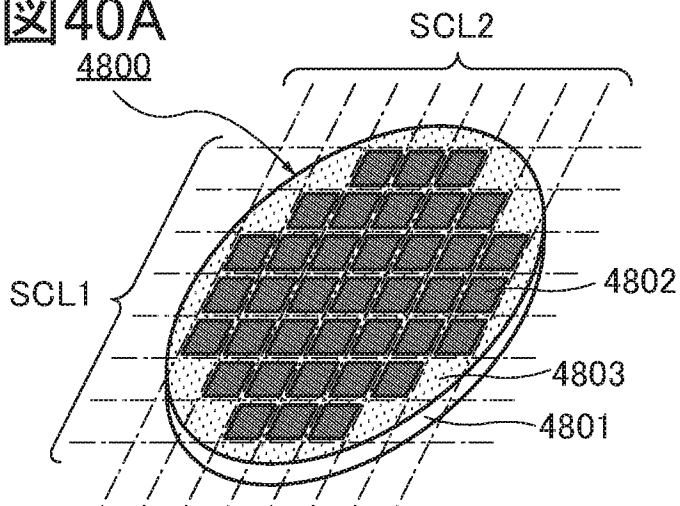


図39C

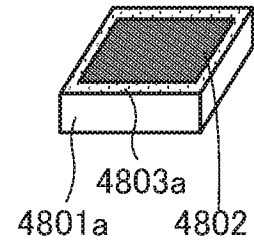


40/42

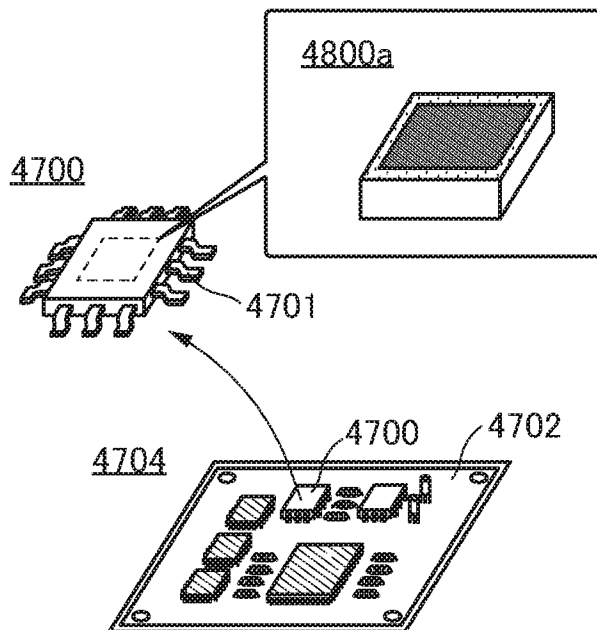
40A
4800



40B
4800a



40C



40D
4730

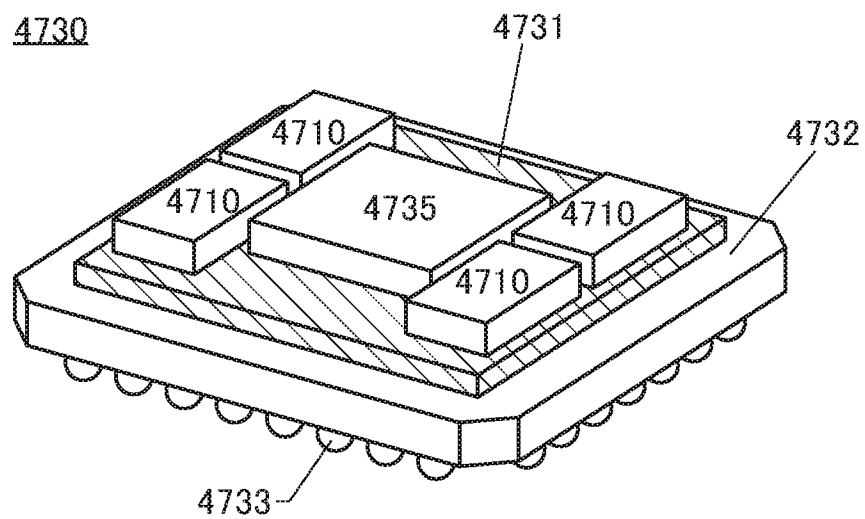
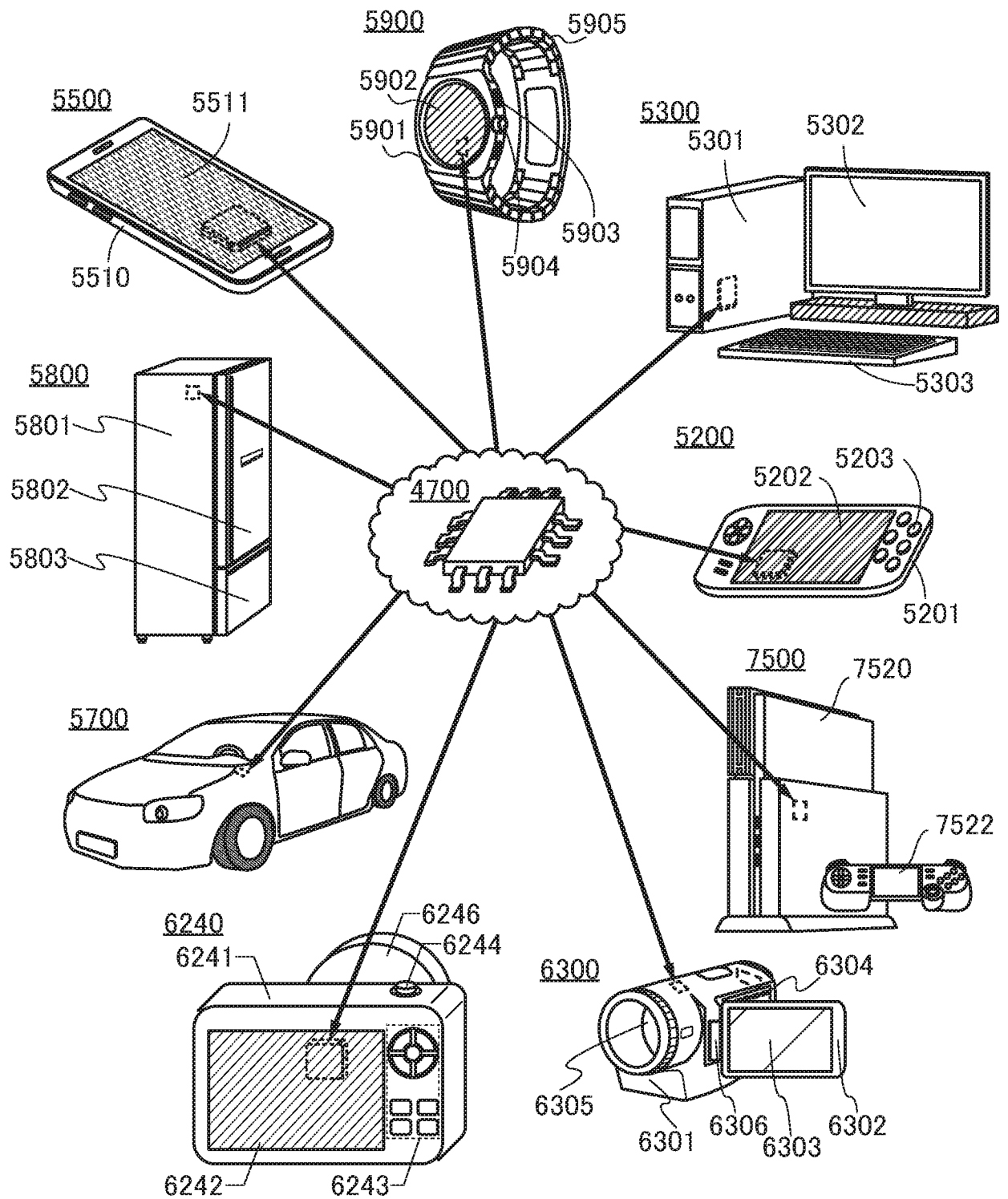


图41

41/42



42/42

図42A
6100

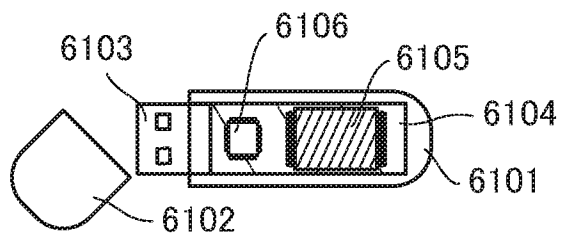


図42B

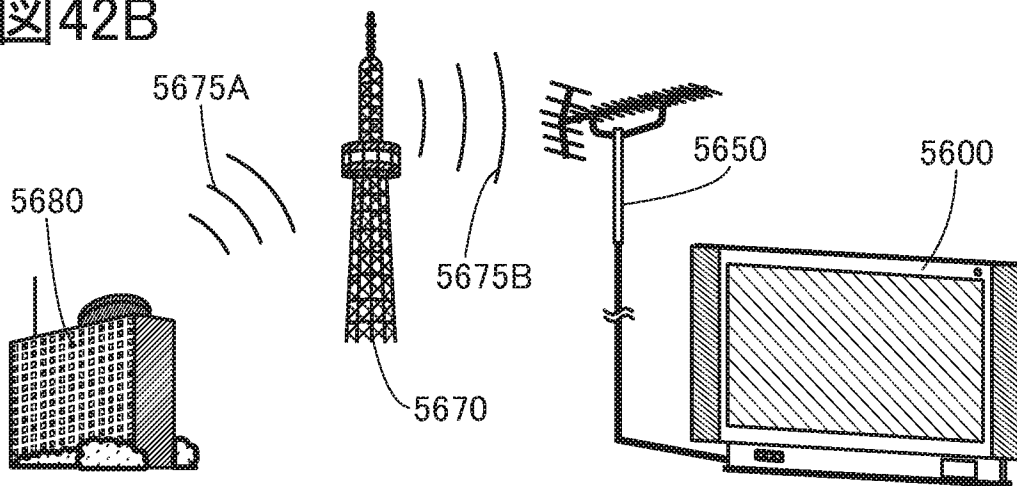
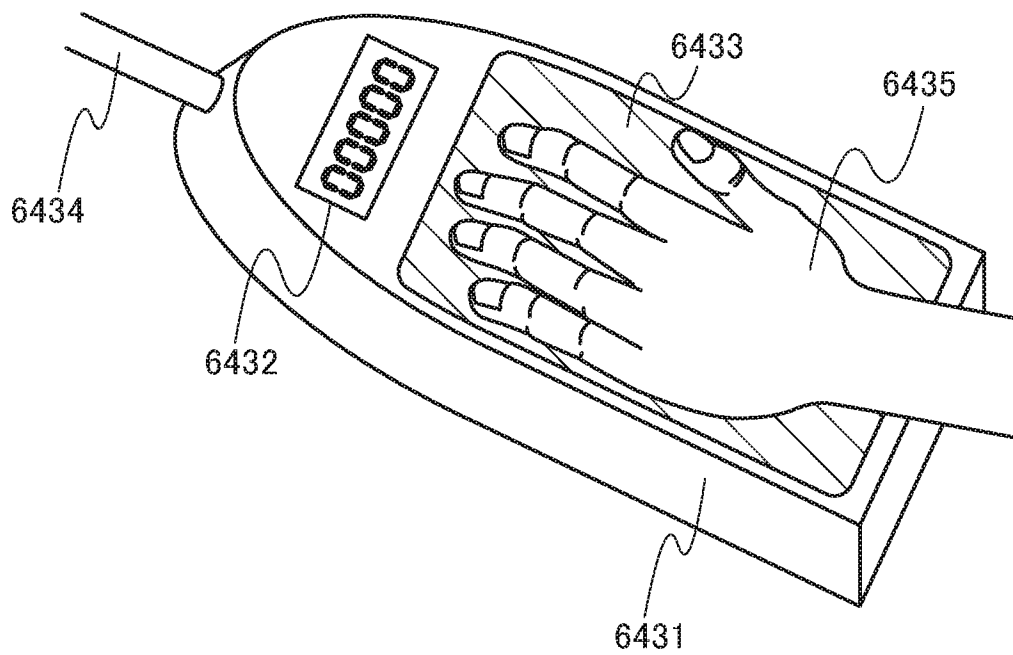


図42C



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2019/058507

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. G06G7/60 (2006.01) i, G06G7/16 (2006.01) i, G06N3/063 (2006.01) i, H01L21/8242 (2006.01) i, H01L27/108 (2006.01) i, H01L29/786 (2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. G06G7/60, G06G7/16, G06N3/063, H01L21/8242, H01L27/108, H01L29/786 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2019 Registered utility model specifications of Japan 1996-2019 Published registered utility model applications of Japan 1994-2019 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2018-109968 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 12 July 2018, paragraph [0036], fig. 3(A) & US 2018/0181862 A1, paragraph [0050], fig. 3(A)	1-11
A	JP 2-59956 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 28 February 1990, page 2, upper left column, line 12 to lower left column, line 12 (Family: none)	1-11
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 06 December 2019 (06.12.2019)		Date of mailing of the international search report 17 December 2019 (17.12.2019)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G06G7/60(2006.01)i, G06G7/16(2006.01)i, G06N3/063(2006.01)i, H01L21/8242(2006.01)i, H01L27/108(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G06G7/60, G06G7/16, G06N3/063, H01L21/8242, H01L27/108, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2018-109968 A（株式会社半導体エネルギー研究所） 2018.07.12, 段落[0036], 図3(A) & US 2018/0181862 A1, 段落[0050], 図3(A)	1-11
A	JP 2-59956 A（日本電信電話株式会社） 1990.02.28, 第2頁左上欄第12行-左下欄第12行（ファミリーなし）	1-11

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

06.12.2019

国際調査報告の発送日

17.12.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

白石 圭吾

電話番号 03-3581-1101 内線 3521

5E

9856