



(12)发明专利

(10)授权公告号 CN 104700879 B

(45)授权公告日 2017.07.25

(21)申请号 201410227832.7

(51)Int.Cl.

(22)申请日 2014.05.27

G11C 7/10(2006.01)

(65)同一申请的已公布的文献号

(56)对比文件

申请公布号 CN 104700879 A

KR 10-2010-0091407 A, 2010.08.19, 全文.

CN 102110472 A, 2011.06.29, 全文.

(43)申请公布日 2015.06.10

US 6191972 B1, 2001.02.20, 说明书第5栏

(30)优先权数据

第46行-第9栏第1行和附图3, 7.

2013-250787 2013.12.04 JP

审查员 陈敏

(73)专利权人 华邦电子股份有限公司

地址 中国台湾台中市大雅区科雅一路8号

(72)发明人 矢野胜

(74)专利代理机构 隆天知识产权代理有限公司

72003

代理人 郝新慧 章侃铨

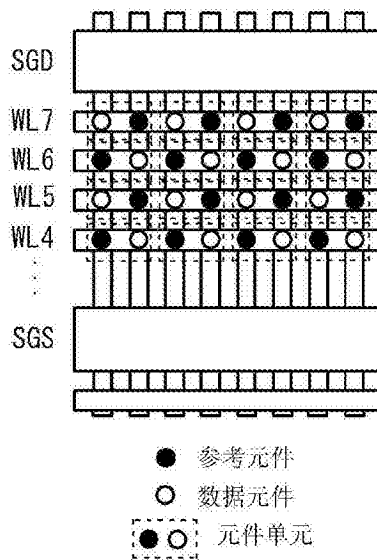
权利要求书2页 说明书8页 附图6页

(54)发明名称

半导体存储器装置、读出方法及编程方法

(57)摘要

本发明提供一种半导体存储器装置、读出方法及编程方法。本发明的目的在于提供一种能够高速操作的NAND型半导体存储器装置。本发明的半导体存储器装置包括：存储器阵列，形成有以矩阵方向排列的多个存储元件；行选择机构，耦接至所述存储器阵列，根据行地址信号选择存储器阵列的行方向的存储元件；列选择机构，耦接至所述存储器阵列，根据列地址信号选择存储器阵列的列方向的存储元件；以及控制机构，进行数据从存储元件的读出或者数据往存储元件的写入。在存储器阵列中，配置有多个元件单元，所述元件单元是由存储数据的数据用存储元件与存储参考数据的参考用存储元件所构成。



1. 一种半导体存储器装置,其特征在于,包括:

存储器阵列,形成有以矩阵方向排列的多个存储元件,其中所述多个存储元件包括:存储数据的数据用存储元件及存储参考数据的参考用存储元件;

行选择机构,耦接至所述存储器阵列,根据行地址信号选择所述存储器阵列的行方向的存储元件;

列选择机构,耦接至所述存储器阵列,根据列地址信号选择所述存储器阵列的列方向的存储元件;以及

控制机构,进行数据从所述多个存储元件的读出或者数据往所述多个存储元件的写入;其中

在所述存储器阵列中,配置有多个元件单元,其中每个元件单元是由1个数据用存储元件与1个参考用存储元件所构成,且1个所述数据用存储元件的行方向及列方向上,皆不邻接于另1个所述数据用存储元件,

所述控制机构进行数据从所述多个存储元件的读出或数据往所述多个存储元件的写入包括:所述控制机构进行由所述行选择机构及所述列选择机构所选择的元件单元的读出操作、编程操作或者擦除操作。

2. 根据权利要求1所述的半导体存储器装置,其特征在于:

所述控制机构包括连接于所述多个存储元件的位线的传感电路,在进行读出操作时,被选择的元件单元的所述数据用存储元件与所述参考用存储元件同时被读出,所述传感电路对所述数据用存储元件与所述参考用存储元件所读出的电流进行比较,以判断所述数据用存储元件所存储的数据。

3. 根据权利要求1所述的半导体存储器装置,其特征在于:

所述控制机构在进行编程操作时,对于所选择的元件单元的所述参考用存储元件,写入用以判断所选择的元件单元的所述数据用存储元件中的数据的值。

4. 根据权利要求3所述的半导体存储器装置,其特征在于:

当所述数据用存储元件存储第1数据时,对所述参考用存储元件写入第1参考数据,当所述数据用存储元件存储第2数据时,对所述参考用存储元件写入不同于所述第1参考数据的第2参考数据。

5. 根据权利要求4所述的半导体存储器装置,其特征在于:

所述控制机构通过施加写入脉冲来进行所述第1数据、所述第1参考数据及所述第2参考数据的写入。

6. 根据权利要求4所述的半导体存储器装置,其特征在于:

所述第1参考数据的写入脉冲数小于所述第1数据的写入脉冲数,所述第2参考数据的写入脉冲数介于所述第1数据的写入脉冲数与所述第1参考数据的写入脉冲数之间。

7. 根据权利要求6所述的半导体存储器装置,其特征在于:

当设所述第1数据的写入脉冲数为 N_1 、所述第1参考数据的写入脉冲数为 R_1 、所述第2参考数据的写入脉冲数为 R_2 时, $R_1 = N_1 - 2$ 且 $R_2 = N_1 - 1$ 。

8. 根据权利要求1所述的半导体存储器装置,其特征在于:

所述控制机构以区块为单位对所述存储器阵列进行擦除操作,且所述控制机构还使已完成擦除操作的所述区块中的所述多个元件单元的所述数据用存储元件与所述参考用存

储元件的位置反转。

9. 根据权利要求1所述的半导体存储器装置,其特征在于:

所述存储器阵列为与非型闪速存储器阵列。

10. 一种读出方法,适用于半导体存储器装置,所述半导体存储器装置包括由多个存储元件以矩阵方向排列而成的存储器阵列,所述多个存储元件包括:存储数据的数据用存储元件及存储参考数据的参考用存储元件,所述读出方法的特征在于包括:

基于行地址信息及列地址信息来对配置有多个元件单元的所述存储器阵列进行读出,其中每个元件单元由1个数据用存储元件与1个参考用存储元件所构成,且1个所述数据用存储元件的行方向及列方向上,皆不邻接于另1个所述数据用存储元件;以及

对从所选择的元件单元的所述数据用存储元件以及所述参考用存储元件读出的电流进行比较,以判断所述数据用存储元件中所存储的数据。

11. 一种编程方法,适用于半导体存储器装置,所述半导体存储器装置包括由多个存储元件以矩阵方向排列而成的存储器阵列,所述多个存储元件包括:存储数据的数据用存储元件及存储参考数据的参考用存储元件,所述编程方法的特征在于包括:

基于行地址信息及列地址信息来对配置有多个元件单元的所述存储器阵列进行编程,其中每个元件单元由1个数据用存储元件与1个参考用存储元件所构成,且1个所述数据用存储元件的行方向及列方向上,皆不邻接于另1个所述数据用存储元件;以及

依据写入数据对所选择的元件单元的所述数据用存储元件进行写入,并对所述参考用存储元件写入依附于所述写入数据的值。

12. 根据权利要求11所述的编程方法,其特征在于:

当在所述数据用存储元件中存储第1数据时,对所述参考用存储元件写入第1参考数据,当在所述数据用存储元件存储第2数据时,对所述参考用存储元件写入不同于所述第1参考数据的第2参考数据。

13. 根据权利要求12所述的编程方法,其特征在于:

所述第1数据、所述第1参考数据及所述第2参考数据是通过施加写入脉冲而被写入。

14. 根据权利要求13所述的编程方法,其特征在于:

所述第1参考数据的写入脉冲数小于所述第1数据的写入脉冲数,所述第2参考数据的写入脉冲数介于所述第1数据的写入脉冲数与所述第1参考数据的写入脉冲数之间。

15. 根据权利要求14所述的编程方法,其特征在于:

当设所述第1数据的写入脉冲数为 N_1 、所述第1参考数据的写入脉冲数为 R_1 、所述第2参考数据的写入脉冲数为 R_2 时, $R_1 = N_1 - 2$ 且 $R_2 = N_1 - 1$ 。

16. 根据权利要求11所述的编程方法,其特征在于:

所述存储器阵列为与非型闪速存储器阵列。

半导体存储器装置、读出方法及编程方法

技术领域

[0001] 本发明涉及一种半导体存储器装置,特别涉及一种能够高速读出以及写入的操作方法。

背景技术

[0002] 对于与非(NAND,Not AND)型闪速存储器(flash memory),揭示有如下的闪速存储器,其如众所周知般包括:存储器阵列(memory array),包含将多个存储元件串联连接而成的NAND串(string);以及页面缓冲器(page buffer),连接于存储器阵列的位线(bit line),其中,页面缓冲器保持从存储器阵列的所选择的页面传输的数据(data),或者保持用于对所选择的页面进行编程的数据,此种页面缓冲器包含数据寄存器(data register)及高速缓存寄存器(cache register),实现读出及编程的高速化(专利文献1)。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本专利特开2013-118031号公报

[0006] 在NAND型闪速存储器的读出操作中,由于是从传感电路(sense circuit)对位线进行预充电(precharge),因此存在进行读出要耗费时间的缺点。此外,NAND型闪速存储器是以所谓的页面为单位来进行读出或编程(写入),无法进行如或非(NOR,Not OR)型闪速存储器般的随机存取(random access)。

发明内容

[0007] 本发明的目的在于解决此类现有的课题,提供一种能够高速操作的半导体存储器装置。并且,本发明还提供一种能够进行随机存取的半导体存储器装置。

[0008] 本发明的半导体存储器装置包括:存储器阵列,形成有以矩阵方向排列的多个存储元件;行选择机构,耦接至所述存储器阵列,根据行地址信号选择存储器阵列的行方向的存储元件;列选择机构,耦接至所述存储器阵列,根据列地址信号选择存储器阵列的列方向的存储元件;以及控制机构,进行数据从存储元件的读出或者数据往存储元件的写入,在存储器阵列中,配置有多个元件单元(unit),所述元件单元是由存储数据的数据用存储元件与存储参考数据(reference data)的参考用存储元件所构成,所述控制机构进行由所述行选择机构及所述列选择机构所选择的所述元件单元的读出操作、编程操作或者擦除操作。

[0009] 优选的是,在1个数据用存储元件的行方向及列方向上,皆不邻接于另1个所述数据用存储元件。优选的是,所述控制机构包括连接于存储元件的位线的传感电路,在进行读出操作时,被选择的元件单元的所述数据用存储元件与所述参考用存储元件同时被读出,该传感电路对所述数据用存储元件与所述参考用存储元件所读出的电流进行比较,以判断所述数据用存储元件所存储的数据。优选的是,所述控制机构在进行编程操作时,对于所选择的元件单元的参考用存储元件,写入用以判断所选择的元件单元的数据用存储元件中的数据的值。优选的是,当数据用存储元件存储第1数据时,对参考用存储元件写入第1参考数

据,当数据用存储元件存储第2数据时,对参考用存储元件写入不同于第1参考数据的第2参考数据。优选的是,所述控制机构通过施加写入脉冲(pulse)来进行第1数据、第1参考数据及第2参考数据的写入。优选的是,第1参考数据的写入脉冲数小于第1数据的写入脉冲数,第2参考数据的写入脉冲数介于第1数据的写入脉冲数与第1参考数据的写入脉冲数之间。例如,当设第1数据的写入脉冲数为 $N1$ 、第1参考数据的写入脉冲数为 $R1$ 、第2参考数据的写入脉冲数为 $R2$ 时, $R1=N1-2$ 且 $R2=N1-1$ 。优选的是,所述控制机构以区块(block)为单位对所述存储器阵列进行擦除操作,且所述控制机构更使已完成擦除操作的所述区块中的所述多个元件单元的所述数据用存储元件与所述参考用存储元件的位置反转。

[0010] 本发明的读出方法适用于半导体存储器装置,所述半导体存储器装置包括由多个存储元件以矩阵方向排列而成的存储器阵列,所述读出方法包括:基于行地址(address)信息及列地址信息来对配置有多个元件单元的存储器阵列进行读出,其中所述元件单元是由存储数据的数据用存储元件与存储参考数据的参考用存储元件所构成;以及对从所选择的元件单元的所述数据用存储元件以及所述参考用存储元件读出的电流进行比较,以判断所述数据用存储元件中所存储的数据。

[0011] 本发明的编程方法适用于半导体存储器装置,所述半导体存储器装置包括由多个存储元件以矩阵方向排列而成的存储器阵列,所述编程方法包括:基于行地址信息及列地址信息来对配置有多个元件单元的存储器阵列进行编程,其中所述元件单元由存储数据的数据用存储元件与存储参考数据的参考用存储元件所构成;以及依据写入数据对所选择的所述元件单元的所述数据用存储元件进行写入,并对所述参考用存储元件写入依附于所述写入数据的值。

[0012] [发明的效果]

[0013] 根据本发明,可藉由以将数据用存储元件与参考用存储元件所构成的元件单元为单位来进行读出及写入,因此与先前的NAND型闪速存储器相比,能够进行实现NAND型闪速存储器的随机存取以及高速操作。

附图说明

[0014] 图1是绘示本发明的实施例的半导体存储器装置的区块图。

[0015] 图2是表示本发明的实施例的存储元件阵列的NAND串的结构电路图。

[0016] 图3绘示在存储元件中存储有“0”、“1”时的阈值 Vt_0 、 Vt_1 的分布宽度。

[0017] 图4是表示本发明的实施例的NAND串的概略布局(layout)的平面图。

[0018] 图5是绘示本发明的实施例的数据用存储元件与参考用存储元件的配置图。

[0019] 图6A及图6B是绘示本发明的实施例的元件单元的配置图。

[0020] 图7是绘示本发明的实施例的页面编程序列的流程图。

[0021] 图8A、图8B、图8C是绘示进行页面编程序列时的参考元件及数据元件的状态的说明图。

[0022] 图9A、图9B、图9C绘示基于ISPP的写入脉冲数与参考元件及数据元件的阈值的关系。

[0023] 其中,附图标记说明如下:

[0024] 100:闪速存储器

- [0025] 110:存储器阵列
- [0026] 120:输出/输入缓冲器
- [0027] 130:地址寄存器
- [0028] 140:数据寄存器
- [0029] 150:控制器
- [0030] 160:字线选择电路
- [0031] 170:传感电路
- [0032] 180:列选择电路
- [0033] 190:内部电压产生电路
- [0034] Ax:行地址信息
- [0035] Ay:列地址信息
- [0036] BL1~BLn:位线
- [0037] BLK (0) ~BLK (m)、BLK (k)、BLK (k+1):存储器区块
- [0038] C1、C2、C3:控制信号
- [0039] CTe、CTo:接触孔
- [0040] MC0~MC7:存储元件
- [0041] NU:串
- [0042] S100~S106:步骤
- [0043] SGD、SGS:选择栅极线
- [0044] SL:源极线
- [0045] TD:选择晶体管
- [0046] TS:选择晶体管
- [0047] U1~U4:元件单元
- [0048] Vers:擦除电压
- [0049] Vpass:通过电压
- [0050] Vprog:编程电压
- [0051] Vread:读出电压
- [0052] Vt、Vt_0、Vt_1、Vref0、Vref1:阈值
- [0053] Vx:电压
- [0054] WL0~WL7:字线

具体实施方式

[0055] 本发明是在具有形成有NAND型的闪速存储器阵列的半导体存储器装置中,能够对存储元件进行随机存取,其能够实现比为典型的闪速存储器时更高速的数据读出。就数据擦除而言,能够与典型的闪速存储器同样地以区块为单位来进行数据的擦除。更优选的是,本发明的半导体存储器装置还能够具备互换性,例如能够执行与典型的闪速存储器同样的操作。

[0056] 以下,参照附图来详细说明本发明的实施方式。另外,应留意的是,附图中,为了便于理解而强调表示各部分,与实际装置(device)的比例(scale)并不相同

[0057] [实施例]

[0058] 图1是绘示本发明的实施例的半导体存储器装置的区块图。但是,此处所示的闪速存储器的结构仅为例示,本发明未必限定于此种结构。

[0059] 本实施例的闪速存储器100包括:存储器阵列110,形成有以行列方向排列的多个存储元件;输出/输入缓冲器120,连接于外部输出/输入端子I/O,保持输出/输入数据;地址寄存器130,接收来自输出/输入缓冲器120的地址数据;数据寄存器140,保持输出/输入的数据;控制器(controller)150,提供控制信号C1、控制信号C2、控制信号C3等,该控制信号C1、控制信号C2、控制信号C3等是基于来自输出/输入缓冲器120的命令数据(command data)及外部控制信号(例如芯片使能(chip enable)或地址锁存使能(address latch enable)等)来控制各部分;字线选择电路160,对来自地址寄存器130的行地址信息Ax进行解码(decode),并基于解码结果来进行存储器区块的选择及字线(word line)的选择等;传感电路170,保持经由位线而读出的数据,或者保持经由位线而写入的数据等;列选择电路180,对来自地址寄存器130的列地址信息Ay进行解码,并基于该解码结果来进行位线的选择等;以及内部电压产生电路190,生成数据的读出、编程及擦除等所需的电压(例如编程电压Vprog、通过电压Vpass、读出电压Vread、擦除电压Verc等)。

[0060] 存储器阵列110具有沿列方向配置的多个存储器区块BLK(0)、BLK(1)、...、BLK(m)。在区块的一个端部,配置有传感电路170。但是,传感电路170也可配置在区块的另一端部或者两侧的端部。

[0061] 如图2所示,在1个存储器区块内,沿行方向排列有n个NAND型的串NU。1个NAND型的串NU包括串联连接的8个存储元件MC_i(i=0、1、...、7)、连接于一个端部(即存储元件MC₇的漏极)侧的选择晶体管(transistor)TD、及连接于另一端部(即存储元件MC₀的源极)侧的选择晶体管TS,选择晶体管TD的漏极连接于对应的1个位线BL,选择晶体管TS的源极连接于共用的源极线SL。

[0062] 存储元件MC_i的控制栅极(control gate)连接于字线WLi,选择晶体管TD、选择晶体管TS的栅极连接于与字线WL平行的选择栅极线SGD、选择栅极线SGS。字线选择电路160在基于行地址Ax来选择存储器区块时,经由该存储器区块的选择栅极信号来选择性地驱动选择晶体管TD、选择晶体管TS。

[0063] 传感电路170包括经由位线BL而连接的多个传感放大器(sense amplifier)。1个传感放大器包含连接于偶数位线与奇数位线的差分输入,对所输入的电压或者电流进行比较,并保持该比较结果,或者将比较结果提供给数据寄存器140。而且,传感放大器可从数据寄存器140接收数据,并将该数据供给至位线。当在1个区块中形成n个NAND串时,传感电路170包括n/2个传感放大器。传感放大器可包含公知的电路,例如包含差分放大电路等,所述差分放大电路包括将流经位线的电流转换成电压的I-V转换电路。而且,在传感电路170与位线之间,设有位线选择电路,位线选择电路基于来自列选择电路180的选择信号,使所选择的位线连接于传感放大器。进而,传感放大器能以通过来自列选择电路180的选择信号来激活或者非激活的方式构成。

[0064] 图4是存储器区块BLK(k)与存储器区块BLK(k+1)的串NU的平面布局,表示构成字线WL₀~WL₇及选择晶体管TD/TS的选择栅极线SGD/SGS的多晶硅(polysilicon)配线。CTo是用于将构成奇数位线的金属配线连接于选择晶体管TD的漏极扩散区域的接触孔(contact

hole), CTe是用于将构成偶数位线的金属配线连接于漏极扩散区域的接触孔。

[0065] 本实施例中,在1个存储器区块中形成有8条字线,构成为字线少于典型的NAND型闪速存储器的数量。藉此,可有利于抑制存储元件因编程所造成的干扰(disturb),并实现高速的读出、写入及擦除操作。但本发明不限于此,存储器区块中的字线数量也可多于8条。

[0066] 存储元件典型的是具有金属氧化物半导体(Metal Oxide Semiconductor, MOS)结构,该MOS结构包括:作为N型扩散区域的源极/漏极,形成于P阱(well)内;穿隧(tunnel)氧化膜,形成于源极/漏极间的通道上;浮动栅极(电荷蓄积层),形成于穿隧氧化膜上;以及控制栅极,经由介电质膜而形成于浮动栅极上。当浮动栅极中未蓄积有电荷时,即存储有数据“1”时,阈值处于负状态,存储元件为常通(normally on)。当在浮动栅极中蓄积有电子时,即存储有数据“0”时,阈值转变(shift)为正,存储元件为常断(normally off)。图3绘示在存储元件中存储有“0”、“1”时的阈值 V_{t_0} 、 V_{t_1} 的分布宽度。

[0067] 表1是表示闪速存储器进行各操作时所施加的偏压电压的一例的表格。在读出操作中,对位线施加某正电压,对所选择的字线施加某电压 V_x ,对非选择字线施加读出电压 V_{read} (例如4.5V),对选择栅极线SGD、选择栅极线SGS施加正电压(例如4.5V),使位线选择晶体管TD、源极线选择晶体管TS导通,对共用源极线施加0V。在写入操作中,对所选择的字线施加高电压的编程电压 V_{prog} (15V~20V),对非选择的字线施加中间电位(例如10V),使位线选择晶体管TD导通,使源极线选择晶体管TS断开,将与写入目标或者禁止写入的存储元件相应的电位供给至位线BL。在擦除操作中,对存储器区块内的所选择的字线施加0V,对P阱施加高电压(例如21V),将浮动栅极的电子抽出至基板,藉此,以区块为单位来擦除数据。

[0068] 表1

[0069]

	擦除	写入	读出
--	----	----	----

[0070]

选择字线	0V	15V~20V	V_x
非选择字线	浮接	10V	4.5V
SGD	浮接	V_{cc}	4.5V
SGS	浮接	0V	4.5V
SL	浮接	V_{cc}	0V
P阱	21V	0V	0V

[0071] 在本实施例的存储器阵列中,配置有存储数据“0”或数据“1”的数据用存储元件(以下称作数据元件)及存储参考数据的参考用存储元件(以下称作参考元件)。并且,共用字线的1个数据元件与邻接于该数据元件的参考元件共同构成1个元件单元。

[0072] 在本发明的实施例中,在擦除元件中存储数据“1”,而在与擦除元件成对的参考元件中,存储用于判定数据“1”的参考数据;在编程元件中存储数据“0”,而在与编程元件成对的参考元件中,存储用于判定数据“0”的参考数据。具体而言,请参照图3,在擦除元件中,存储设定阈值 V_{t_1} 的数据,在擦除元件用的参考元件中,存储如用于设定阈值 V_{ref1} 的参考数

据;在编程元件中,保持设定阈值 V_{t_0} 的数据,在编程元件用的参考元件中,存储如用于设定阈值 V_{ref0} 的参考数据。如后所述,在进行读出操作时,选择包含数据元件及参考元件的1个元件单元,通过传感电路170对由数据元件与参考元件生成的电流或者电压进行比较,而感知由数据元件所存储的数据。而且,在进行编程操作时,执行对编程元件及参考元件的写入,从而可对参考元件设定编程元件用的参考元件的阈值 V_{ref0} 与擦除元件用的参考元件的阈值 V_{ref1} 。

[0073] 图5是绘示存储器区块内的数据元件与参考元件的配置图。图中,●表示参考元件、○表示数据元件。如该图5所示,以在字线WL7上的偶数位线上形成参考元件、在字线WL6上的奇数位线上形成参考元件的方式,将参考元件配置成方格花纹或者棋盘(checkerboard)状。并且,在参考元件与参考元件之间配置数据元件,即,1个数据元件在行方向及列方向上皆不邻接于其他数据元件。通过数据元件的四周被参考元件所包围,从而避免编程元件与擦除元件邻接,抑制编程元件与擦除元件间的非所需的浮动栅极间的电容耦合,因此能够消除编程操作时的干扰问题。

[0074] 图6A、图6B是绘示存储器区块内元件单元的配置图。图中,虚线表示由1个参考元件及1个数据元件构成的元件单元,且在图6A与图6B所示的例子中,数据元件和参考元件的位置被反转。参考元件如图5所示,在行方向及列方向上隔一个地配置,并且,在参考元件之间形成数据元件。1个元件单元包含共用字线的在行方向上邻接的1个数据元件和1个参考元件所成的对。在本发明的实施例中,由于参考元件被编程为在受到选择时使电流始终流经的阈值,故参考元件可能会比数据元件更快地劣化。因此,在优选的实施方式中,控制器150以区块为单位来对分配数据元件与参考元件的地址信息进行管理,当进行了存储器区块的擦除操作后,控制器150控制编程序列以将存储器区块内的数据元件与参考元件的配置由图6A反转成图6B所示。因此,本发明可藉由使数据元件和参考元件的位置反转,从而使存储器区块内的存储元件的劣化或特性变化均匀化。

[0075] 接下来,对本实施例的闪速存储器的操作进行说明。首先,对页面编程序列进行说明。图7绘示本发明的实施例的页面编程序列的流程图,图8A、图8B、图8C则绘示进行页面编程序列时的参考元件及数据元件的状态的说明图。

[0076] 请同时参照图7及图8A至图8C。控制器150在从外部收到命令、写入数据及地址信息等时,响应于此而开始页面编程。此处假定为,在进行了存储器区块的擦除操作之后,选择图8A所示的字线WL4,对该字线WL4进行写入。而且,字线WL4中包含元件单元U1~元件单元U4,元件单元U1~元件单元U4分别包含奇数位线上的参考元件与偶数位线上的数据元件所成的对,偶数位线BL2、偶数位线BL6的数据元件是存储数据“0”的编程元件,偶数位线BL4、偶数位线BL8的数据元件是存储数据“1”的擦除元件。

[0077] 在本发明的实施例中,偶数位线BL2、偶数位线BL6的编程元件为写入目标元件,偶数位线BL4、偶数位线BL8的擦除元件为禁止写入元件。另外,奇数位线B1、奇数位线B3、奇数位线B5、奇数位线B7的参考元件被设定成在受到选择时始终使电流流经的阈值,因此,参考元件亦为写入目标元件。传感电路170对写入目标元件的位线供给能够写入数据的电压,例如0V,对写入禁止元件的位线供给禁止写入数据的电压,例如3.3V或者V_{dd}电压。而且,字线选择电路160将由内部电压产生电路190所产生的写入脉冲施加至选择字线WL4,并对非选择字线施加中间电压(例如10V)。藉此,对选择字线WL4的参考元件与位线BL2、位线BL6的编

程元件施加写入脉冲以进行页面编程(S100)。

[0078] 在控制器150的控制之下,编程元件用的参考元件受到编程,直至阈值 $V_t = V_{ref0}$ (例如 $V_{ref0} = 0V$ 或者 $V_{ref0} > 0V$)。接着,传感电路170侦测编程元件用的参考元件的阈值并基于该侦测结果来判定校验(verify)的合格与否(S102)。在一实施例中,传感元件例如是侦测编程元件用的参考元件的漏极电流 I_d 或是侦测将漏极电流 I_d 转换而成的电压以进行判定。

[0079] 图9A、图9B、图9C绘示基于ISPP (Incremental Step Pulse Program,增量步进脉冲编程)的写入脉冲数与参考元件及数据元件的阈值的关系,图中,1个写入脉冲被设定成仅使存储元件的阈值偏移 ΔV 。该图9A、图9B、图9C中表示:当对编程元件用的参考元件施加了7次写入脉冲时,校验判定为合格。此时,于编程元件用的参考元件(即位线BL1、位线BL5的参考元件)中存储用以判断编程元件数据用的阈值 V_{ref0} 。

[0080] 接下来,对于编程元件以外的位线,供给用于禁止写入的电压,并且,以判定编程元件用的参考元件的校验为合格时的写入脉冲数为基准,对编程元件施加2次写入脉冲(S104)。即,如图8B所示,对位线BL2、位线BL6的编程元件追加2次写入脉冲。结果,对于编程元件,加上参考元件被施加的写入脉冲数,合计施加9次写入脉冲(参照图9A及图9B)。其中,该步骤只要对编程元件施加2次写入脉冲便结束,不进行校验。因而,被编程了数据“0”的编程元件的阈值 V_{t_0} 仅比参考元件的阈值 V_{ref0} 大 $2 \times \Delta V$ 。

[0081] 接下来,为了生成擦除元件用的参考元件,对于擦除元件用的参考元件以外的位线,供给用于禁止写入的电压,并且,以判定编程元件用的参考元件的校验为合格时的写入脉冲数为基准,对擦除元件用的参考元件施加1次写入脉冲(S106)。即,如图8C所示,位线BL4、位线BL8为擦除元件,因此对位线BL3、位线BL7的擦除元件用的参考元件追加1次写入脉冲。结果,对于擦除元件用的参考元件,合计施加8次写入脉冲。对于擦除元件用的参考元件以外的位线,供给用于禁止写入的电压。因而,如图9A及图9B所示,擦除元件用的参考元件的阈值 V_{ref1} 被设定为大于编程元件用的参考元件的阈值 V_{ref0} ,且小于编程元件的阈值 V_{t_0} 。这样,完成对字线WL4的页面编程序列。

[0082] 另外,图9C表示进行了一定次数的编程时的写入脉冲数的变迁。请参照图9C,当编程循环次数增加时,存储元件成为容易被编程的状态,因此能够通过比图9B少的写入脉冲数来获得所需的阈值。

[0083] 进行了页面编程的结果为,擦除元件及编程元件的阈值 V_{t_1} 、 V_{t_0} 形成在图3所示的分布宽度内。而且,编程元件用的参考元件保持如成为阈值 V_{ref0} 的参考数据,擦除元件用的参考元件保持如成为 $V_{ref1} = V_{ref0} + \Delta V$ 的参考数据。而且,编程元件保持如成为阈值 $V_{t_0} = V_{ref0} + 2 \times \Delta V$ 的数据。另外,在页面编程序列中,当然也可对任意的数据元件写入数据“0”。

[0084] 接下来,对读出操作进行说明。在读出操作中,被选择的元件单元的数据元件与参考元件被同时读出,通过传感电路170,对流经该数据元件与参考元件的2条位线的电流或者电压进行比较,从而判别存储在数据元件中的数据。具体而言,字线选择电路160基于行地址信息 A_x 来选择存储器区块及字线,对选择字线施加选择电压 V_x 。该选择电压 V_x 例如被设定在图3所示的擦除元件用的参考元件的阈值 V_{ref1} 与编程元件的阈值 V_{t_0} 的中间。而且,对于非选择字线,施加如使编程元件导通的读出电压 V_{read} ,例如4.5V。传感电路170基

于列地址信息 A_y 使电流流经所选择的位线以进行传感。若在一个位线上连接有编程元件，则电流不会流经位线，而与编程元件用的参考元件的阈值 V_{ref0} 相应的电流流经另一位线。另外，若在一个位线上连接有擦除元件，则与擦除元件的阈值 V_{t_1} 相应的电流流经位线，而与擦除元件用的参考元件的阈值 V_{ref1} 相应的电流流经另一位线，该电流小于流经擦除元件的电流。

[0085] 举例而言，以图8A、图8B、图8C为例，对选择字线 WL_4 施加选择电压 V_x ，对除此以外的非选择字线施加读出电压 V_{read} 。当基于列地址信息 A_y 来进行位线 BL_2 的数据元件的读出时，传感电路170中的连接于元件单元 U_1 的传感放大器被激活，除此以外的传感放大器仍为非激活状态。通过传感放大器来侦测位线 BL_1 与位线 BL_2 的电流或者电压之差。此时，通过传感电路170侦测到位线 BL_2 的数据元件的阈值 V_{t_0} 比位线 BL_1 的参考元件的阈值 V_{ref0} 大的情况。

[0086] 而且，进行位线 BL_4 的数据元件的读出时也同样，包含与数据元件成对的参考元件的元件单元被读出。此时，数据元件为存储有数据“1”的擦除元件，因此在参考元件中存储有阈值 V_{ref1} 的参考数据。传感电路170侦测到参考元件的阈值 V_{ref1} 比擦除元件的阈值 V_{t_1} 大的情况。

[0087] 在典型的闪速存储器中，当进行页面读出时，要对所有位线进行预充电后才进行读出，因此读出须耗费时间。与此相对，本实施例的闪速存储器中，只要对一对数据元件与参考元件的位线间的电压或电流进行比较即可，因此能够实现高速传感。而且，并不限于页面单位的读出，也能够进行位单位的读出。

[0088] 接下来，对擦除操作进行说明。擦除操作与典型的闪速存储器同样，选择存储器区块，并按照表1所示的偏压条件，统一擦除存储器区块内的存储元件的数据。并且，如上所述，控制器150在进行了存储器区块的擦除操作时，如图6A及图6B所示，控制页面编程序列以使参考元件与数据元件的位置反转。

[0089] 上述实施例中，使编程元件的写入脉冲数比编程元件用的参考元件的写入脉冲数多2次，但这只是例示，若需要更大的容限(margin)，则也可使追加的写入脉冲数多于2次。此时，擦除元件用的参考元件的写入脉冲数也可比编程元件的写入脉冲数少1次或者更多次。

[0090] 进而，上述实施例中，在图7所示的页面编程序列中，在编程元件的写入(S104)及对擦除元件用的参考元件的写入(S106)中，不需要校验，但未必限于此，也可进行校验以判定是否达到所需的阈值 V_{t_0} 、阈值 V_{ref1} 。此时，校验电压是施加与 V_{ref1} 、 V_{t_0} 对应的电压。

[0091] 进而，上述实施例中，对于参考元件的阈值 V_{ref0} 为正电压，但并不限于此， V_{ref0} 也可作为0V或者负的电压。进而，在读出操作时对选择字线施加的选择电压 V_x 只要是能够判定擦除元件的阈值 V_{t_1} 、编程元件的阈值 V_{t_0} 、参考元件的阈值 V_{ref0} 、 V_{ref1} 的值即可，例如也能够以选择电压为 $V_x=0V$ 的方式来选择存储元件的阈值。

[0092] 虽然上文对本发明的优选实施方式进行了详述，但本发明并不限于特定的实施方式，在权利要求书所记载的本发明的主旨的范围内，可进行各种变形、变更。

100 闪存存储器

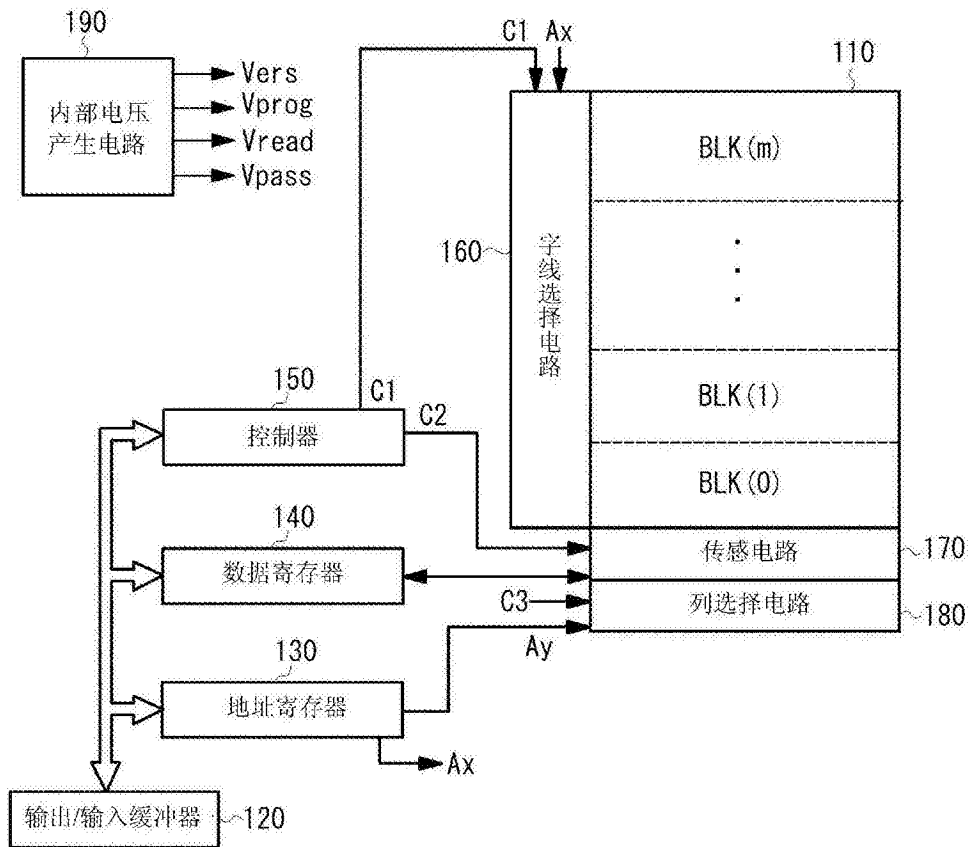


图1

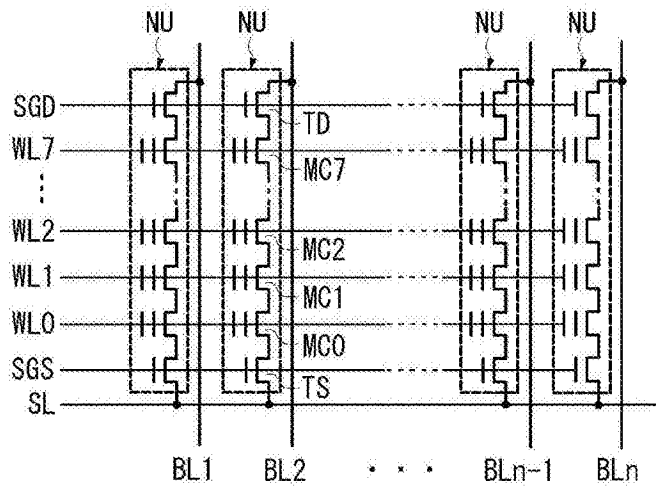


图2

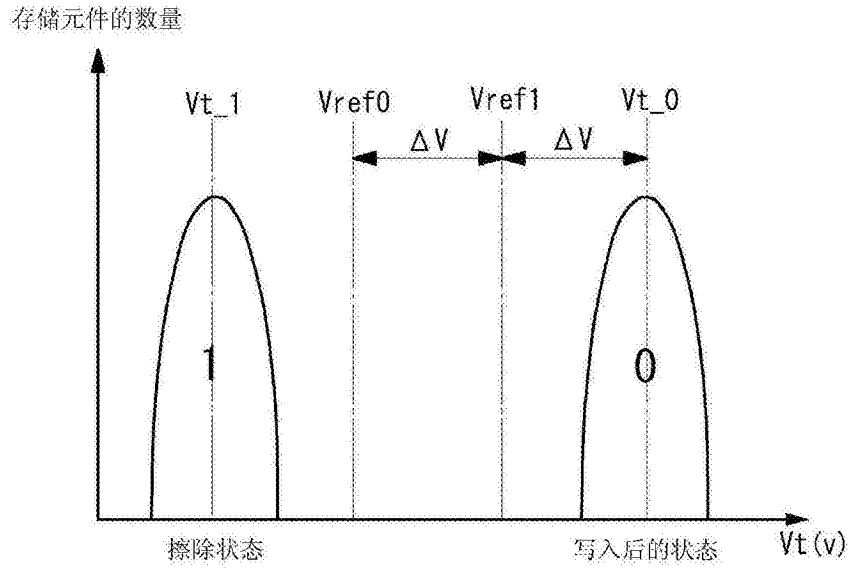


图3

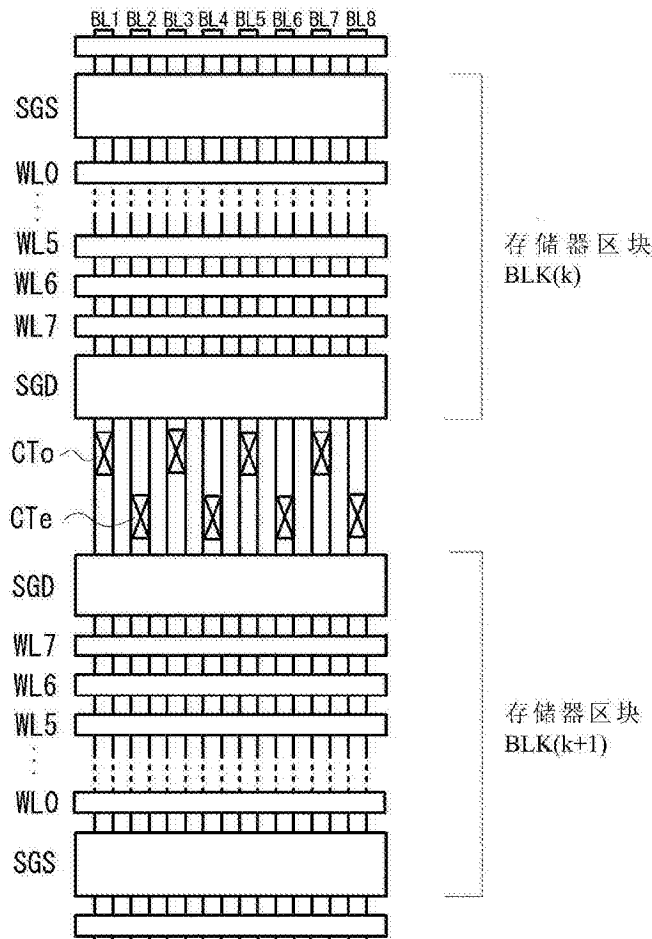


图4

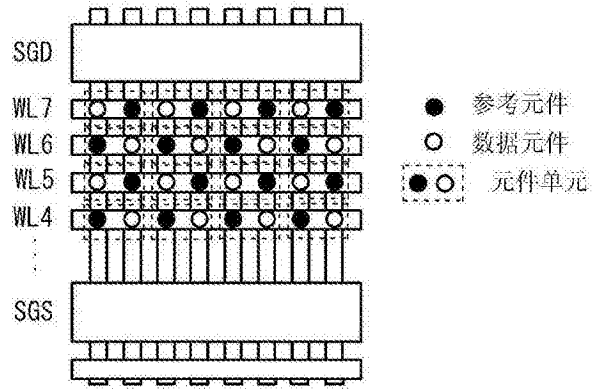


图5

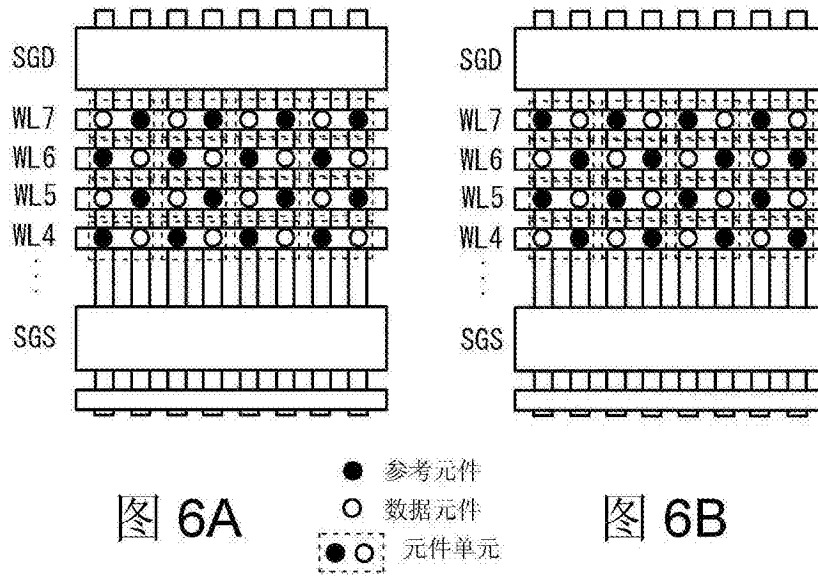


图 6A

图 6B

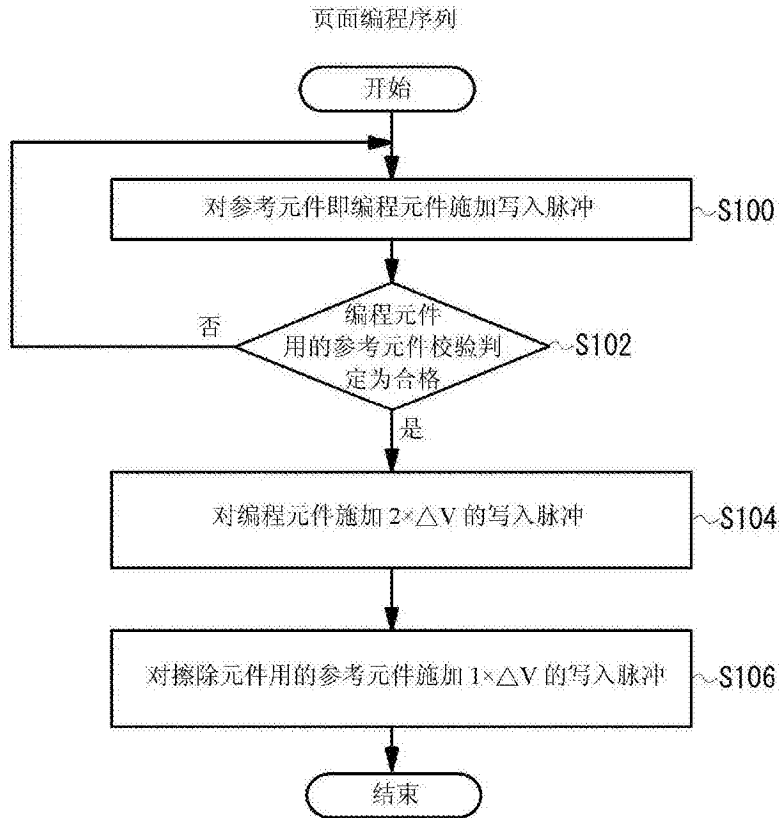


图7

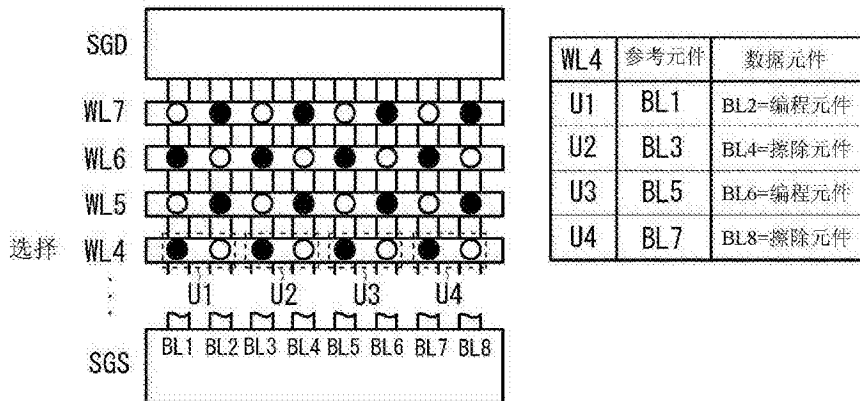


图8A

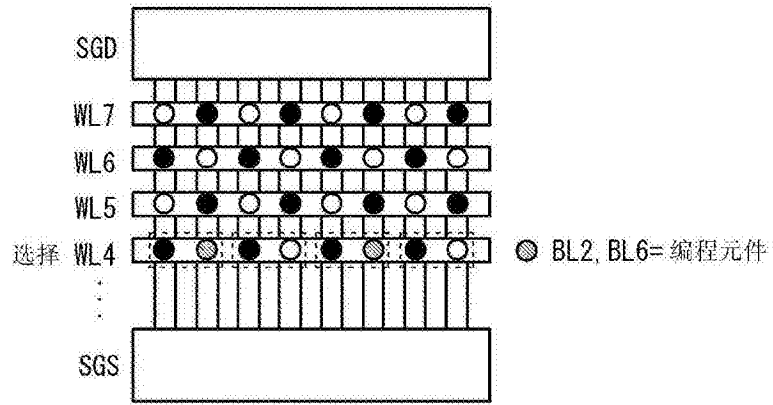


图8B

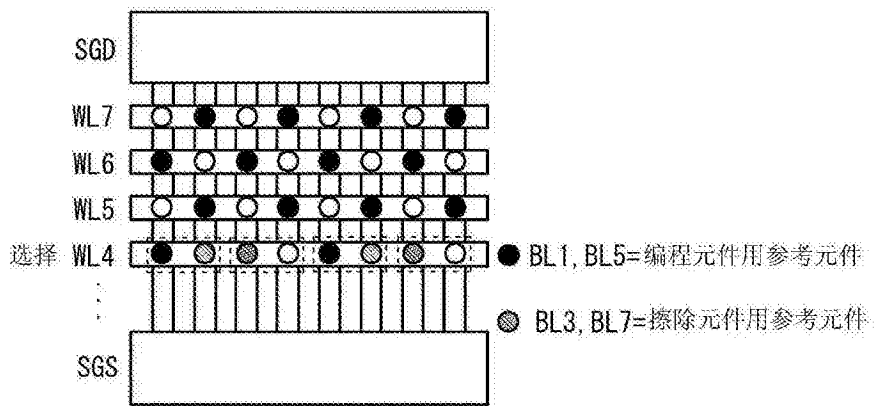


图8C

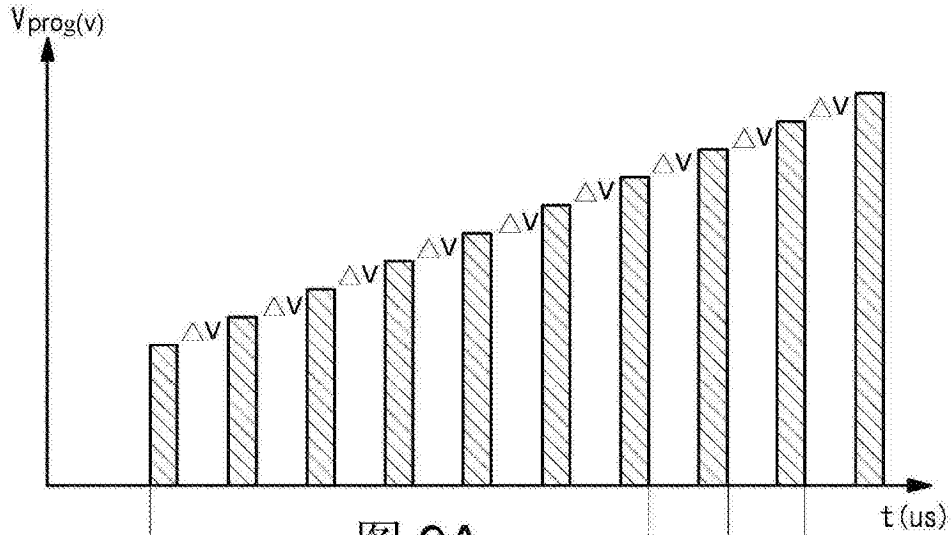


图 9A

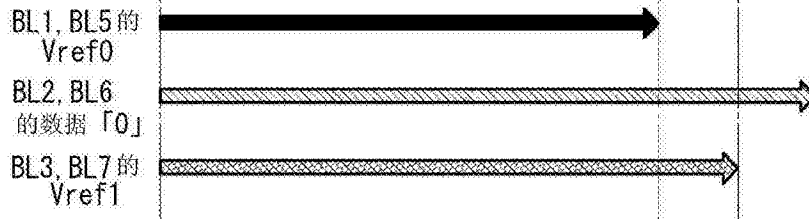


图 9B

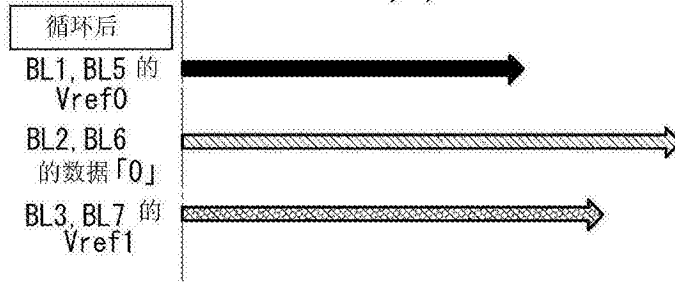


图 9C