(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.^{7}
C30B 23/02

(11) 공개번호 특2003-0036668
(43) 공개일자 2003년05월09일

(21) 출원번호 10-2003-7001599
(22) 출원일자 2003년02월04일
번역문 제출일자 2003년02월04일
(86) 국제출원번호 PCT/US2001/24263
(86) 국제출원출원일자 2001년08월03일
(87) 국제공개번호 WO 2002/12598
(87) 국제공개일자 2002년02월14일

(81) 지정국

국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아-헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀랜드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르기즈, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 라이베리아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크메니스탄, 터어키, 트리니다드토바고, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 아랍에미리트, 안티구아바부다, 코스타리카, 도미니카연방, 알제리, 모로코, 탄자니아, 남아프리카, 벨리즈, 모잠비크, 에쿠아도르, 콜롬비아, 그레나다, 가나, 감비아, 크로아티아, 인도네시아, 인도, 시에라리온, 유고슬라비아, 짐바브웨,

AP ARIPO특허: 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨, 모잠비크, 탄자니아,

EA 유라시아특허: 아르메니아, 아제르바이잔, 벨라루스, 키르기즈, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크메니스탄,

EP 유럽특허: 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀랜드, 사이프러스, 터어키,

OA OAPI특허: 부르키나파소, 베넹, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기네, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기네비쏘, 적도기네,

(30) 우선권주장 09/632,650 2000년08월04일 미국(US)

(71) 출원인
오세미 인코포레이티드
미국 미네소타 로체스터 퍼스트 에스티 엔이 300 (우:55906)

(72) 발명자
브래드독, 월터, 데이비드, 4세
미국 미네소타 로체스터 엔.이. 퍼스트 스트리트 300 (우:55906)

(74) 대리인 남상선

심사청구 : 없음

(54) 에피택셜 웨이퍼 장치

요약

화합물 반도체 웨이퍼의 표면을 코팅하는 시스템은 로딩 모듈(33), 저장 모듈(34) 및 운반 모듈(32), III-V족 증착 챔버 및 절연 증착 챔버를 구비한 클러스터-툴 구조에 단일 웨이퍼 에피택셜 생성 시스템을 제공한다. 화합물 반도체 웨이퍼(10)는 로딩 및 운반 모듈에 배치되고 압력은 5×10 $^{-10}$ Torr 이하로 낮아지며, 그 후 웨이퍼는 III-V족 증착 챔버(35)로 이동되며, 화합물 반도체 재료의 층은 웨이퍼 표면 위에 에피택셜 성장된다. 이어 단일 웨이퍼는 운반 모듈을 통해 절연 증착 챔버로 이동되며, 절연캡 층은 갈륨 및 산소로 구성된 증발 분자를 열적으로 증발시킴으로써 전기주조 프로세스를 사용하여 제조된 금속성 이리듐 도가니를 사용하는 열 증발 소스를 사용하여 유출 셀로부터 형성된다.

대표도

도 2

명세서

기술분야

본 발명은 III-V족 반도에 웨이퍼 코팅 및 제조에 관한 것으로, 보다 상세하게는 III-V족 화합물 반도체 구조의 표면 보호에 관한 것이다.

배경기술

종래의 III-V족 에피택셜 웨이퍼기술은 특정 장치/회로 응용 및 특정 화합물 반도체 기판에 의존하여 예를 들어 GaAs, $In_{1-x}GaAs$, $In_{1-y}Ga_yP$, $Al_{1-x}Ga_xAs$, InGaAsp, InSb 등과 같은 화합물 반도체 에피택셜 층구조에서 상부층으로서 반도체층을 사용한다. 종래의 에피택셜 반도체 기술에서, 반도체 상부층의 사용으로 반도체 표면 구조는 공기에 노출될 경우 쉽게 산화된다. 반도체 구조의 상부층의 산화 및/또는 오염이 화합물 반도체 웨이퍼를 산소, 수증기, 탄화수소 및 공기중의 다른 화학물질에 노출될 경우 즉시 그리고 억제하기 어렵게 발생하므로, 새롭게 산화된 반도체 구조의 물리적 및 전자적 특성은 억제할 수 없고 예측 불가능하게 변경된다. 이러한 오염 및 산화 후에, 뒤이은 장치 및 집적회로의 성능에 악영향을 미치고 전자적 및 광전자적 특성에 유해한 영향을 미치는 유해한 전기적 및 화학적 표면 특성이 화합물 반도체 구조에서 관찰된다. 특정 장치 또는 집적회로의 복잡성 및 성능 저하의 정도는 특정 장치/회로 프로세싱 및 응용에 좌우된다. 예를 들어, 유니폴라 전계효과 트랜지스터 장치/회로의 제조 및 성능은 페르미 레벨 고정(Fermi level pinning)을 유도하고, 게이트-소스간 및 게이트-드레인간 영역을 불안정하게 하는 공기 노출, 산소 또는 수증기 노출, 또는 산소 플라즈마 노출에 의해 악영향을 받을 수도 있다. GaAs 및 다른 III-V족 반도체 상의 고품질의 자연 산화막(native oxide)이 열 산화 또는 표면 산화와 같은 프로세스에 의해 형성될 수 없기 때문에, 지금까지 GaAs 또는 InP 기재 반도체에서 유용하고 안정적인 MOSFET 장치의 제작은 불가능하였다.

제어불가능하고 해로운 전기적 및 표면 특성은 화합물 반도체 표면 상에 자연 산화물 및 현수 본드(dangling bonds)의 형성을 초래하는 화학적 표면 작용에 의해 야기된다. 표면은 자연 산화물의 형성후에 열역학적으로 불안정하게 되며 고정된 페르미 레벨 특성을 나타낸다. 보다 상세하게는, 높은 GaAs 표면 반응성은 10 ^{5} Langmuirs(1Langmuirs =10 $^{-6}$ Torr)만큼 작은 표면 노출 후에 페르미 레벨 고정 및 표면 불안정성을 유도한다. 화합물과 황 및 셀렌 등의 현탁 물질로의 노출을 포함하여 공기 또는 산소에 노출된 후 실시된 표면 준비 기술은 소정 타입의 GaAs 집적 회로 및 전자 또는 광전자 장치의 생산에 불안정하고 유용하지 않은 화합물 반도체 및 인터페이스를 초래하였다. 종래기술(U.S. Pat. No.5,451,548, entitled 'Electron Beam Deposition of Gallium Oxide Thin Films using a Single Purity Crystal Layer', Issued Sep.19, 1995, and U.S. Pat. No.5,550,089, entitled 'Gallium Oxide Coatings for Optoelectronic Devices Using Electron Beam Evaporation of a High Purity Single Crystal $Gd_3Ga_5O_{12}$ Soruce', issued Aug. 27, 1996)은 열역학적 안정성, III-V족 반도체 표면 및/또는 낮은 인터페이스 상태 밀도와의 인터페이스가 초고진공(UHV) 동안 특정 절연캡 층이 $Gd_3Ga_5O_{12}$ 의 e-빔 증발을 사용하여 GaAs 기재 반도체 에피택셜 층 상에 인-슈트 상태로 증착되는 경우 제조될 수 있다고 개시한다. 다른 종래기술(예를 들어, U.S. Pat. No. 6,030,453, 'III-V Epitaxial Wafer Production', issued Feb.29, 2000)은 GaAs 상의 갈륨 산화물 층이 BeO 및 다른 산화물 재료로부터 제조된 산화물 도가니로부터 열적으로 증발된 Ga_2O_3 를 사용하여 형성될 수도 있다고 개시한다. 그러나, 경험상 BeO 도가니로부터 고온의 유출 셀을 사용하여 열적 증발로부터 생성된 갈륨 및 산소를 함유한 최종 막은 신뢰할 수 없는 장치 또는 신뢰할 수 없는 집적회로를 초래하는 GaAs에서의 불순물 및 도펀트로 알려진 Be로 심하게 도핑된다. 더욱이, 최종 Be 농도가 10 ^{21} cm $^{-3}$ 를 초과할 수 있기 때문에, 생성된 최종 갈륨 산화물 층은 잔류 전도도를 가지므로, 최종 산화물 층은 절연성을 갖지 않는다. GaAs를 위한 유용한 보호 코팅은 10 ^{19} cm $^{-3}$ 당 일부 이하의 농도로 불순물이 없어야 하며, 보다 바람직하게는 10 ^{16} cm $^{-3}$ 당 일부 이하의 농도로 불순물이 없어야 한다.

더욱이, 최종 GaAs/코팅 인터페이스는 다양한 불순물의 10-100 Langmuirs 이하로 GaAs의 표면 노출을 한정하기 위해 매워 낮은 압력에서 형성되는 반면, 동시에 GaAs 벌크 및 표면 화공양론을 유지한다. 종래 기술을 상술하는 두 발명에 기술된 프로세스는 유용하거나 가공가 능하지 않은데, 이는 앞서 기술된 프로세스가 통상적인 동작에서 실질적으로 비기능성 또는 신뢰할 수 없는 후속 반도체 장치 및 회로를 만드는 불순물을 포함한 코팅층을 생성하기 때문이다. 따라서, 종래 기술의 한계를 극복하는 화합물 반도체 절연 표면을 제조하는 새로운 방법을 제공하는 것은 상당히 유리하다.

발명의 상세한 설명

본 발명의 목적은 화합물 반도체 표면 상에 유용한 보호, 비오염 및 내부식성 코팅의 배치를 포함하는 새롭고 향상된 III-V족 에피택셜 웨이퍼 생산 프로세스를 제공하는 것이다.

본 발명의 다른 목적은 향상된 안정성 및 신뢰성을 갖춘 새롭고 향상된 III-V족 에피택셜 웨이퍼를 제공하는 것이다.

본 발명의 또다른 목적은 상대적으로 용이하게 생산되고, 전자 및 광전자 분야 모두에서 반도체 장치 제조를 위해 사용하는 새롭고 향상된 III-V족 웨이퍼를 제공하는 것이다.

상기한 문제점들은 적어도 부분적으로 해결되며, 전술한 목적들은 화합물 반도체 표면에 대한 코팅, 보호 및 내부식 방법으로 실현되는데, 이 방법은 화합물 반도체 표면에 표면을 제공하는 단계, 및 증발이 지극히 깨끗한 화합물 반도체 웨이퍼 표면 상에서 발생한다는 가정하에 초고진공 환경에서 웨이퍼 표면으로 절연 재료를 열적으로 증발시키고, 전기주조 프로세스를 사용하여 초고진공 환경에서 1700℃가 넘는 온도에서 가스 방출되고 원뿔 형상으로 형성된, 깨끗한 금속성 Ir 도가니에 배치된 다결정성 Ga_2O_3를 사용함으로써 화합물 반도체 웨이퍼 구조의 표면 상에 적절하게 절연캡 층을 형성하는 단계를 포함한다.

이러한 특정 반도체 생성 프로세스에서, III-V족 성장 챔버 및 집중식 운반 모듈에 부착된 제2 절연체 증착 챔버를 구비한 로딩, 운반 및 저장 모듈을 포함하는 단일 웨이퍼 에피택셜 생성 시스템이 제공된다. 연마된 표면을 구비한 화합물 반도체는 로딩 모듈에 배치되며, 로딩 모듈에서의 압력은 10^{-6} 이하로 감소된다. 화합물 반도체 웨이퍼는 운반 모듈을 통해 기저압력이 10^{-10} Torr 이하인 III-V족 성장 챔버로 이동되며, 화합물 반도체 물질의 층들은 화합물 반도체 웨이퍼의 표면상에 에피택셜 성장된다. 이어 화합물 반도체 웨이퍼는 운반 모듈로 이동되고 즉시 절연체 챔버로 이동되는데 모든 시간에 초고진공 환경이 유지된다. 후속 절연캡 층은 전기주조된 이리듐 도가니로부터 Ga_2O_3 재료를 열적으로 증발시킴으로써 화합물 반도체 구조의 최상부 층에 형성된다. 이러한 증착 프로세스는 고순도 및 원자 급변(atomic abruptness)을 구비한 갈륨 산소 분자로 구성된 층이 화합물 반도체의 표면상에 제공될 때 완성된다.

도면의 간단한 설명

도1은 기판의 표면 상에 자연 산화물이 형성된 종래 기술의 화합물 반도체 기판의 간략화된 단면도이다.

도2는 본 발명에 따른 에피택셜 층 및 캡 층을 갖는 화합물 반도체 기판의 간략화된 단면도이다.

도3은 본 발명에 따른 도2의 구조를 제조하는데 사용되는 집중식 운반 모듈을 구비한 단일-웨이퍼 에피택셜 생산 시스템이다.

도4는 통상적으로 원뿔 형태이고, 일단부가 막히고 다른 일단부가 개방되며 전기주조 프로세스를 사용하여 제조된 이리듐 금속 도가니의 사진이다.

실시예

도1에는 종래의 III-V족 화합물 반도체 웨이퍼(10)가 도시된다. 웨이퍼(10)는 상부 표면 상에 에피택셜 성장된 III-V족 재료의 하나 이상의 층을 포함한다. 이하의 설명을 위해, 기판 및 그 위에 형성된 소정의 에피택셜 층은 화합물 반도체 웨이퍼 기판으로 간단히 언급되며, 이는 도1에 도면부호12로 도시된다. 화합물 반도체 웨이퍼 구조(12)는 상부면(14)을 갖춘 상부층(13)을 갖는다. 화합물 반도체 웨이퍼 구조(12) 또는 상부층(13)의 산소, 수증기 또는 주위 상황(공기, 프로세싱 환경 등)으로의 소정의 노출은 기판 위에 자연 산화물 층(15)이 형성되게 한다. 통상적으로, 층(15)은 약 10 옹스트롬 두께로 매우 얇다. 상부층(13)과 자연 산화물 층(15) 사이의 인터페이스는 지극히 갑작스럽게 일어나지 않으며 고정된 페르미 레벨을 사용하여 열역학적으로 불안정하다.

본 발명에 따라 형성된 화합물 반도체 웨이퍼 구조(20)가 도2에 도시된다. 화합물 반도체 구조는 통상적으로 상부면 상에 에피택셜 성장된 하나 이상의 III-V족 재료의 층(이후 도면부호 22로 지칭)을 갖는 화합물 반도체 기판을 포함한다. 화합물 반도체 웨이퍼 구조(20)는 상부면(24)을 갖는 상부층(23)을 갖는다. 특정 한 응용(또는 화합물 반도체 웨이퍼 구조(20) 상)에서 기판 상에는 어떠한 에피택셜 층이 없으며 상부면(24)은 단순히 기판의 상부면이라는 것을 당연히 이해할 것이다. 절연캡 층(25)은 화합물 반도체 웨이퍼 구조(20)의 표면(24) 위로 열적으로 증발된다.

도3을 참조하면, 단일 웨이퍼 에피택셜 생산 시스템(30)이 도시되며, 이는 본 발명에 따른 도2의 화합물 반도체 웨이퍼 구조(20)를 제조하는데 사용된다. 시스템(30)은 로딩 모듈(33), 운반 모듈(32), 저장 모듈(34), 운반 모듈(33)에 부착된 III-V족 성장 챔버(35), 및 운반 챔버(33)에 부착된 절연 챔버를 포함한다. 챔버(35 및 38)는 각각 운반 및 로딩 모듈(33)에 부착되어 웨이퍼, 칩 등이 시스템(30)의 초고진공 환경으로부터 웨이퍼, 칩등을 제거하지 않고 각각의 챔버에서 처리될 수 있게 한다. 따라서, 일단 웨이퍼가 시스템(30)으로 도입되고 진공이 걸리면, 웨이퍼는 프로세스가 완료될 때까지 주위 환경 또는 산소에 쉽게 노출되지 않는다. 따라서, 본 발명에 따른 화합물 반도체 웨이퍼 구조의 표면을 보호하는 프로세스의 예로서, 화합물 반도체 웨이퍼가 로딩 모듈(31)에 배치되며, 로딩 모듈(31)에서의 압력은 10^{-6} Torr 이하로 감소된다. 이어 웨이퍼는 압력이 10^{-9} Torr 이하로 감소된 운반 모듈로 이동되고 이어 기저 압력이 10^{-10} Torr 이하인 III-V족 성장 챔버(35)로 이동되어 하나 이상의 화합물 반도체 재료의 층이 표면에 에피택셜 성장되어 화합물 반도체 웨이퍼 구조(예를 들어, 화합물 반도체 웨이퍼 구조(20))를 생성한다. 상부층(23)의 성장 이후, 화합물 반도체 웨이퍼 구조(20)는 운반 모 듈(33)로 이동되며, 이어 5×10^{-10} Torr 이하의 압력을 유지하면서 절연 챔버로 이동된다. 절연 챔버(38) 내에서 절연캡 층(25)은 전기주조된 Ir 도가니로부터 Ga_2O_3 재료를 웨이퍼 구조(20) 위로 열적으로 증발시킴으로써 화합물 반도체 웨이퍼 구조(20)의 표면(24) 상에 형성된다.

프로세스의 바람직한 실시예에서 절연캡 층(25)은 웨이퍼 구조(20)의 표면(24) 위로 열적으로 증발되는데, 표면(24)은 통사적으로 원뿔형이고 전기주조 프로세싱을 사용하여 제작된 금속성 Ir 도가니에서 열적 증발 소스를 사용하여 유출 셀로부터 갈륨 산화물 분자를 증발시킴으로서 III-V족 성장 챔버(35)에서 지극히 갑작스럽게 최초로 형성된다. 증발 소스는 순수한 Ga_2O_3 일 수도 있으며, 몇몇 Ga_2O_3 + 희토류 원소 화합물 또는 혼합물 중 하나로 구성될 수도 있다. 다른 바람직한 실시예에서, 주로 갈륨 및 산소 화합물로 구성된 표면 코팅 및 보호 층은 전기주조된 Ir 도가니로부터 결정 가돌리늄 갈륨 가닛($Ga_3Gd_5O_{12}$)의 증발에 의해 형성된다. 금속성 Ir 도가니는 통상적으로 일단부가 막히고 타단부가 개방된 원뿔형이며, 전기주조 프로세스 또는 당업자가 숙지하고 있는 화학 기상 증착 프로세스를 사용하여 제작된다. 도가니 및 유출 셀이 화합물 반도체 웨이퍼에 근접하게 절연 챔버에 추가로 배치되어 갈륨 산화물 층의 적절한 증착율이 도가니에서 1650℃ 이하의 열적 증발 온도로 화합물 반도체 웨이퍼 구조에 대해 얻어진다. 최상의 조건에서 화합물 반도체 웨이퍼 구조 위로의 Ga_2O_3 의 증착율은 대략 초당 0.01 내지 0.02 옹스트롬이다.

대략 10 옹스트롬의 갈륨 산소 분자로 구성된 절연층 캡 층(25)의 증착후, 화합물 반도체 웨이퍼 구조(20)는 절연캡 층(25)이 제거될 때까지 주위 환경 및 오염으로의 노출로부터 보호된다. 도3의 시스템(30)에서 절연캡 층(25)이 형성되므로, 구조 또는 에피택셜 층은 주위 환경에 쉽게 노출되지 않으며, 기판 또는 에피택셜 층과 절연캡 층(25) 사이의 인터페이스는 우수한 전기적 특성을 갖고 열역학적으로 안정하다. GaAs 표면 및 그 위에 증착된 산화물 층을 구비한 화합물 반도체 웨이퍼 구조의 특정예에서, GaAs-GaAs-Ga_2O_3 인터페이스는 단일 원자층 내에서 급격한 변화(abruptness)를 보이며 산화물은 2.0 옹스트롬(rms) 이하의 표면 거칠기를 갖는다. 또한, 제조된 웨이퍼 위의 현저히 균일한 인터페이스 상태 밀도가 있음이 밝혀졌다. 인터페이스 상태 밀도는 통상적으로 종래 기술의 밀도(10^{10} cm^{-2} eV^{-1})에 비교되거나 이보다 더 우수하다.

개시된 프로세스의 웨이퍼 구조 위의 열적으로 증발된 절연층은 종래 기술의 에피택셜 산물의 노출된 반도체 표면을 대체하며, 매립된 에피택셜 반도체 표면은 열적으로, 그리고 화학적으로 안정하며 우수한 전기적 특성을 보인다. 따라서, 새로운 표면 보호 프로세스에 따라 제작된 개선된 화합물 반도체 웨이퍼 구조는 이하와 같은 장점을 갖는다: 형성된 반도체 에피택셜 구조 및 장치/회로의 우수한 전기적 및 화학적 특성, 내부식성과 방호 특성; 형성된 반도체 에피택셜 구조 및 장치/회로의 우수한 전기적 및 화학적 표면 특성의 안정성; 장치/회로 프로세싱의 단순 화; 장치/회로의 향상된 재생산성 및 신뢰성; 및 반도체 표면의 필수적인 부분은 프로세싱 동안 노출되지 않으며 전자적 내부식성을 유지한다.

이러한 개선점은 열등한 신뢰성, dc 전기적 불안정성, 및 전기적 히스테리시스와 같은 종래기술의 문제점을 본질적으로 해결하거나 극복함으로써, 우수한 제조 프로세스를 제공한다. 비록 본 발명의 특정 실시예를 기술하였지만, 기술분야의 당업자에 의해 변형될 수 있다. 본 발명의 사상은 특정 실시예에 국한되지 않으며 본 발명의 사상을 벗어나지 않는 모든 변형예를 포함한다.

(57) 청구의 범위

청구항 1.

갈륨 및 산소 분자로 주로 구성된 보호층 및 내부식층으로 화합물 반도체 웨이퍼 구조의 표면을 코팅하는 방법으로서,

a. 화합물 반도체 기판에 표면을 갖는 화합물 반도체 에피택셜 구조를 제공하는 단계;

b. 개방된 일 단부 및 막혀진 일 단부를 갖는 원뿔형이고, 전기주조 또는 화학 기상 증착 프로세스를 사용하여 제조된 금속성 이리듐 도가니에 배치된 Ga_2O_3 만으로 구성된 결정형의 고순도 Ga_2O_3 증발 소스를 제공하는 단계; 및

c. 상기 결정형의 고순도 Ga_2O_3 증발 소스로부터 상기 화합물 반도체 웨이퍼 구조의 표면 위로 갈륨 산화물 분자를 열적으로 증발시킴으로써 상기 웨이퍼 구조의 표면 위에 갈륨 산소 층을 형성하는 단계를 포함하는 표면 코팅 방법.

청구항 2.

반도체 웨이퍼의 표면을 보호하는 방법으로서,

a. 상기 운반 모듈에 부착된 Ⅲ-Ⅴ족 성장 챔버 및 절연 증착 챔버를 로딩 모듈, 운반 모듈, 저장 모듈, 및 언로딩 모듈에 제공하는 단계;

b. 반도체 화합물 기판에 표면을 제공하는 단계;

c. 상기 반도체 화합물 기판을 상기 로딩 모듈에 배치시키는 단계;

d. 로딩 모듈의 압력을 10^{-6} Torr 이하로 낮추는 단계;

e. 상기 웨이퍼를 상기 운반 모듈을 통해 상기 Ⅲ-Ⅴ족 증착 챔버로 이동시키는 단계;

f. 상기 Ⅲ-Ⅴ족 증착 챔버의 압력을 10^{-10} Torr 이하로 낮추는 단계;

g. 상기 화합물 반도체 웨이퍼의 표면 상에 화합물 반도체 재료의 층을 에피택셜 성장시키는 단계;

h. 상기 반도체 웨이퍼를 상기 운반 및 로딩 모듈로 이동시키고 이어 상기 절연 챔버로 이동시키는 단계;

I. 개방된 일 단부 및 막혀진 일 단부를 갖는 원뿔형이고 전기주조 또는 화학 기상 증착 프로세스를 사용하여 제조된 금속성 이리듐 도가니에 배치된 Ga_2O_3 만으로 구성된 결정형의 고순도 Ga_2O_3 증발 소스를 제공하는 단계;

j. 상기 결정형의 고순도 Ga_2O_3 증발 소스로부터 상기 화합물 반도체 웨이퍼 구조의 표면 위로 갈륨 산화물 분자를 열적으로 증발시킴으로써 상기 웨이퍼 구조의 표면 위에 갈륨 산소 층을 형성하는 단계;

k. 상기 결정형의 고순도 Ga_2O_3 증발 소스로부터 상기 화합물 반도체 재료의 층 위로 갈륨 산화물 분자를 열적으로 증발시킴으로써 절연캡 층을 형성하는 단계; 및

l. 상기 절연 챔버에 대한 상기 화합물 반도체 구조를 상기 운반 챔버를 통해 상기 언로딩 모듈로 이동시키는 단계를 포함하는 표면 보호 방법.

청구항 3.

제2항에 있어서, 상기 화합물 반도체 웨이퍼를 제공하는 단계는 갈륨-아세나이드(GaAs)의 화합물 반도체 웨이퍼를 제공하는 단계를 포함하는 것을 특징으로 하는 표면 보호 방법.

청구항 4.

제2항에 있어서, 상기 화합물 반도체 웨이퍼를 제공하는 단계는 인듐-인(InP)의 화합물 반도체 웨이퍼를 제공하는 단계를 포함하는 것을 특징으로 하는 표면 보호 방법.

청구항 5.

제1항에 있어서, 상기 화합물 반도체 웨이퍼 구조를 제공하는 단계는 반도체 장치가 상부에 형성된 화합물 반도체 웨이퍼를 제공하는 단계를 포함하는 것을 특징으로 하는 표면 코팅 방법.

청구항 6.

제6항에 있어서, 상기 화합물 반도체 웨이퍼 구조를 제공하는 단계는 반도체 집적회로가 상부에 형성된 화합물 반도체 웨이퍼를 제공하는 단계를 포함하는 것을 특징으로 하는 표면 코팅 방법.

청구항 7.

제1항에 있어서, 상기 결정형의 고순도 Ga_2O_3 증발 소스를 제공하는 단계는 개방된 일 단부 및 막혀진 일 단부를 갖는 원뿔형이고 전기주조 프로세스를 사용하여 제조된 순 금속성 이리듐 도가니를 사용하는 단계를 포함하는 것을 특징으로 하는 표면 코팅 방법.

청구항 8.

제1항에 있어서, 상기 결정형의 고순도 Ga_2O_3 증발 소스를 제공하는 단계는 유출 셀에 상기 금속성 이리듐 도가니를 제공하는 단계를 포함하는 것을 특징으로 하는 표면 코팅 방법.

청구항 9.

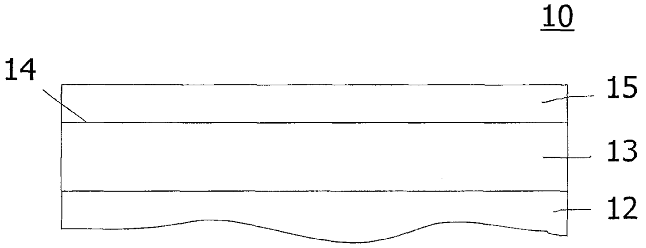
제1항에 있어서, 상기 화합물 반도체 웨이퍼를 제공하는 단계는 갈륨-아세나이드의 화합물 반도체 웨이퍼를 제공하는 단계를 포함하는 것을 특징으로 하는 표면 코팅 방법.

청구항 10.

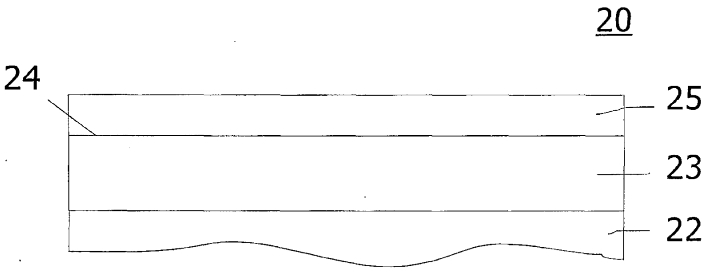
제2항에 있어서, 결정형 가돌리늄 갈륨 가닛, $Ga_3Gd_5O_{12}$ 는 갈륨 산화물 분자용 상기 증발 소스로서 사용된 것을 특징으로 하는 표면 보호 방법.

도면

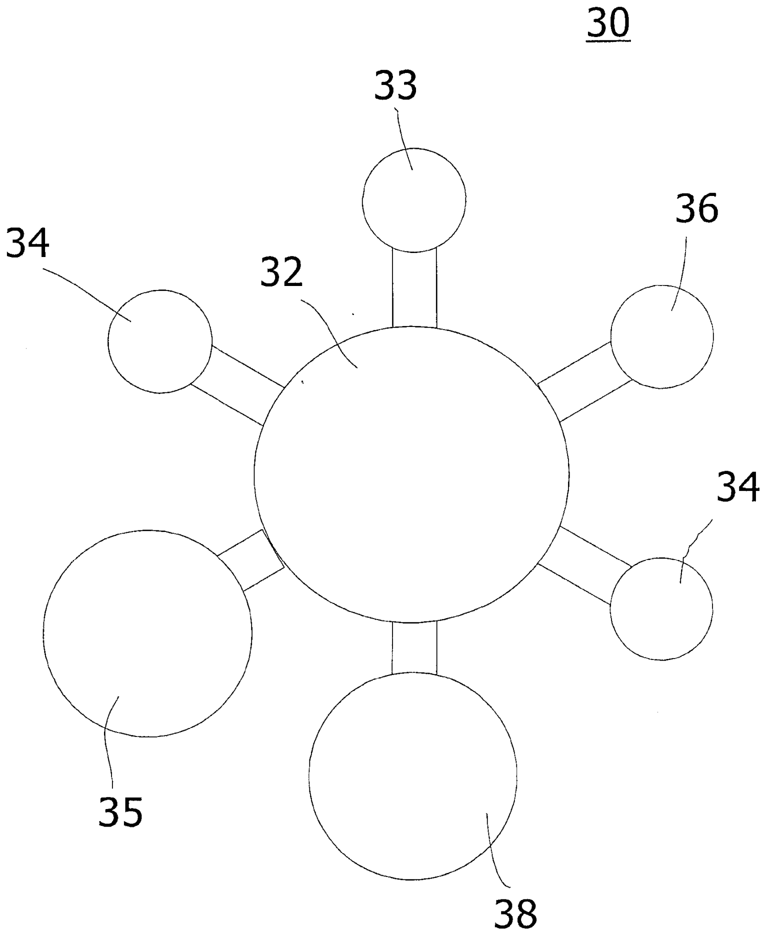
도면1



도면2



도면3



도면4