

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0051994

(43) 공개일자 2025년04월18일

(51) 국제특허분류(Int. Cl.)

H03G 3/32 (2006.01) H03F 1/22 (2006.01)

H03F 1/34 (2006.01) H03G 3/30 (2006.01)

(52) CPC특허분류

H03G 3/32 (2013.01)

H03F 1/223 (2013.01)

(21) 출원번호 10-2023-0134977

(22) 출원일자 2023년10월11일

심사청구일자 2023년10월11일

(71) 출원인

충남대학교산학협력단

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

(72) 발명자

한정환

대전광역시 유성구 죽동로 321 금성백조예미지아  
파트 103동 1305호

김세경

충청남도 서산시 효행6길 24 보령훼미리  
아파트401호

김은수

대전광역시 서구 가수원로 72 은아아파트 102동  
903호

(74) 대리인

이은철, 김재문

전체 청구항 수 : 총 10 항

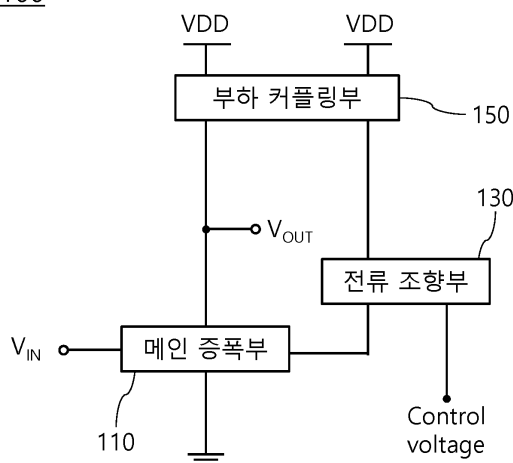
(54) 발명의 명칭 잡음 상쇄가 가능한 가변 이득 증폭기 및 그 동작 방법

## (57) 요약

잡음 상쇄가 가능한 가변 이득 증폭기에 관한 기술이 개시된다. 가변 이득 증폭기는 메인 증폭부와, 전류 조향부와, 부하 커플링부를 포함한다. 메인 증폭부는 고주파 신호가 제어단자로 입력되는 제1 트랜지스터와, 제1 트랜지스터와 직렬로 연결되는 제2 트랜지스터를 포함하여, 입력된 고주파 신호를 증폭하여 출력한다. 전류 조향부는 제1 트랜지스터와 제2 트랜지스터가 서로 연결되는 점점에 연결되는 제3 트랜지스터를 포함하여, 메인 증폭부의 이득을 조절한다. 부하 커플링부는 변압기를 이용하여 메인 증폭부와 전류 조향부를 커플링 시킨다. 본 발명에 따르면 부하 변압기를 이용한 커플링에 의해 추가적인 공간이나 전력의 증가 없이 낮은 이득 동작에서 추가적인 잡음 상쇄를 구현하여 가변 이득 증폭기의 잡음 성능을 향상시킬 수 있다.

대표도 - 도1

100



(52) CPC특허분류

*H03F 1/347* (2013.01)

*H03G 3/3036* (2013.01)

이 발명을 지원한 국가연구개발사업

|             |                         |
|-------------|-------------------------|
| 과제고유번호      | 1345370812              |
| 과제번호        | 2021RIS-004             |
| 부처명         | 교육부                     |
| 과제관리(전문)기관명 | 한국연구재단                  |
| 연구사업명       | 지자체대학협력기반지역혁신사업         |
| 연구과제명       | (대전세종충남지역혁신플랫폼)충남대학교    |
| 기 여 율       | 1/3                     |
| 과제수행기관명     | 충남대학교 산학협력단             |
| 연구기간        | 2023.04.01 ~ 2024.02.29 |

이 발명을 지원한 국가연구개발사업

|             |                                                     |
|-------------|-----------------------------------------------------|
| 과제고유번호      | 1345370732                                          |
| 과제번호        | 00246633                                            |
| 부처명         | 교육부                                                 |
| 과제관리(전문)기관명 | 한국연구재단                                              |
| 연구사업명       | 이공학학술연구기반구축                                         |
| 연구과제명       | 차세대 밀리미터파 대역 하이브리드 CMOS/GaN 위상 배열 RF FEM 송수신기 회로 설계 |
| 기법 및 구조 연구  |                                                     |
| 기 여 율       | 1/3                                                 |
| 과제수행기관명     | 충남대학교 산학협력단                                         |
| 연구기간        | 2023.06.01 ~ 2027.05.31                             |

이 발명을 지원한 국가연구개발사업

|             |                                |
|-------------|--------------------------------|
| 과제고유번호      | 1415187321                     |
| 과제번호        | 20025736                       |
| 부처명         | 산업통상자원부                        |
| 과제관리(전문)기관명 | 한국산업기술기획평가원                    |
| 연구사업명       | 차세대지능형반도체기술개발(설계제조)(R&D)       |
| 연구과제명       | 생체이식형 전자약을 위한 통신용 SoC 및 플랫폼 개발 |
| 기 여 율       | 1/3                            |
| 과제수행기관명     | 충남대학교 산학협력단                    |
| 연구기간        | 2023.04.01 ~ 2026.12.31        |

## 명세서

### 청구범위

#### 청구항 1

잡음 상쇄가 가능한 가변 이득 증폭기에 있어서,

고주파 신호가 신호입력 단자로 입력되는 제1 트랜지스터와, 상기 제1 트랜지스터와 캐스코드 연결되는 제2 트랜지스터를 포함하여, 입력된 고주파 신호를 증폭하여 출력하는 메인 증폭부;

상기 제1 트랜지스터와 상기 제2 트랜지스터가 서로 연결되는 접점에 상기 제2 트랜지스터와 병렬로 상기 제1 트랜지스터와 캐스코드 연결되는 제3 트랜지스터를 포함하여, 메인 증폭부의 이득을 조절하는 전류 조향부; 및

상기 메인 증폭부와 상기 전류 조향부에 각각 연결되어 상기 메인 증폭부의 고주파 신호와 상기 전류 조향부의 고주파 신호를 커플링 시키는 부하 커플링부;

를 포함하는, 가변 이득 증폭기.

#### 청구항 2

제1항에 있어서,

상기 부하 커플링부는,

1차 코일이 전원 전압과 상기 메인 증폭부 사이에 연결되고, 2차 코일이 전원 전압과 상기 전류 조향부 사이에 연결되는 변압기(transformer);

를 포함하는, 가변 이득 증폭기.

#### 청구항 3

제1항에 있어서,

상기 부하 커플링부는,

상기 제2 트랜지스터와 전원 전압 사이에 연결되는 제1 인덕터; 및

상기 제3 트랜지스터와 전원 전압 사이에 연결되는 제2 인덕터;를 포함하고,

상기 제1 인덕터는, 상기 제2 인덕터와 자기적으로 커플링되는,

가변 이득 증폭기.

#### 청구항 4

제3항에 있어서,

상기 부하 커플링부는,

상기 제2 트랜지스터와 전원 전압 사이에 상기 제1 인덕터와 병렬로 연결되는 커패시터;

를 더 포함하는, 가변 이득 증폭기.

#### 청구항 5

제1항에 있어서,

상기 제3 트랜지스터는,

서로 병렬로 연결되고, 제어 신호에 의해 각각 온-오프(on-off)되는 복수의 트랜지스터;

를 포함하는, 가변 이득 증폭기.

## 청구항 6

잡음 상쇄가 가능한 가변 이득 증폭기의 동작 방법에 있어서,

고주파 신호를 제1 트랜지스터의 신호입력 단자로 입력받는 단계;

제1 트랜지스터를 이용하여, 입력된 고주파 RF 신호를 전류신호로 증폭하는 단계;

캐스코드 연결되는 제1 트랜지스터와 제2 트랜지스터가 서로 연결되는 접점에 제2 트랜지스터와 병렬로 제1 트랜지스터와 캐스코드 연결되는 제3 트랜지스터를 제어 신호에 따라 동작시키는 단계;

제2 트랜지스터를 흐르는 고주파 신호와 제3 트랜지스터를 흐르는 고주파 신호를 커플링 시키는 단계; 및

제2 트랜지스터에서 증폭된 신호를 출력하는 단계;

를 포함하는, 가변 이득 증폭기의 동작 방법.

## 청구항 7

제6항에 있어서,

제3 트랜지스터의 동작에 따라 제2 트랜지스터를 흐르는 전류를 제어하는 단계;

를 더 포함하는, 가변 이득 증폭기의 동작 방법.

## 청구항 8

제6항에 있어서,

상기 고주파 신호를 커플링 시키는 단계에서,

커플링되는 양은 제2 트랜지스터에 연결된 변압기의 1차 코일과 제3 트랜지스터에 연결된 변압기의 2차 코일 사이의 결합계수에 의해 결정되는,

가변 이득 증폭기의 동작 방법.

## 청구항 9

제8항에 있어서,

제2 트랜지스터에서 발생한 잡음 신호에 대해, 1차 코일에서 유출되는 신호와 제3 트랜지스터를 경유하여 2차 코일로 유입되는 신호가 서로 커플링되어 상쇄되는 단계;

를 더 포함하는, 가변 이득 증폭기의 동작 방법.

## 청구항 10

제8항에 있어서,

제3 트랜지스터에서 발생한 잡음 신호에 대해, 제2 트랜지스터를 경유하여 1차 코일로 유입되는 신호와 2차 코일로 유입되는 신호가 서로 커플링되어 상쇄되는 단계;

를 더 포함하는, 가변 이득 증폭기의 동작 방법.

## 발명의 설명

### 기술 분야

[0001] 잡음 상쇄가 가능한 가변 이득 증폭기 및 그 동작 방법에 관한 것으로, 특히 부하 변압기를 사용하여 낮은 이득 동작에서도 잡음 성능 향상이 가능한 가변 이득 증폭기 및 그 동작 방법에 관한 것이다.

### 배경 기술

[0002] 5G 이동통신에 사용되는 빔포밍(beamforming) 기술은 위상 배열(phased-array) 구조를 통해 향상된 데이터 처리량과 신호 지향성(directivity)을 구현하고, 신호의 높은 경로 손실을 극복하기 위해 밀리미터파(millimeter-

wave) 5G NR(New Radio) 송수신기에 널리 채택되어 왔다. 위상 배열 송수신기 시스템은 가변 이득 증폭기(variable-gain amplifier, VGA), 저잡음 증폭기(low-noise amplifier, LNA), 위상 천이기(phase shifter, PS) 등을 포함하는 여러 개의 전치단(front-end)으로 이루어진다.

[0003] 실질적으로, 많은 수의 빔과 소자를 필요로 하는 위상 배열 구조에서 저비용, 고효율 송수신단(transceiver) 설계를 위해 하나의 전치단 내에서 비슷한 역할을 하는 단(stage)들 간의 통합을 통해 크기와 비용을 절감하는 설계에 대한 요구가 증가하고 있다. 그러나, 기존 가변 이득증폭기의 경우, 이득이 감소함에 따라, 잡음 성능이 비례하여 열화되는 특성을 나타낸다. 따라서, 종래에는 일반적으로 프리스 공식(Friis equation)에 근거하여 위상 배열 구조에서 별도의 저잡음 증폭기를 맨 앞 단에 필수적으로 배치하여 낮은 이득에서 전체 시스템의 잡음 성능 열화를 완화하였다.

[0004] 가변 이득 증폭기(VGA)는 각 빔에 대한 미세 이득 조절을 통해 각각 위상 배열 경로에 대한 위상 변화에 따른 이득 오류를 줄이고, 부엽(side lobe)들을 줄이기 위해 사용된다. 종래 가변 이득 증폭기의 이득을 조절하기 위한 방법으로는, 제어 신호(control signal)를 이용하여 부하 임피던스(load impedance)를 가변하여 증폭기의 이득을 조정하는 방법과, 각 증폭기 단 사이 별도의 가변 감쇄기(attenuator)를 적용함으로써 전체적인 증폭기의 이득을 조정하는 방법과, 전류 조향단(current-steering stage)을 이용하여 부하로 흐르는 전류의 양을 조절하여 이득을 조절하는 방법 등이 있다.

[0005] 부하 임피던스를 가변하거나 별도의 가변 감쇄기를 적용하는 방법의 경우, 미세한 이득 조정과 비교적 큰 이득 제어 범위 (gain control range, GCR)를 얻을 수 있다는 점에서 널리 적용되어져 왔다. 하지만, 이득이 낮아질 경우, 프리스 공식에 의해 잡음 성능 및 잡음 계수(noise figure, NF)가 악화 되기 때문에 전 단의 저잡음 증폭기에서 더 많은 전력 소모를 요구하게 되고, 가변을 위해 추가된 다양한 스위치의 기생 성분으로 추가 잡음 성능이 열화되게 된다. 이는 결국 위상 배열 수신단 전체의 신호대잡음비(signal-to-noise ratio, SNR) 특성을 저하시키게 된다.

[0006] 전류 조향 기술(current-steering technique)은 캐스코드(cascode) 구조의 공통 소스(common-source, CS) 증폭기에 흐르는 바이어스 전류의 크기가 변하지 않아 입력 임피던스가 일정하다는 장점을 가지고 있다. 2023년 06월 30일 공개된 공개특허 제10-2022-0091178호는 “저잡음 증폭기 및 이의 동작 방법”에 관한 것으로, 서로 캐스코드 구조로 연결되는 제1 트랜지스터와 제2 트랜지스터를 포함하는 증폭부와, 제1 트랜지스터와 제2 트랜지스터가 서로 연결되는 제1 접점과 전원 전압 사이에 연결되는 이득 제어부를 포함하는 저잡음 증폭기를 개시한다. 증폭부는 제1 트랜지스터의 제어 단자로 입력되는 제1 신호를 증폭하고, 이득 제어부는 증폭부의 이득을 조절한다.

[0007] 하지만 이 역시 이득이 감소함에 따라, 전류 조향에 사용된 캐스코드 소자의 추가 잡음 기여에 따른 전체 잡음 성능이 크게 감소한다는 단점을 가지고 있다. 이러한 문제를 보완하기 충분한 이득 제어 범위를 가지면서 이득 감소에 따른 잡음 성능 열화를 최소화하는 새로운 가변 이득 증폭기 구조가 요구된다.

## 선행기술문헌

### 특허문헌

[0008] (특허문헌 0001) KR 10-2022-0091178 A (2022.06.30.)

## 발명의 내용

### 해결하려는 과제

[0009] 본 발명의 일 목적은, 무선 통신 시스템에서 신호 크기 제어에 주로 사용되는 가변 이득 증폭기(VGA)에 대해 잡음 성능이 개선된 새로운 가변 이득 증폭기 구조 및 그 방법을 제공하는 것이다.

[0010] 본 발명의 다른 일 목적은, 변압기(transformer) 기반의 잡음 상쇄(noise cancelling) 기법이 적용된 새로운 가변 이득 저잡음 증폭기 구조와 그 방법을 제공하는 것이다.

[0011] 본 발명의 또 다른 일 목적은, 위상 배열 시스템에서 추가적인 전력 소비 없이 잡음 성능이 개선된 새로운 가변 이득 저잡음 증폭기 구조와 그 방법을 제공하는 것이다.

[0012] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

### 과제의 해결 수단

[0013] 제안된 발명의 일 양상에 따르면, 잡음 상쇄가 가능한 가변 이득 증폭기는 메인 증폭부와, 전류 조향부와, 부하 커플링부를 포함한다.

[0014] 메인 증폭부는 고주파 신호가 신호입력 단자로 입력되는 제1 트랜지스터와, 상기 제1 트랜지스터와 직렬로 캐스코드 연결되는 제2 트랜지스터를 포함하여, 입력된 고주파 신호를 증폭하여 출력한다.

[0015] 전류 조향부는 상기 제1 트랜지스터와 상기 제2 트랜지스터가 서로 연결되는 접점에 상기 제2 트랜지스터와 병렬로 상기 제1 트랜지스터와 캐스코드 연결되는 제3 트랜지스터를 포함하여, 메인 증폭부의 이득을 조절한다.

[0016] 부하 커플링부는 상기 메인 증폭부와 상기 전류 조향부에 각각 연결되어 상기 메인 증폭부의 고주파 신호와 상기 전류 조향부의 고주파 신호를 커플링시킨다.

[0017] 추가적인 양상에 따르면, 상기 부하 커플링부는 1차 코일이 전원 전압과 상기 메인 증폭부 사이에 연결되고, 2차 코일이 전원 전압과 상기 전류 조향부 사이에 연결되는 변압기(transformer)를 포함한다.

[0018] 추가적인 양상에 따르면, 상기 부하 커플링부는 상기 제2 트랜지스터와 전원 전압 사이에 연결되는 제1 인덕터와, 상기 제3 트랜지스터와 전원 전압 사이에 연결되는 제2 인덕터를 포함한다. 상기 제1 인덕터는 상기 제2 인덕터와 자기적으로 커플링된다.

[0019] 추가적인 양상에 따르면, 상기 부하 커플링부는 상기 제2 트랜지스터와 전원 전압 사이에 상기 제1 인덕터와 병렬로 연결되는 커패시터를 더 포함한다.

[0020] 추가적인 양상에 따르면, 상기 제3 트랜지스터는 서로 병렬로 연결되고, 제어 신호에 의해 각각 온-오프(on-off)되는 복수의 트랜지스터를 포함한다.

[0021] 제안된 발명의 다른 일 양상에 따르면, 잡음 상쇄가 가능한 가변 이득 증폭기의 동작 방법은, 고주파 신호를 제1 트랜지스터의 신호입력 단자인 게이트(gate) 단자로 입력받는 단계와, 제1 트랜지스터를 이용하여, 입력된 고주파 RF 신호를 전류신호로 증폭하는 단계와, 캐스코드 연결되는 제1 트랜지스터와 제2 트랜지스터가 서로 연결되는 접점에 제2 트랜지스터와 병렬로 제1 트랜지스터와 캐스코드 연결되는 제3 트랜지스터를 제어 신호에 따라 동작시키는 단계와, 제2 트랜지스터를 흐르는 고주파 신호와 제3 트랜지스터를 흐르는 고주파 신호를 커플링시키는 단계와, 제2 트랜지스터에서 증폭된 신호를 출력하는 단계를 포함한다.

[0022] 추가적인 양상에 따르면, 상기 가변 이득 증폭기의 동작 방법은, 제3 트랜지스터의 동작에 따라 제2 트랜지스터를 흐르는 전류를 제어하는 단계를 더 포함한다.

[0023] 추가적인 양상에 따르면, 상기 고주파 신호를 커플링시키는 단계에서, 커플링되는 양은 제2 트랜지스터에 연결된 변압기의 1차 코일과 제3 트랜지스터에 연결된 변압기의 2차 코일 사이의 결합계수에 의해 결정된다.

[0024] 추가적인 양상에 따르면, 상기 가변 이득 증폭기의 동작 방법은, 제2 트랜지스터에서 발생한 잡음 신호에 대해, 1차 코일에서 유출되는 신호와 제3 트랜지스터를 경유하여 2차 코일로 유입되는 신호가 서로 커플링되어 상쇄되는 단계를 더 포함한다.

[0025] 추가적인 양상에 따르면, 상기 가변 이득 증폭기의 동작 방법은, 제3 트랜지스터에서 발생한 잡음 신호에 대해, 제2 트랜지스터를 경유하여 1차 코일로 유입되는 신호와 2차 코일로 유입되는 신호가 서로 커플링되어 상쇄되는 단계를 더 포함한다.

### 발명의 효과

[0026] 제안된 발명에 따른 잡음 상쇄가 가능한 가변 이득 증폭기 및 그 동작 방법은, 결합계수가 1보다 작은 부하 트랜스포머를 사용하여 동위상의 신호 전류간의 결합을 이용한 새로운 방식의 이득 조절 방법을 제공한다.

[0027] 나아가 제안된 발명의 가변 이득 증폭기는, 부하 트랜스포머의 1보다 작은 결합 계수의 적절한 선택을 통해 이득 제어 범위의 조절이 가능하다. 또한, 추가적으로 부하 트랜스포머를 통해 메인 증폭부와 전류 조향부의 캐스코드 소자들의 잡음을 일부 상쇄 시킴으로써 기존 가변 이득 증폭기에서의 이득 감쇄에 따른 급격한 잡음의 증

가 문제를 완화시킬 수 있다.

[0028] 또한, 제안된 발명의 가변 이득 증폭기는, 기존의 부하 인덕터를 트랜스포머로 변경함으로써 추가적인 공간이나 전력의 낭비 없이 성능을 개선할 수 있으며, 이는 NMOS 전류 조향 구조를 사용하는 가변 이득 증폭기에 적용이 가능하여 응용 분야에 따라 이득 조절 간격과 잡음 증가율의 조절이 필요한 위상 배열 시스템에 효과적으로 사용이 가능하다.

[0029] 제안된 발명의 가변 이득 저잡음 증폭기는, 별도의 추가적인 저잡음 증폭기(LNA) 적용 없이, 여러 개의 전치단(front-end)이 존재하는 위상 배열 시스템이나 MIMO(multiple-input multiple-output) 통신에서 저비용과 저전력 송수신단 설계에 유용하게 적용될 수 있다.

### 도면의 간단한 설명

[0030] 도 1은 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 개략적인 구성을 나타내는 구성도이다.

도 2는 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 주요 구성을 나타내는 회로도이다.

도 3은 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 동작을 설명하는 회로도이다.

도 4는 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 출력 임피던스를 구하기 위한 등가회로도이다.

도 5는 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 메인 증폭부의 캐스코드 소자(제2 트랜지스터)로부터 기여된 채널 잡음의 잡음 상쇄 메커니즘을 나타내는 회로도이다.

도 6은 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 전류 조향부의 이득 제어 소자(제3 트랜지스터)로부터 기여된 채널 잡음의 잡음 상쇄 메커니즘을 나타내는 회로도이다.

도 7은 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 전압 이득과 잡음 팩터를  $\alpha$  및 결합계수( $k$ ) 변화에 대해 시뮬레이션한 결과를 나타내는 그래프이다.

도 8은 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 구체적인 구성을 나타내는 회로도이다.

도 9는 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 구체적인 구성에 대한 전압 이득과 잡음 팩터를  $k$  값 변화에 대해 시뮬레이션한 결과를 나타내는 그래프이다.

도 10은 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 구체적인 구성에 대한 이득과 잡음 팩터를 이득 제어 신호와 주파수 변화에 대해 시뮬레이션한 결과를 나타내는 그래프이다.

도 11은 종래기술의 위상배열 수신기의 전치단과 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기가 사용되는 위상배열 수신기의 전치단을 개략적으로 나타내는 구성도이다.

도 12는 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 동작 방법을 개략적으로 나타내는 순서도이다.

### 발명을 실시하기 위한 구체적인 내용

[0031] 전술한, 그리고 추가적인 양상들은 첨부된 도면을 참조하여 설명하는 실시예들을 통해 구체화된다. 각 실시예들의 구성 요소들은 다른 언급이나 상호간에 모순이 없는 한 실시예 내에서 또는 타 실시예의 구성 요소들과 다양한 조합이 가능한 것으로 이해된다. 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 명세서 및 청구범위에 사용된 용어는 기재 내용 혹은 제안된 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 본 명세서에서 모듈 또는 부분은, 컴퓨터 또는 프로세서에서 실행할 수 있도록 메모리에 저장된 프로그램 명령어의 집합이거나, 이러한 명령들을 수행할 수 있도록 ASIC, FPGA 등의 전자 부품 또는 회로의 집합을 이용하여 구현할 수 있다. 또한, 각 모듈 또는 부분의 동작은 하나 또는 복수의 프로세서 또는 장치에 의해 수행될 수 있다. 동일·유사한 부호가 표시된 구성요소는 동일·유사한 기능을 수행하므로, 설명을 생략할 수 있다. 설명이 생략된 도면부호를 가진 구성요소에 대해서는, 동일·유사한 부호를 가진 구성요소에 대해 앞에서 설명한 내용을 참조할 수 있다.

[0032] 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

[0033] 도 1은 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 개략적인 구성을 나타내는 구성도이다.

- [0034] 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기(100)는, 메인 증폭부(110)와, 전류 조향부(130)와, 부하 커플링부(150)를 포함한다.
- [0035] 메인 증폭부(110)는, 접지(GND)와 부하 커플링부(150) 사이에 위치하여, 입력된 고주파 RF(radio frequency) 신호( $V_{IN}$ )를 증폭하여 증폭된 고주파 RF 신호( $V_{OUT}$ )를 출력한다. 메인 증폭부(110)는 하나 이상의 트랜지스터를 포함할 수 있다.
- [0036] 전류 조향부(130)는, 부하 커플링부(150)와 메인 증폭부(110)에 연결되어, 제어 신호 또는 제어 전압(Control voltage)에 따라 메인 증폭부(110)의 흐르는 전류를 조절한다. 전류 조향부(130)는 하나 이상의 트랜지스터를 포함할 수 있다.
- [0037] 부하 커플링부(150)는, 한쪽은 전원 전압(VDD)과 메인 증폭부(110) 사이에 연결되고, 다른 쪽은 전원 전압(VDD)과 전류 조향부(130) 사이에 연결되어, 메인 증폭부(110)의 고주파 신호와 전류 조향부(130)의 고주파 신호를 커플링 시킨다. 커플링부(150)는 하나 이상의 변압기(transformer)를 포함할 수 있다.
- [0038] 도 2는 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 주요 구성을 나타내는 회로도이다.
- [0039] 메인 증폭부(110)는, 고주파 신호( $V_{IN}$ )가 신호입력 단자인 게이트단자로 입력되는 입력 트랜스컨덕턴스(transconductance) 소자인 제1 트랜지스터(M1)와, 제1 트랜지스터(M1)와 직렬로 캐스코드 연결되는 캐스코드(cascode) 소자인 제2 트랜지스터(M2)를 포함하여, 입력된 고주파 신호를 증폭하여 증폭된 고주파 신호( $V_{OUT}$ )를 출력한다.
- [0040] 전류 조향부(130)는, 제1 트랜지스터(M1)와 제2 트랜지스터(M2)가 서로 연결되는 접점(N1)에 제2 트랜지스터(M2)와 병렬로 제1 트랜지스터(M1)와 캐스코드 연결되는 이득 제어 소자인 제3 트랜지스터(M3)를 포함하여, 메인 증폭부(110)의 이득을 조절한다. 이득 제어 소자인 제3 트랜지스터(M3)는 제어 전압(control voltage)에 의해 동작이 조절된다. 제3 트랜지스터의 입력임피던스를 조절하여 제2 트랜지스터로 흐르는 전류( $i_2$ )와 제3 트랜지스터로 흐르는 전류( $i_3$ )를 조절할 수 있다.
- [0041] 부하 커플링부(150)는, 제2 트랜지스터(M2)와 전원 전압 사이에 연결되는 제1 인덕터( $L_p$ )와, 제3 트랜지스터(M3)와 전원 전압 사이에 연결되는 제2 인덕터( $L_s$ )를 포함한다. 제1 인덕터( $L_p$ )는 제2 인덕터( $L_s$ )와 서로 자기적으로 커플링된다. 제1 인덕터( $L_p$ )는 제2 인덕터( $L_s$ )와 결합계수( $k$ )로 커플링된다.
- [0042] 제1 인덕터( $L_p$ )와 제2 인덕터( $L_s$ )는 결합계수  $k$ 인 하나의 변압기(transformer)로 구성될 수 있다. 즉, 부하 커플링부(150)의 인덕터들은 1차 코일( $L_p$ )이 전원 전압(VDD)과 메인 증폭부(110) 사이에 연결되고, 2차 코일( $L_s$ )이 전원 전압(VDD)과 전류 조향부(130) 사이에 연결되는 하나의 변압기(transformer)를 이용하여 구현할 수 있다. 변압기에 의해 부하 커플링부(150)는 메인 증폭부(110)와 전류 조향부(130)를 커플링시킬 수 있다.
- [0043] 부하 커플링부(150)는 제2 트랜지스터(M2)와 전원 전압 사이에 제1 인덕터( $L_p$ )와 병렬로 연결되는 커패시터( $C_p$ )를 더 포함할 수 있다. 제1 인덕터( $L_p$ )와 커패시터( $C_p$ )는 입력되는 고주파 RF 신호의 주파수( $\omega_0$ )에서 공진이 이루어지도록, 아래 도 4에서 설명하는 수학적 식 3을 만족시키는 것을 사용하는 것이 바람직하다.
- [0044] 제1 트랜지스터(M1), 제2 트랜지스터(M2), 및 제3 트랜지스터(M3)는 바이폴라 트랜지스터 등 알려진 모든 증폭 작용을 하는 트랜지스터를 사용할 수 있으나, 집적회로 제작이 용이한 금속산화막 반도체 전계효과 트랜지스터(metal oxide semiconductor field effect transistor, MOSFET)를 사용하는 것이 바람직하다. 제어 신호에 의해 각각 온-오프(on-off)되는 복수의 MOSFET을 병렬연결하여 제3 트랜지스터를 구성할 수 있다. 이 경우, 병렬 연결되는 MOSFET 중에서 온(on)되는 트랜지스터의 개수를 변경하면, 제2 트랜지스터와 제3 트랜지스터의 크기비  $\alpha$ 를 손쉽게 변경할 수 있다.
- [0045] 도 2를 참조하면, 제1 트랜지스터(M1), 제2 트랜지스터(M2), 및 제3 트랜지스터(M3)는 모두 NMOS로 구성할 수 있다. 입력 신호( $V_{IN}$ )는 제1 트랜지스터(M1)의 게이트로 입력되고, 제1 트랜지스터(M1)의 소스는 접지와 연결된다. 제1 트랜지스터(M1)의 드레인은 캐스코드된 제2 트랜지스터(M2)의 소스와 N1 노드에서 연결된다. 제2 트랜지스터(M2)의 드레인은 N2 노드에서 부하 커플링부(150)와 연결되며, 증폭된 출력 신호( $V_{OUT}$ )는 제2 트랜지스터(M2)의 드레인(N2 노드)에서 출력된다.
- [0046] 부하 커플링부(150)의 커패시터( $C_p$ )는 전원(VDD)과 제2 트랜지스터(M2)의 드레인(N2 노드) 사이에 연결되며, 변압기의 1차 코일인 제1 인덕터( $L_p$ )는 커패시터( $C_p$ )와 병렬로 전원(VDD)과 제2 트랜지스터(M2)의 드레인(N2

노드) 사이에 연결된다. 변압기의 2차 코일인 제2 인덕터( $L_s$ )는 전원(VDD)과 제3 트랜지스터(M3)의 드레인 사이에 연결된다.

[0047] 제3 트랜지스터(M3)의 소스는 N1노드에 연결되어, 제1 트랜지스터(M1)와 캐스코드 연결된다. 제3 트랜지스터(M3)는 게이트에 연결된 제어 신호에 의해 가변될 수 있다. 제3 트랜지스터(M3)를 복수의 NMOS로 구성한 경우 각각의 NMOS의 게이트에 제어 신호의 비트를 대응시키면, 각각의 NMOS를 온-오프 시킴에 따라 제3 트랜지스터에 흐르는 전류를 제어할 수 있다. 도 2에는 NMOS를 이용하여 구현한 가변 이득 증폭기의 회로가 개시되어 있지만, PMOS를 이용하여 가변 이득 증폭기를 구현하는 것도 가능하다.

[0048] 도 3은 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 동작을 설명하는 회로도이다.

[0049] 도 3을 참조하면, 변압기 기반 잡음 상쇄 기법을 적용한 가변 이득 저잡음 증폭기(100)는, 메인 증폭부(110)와 이득 제어를 위한 전류 조향부(current-steering)(130)를 각각 통합하는 캐스코드 공통 소스 구조를 기본으로 구성할 수 있다. 가변 이득 증폭기는 메인 증폭부와 전류 조향부의 부하 사이에 변압기(transformer)(150)를 포함하여 구성할 수 있다. 이러한 구성에 의해, 전류 조향부로 유입되는 고주파(radio frequency, RF) 신호 전류가 다시 메인 증폭부로 유도(coupled)되어 동일 위상(in-phase)의 메인 신호와 결합되어 증폭기 이득 가변 및 잡음을 감소시킬 수 있다.

[0050] 입력 트랜스컨덕턴스 소자(M1)는 입력 RF 전압 신호( $V_{IN}$ )를 RF 전류( $i1 = i_{RF} = g_{m1} V_{IN}$ ) 신호로 변환한다. 이때,  $g_{mX}$ 는 트랜스컨덕턴스 소자( $M_X$ )의 트랜스컨덕턴스 값을 나타낸다. 메인 증폭부의 캐스코드 소자(M2)에 흐르는 전류( $i2$ )에 비해 전류 조향부의 이득 제어 소자(M3)에 흐르는 전류( $i3$ )가  $\alpha$  배 크도록 제3 트랜지스터(M3)의 제어 전압을 설정한 경우,  $i1 = i2 + i3$  이므로,  $i2 = 1/(1+\alpha) \cdot i1$  이고,  $i3 = \alpha/(1+\alpha) \cdot i1$  이다.

[0051] MOSFET을 사용하는 경우, 소자에 흐르는 전류는 MOSFET의 크기에 비례하므로, “ $\alpha$ ”는 캐스코드 소자(M2)의 크기(폭)( $W/L$ )에 대한 이득 제어 소자(M3)의 크기(폭)( $aW/L$ )의 비를 나타낸다. 전류 조향부의 이득 제어 소자(M3)를 온-오프(on-off) 제어하여 이득 제어 소자(M3)의 크기가 메인 증폭부의 캐스코드 소자(M2)의 크기보다  $\alpha$  배 크도록 설정한 경우,  $i1 = i_{RF}$  이므로, RF 전류는 메인 증폭부의 캐스코드 소자(M2)에  $i2 = 1/(1+\alpha) \cdot i_{RF}$  만큼 흐르고, 전류 조향부의 이득제어 소자(M3)를 통해서  $i3 = \alpha/(1+\alpha) \cdot i_{RF}$  만큼 흐른다.

[0052] 도 4는 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 출력 임피던스를 구하기 위한 등가회로도이다.

[0053] 변압기(트랜스포머) 부하 커플링 효과를 포함하여 증폭기의 전반적인 이득을 결정하기 위해서는, 메인 증폭부(110) 및 전류 조향부(130) 모두에서 전류 흐름을 고려하여 부하 출력 임피던스( $Z_{OUT}$ )가 계산되어야 한다. 도 4의 등가회로를 참조하여, 메인 증폭부(110)와 전류 조향부(130)에 흐르는 RF 전류와, 변압기 부하를 고려하여, 출력 임피던스( $Z_{OUT}$ )를 유도할 수 있다.

[0054] 결합계수  $k$  인 두 인덕터 코일의 상호 인덕턴스(mutual inductance,  $M$ )는  $M = k \sqrt{L_p L_s}$  이다. 분석을 보다 단순화 하기 위해,  $L_p = L_s$  및  $R_p = R_s$  를 가정하면, 상호 인덕턴스( $M$ )는 결합계수( $k$ )와 제1 인덕터의 인덕턴스( $L_p$ )의 곱( $kL_p$ )으로 단순화 된다. 따라서 출력 임피던스( $Z_{OUT}$ )는 다음 수학적 식 1과 같이 구할 수 있다.

[0055] [수학적 식 1]

$$Z_{OUT}(s) = \frac{V_X}{I_X / (1 + \alpha)} = \frac{R_p + sL_p (1 + \alpha k)}{1 + sR_p C_p + s^2 L_p C_p}$$

[0056]

[0057] 여기서,  $L_p$  는 변압기 1차 인덕턴스이고,  $L_s$  는 변압기 2차 인덕턴스이고,  $R_p$  는 변압기 1차 기생 직렬 저항이고,  $R_s$  는 변압기 2차 기생 직렬 저항이다.

[0058] 공진 주파수( $\omega_0$ )에서, 1차 인덕터( $L_p$ )가 병렬 커패시터( $C_p$ )와 공진 할 때, 최대 이득 모드 ( $\alpha = 0$ ) 에서  $L_p/R_p C_p \gg R_p$  를 가정하면, 출력 임피던스( $Z_{OUT}$ )는 다음 수학적 식 2로 구할 수 있다.

[0059] [수학식 2]

$$Z_{OUT}(j\omega_0) = \frac{L_P}{R_P C_P} + \alpha k \left( \frac{L_P}{R_P C_P} - R_P \right) \cong \frac{L_P}{R_P C_P} (1 + \alpha k)$$

[0061] 이때, 공진주파수( $\omega_0$ )는 다음 수학식 3으로 결정될 수 있다.

[0062] [수학식 3]

$$\omega_0 = \sqrt{\frac{L_P - R_P^2 C_P}{L_P^2 C_P}}$$

[0064] 따라서, 캐스코드 단까지 고려한 가변 이득 저잡음 증폭기의 최종 전압 이득 ( $G$ )은 다음 수학식 4로 구할 수 있다.

[0065] [수학식 4]

$$G = g_{m1} \frac{1}{1 + \alpha} \frac{L_P}{R_P C_P} (1 + \alpha k) = g_{m1} \frac{L_P}{R_P C_P} \frac{1 + \alpha k}{1 + \alpha}$$

[0067] 수학식 4에서 가변 이득 저잡음 증폭기의 이득은, 일반적인 변압기 조건인  $k < 1$ 의 경우에 대해  $\alpha$ 가 증가함에 따라 달라지게 된다. 즉, 결합 계수( $k$ )가 작을수록 더 큰 이득 제어 범위를 가질 수 있다. 따라서 이득의 제어 범위를 변압기 설계를 통해 조정할 수 있다.

[0068] 도 5는 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 메인 증폭부의 캐스코드 소자로부터 기여된 채널 잡음의 잡음 상쇄 메커니즘을 나타내는 회로도이다.

[0069] 앞에서 설명한 이득 분석과 마찬가지로, 이득 제어 소자인 제3 트랜지스터(M3)의 크기 조절을 통해 전류 조향 단으로 흐르는 RF 전류량을 조절할 수 있다. 도 5를 참조하면, 전류 조향부(130)는 M3,1부터 M3,  $\alpha$ 까지  $\alpha$ 개의 이득 제어 소자를 포함한다. 각각의 이득 제어 소자는 동일한 크기( $I^*/L$ )를 가지도록 구성하여, 서로 병렬로 연결된 이득 제어 소자 전체의 크기는  $\alpha I^*/L$ 가 된다. 각각의 이득 제어 소자는  $\alpha$ 개의 제어 비트 신호를 이용하여 온-오프 동작을 컨트롤 할 수 있다. 여기에서는 분석을 용이하게 하기 위하여 각각의 이득 제어 소자를 동일한 크기( $I^*/L$ )로 가정하였으나, 필요에 따라 서로 다른 크기, 예를 들어 2배씩 증가하는 크기 등으로 설정할 수도 있다.

[0070] 최대 이득 모드 일 때는 (모든 이득 제어 소자 M3,1-M3,  $\alpha$ 를 off 시킨 경우), 캐스코드 소자인 제2 트랜지스터(M2)의 소스 단자에서 보이는 높은 임피던스( $Z_{S2}$ ) 때문에, 캐스코드 소자(M2)로부터의 잡음 기여도는 전체 노이즈 성능에 큰 영향을 끼치지 않는다.

[0071] 그러나, 낮은 이득 모드에서 RF 전류 조향을 위해  $\alpha$ 개의 이득 제어 소자(M3,1-M3,  $\alpha$ )가 켜지게(on) 되고, 그에 따라  $Z_{S2}$  임피던스가 낮아지게 된다. 이는 결과적으로 출력에 대한 캐스코드 소자(M2) 및 이득 제어 소자(M3)의 잡음 기여도를 크게 증가시킨다. 일 실시예에 따른 가변 이득 저잡음 증폭기(100)는 낮은 이득 모드에서도 변압기(트랜스포머)를 통해 잡음 상쇄 특성을 추가로 제공하여, 낮은 이득 모드에서의 출력에 대한 제2 트랜지스터인 캐스코드 소자(M2) 및 제3 트랜지스터인 이득 제어 소자(M3)의 잡음 기여도를 감소시킬 수 있다.

[0072] 도 5를 참조하면, 낮은 이득 모드에서 캐스코드 소자(M2)에 의해 잡음 전류  $i_{n,CAS}$ 가 발생한 상태를 나타낸다. 잡음 전류 ( $i_{n,CAS}$ ) 중 일부는 경로 1(path 1)을 통해서 출력 부하에 직접 나타난다. 이때, 제2 트랜지스터(M2)와 제3 트랜지스터(M3,1부터 M3,  $\alpha$ 까지) 각각의 크기( $I^*/L$ )가 동일하므로,  $g_{m2} = g_{m3,1} = \dots = g_{m3,\alpha}$ 라고 하면, 경로 1을 통해서 나타나는 잡음 전류는  $\alpha/(\alpha+1) \cdot i_{n,CAS}$ 가 된다.

[0073] 한편, 동일한 양의 잡음 전류가 이득 제어 소자(M3,1-M3,  $\alpha$ )를 지나는 경로 2(path 2)를 통해 변압기의 2차 코일로 유입되어, 반대 위상으로 출력에 결합(coupled)될 수 있다. 결과적으로 일 실시예에 따른 가변 이득 저잡음 증폭기(100)는 메인 증폭부의 캐스코드 소자(M2)로부터 기인한 채널 잡음의 부분적인 제거가 가능해진다.

[0074] 메인 증폭부의 캐스코드 소자(M2)의 채널 잡음이 경로 1 및 경로 2를 통해 출력에 나타나는 총 잡음 전압( $V_{n,OU}$ )

$\tau$ )은 다음 수학적식 5와 같이 나타낼 수 있다.

[수학적식 5]

$$v_{n,OUT} \mid_{M2} = - \frac{R_p + sL_p(1-k)}{1 + sR_pC_p + s^2L_pC_p} \frac{\alpha}{1+\alpha} i_{n,CAS}$$

충분히 작은  $k$  값과, 위의 수학적식 3에서 구한 공진 조건 ( $\omega_0$ )에서  $L_p/R_pC_p \gg R_p$  를 가정하는 경우, 캐스코드 소자(M2)에 의해 주어진 출력 잡음 전력 ( $\overline{v_{n,OUT}^2} \mid_{M2}$ )은 다음 수학적식 6으로 구할 수 있다.

[수학적식 6]

$$\overline{v_{n,OUT}^2} \mid_{M2} \cong \frac{L_p^2(1-k)^2}{R_p^2C_p^2} \frac{\alpha^2}{(1+\alpha)^2} \overline{i_{n,CAS}^2}$$

위의 수학적식 6에서 알 수 있듯이, 메인 증폭부의 캐스코드 소자(M2)로부터의 출력 잡음 전력은 미리 정해진 특정  $\alpha$  값에 대해,  $k$  가 증가함에 따라 감소하게 된다. 수학적식 6에서, 이상적인 트랜스포머( $k=1$ )인 경우 완벽한 잡음 제거가 이루어지고, 자기(magnetic) 커플링이 없는( $k=0$ ) 경우 변압기(트랜스포머) 기반 잡음 상쇄 기법이 적용되지 않아서 캐스코드 소자(M2)로부터의 잡음이 발생한다.

도 6은 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 전류 조향부의 이득 제어 소자로부터 기여된 채널 잡음의 잡음 상쇄 메커니즘을 나타내는 회로도이다.

도 6을 참조하면, 전류 조향부의 이득 제어 소자(M3,1-M3,  $\alpha$ ) 중 하나(M3,1)에서, 잡음 전류  $i_{n,GC}$  가 발생한 상태를 나타낸다. 이득 제어 소자 중 하나(M3,1)를 제외한  $\alpha$  개의 소자(M3에서  $\alpha-1$ 개, 그리고 같이 연결된 M2 소자 1개)로 인해  $[1/(\alpha+1)] \cdot i_{n,GC}$ 의 잡음 전류가 경로 1(path 1)을 통해 출력에 나타난다.

또한, 변압기(트랜스포머)의 2차 코일을 지나는 잡음 전류는, ( $\alpha-1$ )개의 경로 2a(path 2a)를 통해서  $[(\alpha-1)/(\alpha+1)] \cdot i_{n,GC}$  만큼 코일로 유입되고, 1개의 경로 2b(path 2b)를 통해서  $[\alpha/(\alpha+1)] \cdot i_{n,GC}$  만큼 코일로부터 유출되므로, 출력 전압에 커플링되기 위해 변압기의 2차 코일로 유입되는 잡음 전류(경로 2)는  $[(\alpha-1)/(\alpha+1) - \alpha/(\alpha+1)] \cdot i_{n,GC}$  이 된다. 따라서 출력에서의 결합된 잡음 전압( $V_{n,OUT}$ )은 다음 수학적식 7과 같이 구할 수 있다.

[수학적식 7]

$$v_{n,OUT} \mid_{M3,1} = \frac{R_p + sL_p(1-k)}{1 + sR_pC_p + s^2L_pC_p} \frac{1}{1+\alpha} i_{n,GC}$$

온(on)되어 동작하는 이득 제어 소자(M3)의 수를 나타내는  $\alpha$  값을 고려할 때, 동일한 공진 주파수( $\omega_0$ ) 조건에서 전체 이득 제어 소자(M3,1-M3,  $\alpha$ )에 의해 나타나는 출력 잡음 전력을 다음 수학적식 8과 같이 정리할 수 있다.

[수학적식 8]

$$\overline{v_{n,OUT}^2} \mid_{M3,1-M3,\alpha} \cong \frac{L_p^2(1-k)^2}{R_p^2C_p^2} \frac{\alpha}{(1+\alpha)^2} \overline{i_{n,GC}^2}$$

메인 증폭부의 캐스코드 소자(M2)에 의한 잡음 상쇄와 유사하게, 상기 수학적식 8 또한 미리 정해진 특정  $\alpha$  값에 대해, 낮은 이득 모드에서 변압기(트랜스포머)의 더 큰 결합 계수( $k$ )는 이득 제어 소자(M3)로부터의 더 적은 잡음 기여를 나타낸다. 즉, 전류 조향부의 이득 제어 소자(M3,1-M3,  $\alpha$ )의 잡음 또한 일 실시예에 따른 변압기를 사용한 가변 이득 저잡음 증폭기(100)를 통해 부분적으로 제거가 가능하다.

완벽한 입력 매칭 조건을 가정하였을 때, 가변 이득 저잡음 증폭기(100)의 최종 잡음 팩터(Noise Factor, NF)는 다음 수학적식 9로 결정될 수 있다.

[0091] [수학식 9]

$$NF \cong 1 + EF|_{M1} + EF|_{M2} + EF|_{M3,1-M3,\alpha}$$

$$\cong 1 + \frac{4\gamma}{g_{m1}R_S} + \frac{4\gamma g_{m2}(1-k)^2\alpha^2}{g_{m1}^2R_S(1+\alpha k)^2} + \frac{4\gamma g_{m2}(1-k)^2\alpha}{g_{m1}^2R_S(1+\alpha k)^2}$$

[0092]

[0093] 여기서, EF는 각 소자의 초과 노이즈 인자(excess noise factor)로 각 소자의 노이즈 기여도를 나타내고,  $\gamma$  는 소자의 초과 노이즈 계수(excess noise coefficient)를 나타낸다.

[0094] 상기 수학식 9에서 알 수 있듯이 부하 변압기(트랜스포머)가 없는 경우( $k = 0$ ), 커지는 이득 제어 소자의 수( $\alpha$ )가 증가함에 따라 캐스코드 소자(M2)에 의한 잡음 팩터는  $\alpha^2$  배로 증가하고, 이득 제어 소자(M3)에 의한 잡음 팩터는  $\alpha$  배로 증가하여, 잡음 팩터(NF)의 성능이 크게 저하된다.

[0095] 이와 대조적으로, 메인 증폭부(110)와 전류 조향부(130)에 추가된 결합계수  $k$  의 변압기(트랜스포머)는  $[(1-k)/(1+\alpha k)]^2$  배 만큼 잡음 팩터(NF)의 열화를 완화하는 것을 알 수 있다.

[0096] 도 7은 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 전압 이득과 잡음 팩터를  $\alpha$  및  $k$  변화에 대해 시뮬레이션한 결과를 나타내는 그래프이다.

[0097] 도 7의 (a)는 상기 수학식 4의 최종 전압 이득 식을 이용하여  $\alpha$  및  $k$  변화에 대한 전압 이득(dB)을 시뮬레이션한 결과를 나타내는 그래프이고, 도 7의 (b)는 상기 수학식 9의 최종 노이즈 팩터 수식을 이용하여  $\alpha$  및  $k$  변화에 대한 잡음 팩터(dB)를 시뮬레이션한 결과를 나타내는 그래프이다.  $\alpha$  값은 가로 축에 표시하였고,  $k$  값 변화에 따른 그래프들은 각각 다른 색상으로 나타나 있으며,  $k = 0$  인 그래프에서  $k = 1$  인 그래프로 ( $k$  값이 커지는 방향으로) 화살표가 표시되어 있다.

[0098] 도면 7(a)를 참조하면, 가로축 오른쪽으로 갈수록(큰  $\alpha$  값), 즉 이득 제어 소자가 많이 커짐에 따라, 전체 이득 값이 낮아진다. 또한,  $k$  값이 감소할수록 더 적은 동위상의 RF신호가 전류 조향부(130)에서 메인 증폭부(110)으로 유도됨에 따라,  $\alpha$  값 변화에 따른 이득 제어 범위가 커지게 된다. 한편,  $k$  값이 큰 경우에는, 가변 이득 증폭기의 이득 제어 범위가 줄어드는 대신에 좀 더 정밀한 제어가 가능해진다.

[0099] 도면 7(b)를 참조하면,  $\alpha$ 가 증가함에 따라 잡음 팩터(NF)가 증가하여, 성능이 저하 되지만,  $k$  값이 커질수록 잡음 상쇄 효과로 인해 NF의 증가 양이 감소하여,  $k = 0.4$  이상에서는  $\alpha$ 가 증가하여도 충분히 성능 저하를 완화함을 알 수가 있다.

[0100] 도 8은 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 구체적인 구성을 나타내는 회로도이다.

[0101] 일 실시예에 따른 가변 이득 저잡음 증폭기를 65nm CMOS 공정을 기반으로 설계하고 시뮬레이션을 실행하였다. 시뮬레이션은 5G NR FR2 (26.5~29.5GHz)의 n257 및 n261 주파수 대역인 28 GHz의 중심 주파수에 대해 진행하였다.

[0102] 도 8을 참조하면, 가변 이득 저잡음 증폭기(100)는 부하 커플링부(150)의 부하 트랜스포머(TF1)가 메인 증폭부(110)와 전류 조향부(130)에 커플링되도록 적용되었다. 메인 증폭부(110)의 입력 트랜스컨덕턴스 소자(M1)는, 소스가 인덕터(L2)를 통해서 접지에 연결되고, 드레인도 인덕터(L3)를 통해서 캐스코드 소자(M2)의 소스와 연결된다.

[0103] 전류 조향부의 이득 제어 소자(M3 내지 M6)의 크기는 2배씩 증가하는 (binary-weighted) 크기로 설정하고, 4-비트 (bits) 제어를 통해 조정할 수 있도록 설계하였다. 이 경우  $\alpha$  값은  $2^4 - 1 = 15$  까지 설정할 수 있다.

[0104] 도 9는 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 구체적인 구성에 대한 전압 이득과 잡음 팩터를  $k$  값 변화에 대해 시뮬레이션한 결과를 나타내는 그래프이다.

[0105] 도 9의 (a)는 도 8의 회로에서 설계된 변압기(TF1) 결합 계수  $k$  값의 변화에 따른 최대, 최소 이득(Gain)과 최대, 최소 잡음 팩터(NF)의 변화를 나타낸 것이고, 도 9의 (b)는 도 8의 회로에서 변압기(TF1) 결합 계수  $k$  값의 변화에 따른 이득과 잡음 특성 변경 범위를 나타낸 것이다.

[0106] 상기 수학식 4 및 상기 수학식 9에서 나타낸 바와 같이, 결합 계수( $k$ )의 조절을 통해, 이득과 잡음의 변화율을

조절이 가능하다는 것을 알 수가 있다. 잡음 팩터(NF)의 증가율 또한 적절한  $k$  값 선택을 통해서 조절이 가능하다.

- [0107] 도 9를 참조하면, 도 8의 가변 이득 증폭기 회로에서 결합계수( $k$ )가 0.3인 경우 잡음 팩터(NF)의 변화를 2 dB 정도로 줄일 수 있고, 결합계수( $k$ )가 0.4 보다 큰 경우 NF의 변화를 1 dB 이하로 줄일 수 있다. 따라서 일 실시예에 따른 부하 변압기 기반 잡음 상쇄 가변 이득 증폭기(100)를 통해 잡음 특성이 개선됨을 시뮬레이션을 통해 확인할 수 있다.
- [0108] 도 10은 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 구체적인 구성에 대한 이득과 잡음 팩터를 주파수 변화에 대해 시뮬레이션한 결과를 나타내는 그래프이다.
- [0109] 도 10의 (a)는  $k = 0.3$  을 만족하는 부하 변압기(트랜스포머)를 도 8의 회로에 적용하였을 때의 가변 이득(Gain)의 시뮬레이션 결과값을 보여준다. 가장 위쪽의 검은색 그래프는 도 8의 전류 조향부의 제어 비트에 “0000”을 보내어 이득 제어 소자를 전부 오프(off)시킨 경우로 각 주파수에서 최대 이득을 얻을 수 있다. 가장 아래쪽의 빨간색 그래프는 제어 비트에 “1111”을 보내어 이득 제어 소자를 전부 온(on)시킨 경우로 각 주파수에서 최소 이득을 얻을 수 있다. 도 10의 (a)에서 최대 이득을 얻는 주파수는 위쪽의 검은색 그래프(이득 제어 소자를 모두 오프시킨 경우)의 피크에서 28GHz 임을 확인할 수 있다. 이때 최대 이득(Gain)은 검은색 그래프에서 13.9dB 이고, 빨간색 그래프까지의 이득 제어 범위는 6.1dB 이었다. 이 값들은  $k$  값의 변경을 통해 조절이 가능하다.
- [0110] 도 10의 (b)는  $k = 0.3$  을 만족하는 부하 변압기(트랜스포머)를 도 8의 회로에 적용하였을 때의 잡음 특성(NF)의 시뮬레이션 결과값을 보여준다. 가장 위쪽의 빨간색 그래프는 도 8의 전류 조향부의 제어 비트에 “1111”을 보내어 이득 제어 소자를 전부 온(on)시킨 경우이고, 가장 아래쪽의 검은색 그래프는 제어 비트에 “0000”을 보내어 이득 제어 소자를 전부 오프(off)시킨 경우이다. 도 10의 (b)에서 최소 NF 값은 최대 가변 이득을 나타내는 아래쪽 검은 그래프(이득 제어 소자를 모두 오프시킨 경우)의 28GHz 부근의 피크에서 구할 수 있다. 이때 최소 NF는 검은색 그래프에서 3dB 이고, 빨간색 그래프의 최소 이득으로 변환 시에도 NF는 3.68dB 이어서, NF 열화는 0.68dB로 낮은 증가율을 보이는 것을 확인할 수 있다.
- [0111] 도 11은 종래기술의 위상배열 수신기의 전치단과 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기가 사용되는 위상배열 수신기의 전치단을 개략적으로 나타내는 구성도이다.
- [0112] 도 11의 (a)는 종래기술에 의한 전치단을 나타내고, 도 11의 (b)는 본 발명의 일 실시예에 따른 가변 이득 증폭기가 사용되는 전치단을 나타낸다.
- [0113] 도 11의 (a)를 참조하면, 종래기술의 위상 배열 수신기의 전치단(1100)은 가변 이득 증폭기(VGA)(1300)와 더불어 저잡음 증폭기(LNA)(1200), 위상 천이기(PS)(1300)를 포함한다. 전치단(1100)은 복수개 구비되어 다양한 무선 통신 시스템(3G, LTE, 5G NR, 등)의 송 수신단 위상 배열 시스템에 사용된다.
- [0114] 도 11의 (b)를 참조하면, 본 발명의 일 실시예에 따른 저잡음 가변 이득 증폭기(VGLNA)(100)는 낮은 이득에서도 잡음을 효과적으로 줄일 수 있어서, 종래기술에 의한 저잡음 증폭기(LNA)와 가변 이득 증폭기(VGA)의 기능을 통합하여 수행할 수 있다. 그 결과 저비용, 고효율 송수신단의 설계가 가능해진다.
- [0115] 본 발명의 실시예에 따른 가변 이득 증폭기(100)는 MOSFET을 사용하고, 전류 조향 시스템을 적용한 모든 캐스코드 구조에 적용이 가능하다. 또한 기존의 가변 이득 증폭기에서 부하 변압기만 추가 함으로써 구현이 가능하기 때문에 비용 및 크기의 증가가 없다는 점에서 그 장점이 존재한다. 저이득 모드에서 잡음 증가율을 줄인 가변 이득 증폭기의 특성을 이용하여 저잡음 증폭기의 역할까지 수행이 가능하므로 5G, beyond 5G 등 다양한 MIMO 및 위상 배열 시스템에 공간, 비용 효율적으로 적용될 수 있다.
- [0116] 도 12는 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 동작 방법을 개략적으로 나타내는 순서도이다.
- [0117] 일 실시예에 따른 가변 이득 증폭기의 동작에 대하여 중복을 피하기 위해 앞에서 개시한 내용이 생략된 경우, 통상의 기술자는 앞에서 개시한 해당 내용을 참조하여 설명이 생략된 부분을 용이하게 실시할 수 있다.
- [0118] 도 12를 참조하면, 일 실시예에 따른 잡음 상쇄가 가능한 가변 이득 증폭기의 동작 방법은 고주파 신호를 제1 트랜지스터의 신호입력 단자로 입력받는 단계를 포함한다(S1210). 그리고 제1 트랜지스터를 이용하여, 입력된 고주파 RF 신호를 전류신호로 증폭한다(S1220).

- [0119] 제1 트랜지스터에는 제2 트랜지스터가 캐스코드 연결되고, 제1 트랜지스터와 제2 트랜지스터가 서로 연결되는 접점에 제2 트랜지스터와 병렬로 제3 트랜지스터가 제1 트랜지스터와 캐스코드 연결된다. 제3 트랜지스터를 제어하는 제어 신호를 입력받으면(S1230), 입력된 제어 신호에 따라 제3 트랜지스터를 동작시킨다. 제어 신호에 따라 제3 트랜지스터가 동작되는 개수( $\alpha$ )가 변화하면, 이득(Gain)과 잡음 팩터(NF)를 변경할 수 있다.
- [0120] 제3 트랜지스터가 동작하면, 제2 트랜지스터로 흐르는 전류가 제어되고(S1240), 제3 트랜지스터로 흐르는 전류도 제어된다(S1245). 그 결과 입력된 고주파 신호의 이득이 변화한다.
- [0121] 한편, 제2 트랜지스터를 흐르는 고주파 신호와 제3 트랜지스터를 흐르는 고주파 신호는 부하 커플링부를 통해서 서로 커플링된다(S1250). 그리고 제2 트랜지스터에서 증폭되고 커플링된 신호를 출력한다(S1260).
- [0122] 추가적인 양상에 따르면, 상기 고주파 신호를 커플링시키는 단계(S1250)에서, 커플링되는 양은 제2 트랜지스터에 연결된 변압기의 1차 코일과 제3 트랜지스터에 연결된 변압기의 2차 코일 사이의 결합계수( $k$ )에 의해 결정된다. 결합계수( $k$ )가 변경되면, 커플링되는 양이 변화하여, 이득(Gain)과 잡음 팩터(NF)가 변경된다.
- [0123] 추가적인 양상에 따르면, 상기 가변 이득 증폭기의 동작 방법은, 제2 트랜지스터에서 발생한 잡음 신호에 대해, 1차 코일에서 유출되는 신호와 제3 트랜지스터를 경유하여 2차 코일로 유입되는 신호가 서로 커플링되어 상쇄되는 단계를 더 포함한다. 이때, 1차 코일에서 유출되는 신호와 2차 코일로 유입되어 커플링되는 신호는 서로 반대 위상으로 커플링되므로, 출력 신호에서 잡음 성분이 상쇄될 수 있다. 앞의 도 5에서 설명한 것과 마찬가지로, 1차 코일에서 유출되는 전류와 2차 코일로 유입되는 전류를 이용하여 출력에 결합되는 잡음 전압을 수학식 5와 같이 구할 수 있다. 수학식 7에서 출력에 결합되는 잡음 전압은 결합계수( $k$ )가 커질수록 감소한다.
- [0124] 추가적인 양상에 따르면, 상기 가변 이득 증폭기의 동작 방법은, 제3 트랜지스터에서 발생한 잡음 신호에 대해, 제2 트랜지스터를 경유하여 1차 코일로 유입되는 신호와 2차 코일로 유입되는 신호가 서로 커플링되어 상쇄되는 단계를 더 포함한다. 앞의 도 6에서 설명한 것과 마찬가지로, 1차 코일로 유입되는 전류와 2차 코일로 유입되는 전류를 이용하여 출력에 결합되는 잡음 전압을 수학식 7과 같이 구할 수 있다. 수학식 7에서 출력에 결합되는 잡음 전압은 결합계수( $k$ )가 커질수록 감소한다.
- [0125] 이상에서 본 발명을 첨부된 도면을 참조하는 실시예들을 통해 설명하였지만 이에 한정되는 것은 아니며, 이들로 부터 당업자라면 자명하게 도출할 수 있는 다양한 변형예들을 포괄하도록 해석되어야 한다. 특허청구범위는 이러한 변형예들을 포괄하도록 의도되었다.

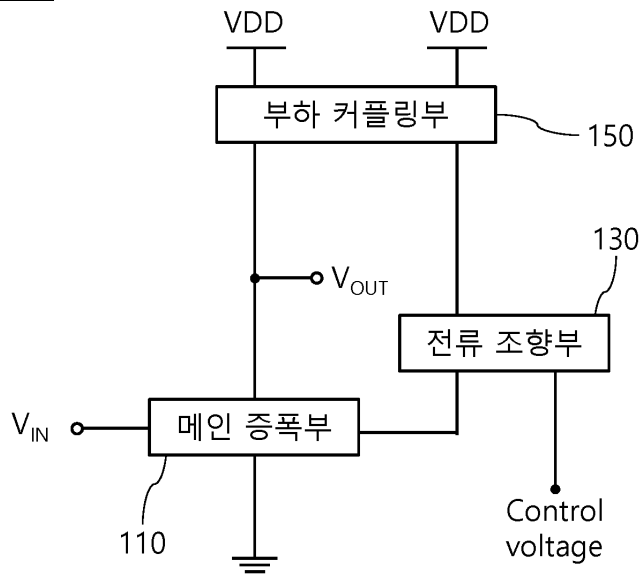
### 부호의 설명

- [0126] 100 : 가변 이득 증폭기(100)  
 110 : 메인 증폭부(110)  
 130 : 전류 조향부(130)  
 150 : 부하 커플링부(150)

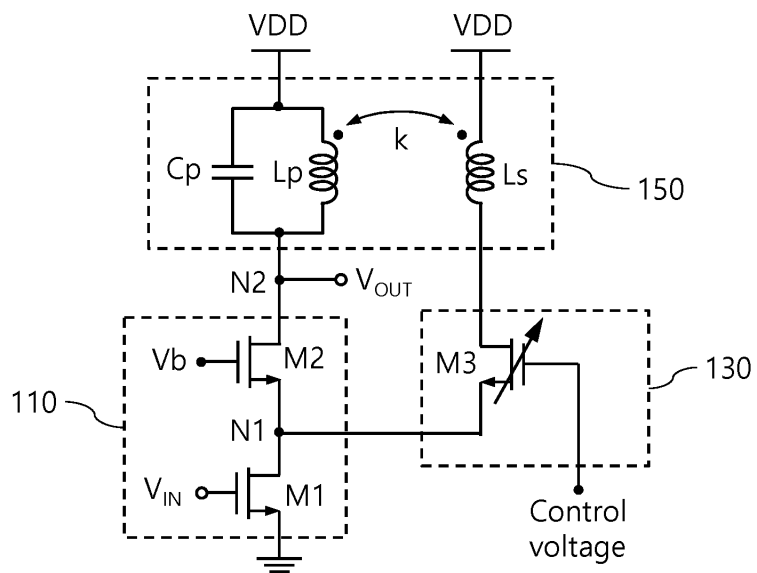
도면

도면1

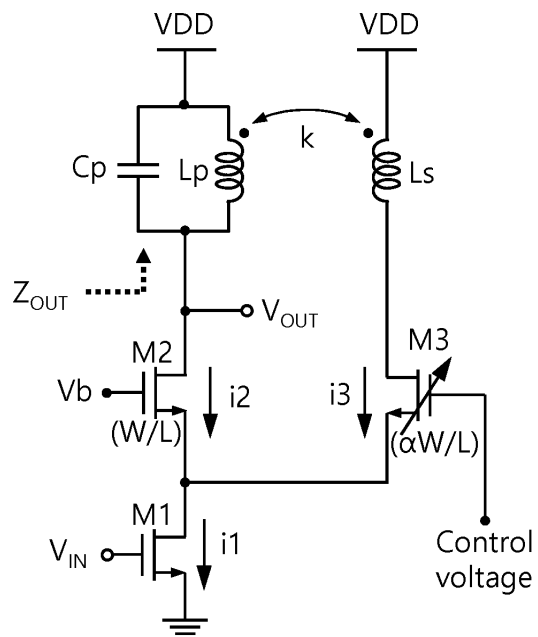
100



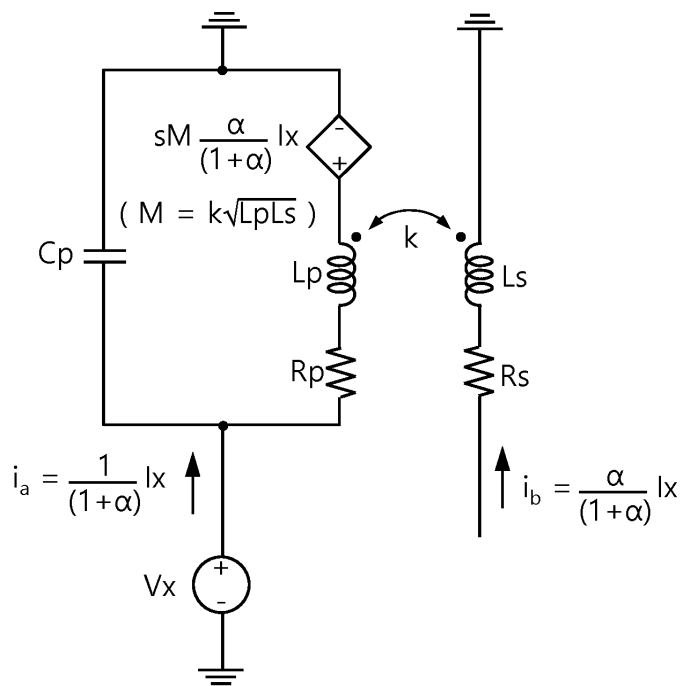
도면2



도면3

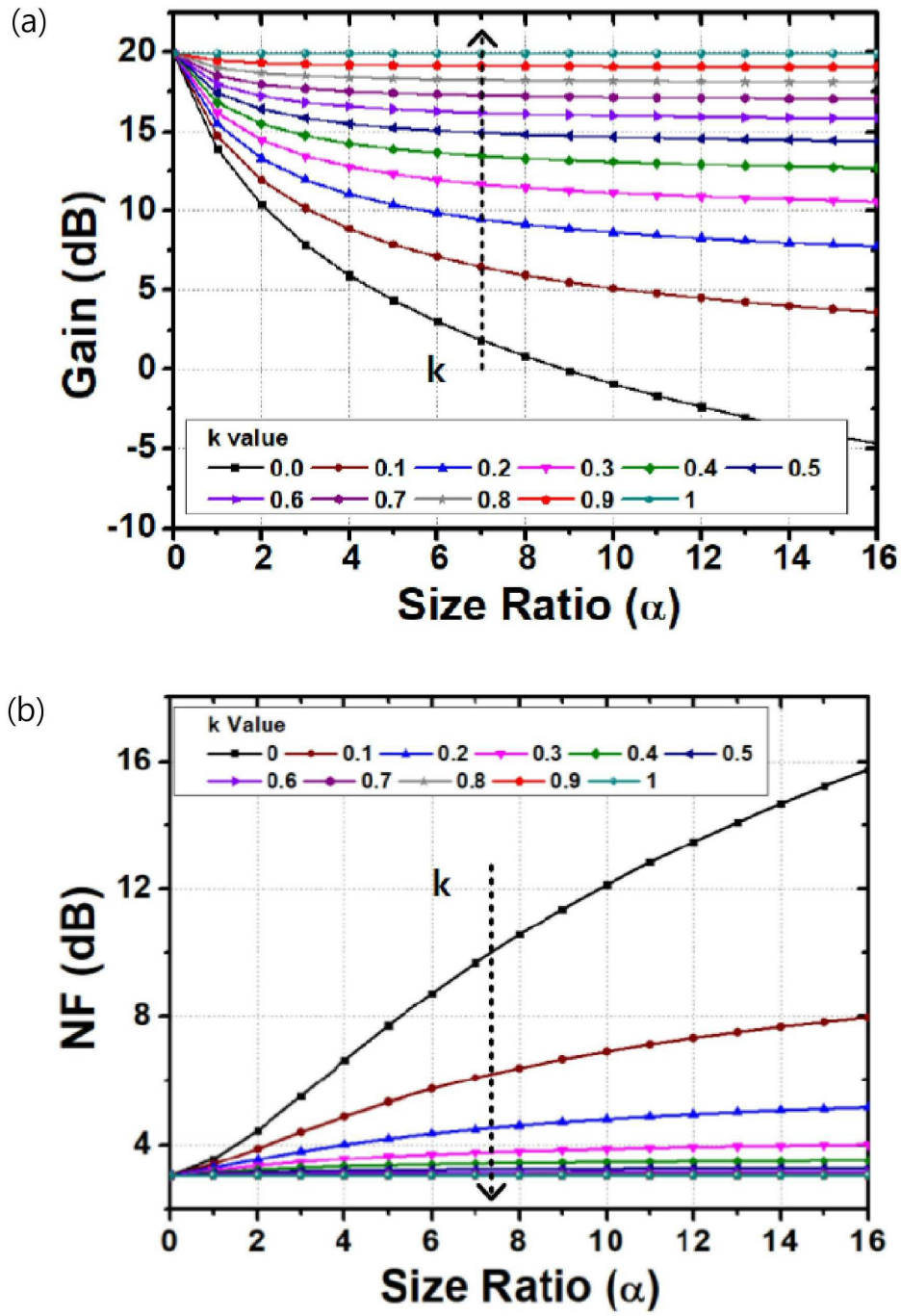


도면4

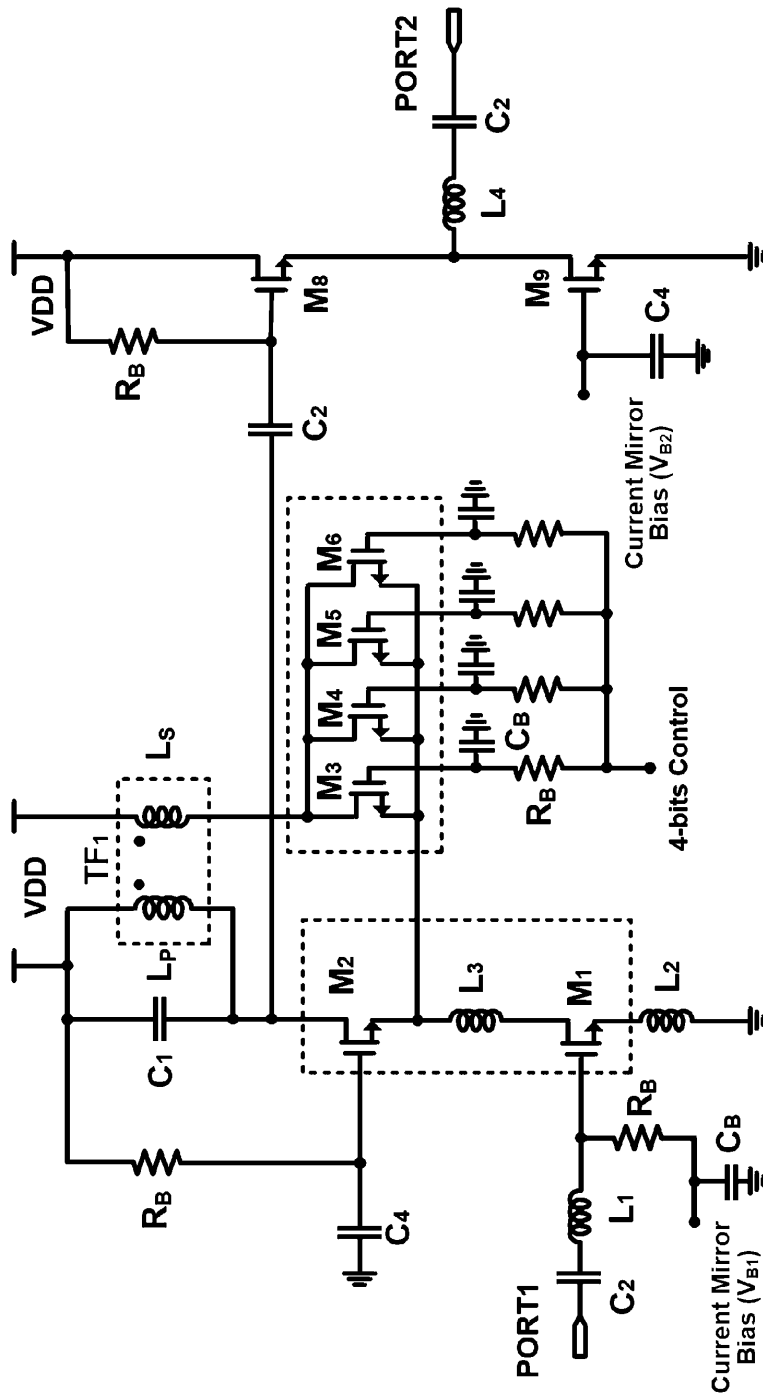




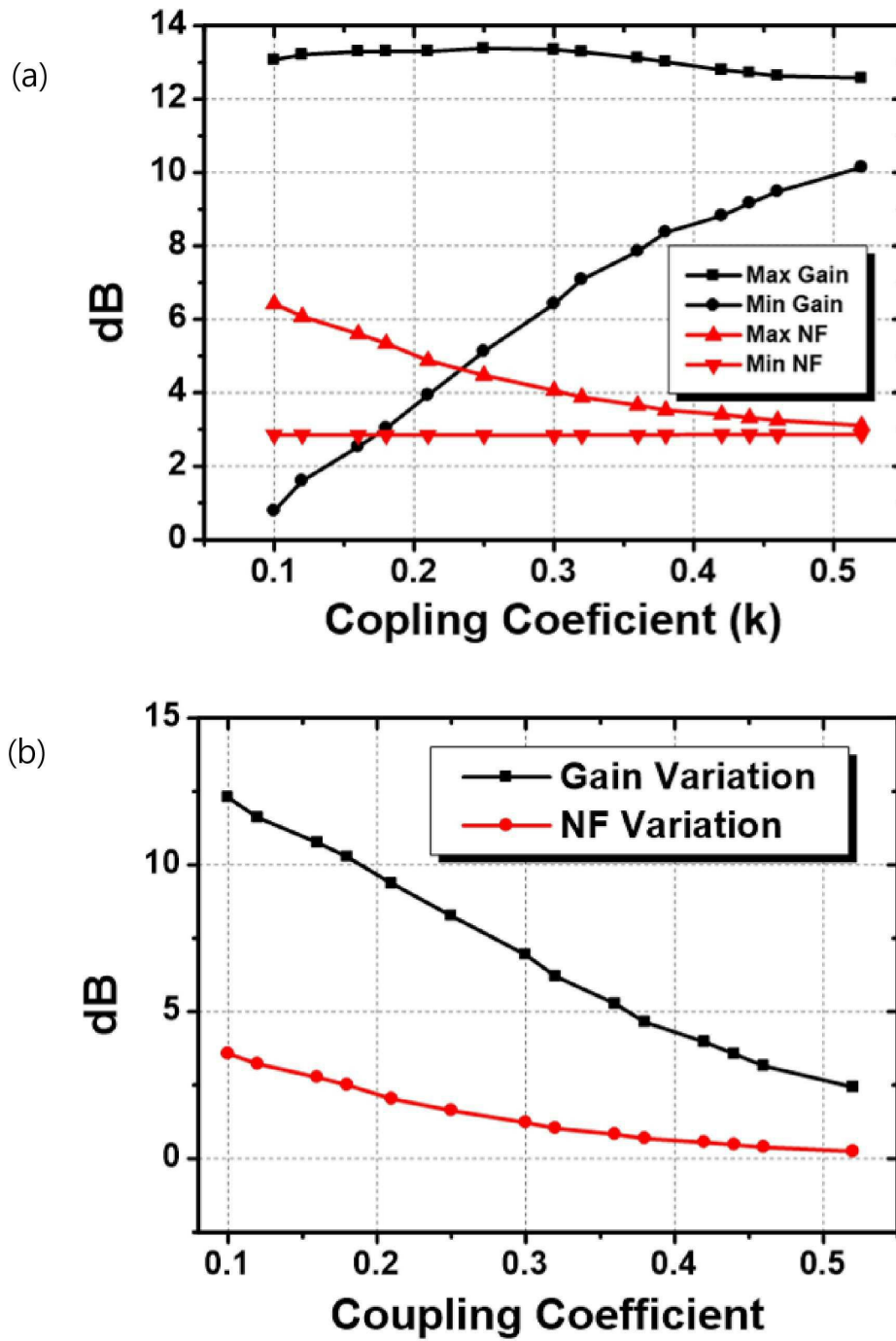
도면7



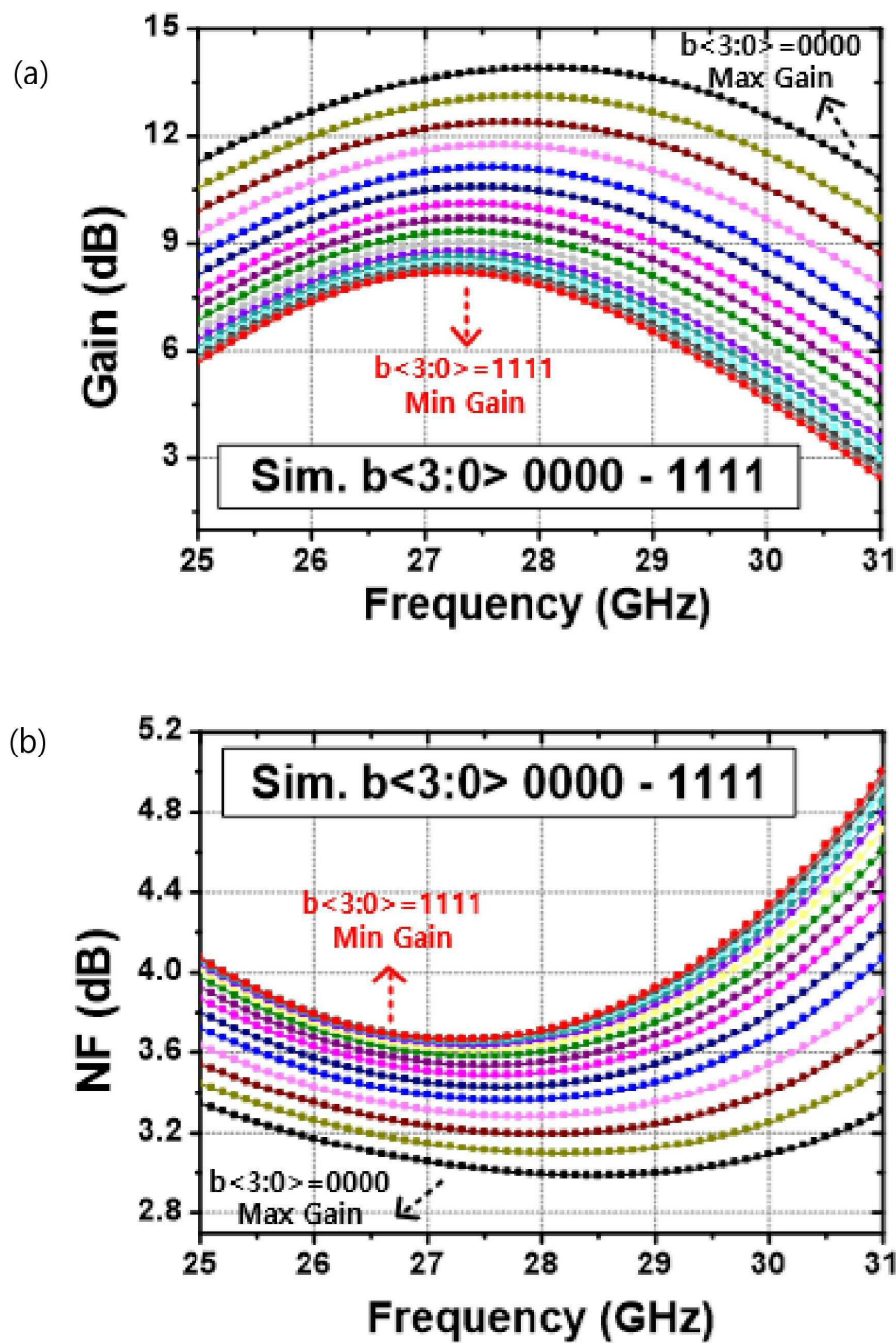
도면8



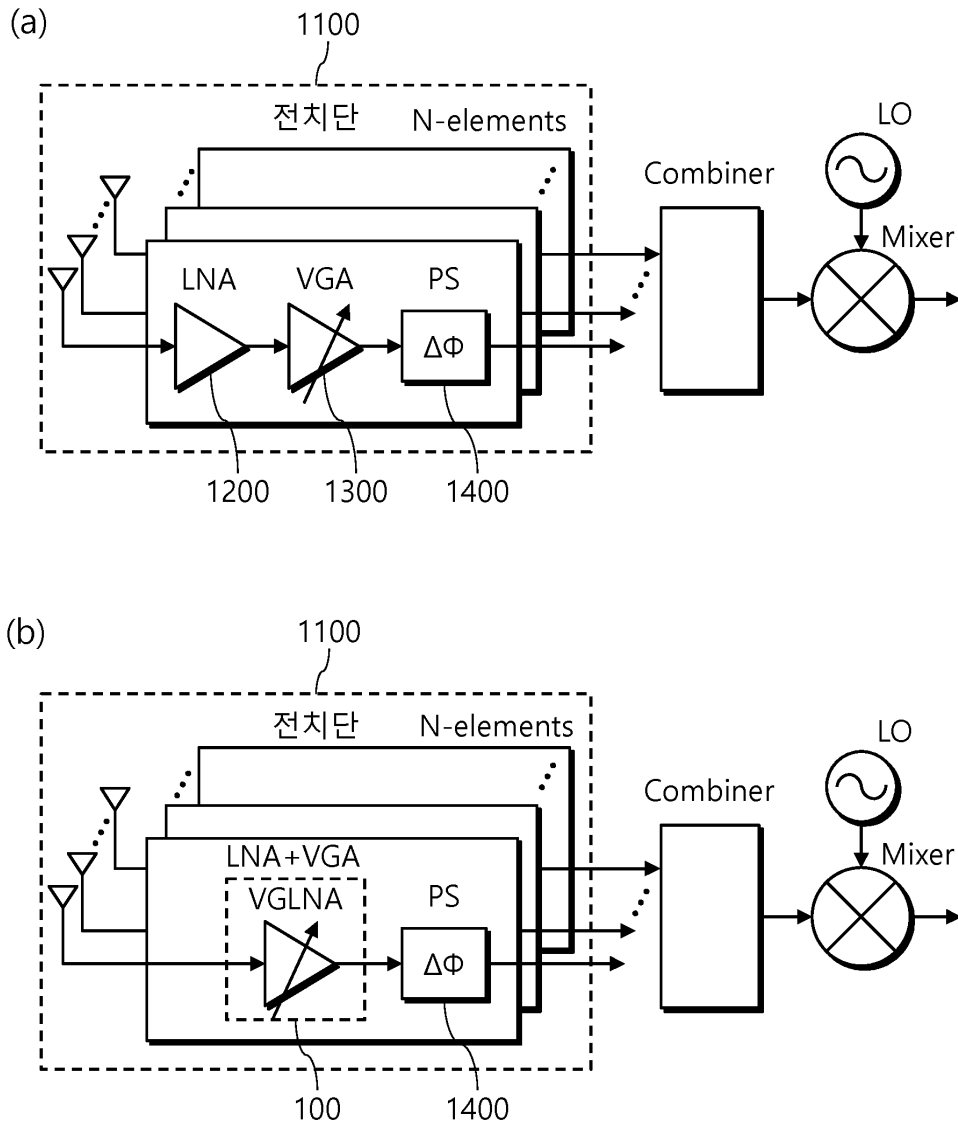
도면9



도면10



도면11



도면12

