

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 6 月 5 日 (05.06.2025)



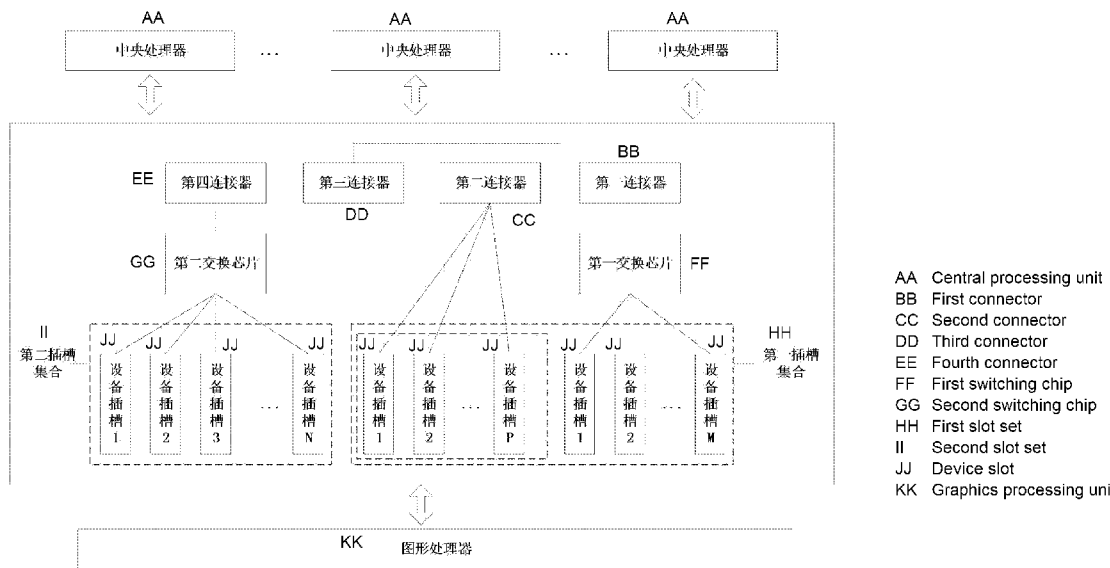
(10) 国际公布号
WO 2025/112271 A1

- (51) 国际专利分类号:
G06T 1/20 (2006.01)
- (21) 国际申请号: PCT/CN2024/088058
- (22) 国际申请日: 2024 年 4 月 16 日 (16.04.2024)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202311634161.1 2023年12月1日 (01.12.2023) CN
- (71) 申请人: 苏州元脑智能科技有限公司 (SUZHOU METABRAIN INTELLIGENT TECHNOLOGY CO., LTD.) [CN/CN]; 中国江苏省苏州市吴中区吴中经济开发区郭巷街道官浦路1号9幢 215000 (CN)。

- (72) 发明人: 郭伯亚 (GUO, Boya); 中国江苏省苏州市吴中区吴中经济开发区郭巷街道官浦路1号9幢 215000 (CN)。
- (74) 代理人: 北京康信知识产权代理有限公司 (KANGXIN PARTNERS, P.C.); 中国北京市海淀区知春路甲48号盈都大厦A座16层 100098 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: CIRCUIT BOARD OF GRAPHICS PROCESSING UNIT, AND SERVER SYSTEM

(54) 发明名称: 图形处理器的电路板及服务器系统



(57) Abstract: The present application provides a circuit board of a graphics processing unit, on which a first connector, a second connector, a third connector and a fourth connector, a first switching chip and a second switching chip, and a first slot set comprising M+P slots and a second slot set comprising N slots are deployed, wherein N is equal to M+P. The first switching chip is connected to the first connector, the third connector, and M slots of the first slot set, the second switching chip is connected to the fourth connector and N slots of the second slot set, and the second connector is connected to P slots of the first slot set; the first connector is connected to a central processing unit; the second connector is connected to the third connector; the third connector is connected to the second connector or the fourth connector. The present application solves the problem of complex switching operation for connection topological structures of a plurality of graphics processing units on a server, and achieves the effect of reducing the complexity of switching operation for the connection topological structures of the plurality of graphics processing units on the server.

[见续页]



SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本申请提供一种图形处理器的线路板, 其上部署了第一连接器, 第二连接器, 第三连接器
和第四连接器, 第一交换芯片和第二交换芯片, 第一插槽集合, 包括M+P个插槽, 第二插槽集合, 包
括N个插槽, N等于M+P; 第一交换芯片与第一连接器、第三连接器、第一插槽集合M个插槽连接, 第
二交换芯片与第四连接器、第二插槽集合N个插槽连接, 第二连接器与第一插槽集合P个插槽连接; 第
一连接器, 连接中央处理器; 第二连接器, 连接第三连接器; 第三连接器, 连接第二连接器, 或, 第
四连接器。通过本申请, 解决服务器上多个图形处理器的连接拓扑结构的切换操作复杂度较高问题,
达到降低服务器上多个图形处理器的连接拓扑结构的切换操作的复杂度的效果。

图形处理器的线路板及服务器系统

相关申请的交叉引用

本申请要求于 2023 年 12 月 01 日提交中国专利局，申请号为 202311634161.1，申请名称为“图形处理器的线路板及服务器系统”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请实施例涉及计算机领域，具体而言，涉及一种图形处理器的线路板及一种服务器系统。

背景技术

近年来，GPU（Graphics Processing Unit，图形处理器）因其高度的并行计算能力被广泛应用于计算机游戏、影视特效、科学计算、机器学习等领域。对于服务器而言，出于对算法效率的考虑，面对复杂的计算需求需要使用多个 GPU，在不同的应用场景下多个 GPU 需要采用不同的机器拓扑结构。因此服务器上的 GPU 连接拓扑结构的切换非常频繁，现阶段，服务器上的 GPU 之间通过复杂的线缆连接，在不同的拓扑结构切换时，需要重新插接线缆，整个操作过程涉及到多根线缆，且线缆长度不同，需要机型不同型号的线缆切换，操作方案较为复杂，并且复杂的连接操作也易造成线缆损坏以及 GPU 板接口损坏。

发明内容

本申请实施例提供了一种图形处理器的线路板及一种服务器系统，以至少解决相关技术中更换机器拓扑形式操作复杂易损坏线缆及接口的问题。

根据本申请的一个实施例，提供了一种图形处理器的线路板，线路板上部署了连接器组，交换芯片组和设备插槽组，连接器组包括：第一连接器，第二连接器，第三连接器和第四连接器，交换芯片组包括：第一交换芯片和第二交换芯片，设备插槽组包括：第一插槽集合和第二插槽集合，第一插槽集合包括 $M+P$ 个设备插槽，第二插槽集合包括 N 个设备插槽， N 等于 $M+P$ ；第一交换芯片通过线路板走线分别与第一连接器、第三连接器、第一插槽集合中的 M 个设备插槽连接，第二交换芯片通过线路板走线分别与第四连接器、第二插槽集合中的 N 个设备插槽连接，第二连接器通过线路板走线与第一插槽集合中的 P 个设备插槽连接；第一连接器，被配置为连接中央处理器；第二连接器，被配置为连接第三连接器；第三连接器，被配置为连接第二连接器，或者，第四连接器；第四连接器，被配置为连接第三连接器，或者，中央处理器；设备插槽组，被配置为连接图形处理器。

可选的，第二连接器，第三连接器和第四连接器均为板对板连接器，第二连接器，第三连接器和第四连接器排列在一条直线上，且朝向一致，第二连接器和第三连接器之间的间距与第三连接器和第四连接器之间的间距均为目标间距。

可选的，连接器组中的连接器通过连接器线路板连接，其中，连接器线路

板上在同侧部署了第五连接器和第六连接器，第五连接器和第六连接器通过线路板走线连接，第五连接器和第六连接器均为板对板连接器，第五连接器和第六连接器之间的间距为目标间距。

可选的，连接器线路板被设置为在图形处理器的线路板上滑动，通过滑动的方式实现第三连接器和第二连接器之间的连接与第三连接器和第四连接器之间的连接的切换。

可选的，连接器线路板被设置为通过插拔方式实现第三连接器和第二连接器、第三连接器和第四连接器之间的连接。

可选的，连接器组中的连接器通过包括两个连接头的连接线缆连接，其中，连接线缆的第一接头与第三连接器连接，连接线缆的第二接头被配置为与第二连接器连接或者第四连接器连接。

可选的，第二连接器与第三连接器之间连接的结构用于形成图形处理器的平衡拓扑结构，或者，普通拓扑结构。

可选的，第二连接器与第三连接器连接，第一连接器和第四连接器分别连接不同的中央处理器形成平衡拓扑结构。

可选的，第二连接器与第三连接器连接，第一连接器和第四连接器连接相同的中央处理器形成普通拓扑结构。

可选的，第三连接器与第四连接器之间连接的结构用于形成图形处理器的串联拓扑结构。

可选的，第三连接器与第四连接器连接，第一连接器连接中央处理器形成串联拓扑结构。

可选的， M 等于 $N-1$ ， P 等于 1。

可选的， N 等于 5。

根据本申请的另一个实施例，提供了一种服务器系统，包括：中央处理器组，图形处理器的线路板和图形处理器组，其中，图形处理器的线路板连接在中央处理器组和图形处理器组之间，

图形处理器的线路板上部署了连接器组，交换芯片组和设备插槽组，其中，连接器组包括：第一连接器，第二连接器，第三连接器和第四连接器，交换芯片组包括：第一交换芯片和第二交换芯片，设备插槽组包括：第一插槽集合和第二插槽集合，第一插槽集合包括 $M+P$ 个设备插槽，第二插槽集合包括 N 个设备插槽， N 等于 $M+P$ ；

第一交换芯片通过线路板走线分别与第一连接器、第三连接器、第一插槽集合中的 M 个设备插槽连接，第二交换芯片通过线路板走线分别与第四连接器、第二插槽集合中的 N 个设备插槽连接，第二连接器通过线路板走线与第一插槽集合中的 P 个设备插槽连接；

第一连接器，被配置为连接中央处理器组中的中央处理器；第二连接器，被配置为连接第三连接器；第三连接器，被配置为连接第二连接器，或者，第四连接器；第四连接器，被配置为连接第三连接器，或者，中央处理器组中的中央处理器；

设备插槽组，被配置为连接图形处理器组中的图形处理器。

可选的，第二连接器与第三连接器连接，第一连接器连接中央处理器组中的第一中央处理器，第四连接器连接中央处理器组中的第二中央处理器形成图形处理器组的平衡拓扑结构。

可选的，第二连接器与第三连接器连接，第一连接器和第四连接器均连接中央处理器组中的第三中央处理器形成图形处理器组的普通拓扑结构。

可选的，第三连接器与第四连接器连接，第一连接器连接中央处理器组中的第四中央处理器形成图形处理器组的串联拓扑结构。

可选的，服务器系统，还包括：连接器线路板，其中，

第二连接器，第三连接器和第四连接器均为板对板连接器，第二连接器，第三连接器和第四连接器排列成一条直线，且朝向一致，第二连接器和第三连接器之间的间距与第三连接器和第四连接器之间的间距均为目标间距；

连接器组中的连接器通过连接器线路板连接，其中，连接器线路板上在同侧部署了第五连接器和第六连接器，第五连接器和第六连接器通过线路板走线连接，第五连接器和第六连接器均为板对板连接器，第五连接器和第六连接器之间的间距为目标间距。

可选的，连接器线路板被设置为在图形处理器的线路板上滑动，通过滑动的方式实现第三连接器和第二连接器之间的连接与第三连接器和第四连接器之间的连接的切换。

可选的，连接器线路板被设置为通过插拔方式实现第三连接器和第二连接器、第三连接器和第四连接器之间的连接。

通过本申请，设置用于连接图形处理器和中央处理器的线路板，在线路板上通过部署连接器组、交换芯片组和设备插槽，连接器组包括第一连接器、第二连接器、第三连接器和第四连接器、交换芯片组包括第一交换芯片和第二交换芯片，设备插槽组包括第一插槽集合和第二插槽集合，在线路板上部分元件通过线路板走线连接，通过将第一交换芯片通过线路板走线分别和第一连接器、第三连接器和第一插槽集合中M个设备插槽连接，将第二交换芯片通过线路板走线分别与第四连接器和第二插槽集合中的N各设备插槽连接，将第二连接器通过线路板走线与第一插槽集合中的P各设备插槽连接，进而通过将第一连接器配置为用于连接中央处理器，第二连接器配置为用于连接第三连接器，第三连接器配置为用于连接第二连接器或者第四连接器，第四连接器配置为用于连接第三连接器或者中央处理器，从而实现在满足图形处理器的连接拓扑结构需求的前提下简化图形处理器的线路板的结构，可以解决服务器上多个图形处理器的连接拓扑结构的切换操作复杂度较高问题，达到降低服务器上多个图形处理器的连接拓扑结构的切换操作的复杂度的效果。

附图说明

图1是根据本申请实施例的一种图形处理器的线路板的示意图；

图2是根据本申请实施例的一种桥接器示意图；

图 3 是根据本申请实施例的一种可选的平衡拓扑结构示意图；
图 4 是根据本申请实施例的一种可选的普通拓扑结构示意图；
图 5 是根据本申请实施例的一种可选的串联拓扑结构示意图；
图 6 是根据本申请实施例的一种可选的服务器系统示意图；
图 7 是根据本申请的一种可选的线路板详图。

具体实施方式

下文中将参考附图并结合实施例来详细说明本申请的实施例。

需要说明的是，本申请的说明书和权利要求书及上述附图中的术语“第一”、“第二”等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。

在本申请实施例中提供了一种图形处理器的线路板，图1是根据本申请实施例的一种图形处理器的线路板的示意图，如图1所示，该线路板上部署了连接器组，交换芯片组和设备插槽组，其中，连接器组包括：第一连接器，第二连接器，第三连接器和第四连接器，交换芯片组包括：第一交换芯片和第二交换芯片，设备插槽组包括：第一插槽集合和第二插槽集合，第一插槽集合包括M+P个设备插槽，第二插槽集合包括N个设备插槽，N等于M+P；

第一交换芯片通过线路板走线分别与第一连接器、第三连接器、第一插槽集合中的M个设备插槽连接，第二交换芯片通过线路板走线分别与第四连接器、第二插槽集合中的N个设备插槽连接，第二连接器通过线路板走线与第一插槽集合中的P个设备插槽连接；

第一连接器，被配置为连接中央处理器；第二连接器，被配置为连接第三连接器；第三连接器，被配置为连接第二连接器，或者，第四连接器；第四连接器，被配置为连接第三连接器，或者，中央处理器；

设备插槽组，被配置为连接图形处理器。

通过上述设计，设置用于连接图形处理器和中央处理器的线路板，在线路板上通过部署连接器组、交换芯片组和设备插槽，连接器组包括第一连接器、第二连接器、第三连接器和第四连接器，交换芯片组包括第一交换芯片和第二交换芯片，设备插槽组包括第一插槽集合和第二插槽集合，在线路板上部分元件通过线路板走线连接，通过将第一交换芯片通过线路板走线分别和第一连接器、第三连接器和第一插槽集合中M个设备插槽连接，将第二交换芯片通过线路板走线分别与第四连接器和第二插槽集合中的N各设备插槽连接，将第二连接器通过线路板走线与第一插槽集合中的P各设备插槽连接，进而通过将第一连接器配置为用于连接中央处理器，第二连接器配置为用于连接第三连接器，第三连接器配置为用于连接第二连接器或者第四连接器，第四连接器配置为用于连接第三连接器或者中央处理器，从而实现在满足图形处理器的连接拓扑结构需求的前提下简化图形处理器的线路板的结构，可以解决服务器上多个图形处理器的连接拓扑结构的切换操作复杂度较高问题，达到降低服务器上多个图形处理器的连接拓扑结构的切换操作的复杂度的效果。

可选地，在本申请实施例中，线路板的连接器组侧的端口被配置为连接中

央处理器，线路板的设备插槽组侧的端口被配置为连接图形处理器，并且设备插槽组包括多个用于连接图形处理器设备插槽，从而实现中央处理器和多个图形处理器之间的连接。

可选地，在本申请实施例中，为了实现图形处理器不同的连接拓扑结构，可以通过改变第二连接器、第三连接器和第四连接器之间的连接关系，从而实现图形处理器的不同的连接拓扑需求。

可选地，在本申请实施例中，第二连接器、第三连接器和第四连接器可以在线路板上按照顺序依次排列成一条直线，第二连接器、第三连接器和第四连接器之间可以通过线缆连接或者还可以通过连接器具连接，比如，第二连接器、第三连接器和第四连接器可以采用具有对外连接接口的连接器（比如板对板连接器），此时连接器具可以是设置了两个连接接口的连接器具，连接器具上的连接接口被配置为和连接器上的对外连接接口连接，比如，连接器具可以是包括两个连接头的连接线缆，连接线缆的第一接头与第三连接器连接，连接线缆上的第二接头被配置为与第二连接器或者和第四连接器连接，通过切换第二接头和第二连接器或者第四连接器的连接关系，从而切换图形处理器的连接拓扑；连接器还可以是包括两个连接头的连接板，此时第二连接器、第三连接器和第四连接器之间排列成一条直线，并且第二连接器、第三连接器和第四连接器之间的间距相等，连接板上的两个连接接头之间间距和第三连接器与第二连接器之间的间距或者第三连接器与连接器之间的间距相等，在使用中，可以通过改变连接板与第二连接器、第三连接器和第四连接器之间的连接关系从而改变图形处理器的连接拓扑结构，或者，连接板可以被配置为在线路板上可滑动，通过将连接板在第二连接器、第三连接器和第四连接器之间滑动，从而通过改变连接板对第二连接器、第三连接器和第四连接器的连接关系的方式改变图形处理器的连接拓扑结构。

可选地，在本申请实施例中，上述图形处理的线路板支持8张×16 GPU和2张×16网卡的GPU板，并支持balance（平衡），cascade（串联），common（普通）三种拓扑形式，上述交换芯片2颗96 lane PCIe（Peripheral Component Interconnect Express，一种高速串行计算机扩展总线标准）switch（96通道PCIe交换器）芯片。

作为一种可选的实施例，第二连接器，第三连接器和第四连接器均为板对板连接器，第二连接器，第三连接器和第四连接器排列成一条直线，且朝向一致，第二连接器和第三连接器之间的间距与第三连接器和第四连接器之间的间距均为目标间距。

可选地，在本申请实施例中，板对板连接器可以是vertical（垂直式连接器）或者right angle（直角式连接器）。

可选地，在本申请实施例中，板对板连接器可以是MCIO（Mini Cool Edge IO）连接器或者gen-z连接器。

可选地，在本申请实施例中，第三连接器与第二连接器以及第四连接器之间的间距相等，且朝向一致，进而将第三连接器和第二连接器连接，以及将第

三连接器和第四连接器连接时所使用的连接器具的规格统一，因此可以配置同一个连接器具，在不同的图形处理器拓扑结构下，将连接器具连接在不同的连接器上，从而满足不同的图形连接器的拓扑需求，简化了图形处理器的线路板的操作结构。

作为一种可选的实施例，连接器组中的连接器通过连接器线路板连接，其中，连接器线路板上在同侧部署了第五连接器和第六连接器，第五连接器和第六连接器通过线路板走线连接，第五连接器和第六连接器均为板对板连接器，第五连接器和第六连接器之间的间距为目标间距。

可选地，在本申请实施例中，连接器线路板可以通过插拔的方式实现第三连接器和第二连接器、第三连接器和第四连接器之间的连接，或者连接线路板还可以被设置为在图形处理器的线路板上滑动，使用时可以通过滑动的方式实现将第三连接器和第二连接器之间的连接切换为第三连接器和第四连接器之间的连接，本方案对此不作限定。

可选的，在本申请实施例中，图2是根据本申请实施例的一种桥接器示意图，如图2所示，第五连接器和第六连接器为两个板对板连接器，第五连接器和第六连接器焊接在一块PCB上，之间通过 $\times 16$ PCIe信号连接。第五连接器和第六连接器的间距等于第二连接器和第三连接器之间的间距。对于桥接器PCB上数据传输（Transmit，TX）和接收（Receive，RX）可以做成可以通过改变连接的方式来改变数据传输的方向的设计（reversal）以方便GPU板布线。

可选的，在本申请实施例中，桥接器包括但不限于可采用4C连接器（SFF-TA-1002（一种边缘连接器系统））的桥接器，本方案对此不做限定。

通过上述内容，连接线路板上设置有第五连接器和第六连接器，并且第五连接器和第六连接器之间的间距为目标间距，并且设置第五连接器和第六连接器均为板对板连接器，从而能够通过插拔的方式通过连接线路板实现第二连接器和第三连接器之间的连接，以及通过连接线路板实现对第三连接器和第四连接器之间的连接，实现通过同一个连接线路板在不同连接器上的插拔实现对图像处理器的拓扑结构的更改。

作为一种可选的实施例，第二连接器与第三连接器之间连接的结构用于形成图形处理器的平衡拓扑结构，或者，普通拓扑结构。

可选的，在本申请实施例中，平衡拓扑和普通拓扑结构中均通过第二连接器和第三连接器之间连接的方式，区别在于平衡拓扑结构中第一连接器和第四连接器分别连接在不同的中央处理器上，而普通拓扑结构中第一连接器和第四连接器连接在同一个中央处理器上。

通过上述内容，通过将第二连接器和第四连接器之间连接，可以实现平衡拓扑结构和普通拓扑结构的功能，从而实际使用中对于这两种拓扑结构可以有有效的简化外部的连线数量，从而简化两种拓扑结构的更改操作内容。

作为一种可选的实施例，第二连接器与第三连接器连接，第一连接器和第四连接器分别连接不同的中央处理器形成平衡拓扑结构。

可选地，在本申请实施例中，第一连接器与中央处理器之间的连接方式可

以是线缆连接，第四连接器与中央处理器之间的连接方式可以是线缆连接，在线路板上第一连接器和第四连接器的端口处可以配置有连接线，通过将连接线的另一端连接到对应的处理器上，从而实现平衡拓扑结构的功能。

图3是根据本申请实施例的一种可选的平衡拓扑结构示意图，如图3所示，线路板上两颗PCIe switch芯片构成交换芯片组，PCIe switch0（第一交换芯片）和PCIe switch1（第二交换芯片），四个连接器构成连接器组C0连接器（第一连接器）、C1（第二连接器）、C2（第三连接器）、C3连接器（第四连接器），10个×16 PCIe插槽构成设备插槽组，其中，PCIe switch芯片应当至少支持96 lane PCIe信号，其中 C1,C2,C3排列承一条至直线，且朝向一致，C1与C2的间距等于C2与C3的间距。其中10个×16 PCIe插槽依次记为Slot（插槽）0至Slot 9。其中PCIe switch 0与 Slot 0至Slot 3插槽之间通过×16 PCIe信号连接；其中PCIe switch 0与C0, C2之间通过×16 PCIe信号连接；其中PCIe switch 1与 Slot 6至Slot9插槽之间通过×16 PCIe信号连接；其中PCIe switch 1与C3之间通过×16 PCIe信号连接；其中C1与slot 4之间通过×16 PCIe信号连接。当设计为balance拓扑时，GPU板上C0连接器（第一连接器）通过线缆连接到CPU0，C3连接器（第四连接器）通过线缆连接到CPU1，桥接器（连接器线路板）上2个连接器（第五连接器和第六连接器）分别对应GPU板C1（第二连接器）和C2（第三连接器）连接器连接。在本申请实施例中，连接器线路板包括2个板对板连接器，板对板连接器与前述GPU板的C0至C3是配套关系，可以相互连接；其中2个板对板连接器焊接在一块PCB（Printed Circuit Board，印刷电路板）上，之间通过×16 PCIe信号连接；其中2个板对板连接器的间距等于前述GPU板上C1与C2的间距；可选的，桥接器PCB上TX和RX可以做reversal，以方便GPU板布线。

作为一种可选的实施例，第二连接器与第三连接器连接，第一连接器和第四连接器连接相同的中央处理器形成普通拓扑结构。

图4是根据本申请实施例的一种可选的普通拓扑结构示意图，如图4所示，线路板上两颗PCIe switch芯片构成交换芯片组，PCIe switch0（第一交换芯片）和PCIe switch1（第二交换芯片），四个连接器构成连接器组C0连接器（第一连接器）、C1（第二连接器）、C2（第三连接器）、C3连接器（第四连接器），10个×16 PCIe插槽构成设备插槽组，其中，PCIe switch芯片应当至少支持96 lane PCIe信号，其中 C1,C2,C3排列承一条至直线，且朝向一致，C1与C2的间距等于C2与C3的间距。其中10个×16 PCIe插槽依次记为Slot 0至Slot 9。其中PCIe switch 0与 Slot 0至Slot 3插槽之间通过×16 PCIe信号连接；其中PCIe switch 0与C0, C2之间通过×16 PCIe信号连接；其中PCIe switch 1与 Slot 6至Slot9插槽之间通过×16 PCIe信号连接；其中PCIe switch 1与C3之间通过×16 PCIe信号连接；其中C1与slot 4之间通过×16 PCIe信号连接。当设计为cascade拓扑时，GPU板上C0连接器通过线缆连接到CPU0，C3连接器不插接线缆，桥接器上2个连接器分别对应GPU板C2和C3连接器连接。在本申请实施例中，连接器线路板包括2个板对板连接器，板对板连

接器与前述GPU板的 C0至C3是配套关系，可以相互连接；其中2个板对板连接器焊接在一块PCB上，之间通过 $\times 16$ PCIe信号连接；其中2个板对板连接器的间距等于前述GPU板上C1与C2的间距；可选的，桥接器PCB上TX和RX可以做reversal，以方便GPU板布线。

作为一种可选的实施例，第三连接器与第四连接器之间连接的结构用于形成图形处理器的串联拓扑结构。

作为一种可选的实施例，第三连接器与第四连接器连接，第一连接器连接中央处理器形成串联拓扑结构。

图5是根据本申请实施例的一种可选的串联拓扑结构示意图，如图5所示，线路上两颗PCIe switch芯片构成交换芯片组，PCIe switch0（第一交换芯片）和PCIe switch1（第二交换芯片），四个连接器构成连接器组C0连接器（第一连接器）、C1（第二连接器）、C2（第三连接器）、C3连接器（第四连接器），10个 $\times 16$ PCIe插槽构成设备插槽组，其中，PCIe switch芯片应当至少支持96 lane PCIe信号，其中 C1,C2,C3排列承一条至直线，且朝向一致，C1与C2的间距等于C2与C3的间距。其中10个 $\times 16$ PCIe插槽依次记为Slot 0至Slot 9。其中PCIe switch 0与 Slot 0至Slot 3插槽之间通过 $\times 16$ PCIe信号连接；其中PCIe switch 0与C0，C2之间通过 $\times 16$ PCIe信号连接；其中PCIe switch 1与 Slot 6至Slot 9插槽之间通过 $\times 16$ PCIe信号连接；其中PCIe switch 1与C3之间通过 $\times 16$ PCIe信号连接；其中C1与slot 4之间通过 $\times 16$ PCIe信号连接。当设计为common拓扑时，GPU板上C0连接器通过线缆连接到CPU0，C3连接器通过线缆连接到CPU0，桥接器上2个连接器分别对应GPU板C1和C2连接器连接。在本申请实施例中，连接器线路板包括2个板对板连接器，板对板连接器与前述GPU板的 C0至C3是配套关系，可以相互连接；其中2个板对板连接器焊接在一块PCB上，之间通过 $\times 16$ PCIe信号连接；其中2个板对板连接器的间距等于前述GPU板上C1与C2的间距；可选的，桥接器PCB上TX和RX可以做reversal，以方便GPU板布线。

作为一种可选的实施例，M等于N-1，P等于1。

作为一种可选的实施例，N等于5。

在本申请的一个示例性的实施例中，提供了一种服务器系统，包括：中央处理器组，图形处理器的线路板和图形处理器组，其中，图形处理器的线路板连接在中央处理器组和图形处理器组之间，

图形处理器的线路上部署了连接器组，交换芯片组和设备插槽组，其中，连接器组包括：第一连接器，第二连接器，第三连接器和第四连接器，交换芯片组包括：第一交换芯片和第二交换芯片，设备插槽组包括：第一插槽集合和第二插槽集合，第一插槽集合包括M+P个设备插槽，第二插槽集合包括N个设备插槽，N等于M+P；

第一交换芯片通过线路板走线分别与第一连接器、第三连接器、第一插槽集合中的M个设备插槽连接，第二交换芯片通过线路板走线分别与第四连接器、第二插槽集合中的N个设备插槽连接，第二连接器通过线路板走线与第一插槽

集合中的P个设备插槽连接；

第一连接器，被配置为连接中央处理器组中的中央处理器；第二连接器，被配置为连接第三连接器；第三连接器，被配置为连接第二连接器，或者，第四连接器；第四连接器，被配置为连接第三连接器，或者，中央处理器组中的中央处理器；

设备插槽组，被配置为连接图形处理器组中的图形处理器。

通过上述设计，设置用于连接图形处理器和中央处理器的线路板，在线路板上通过部署连接器组、交换芯片组和设备插槽，连接器组包括第一连接器、第二连接器、第三连接器和第四连接器、交换芯片组包括第一交换芯片和第二交换芯片，设备插槽组包括第一插槽集合和第二插槽集合，在线路板上部分元件通过线路板走线连接，通过将第一交换芯片通过线路板走线分别和第一连接器、第三连接器和第一插槽集合中M个设备插槽连接，将第二交换芯片通过线路板走线分别与第四连接器和第二插槽集合中的N各设备插槽连接，将第二连接器通过线路板走线与第一插槽集合中的P各设备插槽连接，进而通过将第一连接器配置为用于连接中央处理器，第二连接器配置为用于连接第三连接器，第三连接器配置为用于连接第二连接器或者第四连接器，第四连接器配置为用于连接第三连接器或者中央处理器，从而实现在满足图形处理器的连接拓扑结构需求的前提下简化图形处理器的线路板的结构，可以解决服务器上多个图形处理器的连接拓扑结构的切换操作复杂度较高问题，达到降低服务器上多个图形处理器的连接拓扑结构的切换操作的复杂度的效果。

图6是根据本申请实施例的一种可选的服务器系统示意图，如图6所示，服务器系统，包括：中央处理器组，图形处理器的线路板和图形处理器组，其中，图形处理器的线路板连接在中央处理器组和图形处理器组之间，图形处理器的线路板上部署了连接器组，交换芯片组和设备插槽组，其中，连接器组包括：第一连接器，第二连接器，第三连接器和第四连接器，交换芯片组包括：第一交换芯片和第二交换芯片，设备插槽组包括：第一插槽集合和第二插槽集合，第一插槽集合包括M+P个设备插槽，第二插槽集合包括N个设备插槽，N等于M+P；第一交换芯片通过线路板走线分别与第一连接器、第三连接器、第一插槽集合中的M个设备插槽连接，第二交换芯片通过线路板走线分别与第四连接器、第二插槽集合中的N个设备插槽连接，第二连接器通过线路板走线与第一插槽集合中的P个设备插槽连接；第一连接器，被配置为连接中央处理器组中的中央处理器；第二连接器，被配置为连接第三连接器；第三连接器，被配置为连接第二连接器，或者，第四连接器；第四连接器，被配置为连接第三连接器，或者，中央处理器组中的中央处理器；设备插槽组，被配置为连接图形处理器组中的图形处理器。

可选地，在本申请实施例中，线路板的连接器组侧的端口被配置为连接中央处理器，线路板的设备插槽组侧的端口被配置为连接图形处理器，并且设备插槽组包括多个用于连接图形处理器设备插槽，从而实现中央处理器和多个图形处理器之间的连接。

可选地，在本申请实施例中，为了实现图形处理器不同的连接拓扑结构，可以通过改变第二连接器、第三连接器和第四连接器之间的连接关系，从而实现图形处理器的不同的连接拓扑需求。

可选地，在本申请实施例中，第二连接器、第三连接器和第四连接器可以在电路板上按照顺序依次排列成一条直线，第二连接器、第三连接器和第四连接器之间可以通过线缆连接或者还可以通过连接器具连接，比如，第二连接器、第三连接器和第四连接器可以采用具有对外连接接口的连接器（比如板对板连接器），此时连接器具可以是设置了两个连接接口的连接器具，连接器具上的连接接口被配置为和连接器上的对外连接接口连接，比如，连接器具可以是包括两个连接头的连接线缆，连接线缆的第一接头与第三连接器连接，连接线缆上的第二接头被配置为与第二连接器或者和第四连接器连接，通过切换第二接头和第二连接器或者第四连接器的连接关系，从而切换图形处理器的连接拓扑；连接器还可以是包括两个连接头的连接板，此时第二连接器、第三连接器和第四连接器之间排列成一条直线，并且第二连接器、第三连接器和第四连接器之间的间距相等，连接板上的两个连接接头之间间距和第三连接器与第二连接器之间的间距或者第三连接器与连接器之间的间距相等，在使用中，可以通过改变连接板与第二连接器、第三连接器和第四连接器之间的连接关系从而改变图形处理器的连接拓扑结构，或者，连接板可以被配置为在电路板上可滑动，通过将连接板在第二连接器、第三连接器和第四连接器之间滑动，从而通过改变连接板对第二连接器、第三连接器和第四连接器的连接关系的方式改变图形处理器的连接拓扑结构。

可选地，在本申请实施例中，上述图形处理的电路板支持8张×16 GPU和2张×16网卡的GPU板，并支持balance, cascade, common三种拓扑形式，上述交换芯片2颗96 lane PCIe switch芯片。

作为一种可选的实施例，第二连接器与第三连接器连接，第一连接器连接中央处理器组中的第一中央处理器，第四连接器连接中央处理器组中的第二中央处理器形成图形处理器组的平衡拓扑结构。

可选地，在本申请实施例中，当设计为balance拓扑（平衡拓扑结构）时，GPU板上C0（第一连接器）连接器通过线缆连接到CPU0，C3（第四连接器）连接器通过线缆连接到CPU1，桥接器上2个连接器分别对应GPU板C1（第二连接器）和C2（第三连接器）连接器连接。

作为一种可选的实施例，第二连接器与第三连接器连接，第一连接器和第四连接器均连接中央处理器组中的第三中央处理器形成图形处理器组的普通拓扑结构。

可选地，在本申请实施例中，当设计为cascade拓扑（普通拓扑结构）时，GPU板上C0连接器（第一连接器）通过线缆连接到CPU0，C3连接器（第四连接器）不插接线缆，桥接器上2个连接器分别对应GPU板C2（第三连接器）和C3（第四连接器）连接器连接。

作为一种可选的实施例，第三连接器与第四连接器连接，第一连接器连接

中央处理器组中的第四中央处理器形成图形处理器组的串联拓扑结构。

可选地，在本申请实施例中，当设计为common拓扑（串联拓扑结构）时，GPU板上C0连接器（第一连接器）通过线缆连接到CPU0，C3连接器（第四连接器）通过线缆连接到CPU0，桥接器上2个连接器分别对应GPU板C1（第二连接器）和C2（第三连接器）连接器连接。

作为一种可选的实施例，服务器系统，还包括：连接器线路板，其中，

第二连接器，第三连接器和第四连接器均为板对板连接器，第二连接器，第三连接器和第四连接器排列承一条直线，且朝向一致，第二连接器和第三连接器之间的间距与第三连接器和第四连接器之间的间距均为目标间距；

连接器组中的连接器通过连接器线路板连接，其中，连接器线路板上在同侧部署了第五连接器和第六连接器，第五连接器和第六连接器通过线路板走线连接，第五连接器和第六连接器均为板对板连接器，第五连接器和第六连接器之间的间距为目标间距。

可选地，在本申请实施例中，连接器线路板可以通过插拔的方式实现第三连接器和第二连接器、第三连接器和第四连接器之间的连接，或者连接线路板还可以被设置为在图形处理器的线路板上滑动，使用时可以通过滑动的方式实现将第三连接器和第二连接器之间的连接切换为第三连接器和第四连接器之间的连接，本方案对此不作限定。

可选的，在本申请实施例中，桥接器包括但不限于可采用4C连接器（SFF-TA-1002）的桥接器，本方案对此不做限定。

图7是根据本申请的一种可选的线路板详图，如图7所示，本申请实施例设计一张支持8张 $\times 16$ GPU和2张 $\times 16$ 网卡的GPU板，并支持balance, cascade, common三种拓扑形式的线路板，设计方案中，GPU板设计有2颗96 lane PCIe switch芯片，分别记为PCIe switch 0（第一交换芯片）和 PCIe switch 1（第二交换芯片）；设计方案中，GPU板设计有4个支持 $\times 16$ PCIe信号的板对板连接器，分别记为C0（第一连接器）至C3；其中C1（第二连接器），C2（第三连接器），C3（第四连接器）按同一方向布置，并且处在一条直线上，C2在中间，C1和C3在两侧；可选的，板对板连接器可以是vertical或者right angle；可选的，板对板连接器可以是MCIO连接器或者gen-z连接器；设计方案中，GPU板设计有10个 $\times 16$ PCIe插槽，依次记为Slot 0至Slot 9；可选的，安装GPU的插槽预留双宽AIC（Add-In Card，一种固态硬盘的产品形态）的空间；其中PCIe switch 0与 Slot 0至Slot 3插槽之间通过 $\times 16$ PCIe信号连接；其中PCIe switch 0与C0，C2之间通过 $\times 16$ PCIe信号连接；其中PCIe switch 1与 Slot 6至Slot 9插槽之间通过 $\times 16$ PCIe信号连接；其中PCIe switch 1与C3之间通过 $\times 16$ PCIe信号连接；其中C1与slot 4之间通过 $\times 16$ PCIe信号连接。本实例还配套设计一款桥接器，包括2个板对板连接器，所属板对板连接器与前述GPU板的C0至C3是配套关系，可以相互连接；其中2个板对板连接器焊接在一块PCB上，之间通过 $\times 16$ PCIe信号连接；其中2个板对板连接器的间距等于前述GPU板上C1与C2的间距；可选的，桥接器PCB上TX和RX可以做reversal，

以方便GPU板布线。选用4C连接器（SFF-TA-1002）的桥接器。当设计为balance拓扑时，GPU板上C0连接器通过线缆连接到CPU0，C3连接器通过线缆连接到CPU1，桥接器上2个连接器分别对应GPU板C1和C2连接器连接，当设计为cascade拓扑时，GPU板上C0连接器通过线缆连接到CPU0，C3连接器不插接线缆，桥接器上2个连接器分别对应GPU板C2和C3连接器连接，当设计为common拓扑时，GPU板上C0连接器通过线缆连接到CPU0，C3连接器通过线缆连接到CPU0，桥接器上2个连接器分别对应GPU板C1和C2连接器连接。

通过上述实施例，1) 减少连接器数量，并将原有的 $\times 8$ 连接器改为 $\times 16$ 连接器，减少线缆数量2) 通过采用板对板连接器设计，简化设计方案3)

新增桥接器设计，增加连接可靠性，减少更换拓扑时的操作步骤，并且板对板连接器并排设计，搭配配对连接器的桥接器，有效简化板卡设计方案，并且能很方便的支持不同拓扑之间的切换。

以上所述仅为本申请的可选实施例而已，并不用于限制本申请，对于本领域的技术人员来说，本申请可以有各种更改和变化。凡在本申请的原则之内，所作的任何修改、等同替换、改进等，均应包括在本申请的保护范围之内。

权 利 要 求 书

1、一种图形处理器的线路板，其特征在于，

所述线路板上部署了连接器组，交换芯片组和设备插槽组，其中，

所述连接器组包括：第一连接器，第二连接器，第三连接器和第四连接器，所述交换芯片组包括：第一交换芯片和第二交换芯片，所述设备插槽组包括：第一插槽集合和第二插槽集合，所述第一插槽集合包括M+P个设备插槽，所述第二插槽集合包括N个设备插槽，N等于M+P；

所述第一交换芯片通过线路板走线分别与所述第一连接器、所述第三连接器、所述第一插槽集合中的M个设备插槽连接，所述第二交换芯片通过线路板走线分别与所述第四连接器、所述第二插槽集合中的N个设备插槽连接，所述第二连接器通过线路板走线与所述第一插槽集合中的P个设备插槽连接；

所述第一连接器，被配置为连接中央处理器；所述第二连接器，被配置为连接所述第三连接器；所述第三连接器，被配置为连接所述第二连接器，或者，所述第四连接器；所述第四连接器，被配置为连接所述第三连接器，或者，中央处理器；

所述设备插槽组，被配置为连接图形处理器。

2、根据权利要求1所述的线路板，其特征在于，

所述第二连接器，所述第三连接器和所述第四连接器均为板对板连接器，所述第二连接器，所述第三连接器和所述第四连接器排列承一条直线，且朝向一致，所述第二连接器和所述第三连接器之间的间距与所述第三连接器和所述第四连接器之间的间距均为目标间距。

3、根据权利要求2所述的线路板，其特征在于，

所述连接器组中的连接器通过连接器线路板连接，其中，所述连接器线路板上在同侧部署了第五连接器和第六连接器，所述第五连接器和所述第六连接器通过线路板走线连接，所述第五连接器和所述第六连接器均为板对板连接器，所述第五连接器和所述第六连接器之间的间距为所述目标间距。

4、根据权利要求3所述的线路板，其特征在于，

所述连接器线路板被设置为在所述图形处理器的线路板上滑动，通过滑动的方式实现所述第三连接器和所述第二连接器之间的连接与所述第三连接器和所述第四连接器之间的连接的切换。

5、根据权利要求3所述的线路板，其特征在于，

所述连接器线路板被设置为通过插拔方式实现所述第三连接器和所述第二连接器、所述第三连接器和所述第四连接器之间的连接。

6、根据权利要求2所述的线路板，其特征在于，

所述连接器组中的连接器通过包括两个连接头的连接线缆连接，其中，所述连接线缆的第一接头与所述第三连接器连接，所述连接线缆的第二接头被配置为与所述第二连接器连接或者所述第四连接器连接。

7、根据权利要求1所述的线路板，其特征在于，

所述第二连接器与所述第三连接器之间连接的结构用于形成图形处理器的平衡拓扑结构，或者，普通拓扑结构。

8、根据权利要求7所述的线路板，其特征在于，

所述第二连接器与所述第三连接器连接，所述第一连接器和所述第四连接器分别连接不同的中央处理器形成所述平衡拓扑结构。

9、根据权利要求7所述的线路板，其特征在于，

所述第二连接器与所述第三连接器连接，所述第一连接器和所述第四连接器连接相同的中央处理器形成所述普通拓扑结构。

10、根据权利要求1所述的线路板，其特征在于，

所述第三连接器与所述第四连接器之间连接的结构用于形成图形处理器的串联拓扑结构。

11、根据权利要求10所述的线路板，其特征在于，

所述第三连接器与所述第四连接器连接，所述第一连接器连接中央处理器形成所述串联拓扑结构。

12、根据权利要求1所述的线路板，其特征在于，

M 等于 $N-1$ ， P 等于1。

13、根据权利要求12所述的线路板，其特征在于，

N 等于5。

14、一种服务器系统，其特征在于，

包括：中央处理器组，图形处理器的线路板和图形处理器组，其中，所述图形处理器的线路板连接在所述中央处理器组和所述图形处理器组之间，

图形处理器的线路板上部署了连接器组，交换芯片组和设备插槽组，其中，所述连接器组包括：第一连接器，第二连接器，第三连接器和第四连接器，所述交换芯片组包括：第一交换芯片和第二交换芯片，所述设备插槽组包括：第一插槽集合和第二插槽集合，所述第一插槽集合包括 $M+P$ 个设备插槽，所述第二插槽集合包括 N 个设备插槽， N 等于 $M+P$ ；

所述第一交换芯片通过线路板走线分别与所述第一连接器、所述第三连接器、所述第一插槽集合中的 M 个设备插槽连接，所述第二交换芯片通过线路板走线分别与所述第四连接器、所述第二插槽集合中的 N 个设备插槽连接，所述第二连接器通过线路板走线与所述第一插槽集合中的 P 个设备插槽连接；

所述第一连接器，被配置为连接所述中央处理器组中的中央处理器；所述第二连接器，被配置为连接所述第三连接器；所述第三连接器，被配置为连接所述第二连接器，或者，所述第四连接器；所述第四连接器，被配置为连接所述第三连接器，或者，所述中央处理器组中的中央处理器；

所述设备插槽组，被配置为连接所述图形处理器组中的图形处理器。

15、根据权利要求14所述的服务器系统，其特征在于，

所述第二连接器与所述第三连接器连接，所述第一连接器连接所述中央处理器组中的第一中央处理器，所述第四连接器连接所述中央处理器组中的第二中央处理器形成所述图形处理器组的平衡拓扑结构。

16、根据权利要求14所述的服务器系统，其特征在于，

所述第二连接器与所述第三连接器连接，所述第一连接器和所述第四连接器均连接所述中央处理器组中的第三中央处理器形成所述图形处理器组的普通拓扑结构。

17、根据权利要求14所述的服务器系统，其特征在于，

所述第三连接器与所述第四连接器连接，所述第一连接器连接所述中央处理器组中的第四中央处理器形成所述图形处理器组的串联拓扑结构。

18、根据权利要求14所述的服务器系统，其特征在于，

所述服务器系统，还包括：连接器线路板，其中，

所述第二连接器，所述第三连接器和所述第四连接器均为板对板连接器，所述第二连接器，所述第三连接器和所述第四连接器排列成一条直线，且朝向一致，所述第二连接器和所述第三连接器之间的间距与所述第三连接器和所述第四连接器之间的间距均为目标间距；

所述连接器组中的连接器通过所述连接器线路板连接，其中，所述连接器线路板上在同侧部署了第五连接器和第六连接器，所述第五连接器和所述第六连接器通过线路板走线连接，所述第五连接器和所述第六连接器均为板对板连接器，所述第五连接器和所述第六连接器之间的间距为所述目标间距。

19、根据权利要求18所述的服务器系统，其特征在于，

所述连接器线路板被设置为在所述图形处理器的线路板上滑动，通过滑动的方式实现所述第三连接器和所述第二连接器之间的连接与所述第三连接器和所述第四连接器之间的连接的切换。

20、根据权利要求18所述的服务器系统，其特征在于，

所述连接器线路板被设置为通过插拔方式实现所述第三连接器和所述第二连接器、所述第三连接器和所述第四连接器之间的连接。

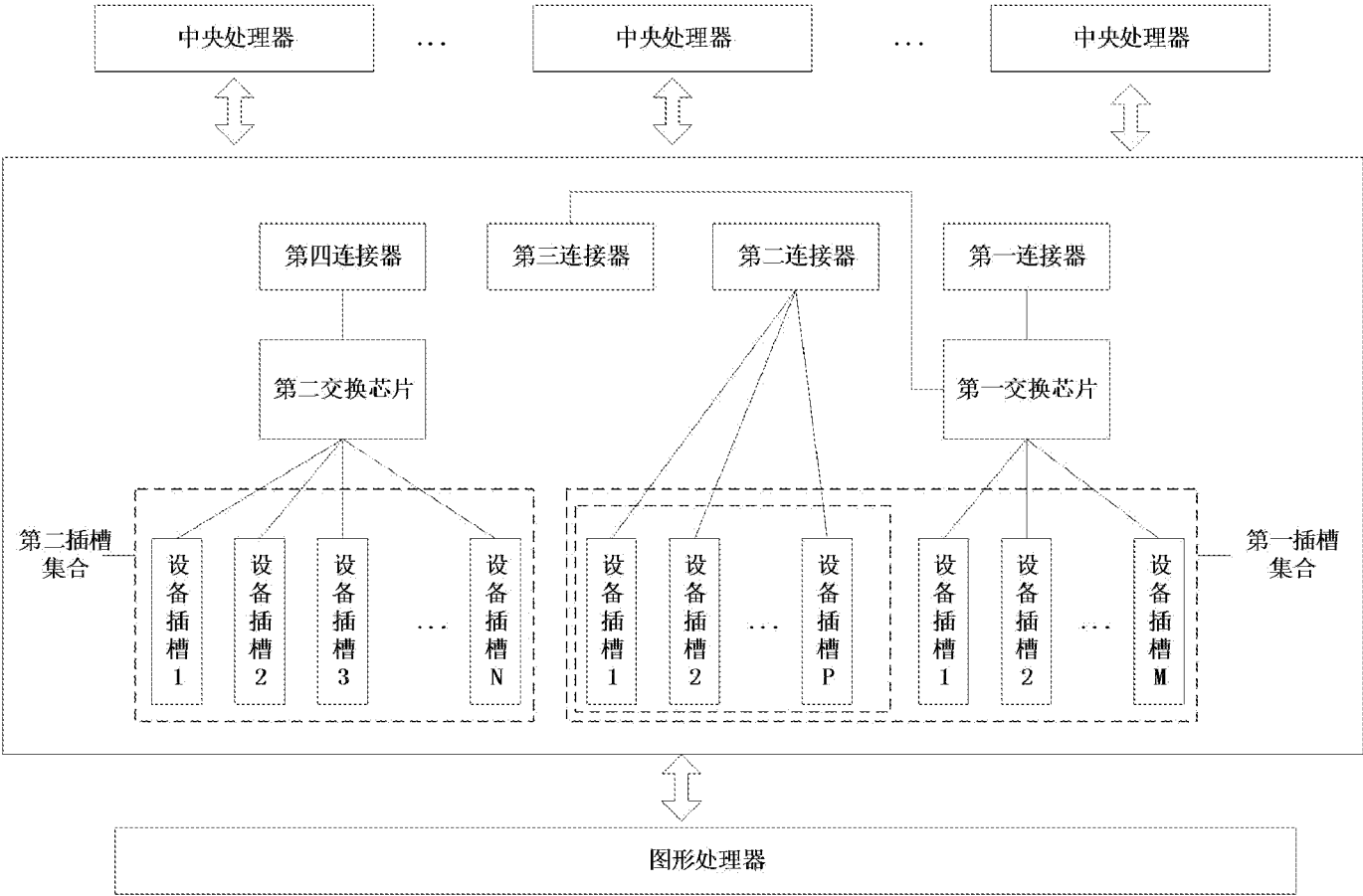


图 1

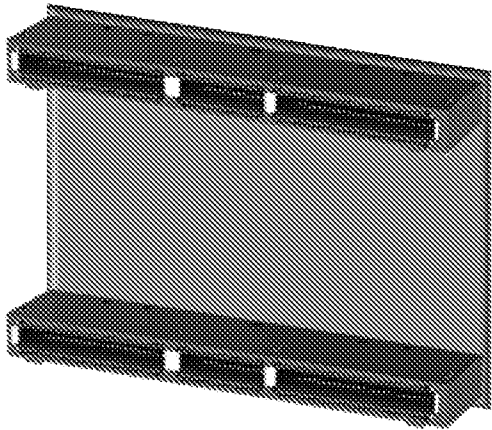


图 2

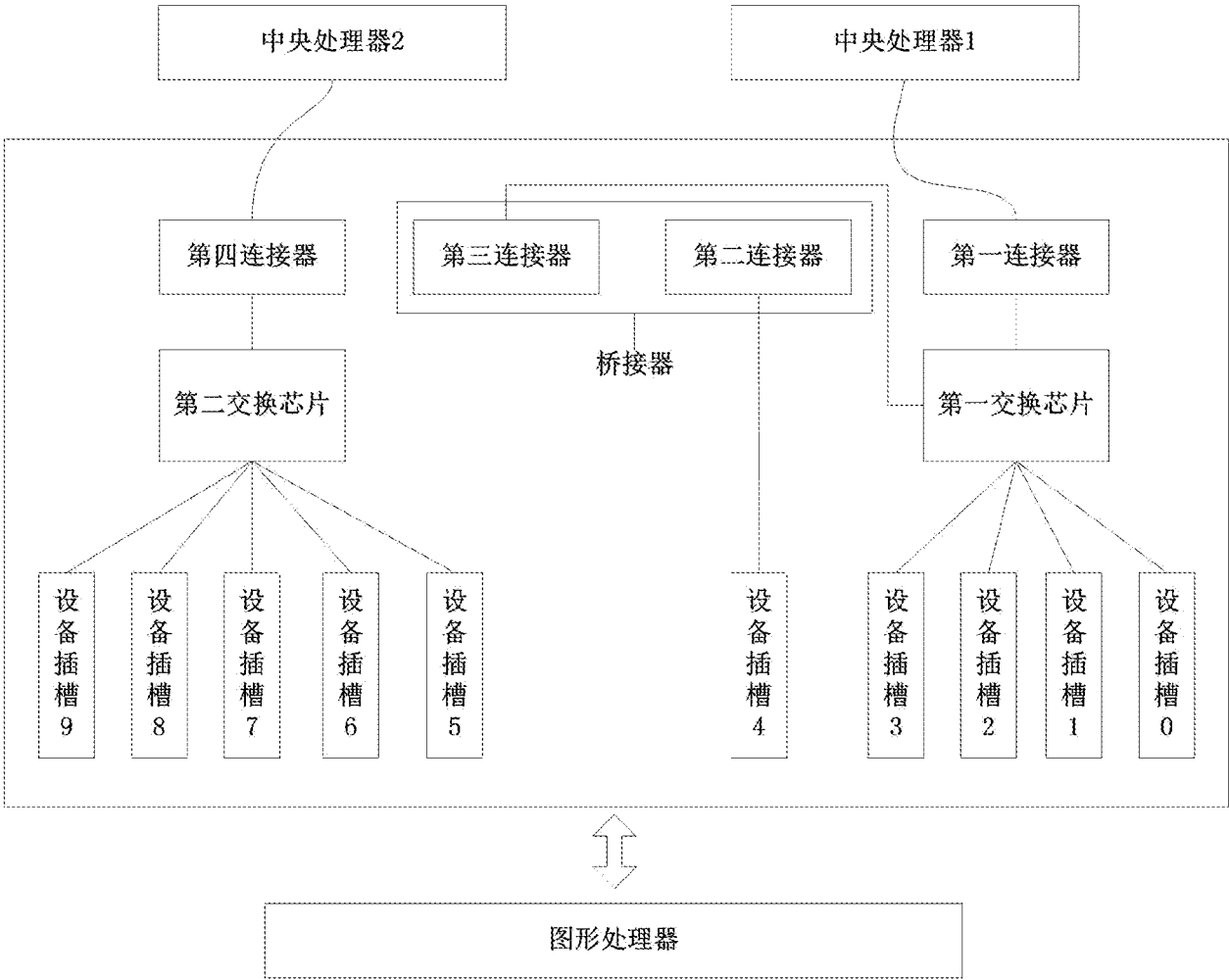


图 3

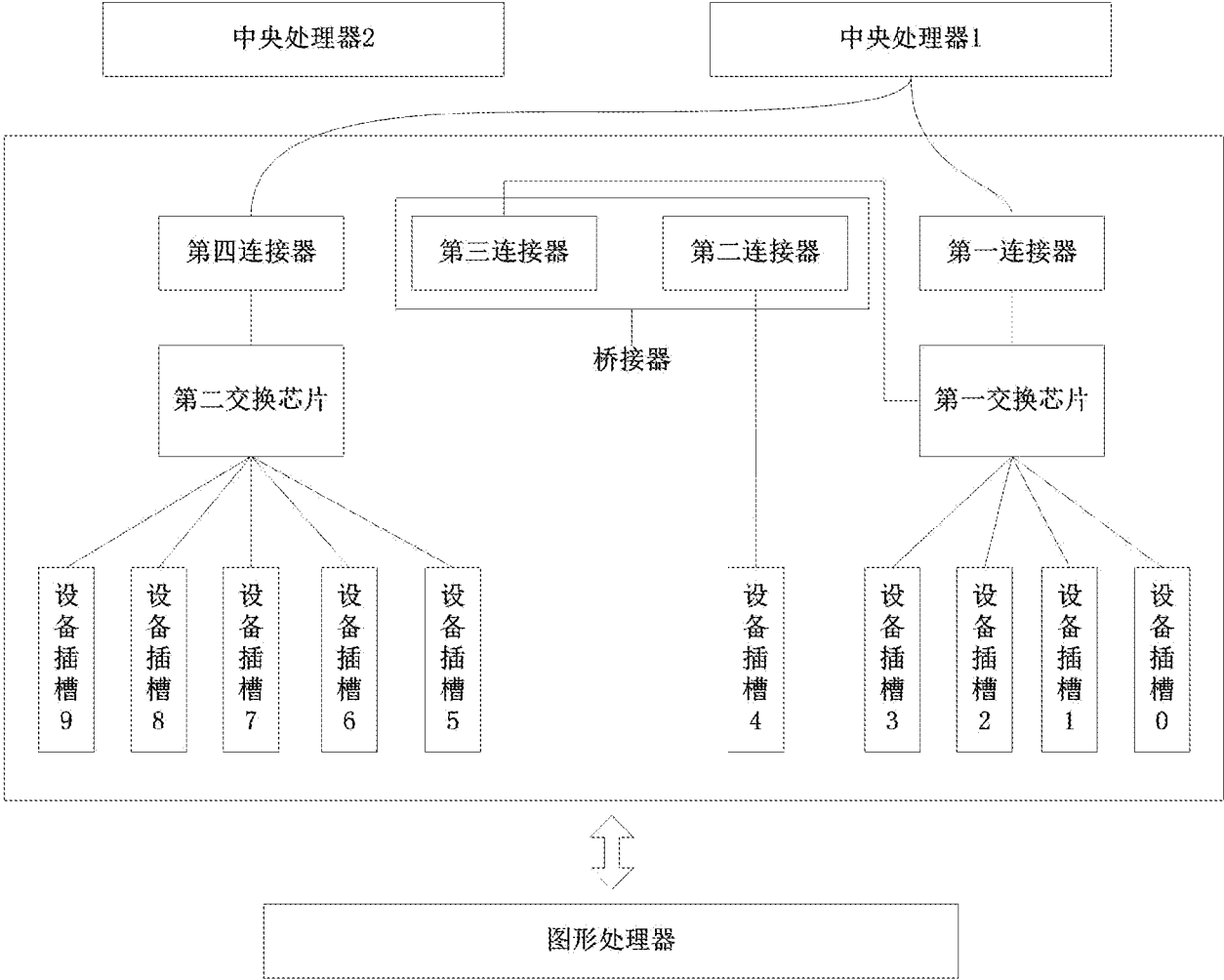


图 4

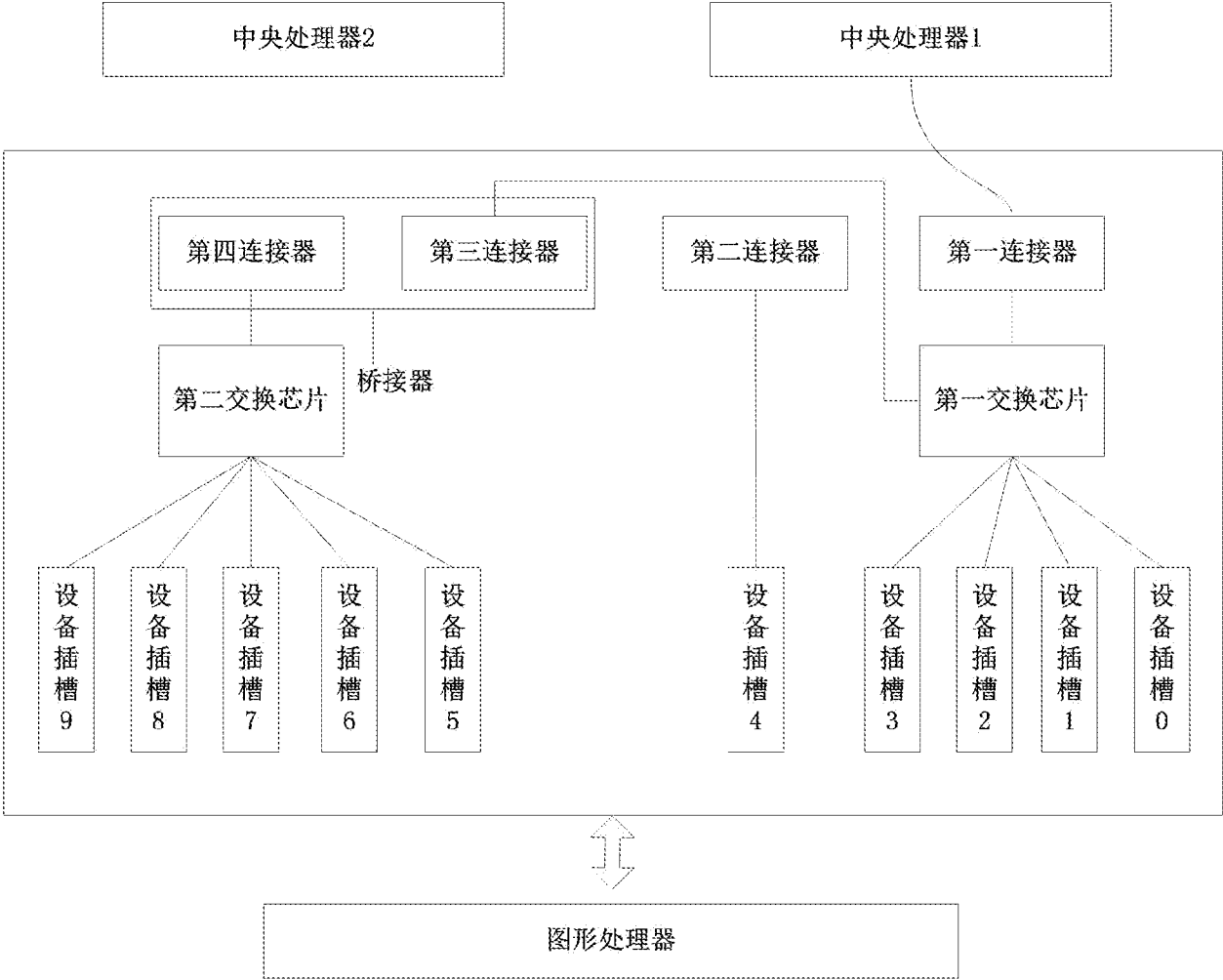


图 5

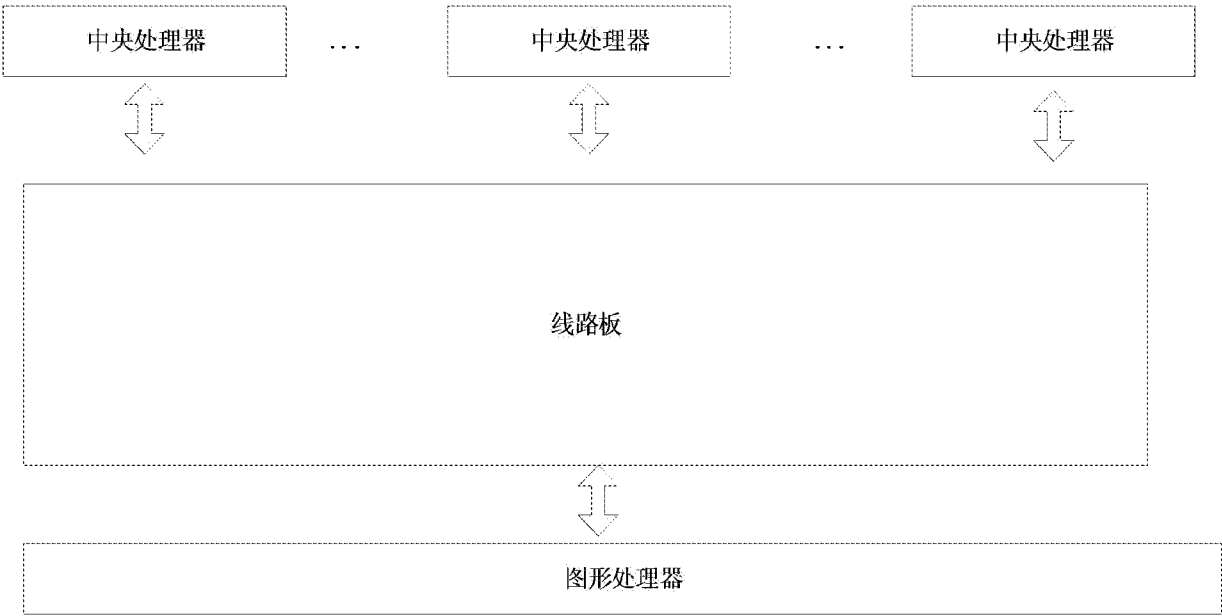


图 6

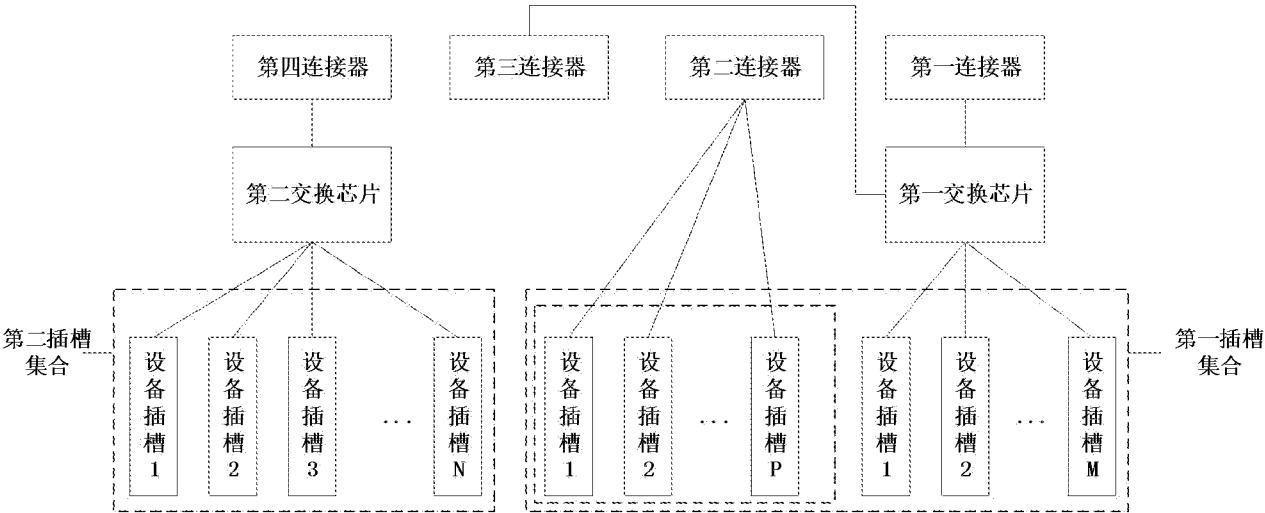


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/088058

A. CLASSIFICATION OF SUBJECT MATTER G06T 1/20(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: G06T Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) VEN, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 中央处理器, cpu, 图形处理器, gpu, 连接, 接口, 交换, 切换, 插槽, pcie, connect, interface, switch, exchange, slot		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 117333348 A (SUZHOU METABRAIN INTELLIGENT TECHNOLOGY CO., LTD.) 02 January 2024 (2024-01-02) claims 1-20, and description, paragraphs [0042]-[0049]	1-20
A	CN 108845970 A (ZHENGZHOU YUNHAI INFORMATION TECHNOLOGY CO., LTD.) 20 November 2018 (2018-11-20) description, paragraphs [0034]-[0047]	1-20
A	CN 109002591 A (ZHENGZHOU YUNHAI INFORMATION TECHNOLOGY CO., LTD.) 14 December 2018 (2018-12-14) entire document	1-20
A	CN 112765074 A (SUZHOU INSPUR INTELLIGENT TECHNOLOGY CO., LTD.) 07 May 2021 (2021-05-07) entire document	1-20
A	CN 115639880 A (XFUSION DIGITAL TECHNOLOGIES CO., LTD.) 24 January 2023 (2023-01-24) entire document	1-20
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 31 July 2024		Date of mailing of the international search report 06 August 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/088058

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2017322899 A1 (QUANTA COMPUTER INC.) 09 November 2017 (2017-11-09) entire document	1-20
A	WO 2016037503 A1 (HUAWEI TECHNOLOGIES CO., LTD.) 17 March 2016 (2016-03-17) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2024/088058

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	117333348	A	02 January 2024	None			
CN	108845970	A	20 November 2018	WO	2019227837	A1	05 December 2019
CN	109002591	A	14 December 2018	None			
CN	112765074	A	07 May 2021	None			
CN	115639880	A	24 January 2023	None			
US	2017322899	A1	09 November 2017	EP	3242218	A1	08 November 2017
				EP	3242218	B1	15 January 2020
				US	10387346	B2	20 August 2019
				TW	201740282	A	16 November 2017
				TWI	631470	B	01 August 2018
				JP	2017201517	A	09 November 2017
				JP	6360588	B2	18 July 2018
				CN	107346293	A	14 November 2017
WO	2016037503	A1	17 March 2016	CN	104202194	A	10 December 2014

A. 主题的分类

G06T 1/20(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G06T

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE:中央处理器, cpu, 图形处理器, gpu, 连接, 接口, 交换, 切换, 插槽, pcie, connect, interface, switch, exchange, slot

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 117333348 A (苏州元脑智能科技有限公司) 2024年1月2日 (2024 - 01 - 02) 权利要求1-20, 说明书第[0042]段-[0049]段	1-20
A	CN 108845970 A (郑州云海信息技术有限公司) 2018年11月20日 (2018 - 11 - 20) 说明书第[0034]- [0047]段	1-20
A	CN 109002591 A (郑州云海信息技术有限公司) 2018年12月14日 (2018 - 12 - 14) 全文	1-20
A	CN 112765074 A (苏州浪潮智能科技有限公司) 2021年5月7日 (2021 - 05 - 07) 全文	1-20
A	CN 115639880 A (超聚变数字技术有限公司) 2023年1月24日 (2023 - 01 - 24) 全文	1-20
A	US 2017322899 A1 (QUANTA COMPUTER INC.) 2017年11月9日 (2017 - 11 - 09) 全文	1-20
A	WO 2016037503 A1 (HUAWEI TECHNOLOGY CO., LTD.) 2016年3月17日 (2016 - 03 - 17) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

★ 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年7月31日

国际检索报告邮寄日期

2024年8月6日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

李文浩

电话号码 (+86) 010-53961341

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/088058

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	117333348	A	2024年1月2日	无			
CN	108845970	A	2018年11月20日	WO	2019227837	A1	2019年12月5日
CN	109002591	A	2018年12月14日	无			
CN	112765074	A	2021年5月7日	无			
CN	115639880	A	2023年1月24日	无			
US	2017322899	A1	2017年11月9日	EP	3242218	A1	2017年11月8日
				EP	3242218	B1	2020年1月15日
				US	10387346	B2	2019年8月20日
				TW	201740282	A	2017年11月16日
				TWI	631470	B	2018年8月1日
				JP	2017201517	A	2017年11月9日
				JP	6360588	B2	2018年7月18日
				CN	107346293	A	2017年11月14日
WO	2016037503	A1	2016年3月17日	CN	104202194	A	2014年12月10日