

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月29日(29.03.2018)



(10) 国際公開番号

WO 2018/056232 A1

(51) 国際特許分類:

H01L 27/146 (2006.01) H04N 5/355 (2011.01)
H01L 31/10 (2006.01) H04N 5/374 (2011.01)

(21) 国際出願番号: PCT/JP2017/033599

(22) 国際出願日: 2017年9月15日(15.09.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-184681 2016年9月21日(21.09.2016) JP

(71) 出願人: 国立大学法人静岡大学(NATIONAL UNIVERSITY CORPORATION

SHIZUOKA UNIVERSITY) [JP/JP]; 〒4228529
静岡県静岡市駿河区大谷8 3 6 Shizuoka (JP).

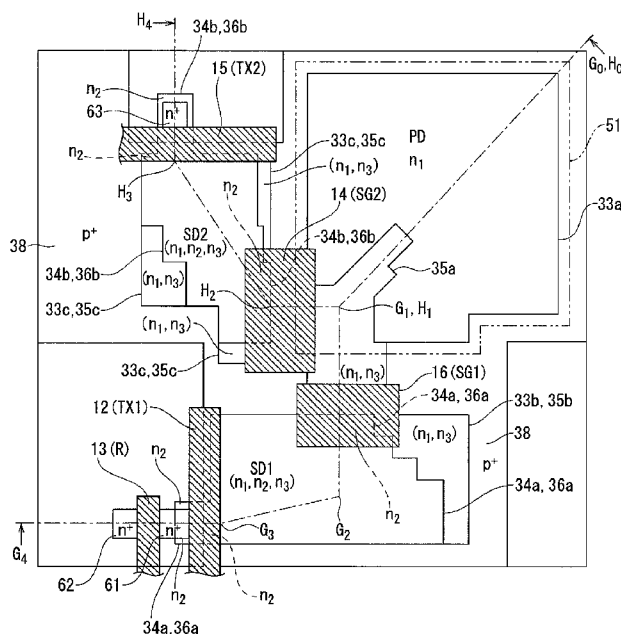
(72) 発明者: 川 人 祥 二 (KAWAHITO Shoji);
〒4328561 静岡県浜松市中区城北3 丁目5 - 1
国立大学法人静岡大学内 Shizuoka (JP).

(74) 代理人: 鈴木 壯 兵 衛 (SUZUKI Sohbe);
〒1056032 東京都港区虎ノ門四丁目3 番 1
号 城山トラストタワー3 2 階 特許業務法人
日栄国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: PHOTOELECTRIC CONVERSION ELEMENT AND SOLID-STATE IMAGE PICKUP DEVICE

(54) 発明の名称: 光電変換素子及び固体撮像装置



(57) Abstract: Provided are high-speed and high-sensitive photoelectric conversion element and solid-state image pickup device, each having a simple structure and a wide dynamic range. The present invention is provided with: a first conductivity-type base body region; a second conductivity-type surface embedded region (33a), which is selectively embedded in an upper portion of the base body region, and which forms a photodiode (PD) with the base body region; a second conductivity-type first charge accumulating region (SD1), which is embedded in the upper portion of the base material

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

region, and in which first signal charges generated by the photodiode (PD) are accumulated, said first signal charges having been transferred from the surface embedded region (33a); and a second conductivity-type second charge accumulating region (SD2), which is embedded in the base body region, and in which second signal charges generated by the photodiode (PD) are accumulated, said second signal charges having been transferred from the surface embedded region (33a). The transfer of the first signal charges from the surface embedded region (33a) to the first charge accumulating region (SD1) in a first time, and the transfer of the second signal charges from the surface embedded region (33a) to the second charge accumulating region (SD2) in a second time that is shorter than the first time are repeated a plurality of times in one frame.

(57) 要約: 構造が簡単でダイナミックレンジが広く、且つ高速・高感度な光電変換素子及び固体撮像装置を提供する。第1導電型の基体領域と、基体領域の上部に選択的に埋め込まれ、基体領域とフォトダイオード(PD)をなす第2導電型の表面埋込領域(33a)と、基体領域の上部に埋め込まれ、表面埋込領域(33a)から転送されたフォトダイオード(PD)が生成した第1信号電荷を蓄積する第2導電型の第1電荷蓄積領域(SD1)と、基体領域に埋め込まれ、表面埋込領域(33a)から転送されたフォトダイオード(PD)が生成した第2信号電荷を蓄積する第2導電型の第2電荷蓄積領域(SD2)とを備え、第1の時間で表面埋込領域(33a)から第1電荷蓄積領域(SD1)へ第1信号電荷を転送し、第1の時間よりも短い第2の時間で表面埋込領域(33a)から第2電荷蓄積領域(SD2)へ第2信号電荷を転送することを1フレーム中で複数回繰り返す。

明 細 書

発明の名称： 光電変換素子及び固体撮像装置

技術分野

[0001] 本発明は、光電変換素子、及びこの光電変換素子の複数個を単位画素として配列した固体撮像装置に係り、特に広ダイナミックレンジの光電変換素子及び固体撮像装置に関する。

背景技術

[0002] 非常に明るい部分と暗い部分が同時に存在している場合でも、良好な撮像を可能とするためには、広いダイナミックレンジを有した固体撮像装置が必要である。従来、2つのMOSトランジスタを有し、一方のMOSトランジスタの電流増幅度を他方のMOSトランジスタの電流増幅度の10倍とした撮像装置が提案されている（特許文献1参照。）。

[0003] 特許文献1の装置では、一方のMOSトランジスタを介して蓄積部に蓄積される信号電荷は、他方のMOSトランジスタを介して蓄積部に蓄積される信号電荷の10倍の感度を有することになり、ダイナミックレンジを上げることができる。しかしながら、近年の車載カメラや監視カメラ等の用途においては、動きの速い対象物の撮像が可能な高速なレスポンスと、更なる広いダイナミックレンジを有した高感度な撮像装置が要求されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2014-160878号公報

発明の概要

発明が解決しようとする課題

[0005] 上記問題点に鑑み、本発明は、構造が簡単でダイナミックレンジが広く、且つ動きの速い対象物の撮像が可能な高速なレスポンス特性を有した高感度な光電変換素子及びこの光電変換素子を単位画素として、単位画素を周期的に配列した固体撮像装置を提供することを目的とする。

課題を解決するための手段

[0006] 上記目的を達成するために、本発明の第1の態様は、(a)第1導電型の基体領域と、(b)基体領域の上部に選択的に埋め込まれ、基体領域とフォトダイオードをなす第2導電型の表面埋込領域と、(c)基体領域の上部の表面埋込領域の近傍に埋め込まれ、表面埋込領域から転送されたフォトダイオードが生成した第1信号電荷を蓄積する第2導電型の第1電荷蓄積領域と、(d)第1電荷蓄積領域から離間して、基体領域に埋め込まれ、表面埋込領域から転送されたフォトダイオードが生成した第2信号電荷を蓄積する第2導電型の第2電荷蓄積領域とを備え、第1の時間で表面埋込領域から第1電荷蓄積領域へ第1信号電荷を転送し、第1の時間よりも短い第2の時間で表面埋込領域から第2電荷蓄積領域へ第2信号電荷を転送することを1フレーム中で複数回繰り返す光電変換素子であることを要旨とする。

[0007] 本発明の第2の態様は、(a)第1導電型の基体領域と、(b)基体領域の上部に選択的に埋め込まれ、基体領域とフォトダイオードをなす第2導電型の表面埋込領域と、(c)基体領域の上部の表面埋込領域の近傍に埋め込まれ、表面埋込領域から転送されたフォトダイオードが生成した第1信号電荷を蓄積する第2導電型の第1電荷蓄積領域と、(d)第1電荷蓄積領域から離間して、基体領域に埋め込まれ、表面埋込領域から転送されたフォトダイオードが生成した第2信号電荷を蓄積する第2導電型の第2電荷蓄積領域とを備える単位画素を複数配列し、単位画素のそれぞれにおいて、第1の時間で表面埋込領域から第1電荷蓄積領域へ第1信号電荷を転送し、第1の時間よりも短い第2の時間で表面埋込領域から第2電荷蓄積領域へ第2信号電荷を転送することを1フレーム中で複数回繰り返す固体撮像装置であることを要旨とする。

発明の効果

[0008] 本発明によれば、構造が簡単でダイナミックレンジが広く、且つ動きの速い対象物の撮像が可能な高速なレスポンス特性を有した高感度な光電変換素子及びこの光電変換素子を単位画素として、単位画素を周期的に配列した固

体撮像装置を提供することができる。

図面の簡単な説明

[0009] [図1]本発明の第1の実施形態に係る固体撮像装置の半導体チップ上のレイアウトの概略を説明する模式的な平面図である。

[図2]第1の実施形態に係る光電変換素子の概略を説明する模式的な平面図（上面図）である。

[図3]図2の $G_0-G_1-G_2-G_3-G_4$ の一点鎖線に沿った断面から見た第1の実施形態に係る光電変換素子の概略を説明する模式的な断面図である。

[図4]図2の $H_0-H_1-H_2-H_3-H_4$ の一点鎖線に沿った断面から見た第1の実施形態に係る光電変換素子の概略を説明する模式的な断面図である。

[図5]図5（a）は、第1の実施形態に係る光電変換素子の第1の選択ゲート電極に印加される第1信号電荷駆動パルスの波形を説明する図であり、図5（b）は、図5（a）との関係を説明する第1の実施形態に係る光電変換素子の第2の選択ゲート電極に印加される第2信号電荷駆動パルスの波形を説明する図であり、図5（c）は、図5（a）及び図5（b）との関係を説明する第1の実施形態に係る光電変換素子の第1電荷蓄積領域の出力のタイミングチャートであり、図5（d）は、図5（a）及び図5（b）との関係を説明する第1の実施形態に係る光電変換素子の第2電荷蓄積領域の出力のタイミングチャートである。

[図6]第1の実施形態に係る光電変換素子の第1及び第2の電荷蓄積領域の信号電荷の読出方法を説明するタイミングチャートである。

[図7]図7（a）は、第1の比較例に係る信号電荷の読出方法を説明する図であり、図7（b）は、図7（a）との関係を説明する第2の比較例に係る信号電荷の読出方法を説明する図であり、図7（c）は、図7（a）及び図7（b）との関係を説明する第3の比較例に係る信号電荷の読出方法を説明する図であり、図7（d）は、図7（a）～図7（c）との関係を説明する第1の実施形態に係る光電変換素子の信号電荷の読出方法を説明する図である。

。

[図8]第1の実施形態の変形例に係る光電変換素子の概略を説明する模式的な平面図（上面図）である。

[図9]本発明の第2の実施形態に係る光電変換素子の概略を説明する模式的な平面図（上面図）である。

[図10]図10（a）は、図9の $G_0-G_1-G_2-G_3-G_4$ の一点鎖線に沿った断面から見た第2の実施形態に係る光電変換素子の概略を説明する模式的な断面図であり、図10（b）は、選択ゲート電極に3.3Vを印加したときの対応する空乏化電位分布であり、図10（c）は、選択ゲート電極に-1Vを印加したときの対応する空乏化電位分布である。

[図11]図10（c）の円で囲んだ領域Bの部分拡大図である。

[図12]図10（b）の円で囲んだ領域Aの部分拡大図である。

[図13]図13（a）は、図9の $H_0-H_1-H_2-H_3-H_4$ の一点鎖線に沿った断面から見た第2の実施形態に係る光電変換素子の概略を説明する模式的な断面図であり、図13（b）は、選択ゲート電極に3.3Vを印加したときの対応する空乏化電位分布であり、図13（c）は、選択ゲート電極に-1Vを印加したときの対応する空乏化電位分布である。

[図14]図14（a）は、選択ゲート電極に-1Vを印加したときの対応する3次元の空乏化電位分布であり、図14（b）は、選択ゲート電極に3.3Vを印加したときの対応する3次元の空乏化電位分布である。

[図15]図15（a）は、第2の実施形態に係る光電変換素子の選択ゲート電極に印加される信号電荷駆動パルスの波形を説明する図であり、図15（b）は、図15（a）との関係を説明する第2の実施形態に係る光電変換素子の第1電荷蓄積領域の出力のタイミングチャートであり、図15（c）は、図15（a）との関係を説明する第2の実施形態に係る光電変換素子の第2電荷蓄積領域の出力のタイミングチャートである。

[図16]本発明の第2の実施形態の変形例に係る光電変換素子の概略を説明する模式的な平面図（上面図）である。

発明を実施するための形態

[0010] 以下に本発明の第1及び第2の実施形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

[0011] 以下の第1及び第2の実施形態の説明で「第1導電型」、又は「第2導電型」として修飾して導電型を規定した領域、部材、構成要素等はすべて半導体を材料とする領域、部材、構成要素等である。そして、以下の説明では、第1導電型がp型、第2導電型がn型の場合について例示的に説明するが、導電型を逆の関係に選択して、第1導電型がn型、第2導電型がp型としても構わない。第1導電型がp型、第2導電型がn型の場合は、信号電荷としての多数キャリアは電子となるが、第1導電型がn型、第2導電型がp型の場合は、信号電荷としての多数キャリアは正孔（ホール）となることは、勿論である。又、以下の説明における「左右」や「上下」の方向は、単に説明の便宜上の定義であって、本発明の技術的思想を限定するものではない。よって、例えば、紙面を90度回転すれば「左右」と「上下」は交換して読まれ、紙面を180度回転すれば「左」が「右」に、「右」が「左」になることは勿論である。

[0012] （第1の実施形態）

本発明の第1の実施形態に係る固体撮像装置（2次元イメージセンサ）は、図1に示すように、画素アレイ部（ $X_{11} \sim X_{1m}$ ； $X_{21} \sim X_{2m}$ ；……； $X_{n1} \sim X_{nm}$ ）と周辺回路部（104，105，106，107，108）とを同一の半導体チップ上に集積化している。画素アレイ部には、2次元マトリクス状に多数の画素 X_{ij} （ $i = 1 \sim n$ ； $j = 1 \sim m$ ： m, n はそれぞれ整数である。）が配列されており、方形状の撮像領域を構成している。そして、この画素アレイ部の下辺部には、画素行 $X_{11} \sim X_{1m}$ ； $X_{21} \sim X_{2m}$ ；……； X_{n1}

～ X_{nm} 方向に沿って水平シフトレジスタ106が設けられ、画素アレイ部の左辺部には画素列 $X_{11} \sim X_{n1}$ ； $X_{12} \sim X_{n2}$ ；……； $X_{1j} \sim X_{nj}$ ；……； $X_{1m} \sim X_{nm}$ 方向に沿って垂直シフトレジスタ（垂直ドライバ回路）105が設けられている。垂直シフトレジスタ（垂直ドライバ回路）105及び水平シフトレジスタ106には、タイミング発生回路104が接続されている。

[0013] 第1の実施形態に係る固体撮像装置のそれぞれの画素 $X_{11} \sim X_{1m}$ ； $X_{21} \sim X_{2m}$ ；……； $X_{n1} \sim X_{nm}$ 内の画素回路として機能する画素の平面構造の一例を、図2に示す。図2の右上側には、受光カソード領域（電荷生成領域）として機能する表面埋込領域33aが矩形状の領域として示されている。表面埋込領域33aは、第1導電型（p型）の基体領域32（図3及び図4参照。）に囲まれた第2導電型（n型）の表面埋込領域33aである。表面埋込領域33aの領域に二点鎖線で示す開口部（アパーチャ部）を開口した遮光板51があり、アパーチャ部以外の画素の領域は遮光板51によってその上方を被覆され、光に対するシールドがなされている。画素は、遮光板51のアパーチャ部を介して入射した光信号を受光し、この光信号を第1信号電荷と第1信号電荷以外の第2信号電荷に光電変換する。「第1信号電荷」は、図2に示した第1経路選択機構を構成する第1選択ゲート電極16によって転送が制御される信号電荷であり、「第2信号電荷」は、第2経路選択機構を構成する第2選択ゲート電極14によって転送が制御される信号電荷である。「第1信号電荷」と「第2信号電荷」の定義の詳細については図5のところで後ほど説明する。

[0014] 図1に示したタイミング発生回路104、水平シフトレジスタ106及び垂直シフトレジスタ（垂直ドライバ回路）105によって画素アレイ部内の画素 X_{ij} が順次走査され、画素信号の第1信号電荷と第2信号電荷への振り分け蓄積、振り分け蓄積後の読み出しや電子シャッタ動作が実行される。即ち、本発明の第1の実施形態に係る固体撮像装置では、1フレーム内において、第1選択ゲート電極16を駆動する第1信号電荷駆動パルスSG1、第2選択ゲート電極14を駆動する第2信号電荷駆動パルスSG2を複数回相

補的に、画素アレイ部の画素 $X_{11} \sim X_{1m}$; $X_{21} \sim X_{2m}$; ……; $X_{n1} \sim X_{nm}$ に垂直シフトレジスタ105から送信する。第1信号電荷駆動パルスSG1により第1信号電荷が図2に示した第1電荷蓄積領域（第1電荷蓄積ダイオード）SD1に蓄積され、第2信号電荷駆動パルスSG2により、第2信号電荷が第2電荷蓄積領域（第2電荷蓄積ダイオード）SD2に蓄積される。この後、画素アレイ部を各画素行 $X_{11} \sim X_{1m}$; $X_{21} \sim X_{2m}$; ……; $X_{n1} \sim X_{nm}$ 単位で垂直方向に走査することにより、各画素行 $X_{11} \sim X_{1m}$; $X_{21} \sim X_{2m}$; ……; $X_{n1} \sim X_{nm}$ の画素信号を各画素列 $X_{11} \sim X_{n1}$; $X_{12} \sim X_{n2}$; ……; $X_{1j} \sim X_{nj}$; ……; $X_{1m} \sim X_{nm}$ 毎に設けられた垂直信号線 $B_1, B_2, B_3, \dots, B_j, \dots, B_m$ によって画素信号を読み出す構成となっている。

[0015] 各垂直信号線 $B_1, B_2, B_3, \dots, B_j, \dots, B_m$ から読み出された画素信号は、ノイズキャンセル回路107の相関二重サンプリング回路 $CDS_1, CDS_2, CDS_3, \dots, CDS_m$ においてノイズがキャンセリングされ、更に信号処理回路108のアナログ・デジタル変換回路 $ADC_1, ADC_2, ADC_3, \dots, ADC_m$ においてAD変換された後、水平シフトレジスタ106に出力される。相関二重サンプリング回路 CDS_1 は、垂直信号線 B_1 に一方の電極が接続された入力容量C1と、入力容量C1の他方の電極に一方の電極が接続された積分容量C2と、入力容量C1の他方の電極に一方の入力端子が接続された差動アンプ109とを備える。差動アンプ109の他方の入力端子は接地されている。積分容量C2の他方の電極は、差動アンプ109の出力端子に接続されている。差動アンプ109には、差動アンプ109の一方の入力端子と出力端子間を短絡可能なスイッチS1が、差動アンプ109に並列に接続されている。図示を省略するが、相関二重サンプリング回路 $CDS_2, CDS_3, \dots, CDS_m$ も図1に示した相関二重サンプリング回路 CDS_1 と同様の構成を有する。

[0016] 図2に示す平面パターン上、表面埋込領域33aの左下側には、絶縁ゲート構造を有する第1選択ゲート電極16及び第2選択ゲート電極14が配置され、それぞれが第1経路選択機構及び第2経路選択機構を構成している。

第1選択ゲート電極16に印加する電圧により第1選択ゲート電極16の直下に電荷移動経路を定義している半導体領域32（図3参照。）の表面に電荷転送チャネルを誘起して、画素が生成した第1信号電荷を図2に示した平面パターンで見たときの下方方向に転送する。第2選択ゲート電極14に印加する電圧により第2選択ゲート電極14の直下に電荷移動経路を定義する半導体領域32（図3参照。）の表面に電荷転送チャネルを誘起して、画素が生成した第2信号電荷を図2に示した平面パターンで見たときの左方向に転送する。

[0017] 図2に示す平面パターン上、表面埋込領域33aの左下側の領域に重畳し、第1選択ゲート電極16及び第2選択ゲート電極14に隣接するように、第2導電型（n型）のガイド領域（内部ガイド領域）35aが配置されている。ガイド領域35aは、表面埋込領域33aから、それぞれ経路選択機構を構成している第1選択ゲート電極16及び第2選択ゲート電極14へ第1信号電荷及び第2信号電荷をそれぞれ導く機能を有する。図2に示すように、第1選択ゲート電極16により転送された第1信号電荷を一時的に蓄積する第1電荷蓄積領域（電荷蓄積ダイオード）SD1が、平面パターン上、多角形（図2においては、4段のステップを有する階段状10角形）として第1選択ゲート電極16の下側に配置されている。第1電荷蓄積領域SD1の左側には、第1電荷蓄積領域SD1に隣接した第1転送ゲート電極12と、この第1転送ゲート電極12を介して、第1電荷蓄積領域SD1に対向する第2導電型（n⁺型）の第1電荷読出領域61が配置されている。

[0018] 第1電荷読出領域61の更に左側には、リセットゲート電極13と、このリセットゲート電極13を介して、第1電荷読出領域61に対向する第2導電型（n⁺型）のリセットドレイン領域62が配置されている。第1電荷読出領域61、リセットゲート電極13及びリセットドレイン領域62とでリセットトランジスタとなるMOSトランジスタが形成されている。それぞれのリセットゲート電極13に対し、制御信号Rをすべてハイ（H）レベルにして、第1電荷読出領域61に蓄積された電荷をリセットドレイン領域62に

それぞれ吐き出し、第1電荷読出領域61をリセットする。

[0019] 一方、第2選択ゲート電極14により転送された第2信号電荷を蓄積する第2電荷蓄積領域（電荷蓄積ダイオード）SD2が第2選択ゲート電極14の左側に、多角形（図2においては、4段のステップを有する階段状14角形）として配置されている。平面パターン上、第2電荷蓄積領域SD2の上側には、第2電荷蓄積領域SD2に隣接した第2転送ゲート電極15と、この第1転送ゲート電極15を介して、第2電荷蓄積領域SD2に対向する第2導電型（ n^+ 型）の第2電荷読出領域63が配置されている。

[0020] 図3は、図2に示した画素の $G_0-G_1-G_2-G_3-G_4$ の一点鎖線に沿った断面から見た断面構造であるが、 p^+ 型の半導体基板31と、半導体基板31の上にエピタキシャル成長により配置されたp型の基体領域32と、基体領域32の上部の一部に選択的に埋め込まれたn型の表面埋込領域33aと、表面埋込領域33aの上部の一部に選択的に埋め込まれたn型のガイド領域35aが示されている。

[0021] 図3では「第1導電型の基体領域」としては、半導体基板31の上にエピタキシャル成長されたp型の基体領域32を形成したエピタキシャル成長基板を用いる場合を例示しているが、エピタキシャル成長基板を用いる代わりに、「第1導電型の基体領域」として第1導電型の半導体基板を採用してもよい。

[0022] 上述したように、表面埋込領域33aは、基体領域32の上部に埋め込まれており、受光カソード領域（電荷生成領域）として機能する。この表面埋込領域33aと、表面埋込領域33aの直下の基体領域32の一部とでフォトダイオードPDを構成している。表面埋込領域33aの直下に位置した基体領域32の一部が「受光アノード領域（電荷生成領域）」として機能する。受光アノード領域で生成されたキャリア（電子）は、基体領域32の直上の表面埋込領域33aの一部に注入される。

[0023] 表面埋込領域33aの上には、 p^+ 型ピニング層38が配置されている。 p^+ 型ピニング層38は、ダーク時の表面でのキャリアの生成を抑制する層であ

り、ダーク電流削減のために好ましい層として用いている。ダーク電流が問題とならない用途（応用）等では、構造上、 p^+ 型ピニング層 38 を省略しても構わない。

[0024] 基体領域 32 の上部の表面埋込領域 33 a 及びガイド領域 35 a の近傍には、表面埋込領域 33 a 及びガイド領域 35 a と離間して、 n 型の第 1 ウェル領域 34 a が、図 2 の多角形の平面パターンに対応して配置されている。第 1 ウェル領域 34 a の上部の一部には n 型の第 1 電位勾配形成領域 33 b が図 2 の多角形（直角 8 角形）の平面パターンに対応して配置され、第 1 電位勾配形成領域 33 b の上部には n 型の第 1 外部ガイド領域 35 b が多角形の平面パターンに重畳して配置されている。第 1 ウェル領域 34 a の底面には p 型の第 1 埋込蓄積領域 36 a が多角形の平面パターンに対応して配置されている。第 1 ウェル領域 34 a と第 1 電位勾配形成領域 33 b と第 1 外部ガイド領域 35 b との重複領域で第 1 電荷蓄積領域 SD1 が構成されている。図 3 の左側に示すように、基体領域 32 の上部の一部には、リセットトランジスタを構成する第 1 電荷読出領域 61 とリセットドレイン領域 62 が配置されている。

[0025] p^+ 型ピニング層 38 及び基体領域 32 の上にはゲート絶縁膜 11 が配置されている。ゲート絶縁膜 11 としては、シリコン酸化膜 (SiO_2 膜) が好適であるが、シリコン酸化膜 (SiO_2 膜) 以外の種々の絶縁膜を用いた絶縁ゲート型トランジスタ (MIS トランジスタ) の絶縁ゲート構造をなしてもよい。例えば、シリコン酸化膜 (SiO_2 膜) / シリコン窒化膜 (Si_3N_4 膜) / シリコン酸化膜 (SiO_2 膜) の 3 層積層膜からなる ONO 膜でも良い。更には、ストロンチウム (Sr)、アルミニウム (Al)、マグネシウム (Mg)、イットリウム (Y)、ハフニウム (Hf)、ジルコニウム (Zr)、タンタル (Ta)、ビスマス (Bi) のいずれか一つの元素を少なくとも含む酸化物、又はこれらの元素を含むシリコン窒化物等がゲート絶縁膜 11 として使用可能である。

[0026] 図 3 において、第 1 電荷蓄積領域 SD1 の右側のゲート絶縁膜 11 上には

、表面埋込領域 33a から第 1 電荷蓄積領域 SD1 へ第 1 信号電荷を転送する第 1 選択ゲート電極 16 が配置されている。又、第 1 電荷蓄積領域 SD1 の左側のゲート絶縁膜 11 上には、第 1 電荷蓄積領域 SD1 から第 1 電荷読出領域 61 へ第 1 信号電荷を転送する第 1 転送ゲート電極 12 が配置されている。更に、第 1 転送ゲート電極 12 の左側の基体領域 32 上のゲート絶縁膜 11 上には、第 1 転送ゲート電極 12 から離間してリセットゲート電極 13 が配置され、第 1 電荷読出領域 61、リセットゲート電極 13 及びリセットドレイン領域 62 とでリセットトランジスタを構成している。

[0027] 第 1 電荷読出領域 61 には、電圧読出用バッファアンプ 71 を構成する信号読み出しトランジスタ（増幅トランジスタ）MA_i のゲート電極が接続されている。信号読み出しトランジスタ（増幅トランジスタ）MA_i のドレイン電極は電源 VDD に接続され、ソース電極は画素選択用のスイッチングトランジスタ MS_i のドレイン電極に接続されている。画素選択用のスイッチングトランジスタ MS_i のソース電極は、垂直信号線 B_j に接続され、ゲート電極には水平ラインの選択用制御信号 S が垂直シフトレジスタ（垂直ドライバ回路）105（図 1 参照。）から与えられる。選択用制御信号 S をハイ（H）レベルにすることにより、スイッチングトランジスタ MS_i が導通し、信号読み出しトランジスタ（増幅トランジスタ）MA_i で増幅された第 1 電荷蓄積領域 SD1 の電位に対応する電流が垂直信号線 B_j に流れる。

[0028] 図 3 に示した断面構造において、半導体基板 31 の不純物密度よりも電荷生成領域となる基体領域 32 の不純物密度の方が低い。即ち、半導体基板 31 は、不純物密度 $4 \times 10^{17} \text{ cm}^{-3}$ 程度以上、 $1 \times 10^{19} \text{ cm}^{-3}$ 程度以下、電荷生成領域となる基体領域 32 が不純物密度 $6 \times 10^{11} \text{ cm}^{-3}$ 程度以上、 $2 \times 10^{16} \text{ cm}^{-3}$ 程度以下程度が好ましい。特に、半導体基板 31 を不純物密度 $4 \times 10^{17} \text{ cm}^{-3}$ 程度以上、 $5 \times 10^{18} \text{ cm}^{-3}$ 程度以下のシリコン（Si）基板、基体領域 32 を不純物密度 $1 \times 10^{12} \text{ cm}^{-3}$ 程度以上、 $2 \times 10^{15} \text{ cm}^{-3}$ 程度以下の Si エピタキシャル成長層 32 とすれば、通常の CMOS プロセスが採用できる。

[0029] 工業的な意味からは、不純物密度 $8 \times 10^{17} \text{ cm}^{-3}$ 程度以上、 $3 \times 10^{18} \text{ cm}^{-3}$ 程度以下の Si 基板 31、不純物密度 $1 \times 10^{13} \text{ cm}^{-3}$ 程度以上、 $1.5 \times 10^{15} \text{ cm}^{-3}$ 程度以下の Si エピタキシャル成長層 32 とすれば、市場での入手も容易で好ましい。Si エピタキシャル成長層 32 の厚さは $4 \mu\text{m} \sim 20 \mu\text{m}$ 程度、好ましくは $6 \mu\text{m} \sim 10 \mu\text{m}$ 程度とすれば良い。表面埋込領域 33a は、不純物密度 $1 \times 10^{15} \text{ cm}^{-3}$ 程度以上、 $1 \times 10^{17} \text{ cm}^{-3}$ 程度以下、代表的には、例えば $5 \times 10^{16} \text{ cm}^{-3}$ 程度の不純物密度の値が採用可能であり、その厚さは $0.1 \mu\text{m} \sim 3 \mu\text{m}$ 程度、好ましくは $0.5 \mu\text{m} \sim 1.5 \mu\text{m}$ 程度とすることが可能である。

[0030] 図4は、図2に示した $H_0-H_1-H_2-H_3-H_4$ の一点鎖線に沿った断面から見た画素の断面構造であるが、基体領域 32 の上部の一部には、表面埋込領域 33a 及びガイド領域 35a と離間するように、n 型の第2ウェル領域 34b が、図2の多角形の平面パターンに対応して配置されている。第2ウェル領域 34b の上部の一部には n 型の第2電位勾配形成領域 33c が図2の多角形の平面パターンに対応して配置され、第2電位勾配形成領域 33c の上部には n 型の第2外部ガイド領域 35c が多角形の平面パターンに重畳して配置されている。第2ウェル領域 34b の底面には、p 型の第2埋込蓄積領域 36b が多角形の平面パターンに対応して配置されている。第2ウェル領域 34b と第2電位勾配形成領域 33c と第2外部ガイド領域 35c との重複領域で、第2電荷蓄積領域 SD2 が構成されている。

[0031] 第2ウェル領域 34b の左側の上部には、第2電位勾配形成領域 33c 及び第2外部ガイド領域 35c と離間するように、n 型の第2電荷読出領域 63 が配置されている。図2では図示を省略しているが、メタル配線で第1電荷読出領域 61 と接続することによって第2電荷読出領域 63 にも電圧読出用バッファアンプ 71 を接続し、第1電荷蓄積領域 SD1 に蓄積された第1信号電荷の読み出しとは独立して時系列に、第2電荷蓄積領域 SD2 に蓄積された第2信号電荷を読み出す。ここでは電圧読出用バッファアンプ 71 が共通で時系列に読み出す場合を例示したが、第2電荷読出領域 63 には、電

圧読出用バッファアンプ 7 1 とは異なる他の電圧読出用バッファアンプを接続し、第 1 電荷蓄積領域 S D 1 に蓄積された第 1 信号電荷の読み出しとは独立に同時に、第 2 電荷蓄積領域 S D 2 に蓄積された第 2 信号電荷を読み出しでもよい。

[0032] 第 2 電荷蓄積領域 S D 2 の右側のゲート絶縁膜 1 1 上には、表面埋込領域 3 3 a から第 2 電荷蓄積領域 S D 2 へ第 2 信号電荷を転送する第 2 選択ゲート電極 1 4 が配置されている。更に、第 2 電荷蓄積領域 S D 2 の左側のゲート絶縁膜 1 1 上には、第 2 電荷蓄積領域 S D 2 から第 2 電荷読出領域 6 3 へ第 2 信号電荷を転送する第 2 転送ゲート電極 1 5 が配置されている。

[0033] 次に、図 5 (a) ~ 図 5 (d) のタイミングチャートを参照しながら、本発明の第 1 の実施形態に係る固体撮像装置における電荷転送動作の一例を説明する。図 5 (a) ~ 図 5 (d) の横軸は 1 フレーム内における時間を示す。図 5 (a) の縦軸は、第 1 選択ゲート電極 1 6 に印加される第 1 信号電荷駆動パルス S G 1 の電圧の変化を示し、図 5 (b) の縦軸は、第 2 選択ゲート電極 1 4 に印加される第 2 信号電荷駆動パルス S G 2 の電圧の変化を示す。図 5 (c) の縦軸は、第 1 電荷蓄積領域 S D 1 に蓄積される第 1 信号電荷の蓄積電荷量を示し、図 5 (d) の縦軸は、第 2 電荷蓄積領域 S D 2 に蓄積される第 2 信号電荷の蓄積電荷量を示す。

[0034] 図 5 (a) 及び図 5 (b) に示すように、第 1 選択ゲート電極 1 6 及び第 2 選択ゲート電極 1 4 に対して、それぞれ互いに位相の異なる相補的な第 1 信号電荷駆動パルス S G 1 及び第 2 信号電荷駆動パルス S G 2 を印加することにより、第 1 電荷蓄積領域 S D 1 及び第 2 電荷蓄積領域 S D 2 に第 1 信号電荷及び第 2 信号電荷を交互に振り分ける。具体的には、時刻 $t_0 \sim t_1$ (第 1 の時間) において、図 5 (a) に示すように、第 1 信号電荷駆動パルス S G 1 によって第 1 選択ゲート電極 1 6 がオン状態となり、第 1 電荷蓄積領域 S D 1 に第 1 信号電荷を転送し、図 5 (d) に示すように第 1 電荷蓄積領域 S D 1 に第 1 信号電荷が蓄積される。一方、図 5 (b) に示すように、第 2 信号電荷駆動パルス S G 2 によって、第 2 選択ゲート電極 1 4 が、第 1 選

択ゲート電極 1 6 とは相補的にオフ状態となり、第 2 電荷蓄積領域 S D 2 へは第 2 信号電荷が転送されず、図 5 (c) に示すように第 2 電荷蓄積領域 S D 2 に蓄積された第 2 信号電荷は一定である。

[0035] 時刻 $t_0 \sim t_1$ よりも短時間の時刻 $t_1 \sim t_2$ (第 2 の時間) において、図 5 (a) に示すように、第 1 信号電荷駆動パルス S G 1 によって第 1 選択ゲート電極 1 6 がオフ状態となり、第 1 電荷蓄積領域 S D 1 へ第 1 信号電荷が転送されず、図 5 (d) に示すように第 1 電荷蓄積領域 S D 1 に蓄積された第 1 信号電荷は一定である。一方、図 5 (b) に示すように、第 2 信号電荷駆動パルス S G 2 によって、第 2 選択ゲート電極 1 4 が、第 1 選択ゲート電極 1 6 とは相補的にオン状態となり、第 2 電荷蓄積領域 S D 2 に第 2 信号電荷を転送し、図 5 (c) に示すように、第 2 電荷蓄積領域 S D 2 に第 2 信号電荷が蓄積される。

[0036] 即ち、第 1 電荷蓄積領域 S D 1 及び第 2 電荷蓄積領域 S D 2 にキャリア (光電子) を蓄積するデューティーを変えて、長時間露光により第 1 電荷蓄積領域 S D 1 に第 1 信号電荷を蓄積し、短時間露光で第 2 電荷蓄積領域 S D 2 に第 2 信号電荷を相補的に蓄積する。即ち、「第 1 信号電荷」とは、図 5 (a) に示した長時間露光により第 1 電荷蓄積領域 S D 1 に蓄積される信号電荷と定義できる。一方、「第 2 信号電荷」とは、フォトダイオード P D が光電変換により生成した信号電荷の内、第 1 信号電荷以外の信号電荷であり、図 5 (b) に示した短時間露光により第 2 電荷蓄積領域 S D 2 に蓄積される信号電荷である、と定義できる。

[0037] 時刻 $t_0 \sim t_1$ の長時間露光及び時刻 $t_1 \sim t_2$ の短時間露光の相補的な組み合わせを、1 フレーム内の時刻 $t_2 \sim t_3$ と時刻 $t_3 \sim t_4$ 、時刻 $t_4 \sim t_5$ と時刻 $t_5 \sim t_6$ 、時刻 $t_6 \sim t_7$ と時刻 $t_7 \sim t_8$ で交互且つ周期的に繰り返す。なお、図 5 では長時間露光及び短時間露光の相補的な組み合わせを 4 回繰り返す場合を例示しているが、長時間露光及び短時間露光の相補的な組み合わせを少なくとも 2 回繰り返してもよく、5 回以上繰り返してもよい。1 フレームの終了する時刻 t_8 において、第 1 電荷蓄積領域 S D 1

及び第2電荷蓄積領域SD2に蓄積された第1信号電荷及び第2信号電荷をそれぞれ時系列に読み出す。

[0038] 次に、図6のタイミングチャートを参照して、第1電荷蓄積領域SD1及び第2電荷蓄積領域SD2に蓄積された第1信号電荷及び第2信号電荷の時系列の読み出し方法の一例を説明する。図6では、上から順に、第*i*行目の画素行 $X_{i1} \sim X_{im}$ への垂直選択信号 $S(i)$ ，リセット信号 $R(i)$ ，第1転送ゲート電極12に印加される制御信号 $TX1(i)$ ，第2転送ゲート電極15に印加される制御信号 $TX2(i)$ ，画素 X_{ij} の出力信号，相関二重サンプリング回路 $CDS_1, CDS_2, CDS_3, \dots, CDS_m$ 内のスイッチ $S1$ を制御する制御信号 ϕ_{CDS1} ，信号処理回路108のAD変換回路 $ADC_1, ADC_2, ADC_3, \dots, ADC_m$ によるAD変換後の出力値ADCの時間的变化をそれぞれ示している。

[0039] 先ず、第*i*行目の水平読み出し期間 $1H(i)$ において、リセット信号 $R(i)$ をハイ(H)レベル($Ri = "1"$)にして、画素 X_{ij} 内の第1電荷蓄積領域SD1及び第2電荷蓄積領域SD2の電位をリセットする。更に、図1に示したノイズキャンセル回路107の相関二重サンプリング回路 $CDS_1, CDS_2, CDS_3, \dots, CDS_m$ において、スイッチ $S1$ を導通状態(閉状態)($\phi_{CDS1} = "1"$)とし、更に垂直選択信号 $S(i)$ をハイレベル($Si = "1"$)にすることにより、画素 X_{ij} 内の第1電荷読出領域61及び第2電荷読出領域63のリセット状態の電位レベルを、垂直信号線 B_j を介して図1の入力容量 $C1$ にサンプルする。このとき、信号処理回路108のAD変換回路 $ADC_1, ADC_2, ADC_3, \dots, ADC_m$ は、第(*i*−1)行目の水平読み出し期間 $1H(i-1)$ の後半 $1/2$ の期間において読み出された第2信号電荷に対応する画素出力をAD変換し、デジタル信号SD2(*i*−1)を出力する。

[0040] その後、図1に示したノイズキャンセル回路107の相関二重サンプリング回路 $CDS_1, CDS_2, CDS_3, \dots, CDS_m$ において、差動アンプ109を増幅モードにする($\phi_{CDS1} = "0"$)。次いで、制御信号 $TX1(i)$

）を第1転送ゲート電極12に印加し、第1電荷蓄積領域SD1から第1電荷読出領域61へ第1信号電荷を転送する。その結果、第1電荷読出領域61の電位が変化し、差動アンプ109の出力には、画素 X_{ij} の固定パターンノイズと、リセットノイズが除去された高感度信号が現れる。

[0041] 再び、リセット信号 $R(i)$ をハイ(H)レベル($R_i = "1"$)にして、画素 X_{ij} 内の第1電荷読出領域61及び第2電荷読出領域63の電位をリセットする。垂直選択信号 $S(i)$ をハイレベル($S_i = "1"$)に維持したまま、図1に示したノイズキャンセル回路107の相関二重サンプリング回路 CDS_1 , CDS_2 , CDS_3 , …… , CDS_m において、スイッチ S_1 を導通状態(閉状態)($\phi_{CDS1} = "1"$)とすることにより、画素 X_{ij} 内の第1電荷読出領域61及び第2電荷読出領域63のリセット状態の電位レベルを、垂直信号線 B_j を介して図1の入力容量 C_1 にサンプルする。信号処理回路108のAD変換回路 ADC_1 , ADC_2 , ADC_3 , …… , ADC_m は、第 i 行目の水平読み出し期間 $1H(i)$ の前半 $1/2$ の期間において読み出された第1信号電荷に対応する画素出力をAD変換し、デジタル信号SD1(i)を出力する。

[0042] その後、図1に示したノイズキャンセル回路107の相関二重サンプリング回路 CDS_1 , CDS_2 , CDS_3 , …… , CDS_m において、スイッチ S_1 を遮断状態とし、図1の差動アンプ109を増幅モードにする($\phi_{CDS1} = "0"$)。次いで、制御信号 $TX2(i)$ を第1転送ゲート電極15に印加し、第2電荷蓄積領域SD2から第2電荷読出領域63へ第2信号電荷を転送する。その結果、第2電荷読出領域63の電位が変化し、差動アンプ109の出力には、画素 X_{ij} の固定パターンノイズと、リセットノイズが除去された低感度信号が現れる。信号処理回路108のAD変換回路 ADC_1 , ADC_2 , ADC_3 , …… , ADC_m は、第 i 行目の水平読み出し期間 $1H(i)$ の後半 $1/2$ の期間において読み出された第2信号電荷に対応する画素出力をAD変換し、デジタル信号SD2(i)を出力する。

[0043] ここで、図7(a)に示すように、従来のイメージセンサの通常の撮影方

法では、1フレームの時間Nだけキャリア（光電子）を蓄積して読み出す。このような従来のイメージセンサの読出方法では、光照度が大きくなり1フレームの時間N内で表面埋込領域（受光カソード領域）が飽和してしまうと、白飛びが発生してしまい、それを防ごうと1フレーム内で蓄積時間Nを短くしてしまうと、低照度領域での信号が小さくなり、ノイズに埋もれてしまうため、黒つぶれが発生してしまう。

[0044] また、図7（b）に示すように、広いダイナミックレンジを実現するために1フレーム期間を長時間露光期間Lと短時間露光期間Sに分割して、長時間露光期間Lの蓄積信号と短時間露光期間Sの蓄積信号とを合成する手法がある。しかしながら、図7（b）の手法では短時間露光期間Sのサンプリングウインドウがフレーム期間に比して小さくなり、短時間露光期間Sの間隔がほぼ1フレーム期間分隔たるため、動きの速い対象物の撮像で不自然な動き歪が生ずるという問題があった。

[0045] また、図7（c）に示すように、1フレーム期間を長時間露光期間L、短時間露光期間S1、超短時間露光期間S2に分割して、長時間露光期間L、短時間露光期間S1、超短時間露光期間S2の異なる信号をそれぞれ読み出して合成する手法がある。図7（c）の手法でも、短時間露光期間S1及び超短時間露光期間S2のサンプリングウインドウがフレーム期間に比して小さくなり、短時間露光期間S1及び超短時間露光期間S2の間隔がほぼ1フレーム期間分隔たるため、動きの速い対象物の撮像で不自然な動き歪が生ずるという問題があった。

[0046] これに対して、第1の実施形態に係る固体撮像装置によれば、図7（d）に示すように、長時間露光期間Lにおいて第1電荷蓄積領域SD1に第1信号電荷を蓄積し、短時間露光期間Sにおいて第2電荷蓄積領域SD2に第2信号電荷を蓄積することを1フレーム内で複数回繰り返す。これにより、動きの速い対象物の撮像であっても、隣り合う短時間露光期間Sの間隔が図7（b）及び図7（c）と比較して小さいため、不自然な動き歪が減少すると共に、異なる感度（例えば400：1程度）を持つ第1電荷蓄積領域SD1

及び第2電荷蓄積領域SD2の信号を合成することで高ダイナミックレンジが得られる。

[0047] 以上説明したように、本発明の第1の実施形態によれば、第1選択ゲート電極16及び第2選択ゲート電極14の2つの経路選択機構を備え、第1選択ゲート電極16及び第2選択ゲート電極14が第1電荷蓄積領域SD1及び第2電荷蓄積領域SD2に第1信号電荷及び第2信号電荷を、それぞれ1フレーム内で複数回選択的に振り分ける。その際、第1電荷蓄積領域SD1及び第2電荷蓄積領域SD2を用いて時分割して、長時間露光期間L及び短時間露光期間Sを交互に相補的に複数回繰り返し、2つの感度を持つ信号を1フレーム内で反復的に複数回蓄積して読み出すことで、高速に動く対象物に対する動き歪の小さい広ダイナミックレンジ画像を得ることができる。したがって、自動車のヘッドライトや監視カメラ等の撮像対象が高速であり、且つ光照度が急激に大きく変化する場合に用いられる装置に好適である。

[0048] (第1の実施形態の変形例)

本発明の第1の実施形態の変形例に係る光電変換素子は、図2に示した第1の実施形態に係る光電変換素子の第1選択ゲート電極16及び第2選択ゲート電極14の代わりに、図8に示すように、それぞれ1対の電界制御電極のペアによって構成された第1経路選択機構(第1電界制御電極ペア)(16a, 16b)及び第2経路選択機構(第2電界制御電極ペア)(14a, 14b)を備える点が、第1の実施形態に係る光電変換素子と異なる。

[0049] 図8から分かるように、第1経路選択機構(16a, 16b)の第1信号電荷が移動する電荷移動経路(チャンネル)の直上には電界制御電極(ゲート電極)が配置されていない。同様に、第2経路選択機構(14a, 14b)の第2信号電荷が移動する電荷移動経路(チャンネル)の直上には電界制御電極(ゲート電極)が配置されていない。即ち、第1経路選択機構(16a, 16b)及び第2経路選択機構(14a, 14b)の絶縁ゲート構造を構成しているゲート電極(電界制御電極)の直下の半導体領域にはチャンネルが存在しない。第1経路選択機構(16a, 16b)及び第2経路選択機構(1

4 a, 1 4 b) を構成している電界制御電極の直下の半導体領域にチャンネルを設けず、1 対の電界制御電極のペアの間に定義される電荷移動経路（電荷転送方向）にチャンネルが設定されている。このような構成において、それぞれの電荷移動経路に対し、電荷移動経路に直交する方向（横方向）に伸びる電気力線による静電誘導効果によって、電荷移動経路（チャンネル）のポテンシャル及び電界が制御される。

[0050] 第1経路選択機構（1 6 a, 1 6 b）及び第2経路選択機構（1 4 a, 1 4 b）のそれぞれを構成している電界制御電極は、電荷移動経路の直上に配置されていないので、従来のMOSトランジスタのゲート構造のようなゲート電極直下において、表面ポテンシャルを縦方向（垂直方向又は深さ方向）に制御するのではない。図8に示した本発明の第1の実施形態の変形例に係る光電変換素子においては、第1経路選択機構（1 6 a, 1 6 b）及び第2経路選択機構（1 4 a, 1 4 b）において、それぞれの横方向にガウスの法則に従って伸びる電気力線が及ぼす静電誘導効果により、電荷移動経路の電位（ポテンシャル）をそれぞれ制御する。横方向電界による静電誘導効果を用いることにより、電荷転送方向の長い距離にわたって電界がほぼ一定になるようにして、第1信号電荷及び第2信号電荷をそれぞれ転送する光電変換素子を実現できる。

[0051] 図8に示した第1の実施形態の変形例に係る光電変換素子は、横方向電界を用いた第1経路選択機構（1 6 a, 1 6 b）及び第2経路選択機構（1 4 a, 1 4 b）の2つの経路選択機構を備えている。このため、図5（a）～図5（d）のタイミングチャートに示したのと同様に、第1経路選択機構（1 6 a, 1 6 b）及び第2経路選択機構（1 4 a, 1 4 b）が、1フレーム内で、横方向電界による静電誘導効果を用いて、第1信号電荷を第1電荷蓄積領域SD1に、第2信号電荷を第2電荷蓄積領域SD2に、複数回選択的に振り分けて転送することができる。その際、1フレーム内を時分割して、長時間露光期間L及び短時間露光期間Sを交互に相補的に複数回繰り返し、第1信号電荷及び第2信号電荷のそれぞれを、1フレーム内で反復的に複数

回、第1電荷蓄積領域SD1及び第2電荷蓄積領域SD2に選択して蓄積し、第1信号電荷及び第2信号電荷のそれぞれを時系列に読み出すことが可能である。よって、図8に示した第1の実施形態の変形例に係る光電変換素子及びこの光電変換素子を用いた固体撮像装置によっても、高速に動く対象物に対する動き歪の小さく、且つ広ダイナミックレンジ画像を得ることができるという図2～図4等にした構造と同様な効果を奏することが可能である。

[0052] (第2の実施形態)

本発明の第2の実施形態に係る固体撮像装置(2次元イメージセンサ)の半導体チップ上の配置等の全体構成は、概略としては図1に示した構成と同様である。第2の実施形態に係る固体撮像装置のそれぞれの画素 $X_{11} \sim X_{1m}$; $X_{21} \sim X_{2m}$; ……; $X_{n1} \sim X_{nm}$ 内の画素回路として機能する画素の平面構造の一例を、図9に示す。図9の右上側には、受光カソード領域(電荷生成領域)として機能する表面埋込領域33aが矩形状の領域として示されている。表面埋込領域33aは、p型の基体領域32の上部に選択的に埋め込まれたn型の表面埋込領域33aである。画素は、遮光板51の開口部を介して入射した光信号を受光し、この光信号を第1信号電荷及び第2信号電荷に変換する。

[0053] 表面埋込領域33aの矩形状の領域の左下部分の左側には、経路選択機構(第2経路選択機構)として機能するように、絶縁ゲート構造の選択ゲート電極14が配置されているが、下側の経路選択機構(第1経路選択機構)には、通常の絶縁ゲート構造を構成するような選択ゲート電極は配置されていない。即ち、本発明の第2の実施形態に係る光電変換素子は、2つの経路選択機構を有するが、一方の経路選択機構のみが図1に例示した垂直シフトレジスタ(垂直ドライバ回路)105等の周辺回路によって駆動される選択ゲート電極14を有する。このため、画素内のレイアウトだけでなく、選択ゲート電極を駆動する配線等の半導体チップ上のレイアウトが簡略化されている。

[0054] 直接駆動型経路選択機構である第2経路選択機構を構成している選択ゲート電極14は、周辺回路からの信号電荷駆動パルスSGによって直接的に駆動されて、表面埋込領域33aにより生成した第2信号電荷を第2電荷蓄積領域SD2に転送して、第2電荷蓄積領域SD2に蓄積する。これに対し第1経路選択機構は、第2経路選択機構からの静電誘導効果で、第1経路選択機構を構成している電荷移動経路内の電位の変化が誘導されて、表面埋込領域33aが生成した第1信号電荷の移動を、間接的に制御する間接駆動型経路選択機構である（電荷移動経路内の電位の変化については、図10～図13を用いて後述する。）。このため、第1経路選択機構は、周辺回路によって駆動されることなく、第1信号電荷を、特定のタイミングで、表面埋込領域33aから第1電荷蓄積領域SD1に向かって、見かけ上自動的に転送する経路選択機構である。

[0055] 図9に示した平面パターン上、表面埋込領域33aは、選択ゲート電極14の右側を比較的細い幅W1、W2で規定される電荷移動経路を経由して、下側に電荷移動経路よりも太い幅となる矩形状の領域を有した、矩形瓢箪型をなしている。表面埋込領域33aの左下側の矩形状の領域の一部には、第1電荷蓄積領域SD1が多角形（図9においては直角10角形）の形で、階段状に4段のステップを有して表面埋込領域33aのパターンに重畳している。又、表面埋込領域33aの右上の矩形領域の左下から下側に向かって延在し、表面埋込領域33aの下側の矩形の領域と重畳するように、n型のガイド領域（貫通ガイド領域）35aが複雑な多角形（図9においては17角形）の形状で配置されている。ガイド領域35aは、表面埋込領域33aから第1電荷蓄積領域SD1の方向へ第1信号電荷を導き、第2電荷蓄積領域SD2の方向へ第2信号電荷を導く機能を有する。ガイド領域35aは、表面埋込領域33aの右上の矩形状の領域の左下から、多角形の右上側の先端部が、G0-G1方向（対角線方向）に沿って表面埋込領域33aの矩形状の領域の中央部に向かい突出している。

[0056] 第1電荷蓄積領域SD1の左側には、第1電荷蓄積領域SD1に隣接した

第1転送ゲート電極12と、この第1転送ゲート電極12を介して、第1電荷蓄積領域SD1に対向する第1電荷読出領域61が配置されている。第1電荷読出領域61の更に左側には、リセットゲート電極13と、このリセットゲート電極13を介して、第1電荷読出領域61に対向するリセットドレイン領域62が配置されている。第1電荷読出領域61、リセットゲート電極13及びリセットドレイン領域62とでリセットトランジスタとなるMOSトランジスタが形成されている。それぞれのリセットゲート電極13に対し、制御信号Rをすべてハイ(H)レベルにして、第1電荷読出領域61に蓄積された電荷をリセットドレイン領域62にそれぞれ吐き出し、第1電荷読出領域61をリセットする。

[0057] 一方、選択ゲート電極14により転送された第2信号電荷を蓄積する第2電荷蓄積領域SD2が選択ゲート電極14の左側に配置されている。第2電荷蓄積領域SD2の上側には、第2電荷蓄積領域SD2に隣接した第2転送ゲート電極15と、この第1転送ゲート電極15を介して、第2電荷蓄積領域SD2に対向する第2電荷読出領域63が配置されている。

[0058] 図10(a)は図9に示した画素の $G_0-G_1-G_2-G_3-G_4$ の一点鎖線に沿った断面から見た画素の断面構造であるが、 p^+ 型の半導体基板31と、半導体基板31の上に配置されたp型の基体領域32と、基体領域32の上部の一部に埋め込まれたn型の表面埋込領域33aと、表面埋込領域33aの上部の一部に埋め込まれたn型のガイド領域35aが示されている。

[0059] 表面埋込領域33aは、図9において二点鎖線で示す遮光板51の開口部(アパーチャ部)に定義される、基体領域32の上部の一部に埋め込まれた矩形状の領域が受光カソード領域(電荷生成領域)として機能する。表面埋込領域33aと、表面埋込領域33aの直下の受光アノード領域として機能する基体領域32の一部の領域とでフォトダイオードPDを構成している。電荷生成領域(受光アノード領域)で生成されたキャリア(電子)は、基体領域32の直上の表面埋込領域33aの一部に注入される。表面埋込領域33a及びガイド領域35aは、図9の右上側に二点鎖線で示した開口部(ア

パーチャ部)の周辺を画定している表面埋込領域33aから、平面パターン上、下方に向かって延伸している。図9に対応して、図10(a)では表面埋込領域33a及びガイド領域35aは右側から左側に向かって延伸し、左側の端部がn型の第1ウェル領域34aの上部と重畳している。

[0060] 表面埋込領域33aの上には、 p^+ 型ピニング層38が配置されているが、ダーク電流が問題とならない用途(応用)等では、構造上、 p^+ 型ピニング層38を省略しても構わない。図10(a)の左側に示すように、基体領域32の上部には、表面埋込領域33a及びガイド領域35aと一部が重複するように、n型の第1ウェル領域34aが配置されている。第1ウェル領域34aの底面にはp型の第1埋込蓄積領域36aが第1ウェル領域34aの平面パターンに対応して配置されている。第1ウェル領域34aと表面埋込領域33aとガイド領域35aとの重複領域で第1電荷蓄積領域SD1を構成している。第1電荷蓄積ダイオードSD1の左側となる、図10(a)の左側に示した基体領域32の上部には、リセットトランジスタを構成する第1電荷読出領域61とリセットドレイン領域62が配置されている。

[0061] p^+ 型ピニング層38及び基体領域32の上にはゲート絶縁膜11が配置されている。第1ウェル領域34aの左側のゲート絶縁膜11上には、第1電荷蓄積領域SD1から第1電荷読出領域61へ第1信号電荷を転送する第1転送ゲート電極12が配置されている。又、第1ウェル領域34aの左方となる基体領域32上のゲート絶縁膜11上にはリセットゲート電極13が配置され、第1電荷読出領域61、リセットゲート電極13及びリセットドレイン領域62とでリセットトランジスタを構成している。図10(a)では図示を省略するが、第1電荷読出領域61には、図3に示した電圧読出用バッファアンプ71と同様の電圧読出用バッファアンプが接続されている。

[0062] 図13(a)は、図9に示した $H_0-H_1-H_2-H_3-H_4$ の一点鎖線に沿った断面から見た画素の断面構造であるが、基体領域32の上部の一部には、表面埋込領域33a及びガイド領域35aと離間するように、n型の第2ウェル領域34bが配置されている。第2ウェル領域34bの上部の一部には

n型の電位勾配形成領域33bが配置され、電位勾配形成領域33bの上部にはn型の外部ガイド領域35bが配置されている。第2ウェル領域34bの底面にはp型の第2埋込蓄積領域36bが第2ウェル領域34bの平面パターンに対応して配置されている。第2ウェル領域34bと電位勾配形成領域33bと外部ガイド領域35bとの重複領域で第2電荷蓄積領域SD2を構成している。

[0063] 第2ウェル領域34bの上部の一部には、電位勾配形成領域33b及び外部ガイド領域35bと離間するように、n型の第2電荷読出領域63が配置されている。図13(a)では図示を省略するが、第2電荷読出領域63には、図4に示した電圧読出用バッファアンプ71と同様の電圧読出用バッファアンプを接続して、第1電荷蓄積領域SD1に蓄積された第1信号電荷の読み出しとは独立して時系列に、第2電荷蓄積領域SD2に蓄積された第2信号電荷を読み出す。

[0064] 平面パターン上、表面埋込領域33aと第2電荷蓄積領域SD2の間に位置するゲート絶縁膜11上には、表面埋込領域33aから第2電荷蓄積領域SD2へ第2信号電荷を転送する選択ゲート電極14が配置されている。更に、図13(a)の左端側の位置となる、平面パターン上、第2電荷蓄積領域SD2と第2電荷読出領域63の間に位置するゲート絶縁膜11上には、第2電荷蓄積領域SD2から第2電荷読出領域63へ第2信号電荷を転送する第2転送ゲート電極15が配置されている。

[0065] 本発明の第2の実施形態においては、図9及び図10(a)に示した第2経路選択機構を構成している選択ゲート電極14に印加する電圧が、表面埋込領域33aから第1電荷蓄積領域SD1までの、第1経路選択機構を構成している移動経路における空乏化電位の変化を誘導することにより、表面埋込領域33aにより生成した第1信号電荷を第1電荷蓄積領域SD1に見かけ上自動的に転送させる。即ち、第2経路選択機構としての選択ゲート電極14がオン状態のときは、第2電荷蓄積領域SD2に第2信号電荷を転送するとともに、第1経路選択機構側においては、表面埋込領域33aから第1

電荷蓄積領域SD1までの移動経路における電位障壁を見かけ上自動的に形成して第1電荷蓄積領域SD1への第1信号電荷の転送を抑制する。一方、第2経路選択機構である選択ゲート電極14がオフ状態のときは、第2経路選択機構は第2電荷蓄積領域SD2への第2信号電荷の転送を抑制するとともに、表面埋込領域33aから第1電荷蓄積領域SD1までの第1経路選択機構の移動経路における電位障壁をなくして、第1電荷蓄積領域SD1への第1信号電荷の転送を許容する。

[0066] 第2経路選択機構側の電位が、第1経路選択機構側の移動経路の空乏化電位に与える影響の大きさは、第2の実施形態に係る固体撮像装置の画素（光電変換素子）の平面パターン等の構造や不純物密度に依存する。このため、常には、所望の電位障壁が第1経路選択機構の移動経路に生成されないので、第1電荷蓄積領域SD1、第2電荷蓄積領域SD2の両方に、同時に信号電荷が流れてしまう「クロストーク」の問題が発生する場合もある。以下においては、第1電荷蓄積領域SD1、第2電荷蓄積領域SD2の間のクロストークを低減するうえで、クリティカルな部分の寸法について説明する。

[0067] 第2の実施形態に係る固体撮像装置の画素（光電変換素子）のクリティカルな部分の寸法を、パラメトリックに変化させ、第1電荷蓄積領域SD1に対する電位障壁の高さ、転送路における電位障壁の形成の有無等をデバイスシミュレーションで解析した結果を図10～図13を用いて説明する。クリティカルな部分の寸法として、図9に示す選択ゲート電極14の端部からガイド領域35aの端部までの移動経路の幅W1を $0.7\mu\text{m}$ 、移動経路の幅W1を有する領域よりも下側の領域の幅W2を $0.9\mu\text{m}$ と規定した。表面埋込領域33aの瓢箪の胴のくびれ部分となる箇所長さ、即ち、図9において、下側の矩形状の表面埋込領域33aの上辺から、上側の矩形状の表面埋込領域33aの下辺までの平面パターン上の高さH1を「経路長H1」と定義し、経路長H1を $0.6\mu\text{m}$ 、 $1.0\mu\text{m}$ 、 $1.3\mu\text{m}$ と変化させた。

[0068] 図10(b)は、選択ゲート電極14に信号電荷駆動パルスSG=3.3Vを印加して第2経路選択機構をオン状態としたときの図10(a)に対応

する断面に沿った第1経路選択機構の電荷移動経路の空乏化電位分布のシミュレーション結果を示し、図10(c)は、選択ゲート電極14に信号電荷駆動パルス $S_G = -1\text{ V}$ を印加して第2経路選択機構をオフ状態としたときの図10(a)に対応する断面に沿った第1経路選択機構の電荷移動経路の空乏化電位分布のシミュレーション結果を示す。図11に、図10(c)の円で囲んだ領域Bの部分拡大図を示し、図12に、図10(b)の円で囲んだ領域Aの部分拡大図を示す。図13(b)は、選択ゲート電極14に信号電荷駆動パルス $S_G = 3.3\text{ V}$ を印加して第2経路選択機構をオン状態としたときの図13(a)に対応する断面に沿った第2経路選択機構の電荷移動経路の空乏化電位分布のシミュレーション結果を示し、図13(c)は、選択ゲート電極14に信号電荷駆動パルス $S_G = -1\text{ V}$ を印加して第2経路選択機構をオフ状態としたときの図13(a)に対応する断面に沿った第2経路選択機構の電荷移動経路の空乏化電位分布のシミュレーション結果を示す。

[0069] 選択ゲート電極14を信号電荷駆動パルス S_G によってオン状態としたときに、図13(b)に示すように、選択ゲート電極14直下では電位障壁が下がる。同時に、図10(b)及び図12に示すように、表面埋込領域33aと第1電荷蓄積領域SD1の間のガイド領域35aの部分において、経路長 $H_1 = 0.6\text{ }\mu\text{m}$ の場合には第1経路選択機構の電荷移動経路に電位障壁が形成されず、第1信号電荷の移動を許容するが、経路長 $H_1 = 1.0\text{ }\mu\text{m}$, $1.3\text{ }\mu\text{m}$ の場合には第1電荷蓄積領域SD1に対する 1 V 以上の電位障壁が第1経路選択機構の電荷移動経路に形成される。

[0070] 一方、選択ゲート電極14を信号電荷駆動パルス S_G によってオフ状態としたときに、図13(c)に示すように、選択ゲート電極14直下には電位障壁が形成される。同時に、図10(c)及び図11に示すように、表面埋込領域33aと第1電荷蓄積領域SD1の間のガイド領域35aの部分において、経路長 $H_1 = 0.6\text{ }\mu\text{m}$, $1.0\text{ }\mu\text{m}$, $1.3\text{ }\mu\text{m}$ のいずれの場合も第1経路選択機構の電荷移動経路に電位障壁が形成されず、第1信号電荷の

移動を許容する。

[0071] したがって、経路長 $H1 = 1.3 \mu m$ の場合には、第2経路選択機構側の選択ゲート電極14のオンオフ制御により、第1経路選択機構の電荷移動経路に電位障壁の高さの変化を誘導でき、第1電荷蓄積領域SD1及び第2電荷蓄積領域SD2に第1信号電荷及び第2信号電荷を選択的に振り分けることができる。このように、電荷移動経路中に定義される転送路の経路長H1を確保することで、第1経路選択機構の電荷移動経路の電位障壁が確保され、第1経路選択機構の電荷移動経路に沿った表面埋込領域33aから第1電荷蓄積領域SD1への電位障壁の高さを、第2経路選択機構側に印加する信号電荷駆動パルスSGによって、間接的に制御することができる。

[0072] 更に、図14(a)に、選択ゲート電極14に信号電荷駆動パルスSG = -1 Vを印加して第2経路選択機構をオフ状態としたときの第1及び第2経路選択機構の電荷移動経路の空乏化電位分布の3次元シミュレーション結果を示し、図14(b)に、選択ゲート電極14に信号電荷駆動パルスSG = 3.3 Vを印加して第2経路選択機構をオン状態としたときの第1及び第2経路選択機構の電荷移動経路の空乏化電位分布の3次元シミュレーション結果を示す。図14(a)の右上に、図14(a)及び図14(b)に示す空乏化電位分布に対応する選択ゲート電極14(「SG」と表記)、第1電荷蓄積領域SD1及び第2電荷蓄積領域SD2の位置関係を模式的に示す。図14(a)及び図14(b)のX座標及びY座標は、図9の紙面上下方向及び紙面左右方向にそれぞれ対応する。

[0073] 図14(a)に示すように、選択ゲート電極14に信号電荷駆動パルスSG = -1 Vを印加して第2経路選択機構をオフ状態としたときには、選択ゲート電極14直下には電位障壁が形成されると同時に、第1経路選択機構の電荷移動経路に電位障壁が形成されず、第1信号電荷の移動を許容する。一方、図14(b)に示すように、選択ゲート電極14に信号電荷駆動パルスSG = 3.3 Vを印加して第2経路選択機構をオン状態としたときには、選択ゲート電極14直下では電位障壁が下がると同時に、第1経路選択機構の

電荷移動経路には電位障壁が形成される。

[0074] 次に、図15(a)～図15(c)のタイミングチャートを参照しながら、本発明の第2の実施形態に係る固体撮像装置における電荷転送動作の一例を説明する。図15(a)～図15(c)の横軸は1フレーム内における時間を示す。図15(a)の縦軸は、第2経路選択機構側の選択ゲート電極14に印加される信号電荷駆動パルスSGの電圧の変化を示し、図15(b)の縦軸は、第1電荷蓄積領域SD1に蓄積される第1信号電荷の蓄積電荷量を示し、図15(c)の縦軸は、第2電荷蓄積領域SD2に蓄積される第2信号電荷の蓄積電荷量を示す。

[0075] 時刻 $t_0 \sim t_1$ において、図15(a)に示すように、第2経路選択機構側の選択ゲート電極14が信号電荷駆動パルスSGによってオフ状態となると、第2電荷蓄積領域SD2への第2信号電荷の転送は抑制され、図15(b)に示すように第2電荷蓄積領域SD2に蓄積された第2信号電荷は一定である。一方、第1経路選択機構側の第1電荷蓄積領域SD1への第1信号電荷の転送は許容されて、図15(c)に示すように、第1電荷蓄積領域SD1に第1信号電荷が蓄積される。

[0076] 時刻 $t_0 \sim t_1$ よりも短時間の時刻 $t_1 \sim t_2$ において、図15(a)に示すように、第2経路選択機構側の選択ゲート電極14が信号電荷駆動パルスSGによってオン状態となると、第2電荷蓄積領域SD2に第2信号電荷が転送され、図15(b)に示すように、第2電荷蓄積領域SD2に第2信号電荷が蓄積される。一方、第1経路選択機構側の第1電荷蓄積領域SD1への第1信号電荷の転送は抑制され、図15(c)に示すように第1電荷蓄積領域SD1に蓄積された第1信号電荷は一定である。

[0077] 即ち、時刻 $t_0 \sim t_1$ の長時間露光で第1電荷蓄積領域SD1に第1信号電荷を蓄積し、時刻 $t_1 \sim t_2$ の短時間露光で第2電荷蓄積領域SD2に第2信号電荷を蓄積する。この長時間露光と短時間露光の相補的な組み合わせを1フレーム内の時刻 $t_2 \sim t_3$ と時刻 $t_3 \sim t_4$ 、時刻 $t_4 \sim t_5$ と時刻 $t_5 \sim t_6$ 、時刻 $t_6 \sim t_7$ と時刻 $t_7 \sim t_8$ で交互且つ周期的に繰り返す

。なお、図15(a)～図15(c)では、長時間露光と短時間露光の相補的な組み合わせを4回繰り返す動作を例示しているが、長時間露光と短時間露光の相補的な組み合わせは少なくとも2回繰り返してもよく、3回繰り返してもよく、5回以上繰り返してもよい。又、第2の実施形態の第1の変形例に係る光電変換素子として後述するように、対象物の動作が遅い場合で、動き歪が問題にならない状況であれば、1フレーム内に1回の繰り返しのモードも許容しうる。

[0078] 1フレームの終了する時刻 t_8 において、第1電荷蓄積領域SD1に蓄積された第1信号電荷と、第2電荷蓄積領域SD2に蓄積された第2信号電荷とを時系列で読み出す。即ち、本発明の第2の実施形態に係る駆動方法は、図7(d)に示した長時間露光期間L及び短時間露光期間Sを1フレーム内で複数回繰り返す手法である。

[0079] 本発明の第2の実施形態によれば、第1電荷蓄積領域SD1及び第2電荷蓄積領域SD2を用いて、異なる2つの感度曲線を持つ第1信号電荷と第2信号電荷を、反復的に蓄積して読み出すことで、超高感度と広ダイナミックレンジを両立し、さらに、動きの大きい被写体に対しても合成画像の動き歪が小さい画像を取得できるしたがって、自動車のヘッドライトや監視カメラ等の撮像対象が高速であり、且つ光照度が急激に大きく変化する場合に用いられる装置に好適である。

[0080] 更に、第1電荷蓄積領域SD1及び第2電荷蓄積領域SD2のうち、一方の第1電荷蓄積領域SD1側を仮想的な選択ゲート電極とし、1つの選択ゲート電極14により第1電荷蓄積領域SD1及び第2電荷蓄積領域SD2へ第1信号電荷及び第2信号電荷をそれぞれ振り分けることができるので、画素として用いる光電変換素子の構造や、画素を配列したときの駆動信号線等の表面配線のパターンを簡略化でき、より高集積密度の個体撮像素子を提供できる。

[0081] (第2の実施形態の第1の変形例)

本発明の第2の実施形態においては、図7(d)に示した長時間露光期間

L 及び短時間露光期間 S を複数回繰り返す駆動方法を採用する場合を例示したが、本発明の第 2 の実施形態に係る光電変換素子及び固体撮像装置を、従来の駆動方法に適用することもできる。即ち、図 7 (b) に示すように、1 フレーム毎に、選択ゲート電極 14 のオン状態とした長時間露光区間 L と、選択ゲート電極 14 をオフ状態とした短時間露光区間 S を繰り返すデュアルサンプリングを実施してもよい。更には、図 7 (c) に示すように、選択ゲート電極 14 を制御することにより、1 フレーム中を長時間露光期間 L、短時間露光期間 S 1、超短時間露光期間 S 2 に分割する読出方法を採用してもよい。

[0082] (第 2 の実施形態の第 2 変形例)

本発明の第 2 の実施形態の第 2 変形例に係る光電変換素子は、図 9 に示した第 2 の実施形態に係る光電変換素子の選択ゲート電極 14 の代わりに、図 16 に示すように、1 対の電界制御電極のペアによって構成された第 2 経路選択機構（電界制御電極ペア）（14 a, 14 b）を備える点が、第 2 の実施形態に係る光電変換素子と異なる。

[0083] 図 16 から分かるように、第 2 経路選択機構（14 a, 14 b）の第 2 信号電荷が移動する電荷移動経路（チャネル）の直上には電界制御電極（ゲート電極）が配置されていない。即ち、第 2 経路選択機構（14 a, 14 b）の絶縁ゲート構造を構成しているゲート電極直下にはチャネルが存在しない。第 2 経路選択機構（14 a, 14 b）直下にチャネルを設けず、1 対の電界制御電極のペアの間に定義される電荷移動経路（電荷転送方向）にチャネルが設定されている。このような構成において、第 2 経路選択機構（14 a, 14 b）の電荷移動経路に対し、電荷移動経路に直交する方向（横方向）に伸びる電気力線による静電誘導効果によって、電荷移動経路（チャネル）のポテンシャル及び電界が制御される。

[0084] 第 2 経路選択機構（14 a, 14 b）には、電荷移動経路の直上に配置されていないので、従来の MOS トランジスタのゲート構造のようなゲート電極直下において、表面ポテンシャルを縦方向（垂直方向又は深さ方向）に制

御するのではない。図 1 6 に示した本発明の第 2 の実施形態の第 2 変形例に係る光電変換素子においては、第 2 経路選択機構（1 4 a, 1 4 b）において、横方向にガウスの法則に従って伸びる電気力線が及ぼす静電誘導効果により、電荷移動経路の電位（ポテンシャル）を制御する。横方向電界による静電誘導効果を用いることにより、電荷転送方向の長い距離にわたって電界がほぼ一定になるようにして、第 2 信号電荷を転送する光電変換素子を実現できる。

[0085] 図 1 6 に示した第 2 の実施形態の第 2 変形例に係る光電変換素子は、図 9 に示した第 2 の実施形態に係る光電変換素子と同様に、第 1 経路選択機構側には、通常の絶縁ゲート構造を構成するような選択ゲート電極は配置されていないが、第 2 経路選択機構（1 4 a, 1 4 b）としては横方向電界を用いた経路選択機構を備えて、2 つの経路選択機構を構成している。第 2 の実施形態で説明したのと同様に、第 2 経路選択機構（1 4 a, 1 4 b）が、横方向電界によりオン状態になったときは、第 1 経路選択機構側がオフ状態となり、第 2 経路選択機構（1 4 a, 1 4 b）が、横方向電界によりオフ状態になったときは、第 1 経路選択機構側がオン状態となる。

[0086] このため、図 1 5 のタイミングチャートに示したのと同様に、第 2 経路選択機構（1 4 a, 1 4 b）に対してのみ、駆動電界を印加して、1 フレーム内で、第 1 信号電荷を第 1 電荷蓄積領域 S D 1 に、第 2 信号電荷を第 2 電荷蓄積領域 S D 2 に、複数回選択的に振り分けて転送することができる。その際、1 フレーム内を時分割して、長時間露光期間 L 及び短時間露光期間 S を交互に相補的に複数回繰り返し、第 1 信号電荷及び第 2 信号電荷のそれぞれを、1 フレーム内で反復的に複数回、第 1 電荷蓄積領域 S D 1 及び第 2 電荷蓄積領域 S D 2 に選択して蓄積し、読み出すことが可能である。よって、図 1 6 に示した第 2 の実施形態の第 2 変形例に係る光電変換素子によっても、高速に動く対象物に対する動き歪の小さく、且つ広ダイナミックレンジ画像を得ることができるという図 1 3 等 に示した構造と同様な効果を、簡単な構造で実現することが可能である。

[0087] (その他の実施形態)

上記のように、本発明は本発明の第1及び第2の実施形態によって記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。

[0088] 第1及び第2の実施形態の説明では、第1導電型をp型、第2導電型をn型として説明したが、第1導電型をn型、第2導電型をp型としても、電気的な極性を反対にすれば同様な効果が得られることは容易に理解できるであろう。なお、第1及び第2の実施形態の説明では、光電変換素子内で輸送、蓄積等の処理がされる第1信号電荷や第2信号電荷を電子とし、ポテンシャル図において、図の下方向（深さ方向）が、電位（ポテンシャル）の正方向としたが、電気的な極性を反対とする場合においては、処理をされる電荷は正孔となるため、光電変換素子内の電位障壁、ポテンシャル谷、ポテンシャル井戸等を示すポテンシャル形状は、図の下方向（深さ方向）が、電位の負方向として表現される。

[0089] 又、本発明の電荷移動経路等を構成する半導体材料はシリコン（Si）に限定されるものではない。特に、化合物半導体の場合は化合物半導体の表面とゲート絶縁膜11との界面における界面欠陥や界面準位が問題になるので、本発明の第2の実施形態で説明したような絶縁ゲート構造を用いない経路選択機構の構造は、界面欠陥や界面準位の影響を回避できるので、III-V族間化合物半導体やII-VI族間化合物半導体等の種々の化合物半導体を用いた光電変換素子や固体撮像装置に有効である。よって、第1及び第2の実施形態で例示的に説明した光電変換素子や固体撮像装置の構造やその技術的思想は、化合物半導体に対して重要な技術となる。

[0090] このように、本発明はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

符号の説明

[0091] 1 1 …ゲート絶縁膜
1 2, 1 5 …転送ゲート電極
1 3 …リセットゲート電極
1 4, 1 6 …選択ゲート電極
3 1 …半導体基板
3 2 …基体領域
3 3 a …表面埋込領域（受光カソード領域）
3 3 b, 3 3 c …電位勾配形成領域
3 4 a, 3 4 b …ウェル領域
3 5 a …ガイド領域
3 5 b, 3 5 c …外部ガイド領域
3 6 a, 3 6 b …埋込蓄積領域
3 8 …型ピニング層
5 1 …遮光板
6 1, 6 3 …電荷読出領域
6 2 …リセットドレイン領域
7 1 …電圧読出用バッファアンプ
1 0 4 …タイミング発生回路
1 0 6 …水平シフトレジスタ
1 0 7 …ノイズキャンセル回路
1 0 8 …信号処理回路
1 0 9 …差動アンプ
B j …垂直信号線
C 1 …入力容量
C 2 …積分容量
M S i …スイッチングトランジスタ
C D S₁ ~ C D S_m …相関二重サンプリング回路
A D C₁ ~ A D C_m …A D 変換回路

P D…フォトダイオード

S D 1, S D 2…電荷蓄積領域（電荷蓄積ダイオード）

X_{ij} …画素

請求の範囲

[請求項1]

第1導電型の基体領域と、

前記基体領域の上部に選択的に埋め込まれ、前記基体領域とフォトダイオードをなす第2導電型の表面埋込領域と、

前記基体領域の上部の前記表面埋込領域の近傍に埋め込まれ、前記表面埋込領域から転送された前記フォトダイオードが生成した第1信号電荷を蓄積する第2導電型の第1電荷蓄積領域と、

前記第1電荷蓄積領域から離間して、前記基体領域に埋め込まれ、前記表面埋込領域から転送された前記フォトダイオードが生成した第2信号電荷を蓄積する第2導電型の第2電荷蓄積領域と、

を備え、第1の時間で前記表面埋込領域から前記第1電荷蓄積領域へ前記第1信号電荷を転送し、前記第1の時間よりも短い第2の時間で前記表面埋込領域から前記第2電荷蓄積領域へ前記第2信号電荷を転送することを1フレーム中で複数回繰り返すことを特徴とする光電変換素子。

[請求項2]

前記表面埋込領域と前記第1電荷蓄積領域の間に、前記表面埋込領域から前記第1電荷蓄積領域への前記第1信号電荷の転送を制御する第1経路選択機構を更に備えることを特徴とする請求項1に記載の光電変換素子。

[請求項3]

前記表面埋込領域と前記第2電荷蓄積領域の間に、前記表面埋込領域から前記第2電荷蓄積領域への前記第2信号電荷の転送を制御する第2経路選択機構を更に備えることを特徴とする請求項2に記載の光電変換素子。

[請求項4]

前記第1経路選択機構は絶縁ゲート構造を有し、該絶縁ゲート構造を構成するゲート電極に印加する電圧で、前記第1経路選択機構に設定される電荷移動経路を転送される前記第1信号電荷の移動を制御することを特徴とする請求項2に記載の光電変換素子。

[請求項5]

前記第2経路選択機構は絶縁ゲート構造を有し、該絶縁ゲート構造

を構成するゲート電極に印加する電圧で、前記第2経路選択機構に設定される電荷移動経路を転送される前記第2信号電荷の移動を制御することを特徴とする請求項3に記載の光電変換素子。

[請求項6] 前記第1経路選択機構に設定される電荷移動経路の空乏化電位の変化が、前記第2経路選択機構に設けられた前記ゲート電極に印加する電圧で誘導され、前記空乏化電位の変化によって、前記第1経路選択機構に設定される電荷移動経路を転送される前記第1信号電荷の移動が制御されることを特徴とする請求項5に記載の光電変換素子。

[請求項7] 第1導電型の基体領域と、
前記基体領域の上部に選択的に埋め込まれ、前記基体領域とフォトダイオードをなす第2導電型の表面埋込領域と、
前記基体領域の上部の前記表面埋込領域の近傍に埋め込まれ、前記表面埋込領域から転送された前記フォトダイオードが生成した第1信号電荷を蓄積する第2導電型の第1電荷蓄積領域と、
前記第1電荷蓄積領域から離間して、前記基体領域に埋め込まれ、前記表面埋込領域から転送された前記フォトダイオードが生成した第2信号電荷を蓄積する第2導電型の第2電荷蓄積領域と、
を備える単位画素を複数配列し、前記単位画素のそれぞれにおいて、
第1の時間で前記表面埋込領域から前記第1電荷蓄積領域へ前記第1信号電荷を転送し、前記第1の時間よりも短い第2の時間で前記表面埋込領域から前記第2電荷蓄積領域へ前記第2信号電荷を転送することを1フレーム中で複数回繰り返すことを特徴とする固体撮像装置。

[請求項8] 前記単位画素のそれぞれが、前記表面埋込領域と前記第1電荷蓄積領域の間に、前記表面埋込領域から前記第1電荷蓄積領域への前記第1信号電荷の転送を制御する第1経路選択機構を更に備えることを特徴とする請求項7に記載の固体撮像装置。

[請求項9] 前記単位画素のそれぞれが、前記表面埋込領域と前記第2電荷蓄積領域の間に、前記表面埋込領域から前記第2電荷蓄積領域への前記第

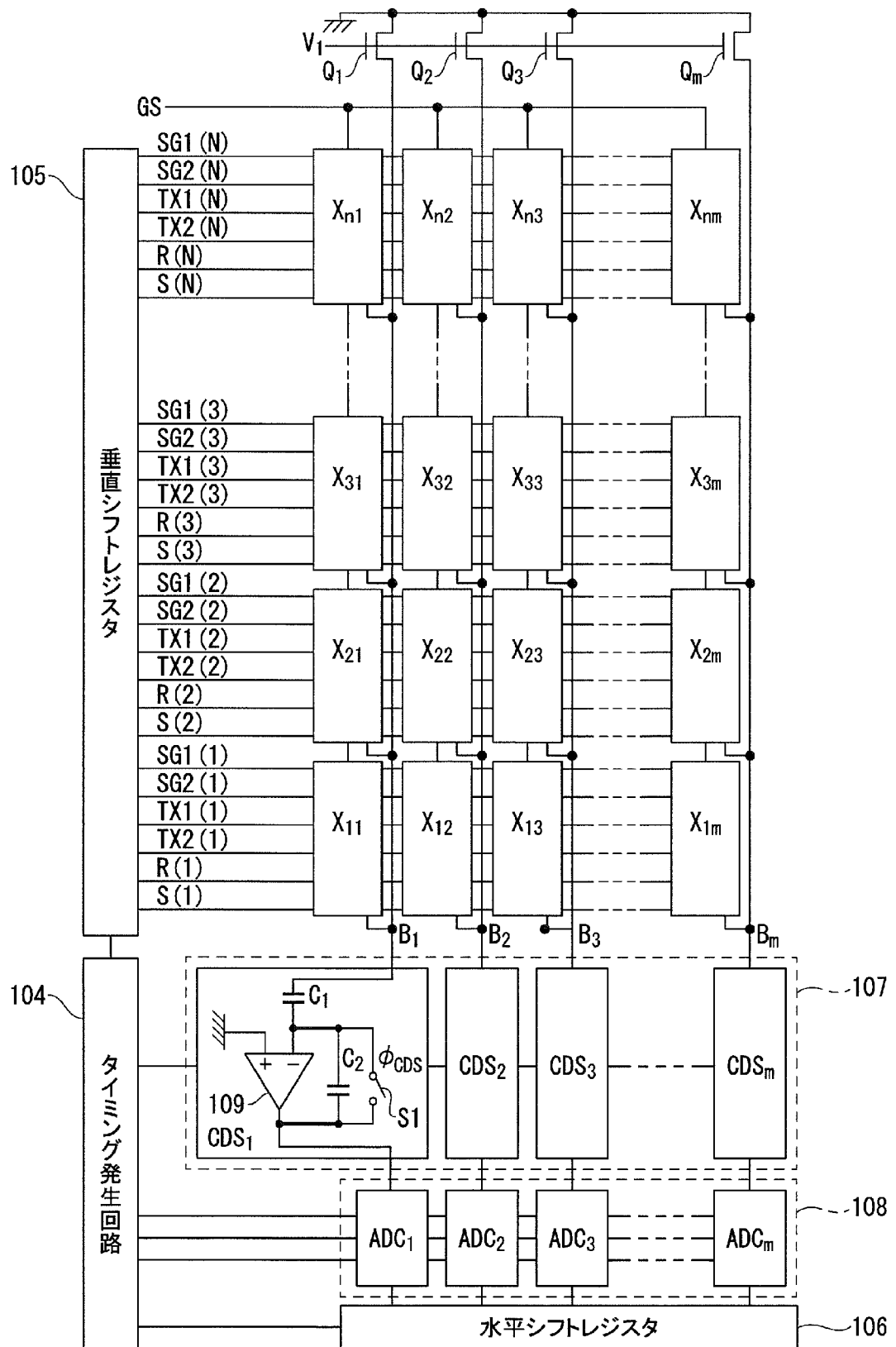
2 信号電荷の転送を制御する第 2 経路選択機構を更に備えることを特徴とする請求項 8 に記載の固体撮像装置。

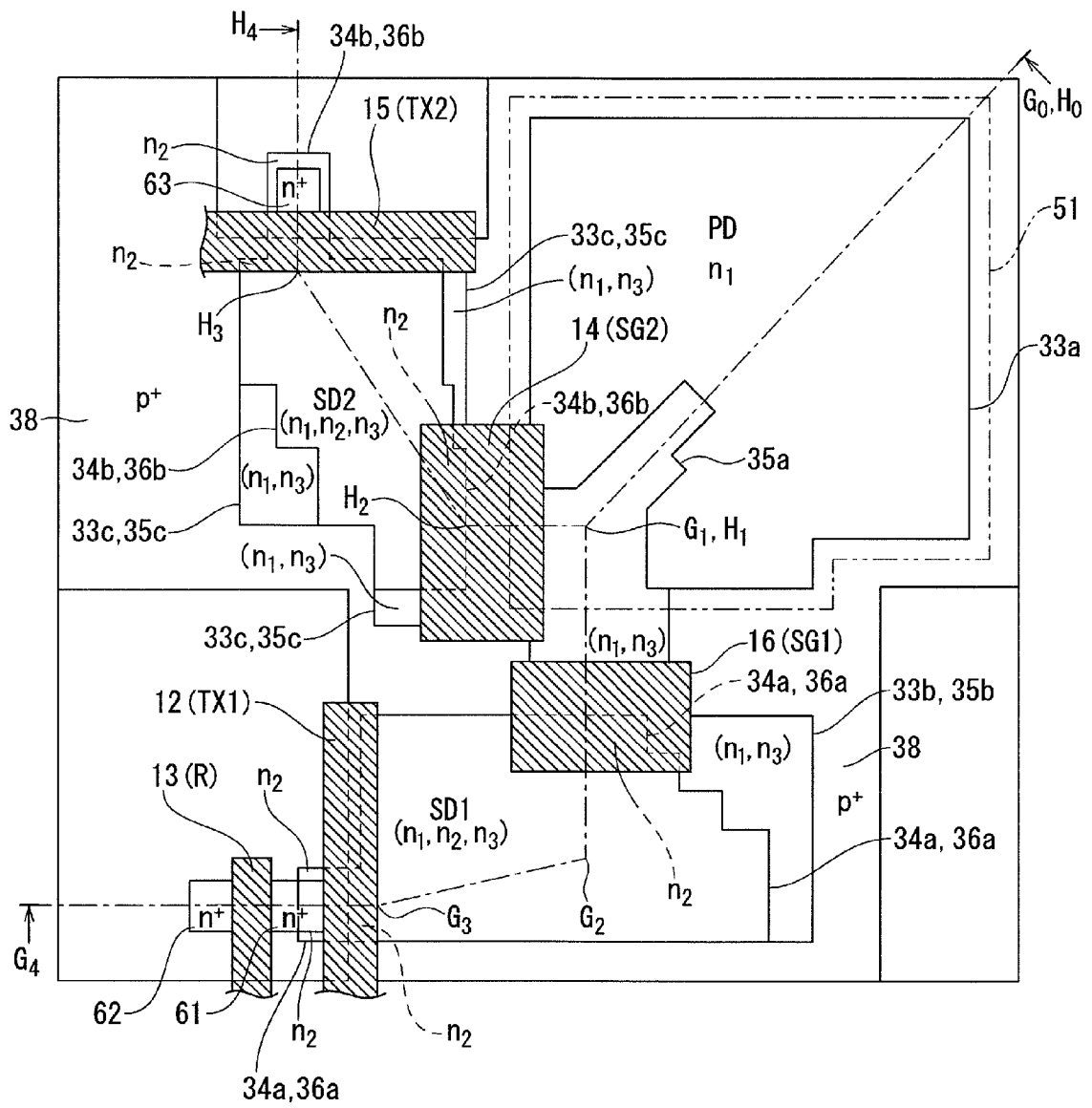
[請求項10] 前記第 1 経路選択機構は絶縁ゲート構造を有し、該絶縁ゲート構造を構成するゲート電極に印加する電圧で、前記第 1 経路選択機構に設定される電荷移動経路を転送される前記第 1 信号電荷の移動を制御することを特徴とする請求項 8 に記載の固体撮像装置。

[請求項11] 前記第 2 経路選択機構は絶縁ゲート構造を有し、該絶縁ゲート構造を構成するゲート電極に印加する電圧で、前記第 2 経路選択機構に設定される電荷移動経路を転送される前記第 2 信号電荷の移動を制御することを特徴とする請求項 9 に記載の固体撮像装置。

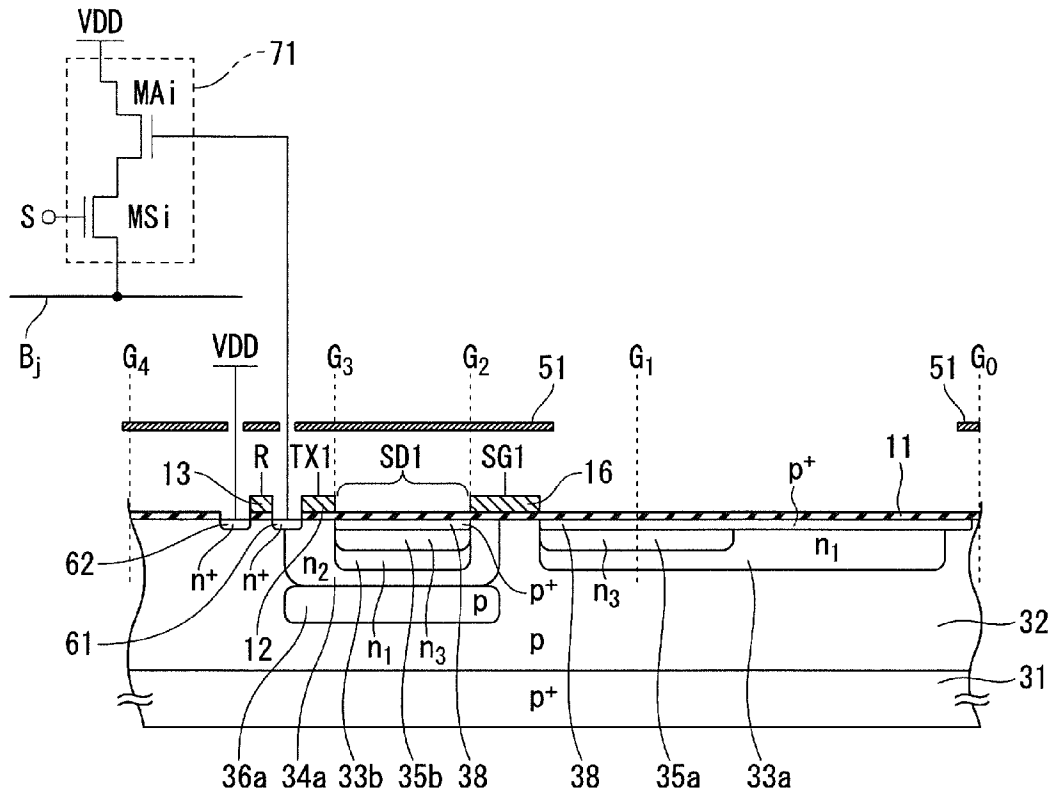
[請求項12] 前記第 1 経路選択機構に設定される電荷移動経路の空乏化電位の変化が、前記第 2 経路選択機構に設けられた前記ゲート電極に印加する電圧で誘導され、前記空乏化電位の変化によって、前記第 1 経路選択機構に設定される電荷移動経路を転送される前記第 1 信号電荷の移動が制御されることを特徴とする請求項 11 に記載の固体撮像装置。

[図1]

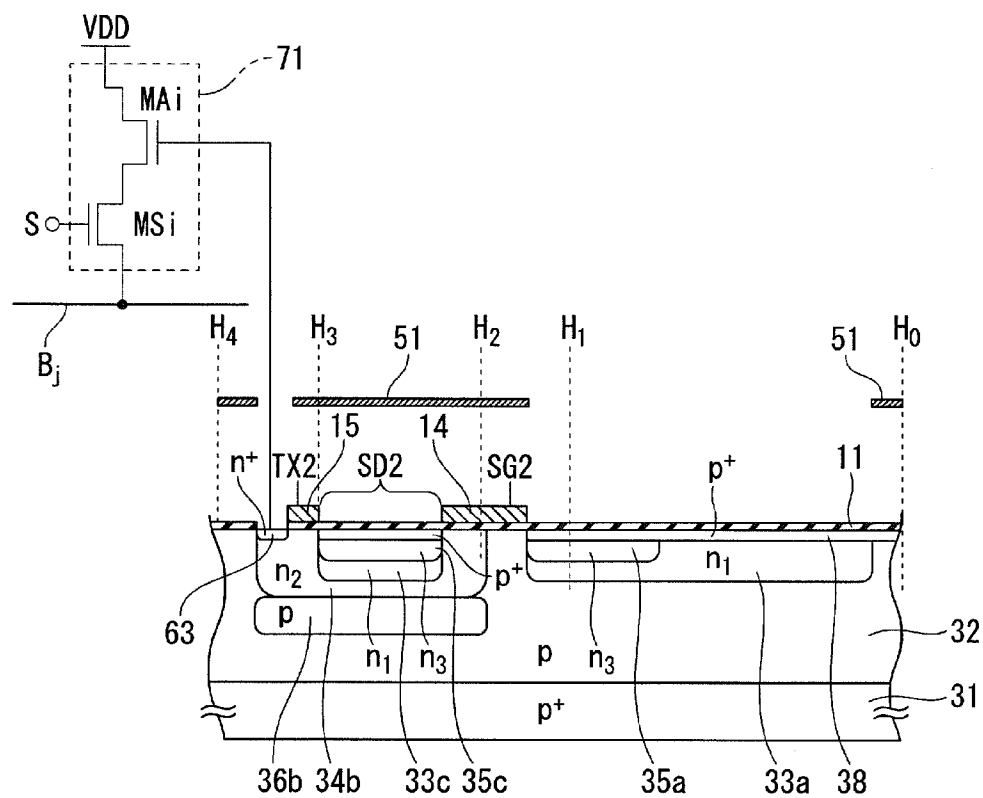




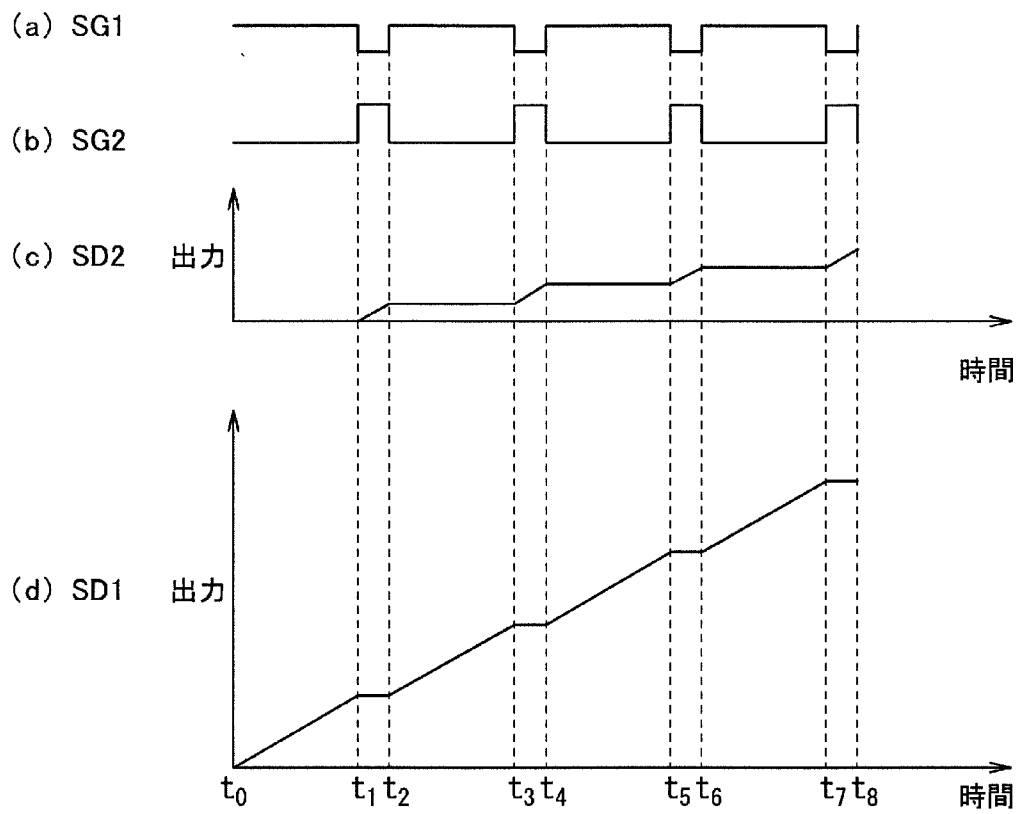
[図3]



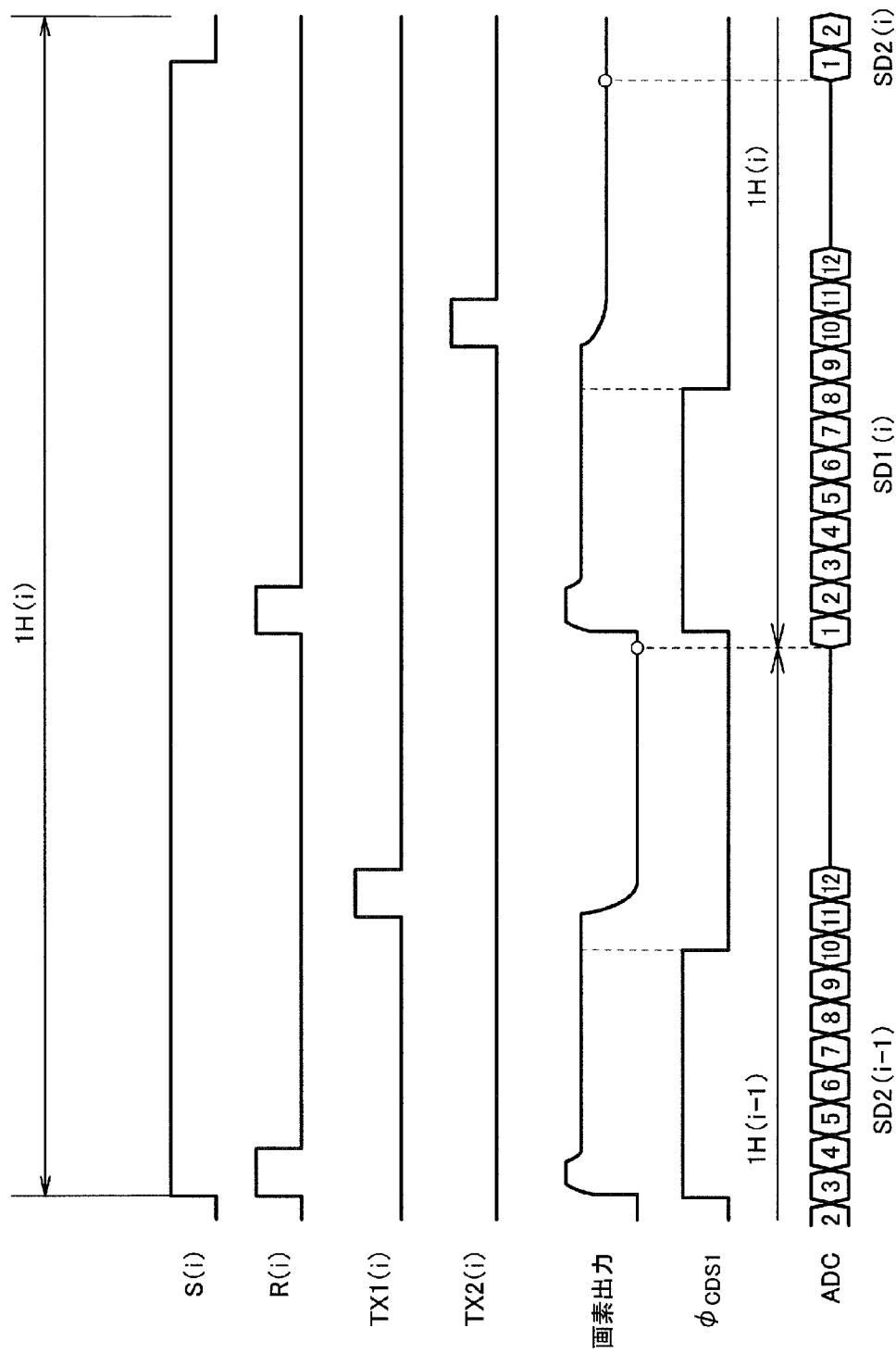
[図4]



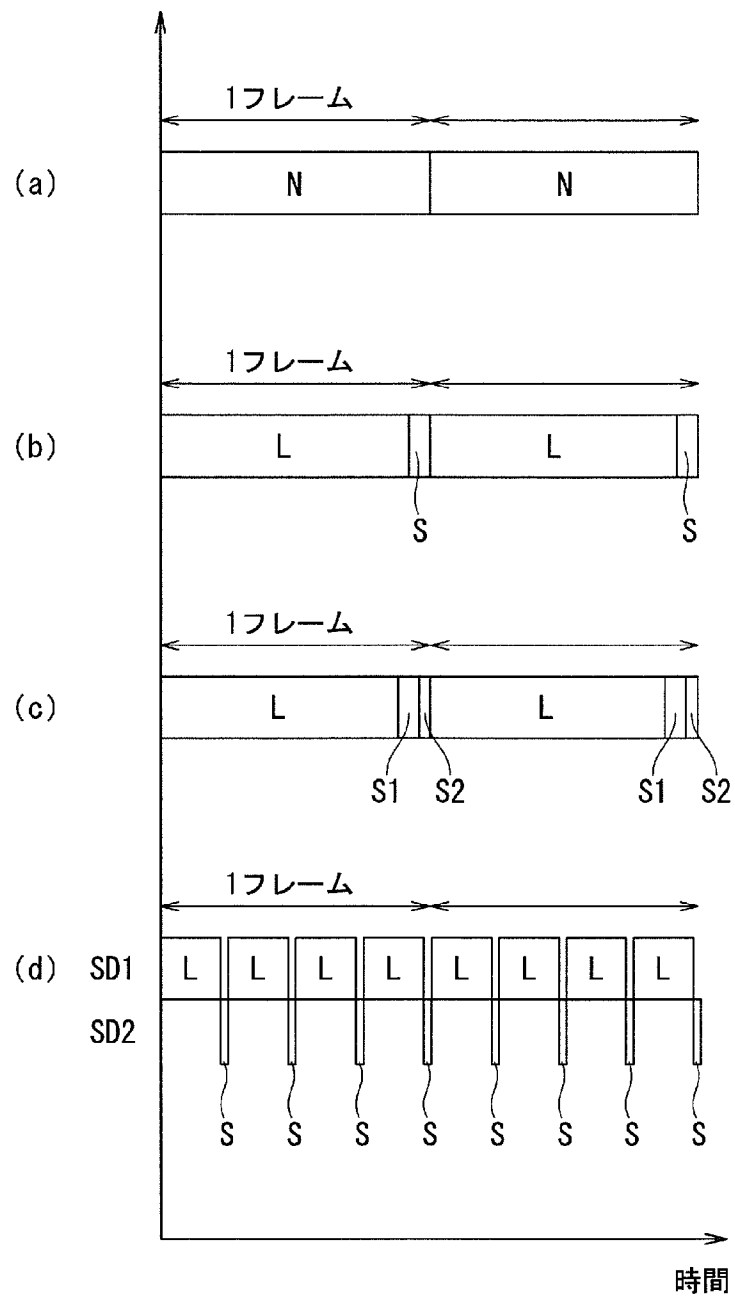
[図5]



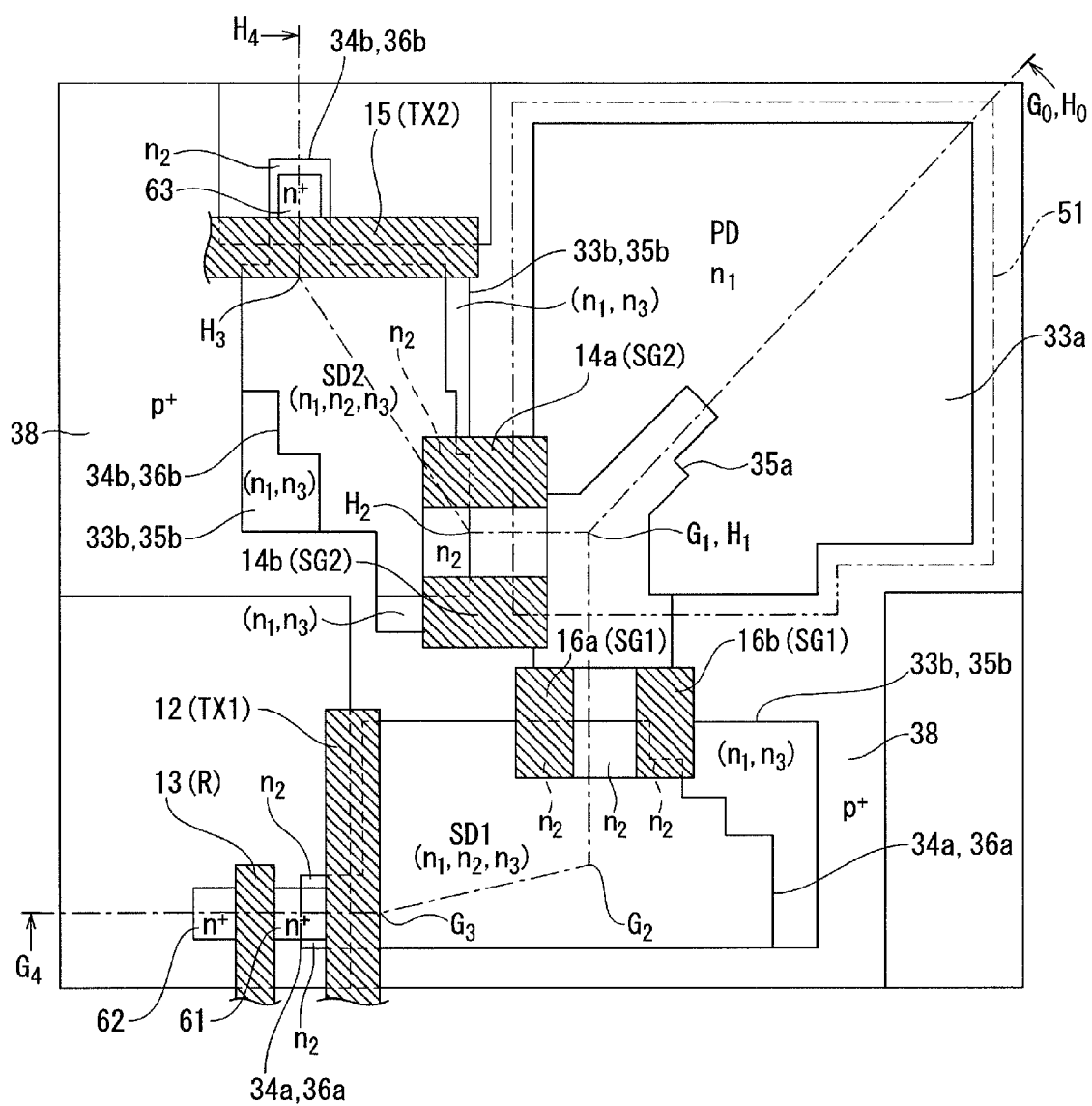
[図6]



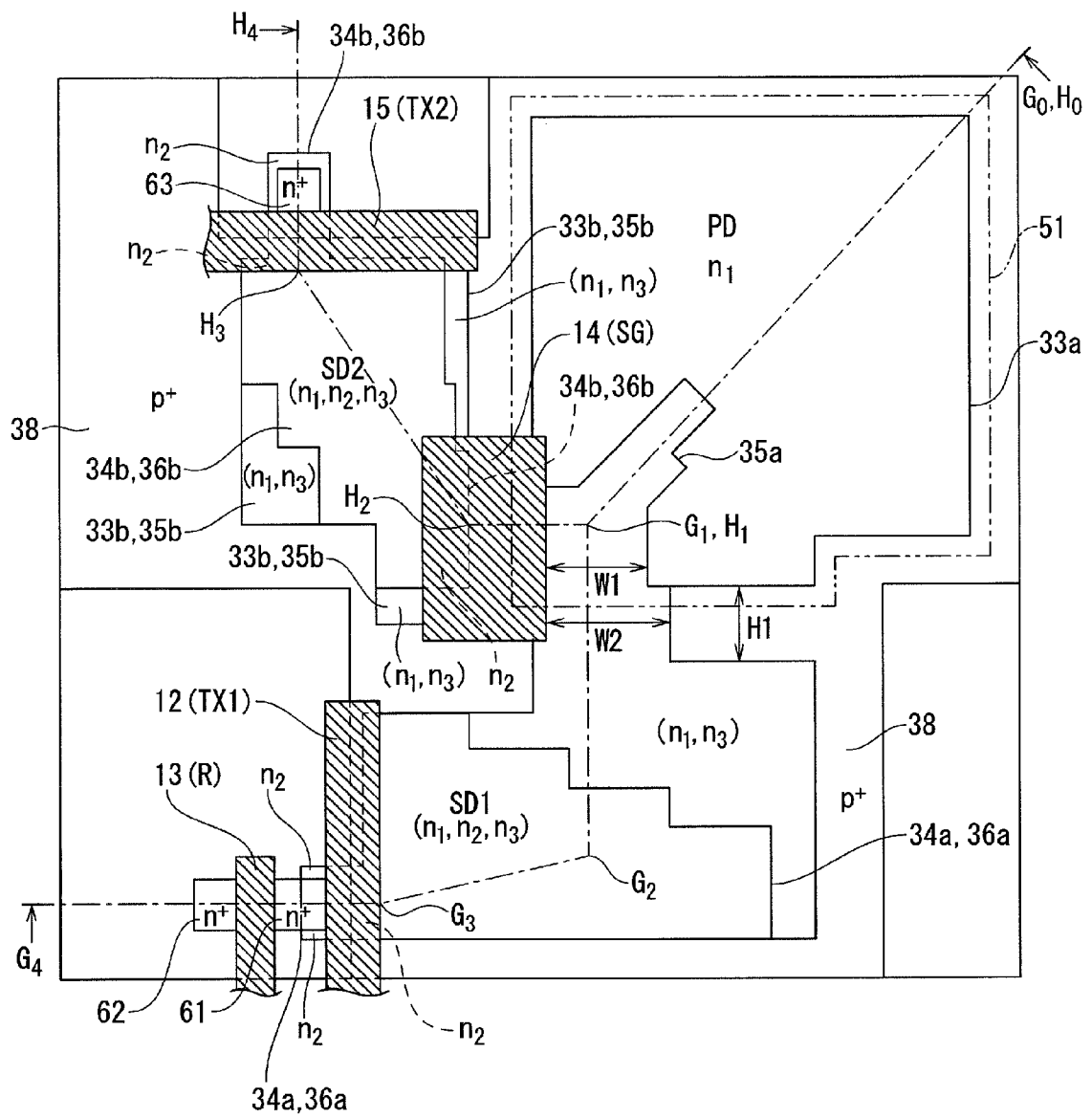
[図7]

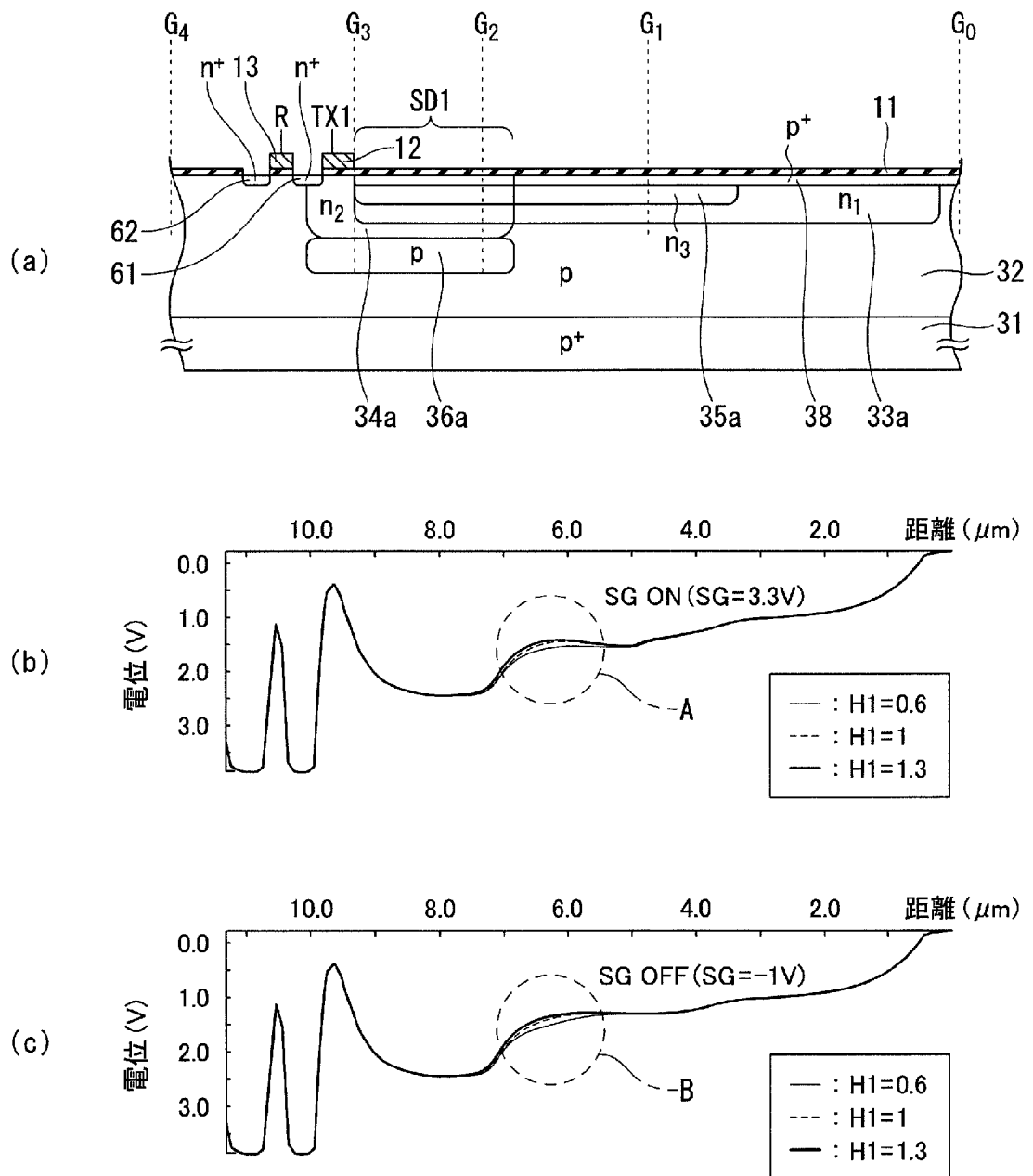


[図8]

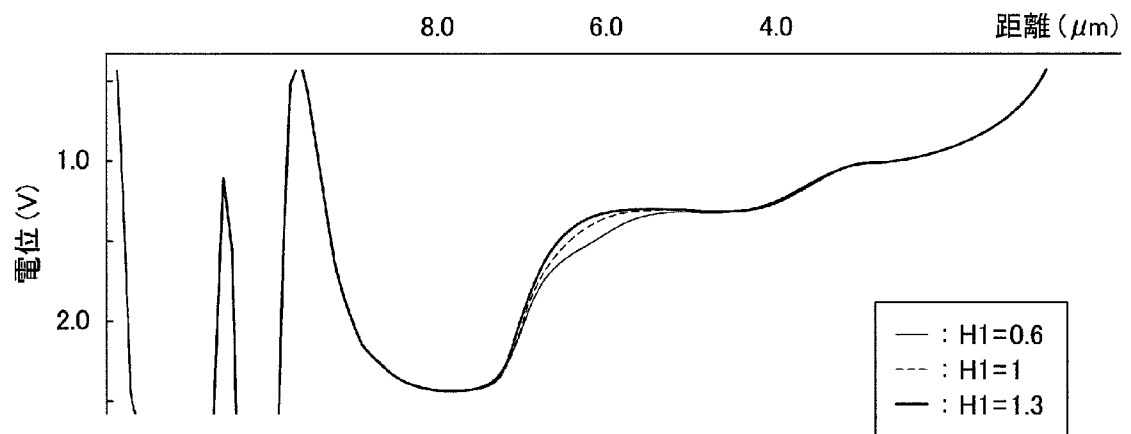


【図9】

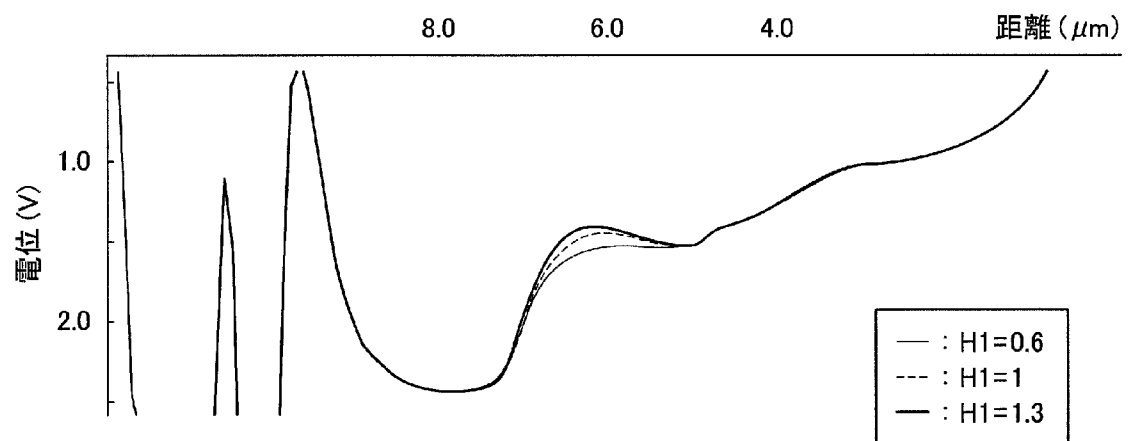


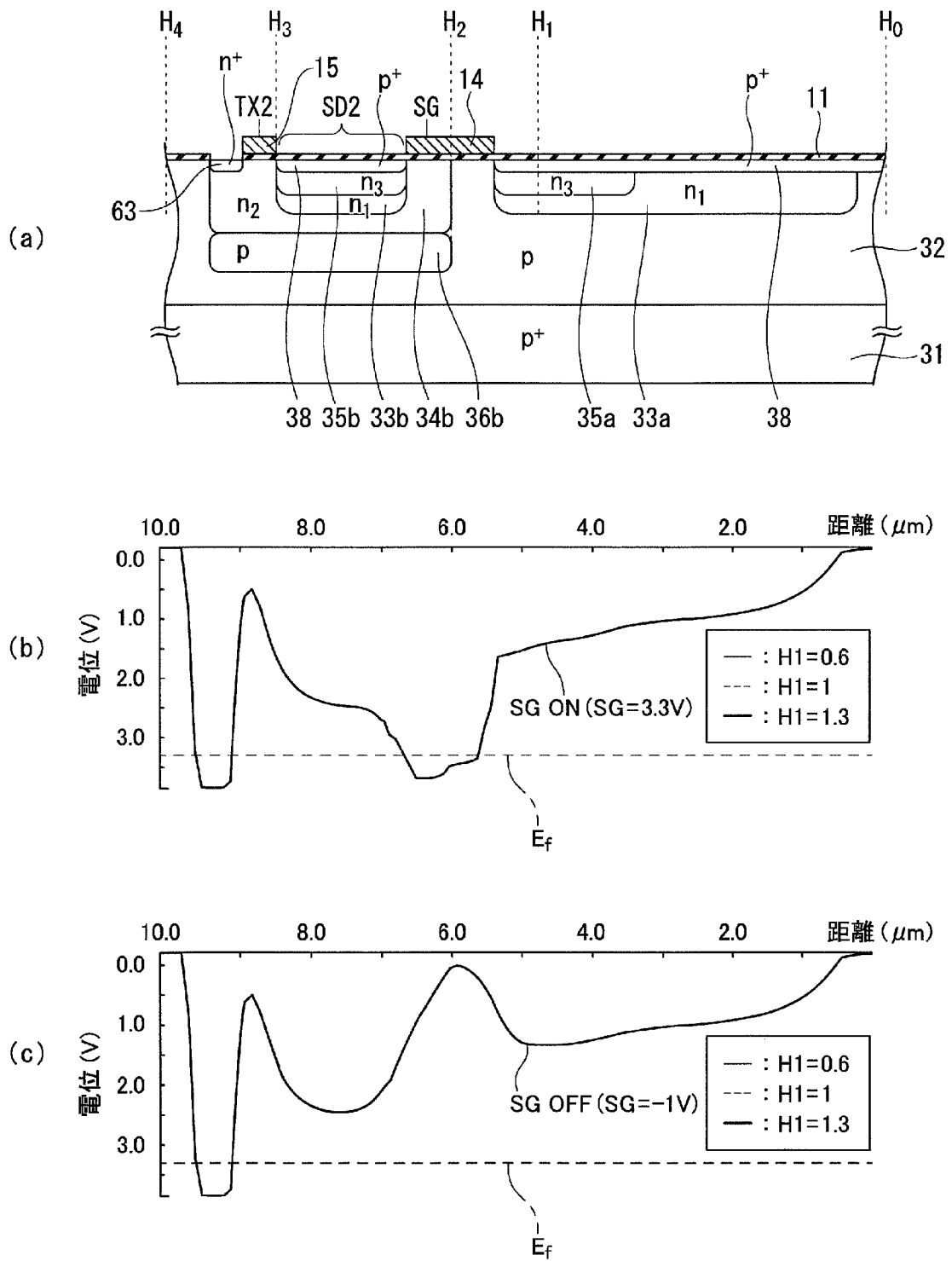


[図11]

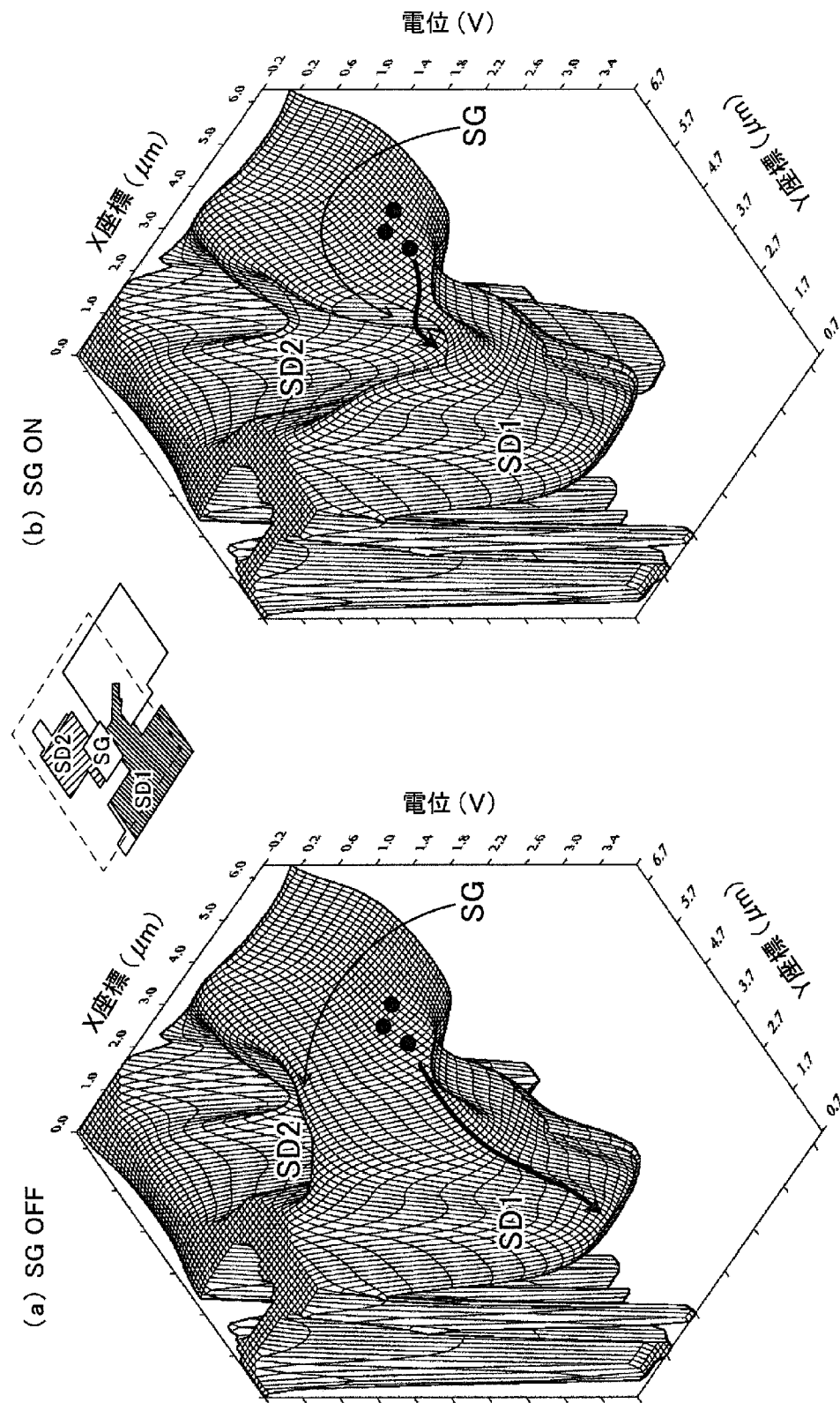


[図12]

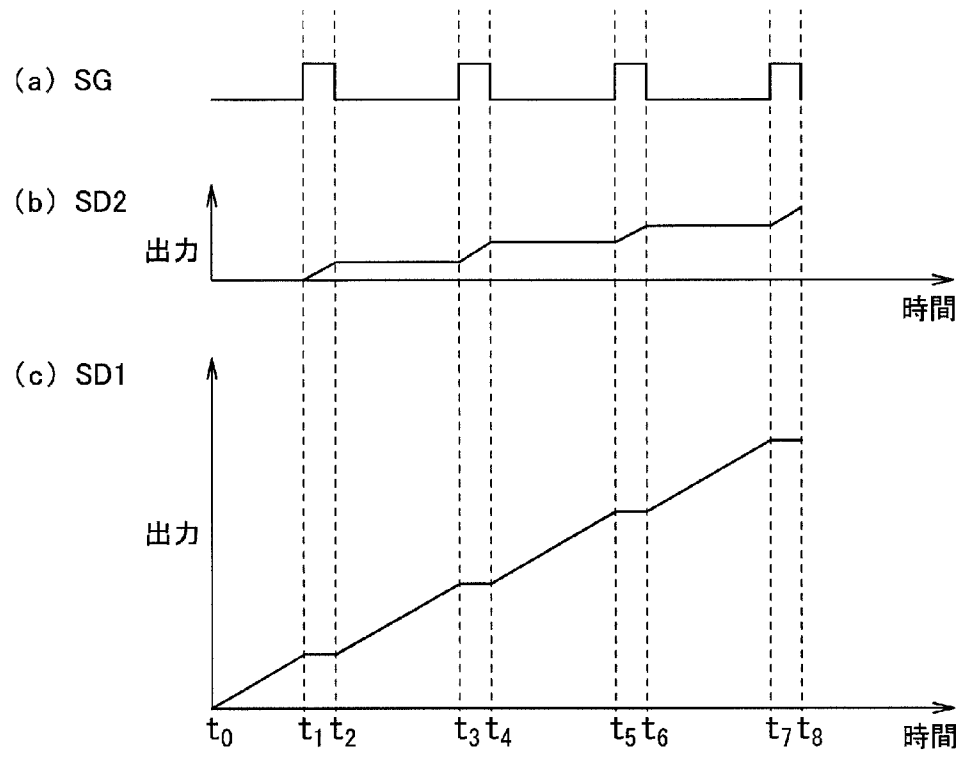




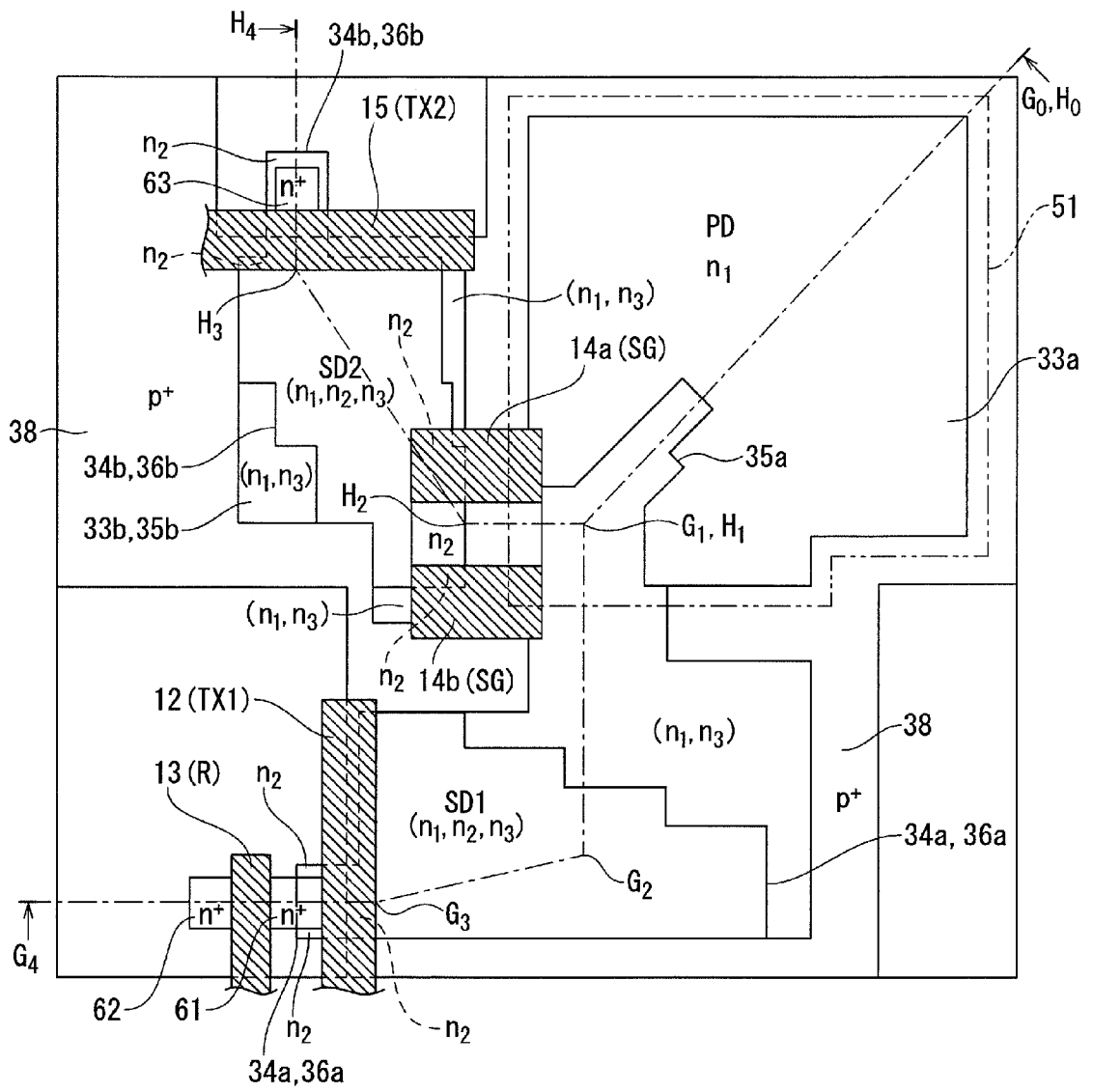
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/033599

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L27/146 (2006.01) i, H01L31/10 (2006.01) i, H04N5/355 (2011.01) i, H04N5/374 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L27/146, H01L31/10, H04N5/355, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Japanese Published Examined Utility Model Applications 1922-1996

Japanese Published Unexamined Utility Model Applications 1971-2017

Japanese Examined Utility Model Registrations 1996-2017

Japanese Registered Utility Model Specifications 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2007/083704 A1 (NATIONAL UNIVERSITY CORPORATION SHIZUOKA UNIVERSITY) 26 July 2007, paragraphs [0014]-[0027], [0070]-[0097], fig. 1, 17-23 & US 2010/0187401 A1, paragraphs [0126]-[0141], [0199]-[0227], fig. 1, 17-23	1-12
A	JP 2010-278654 A (FUJIFILM CORPORATION) 09 December 2010, paragraphs [0122]-[0151], fig. 1, 12 (Family: none)	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 November 2017

Date of mailing of the international search report
28 November 2017

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/033599

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-160878 A (CANON INC.) 04 September 2014, paragraphs [0021]-[0049], fig. 4 & JP 2006-246450 A	1-12

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L27/146(2006.01)i, H01L31/10(2006.01)i, H04N5/355(2011.01)i, H04N5/374(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L27/146, H01L31/10, H04N5/355, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2007/083704 A1（国立大学法人静岡大学）2007.07.26, 段落[0014]-[0027], [0070]-[0097], 図1, 17-23 & US 2010/0187401 A1, 段落[0126]-[0141], [0199]-[0227], 図1, 17-23	1-12
A	JP 2010-278654 A（富士フイルム株式会社）2010.12.09, 段落[0122]-[0151], 図1, 12 （ファミリーなし）	1-12

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

15.11.2017

国際調査報告の発送日

28.11.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴木 肇

5 F

8396

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-160878 A (キヤノン株式会社) 2014. 09. 04, 段落[0021]-[0049], 図 4 & JP 2006-246450 A	1-12