

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年6月25日(25.06.2015)



(10) 国際公開番号

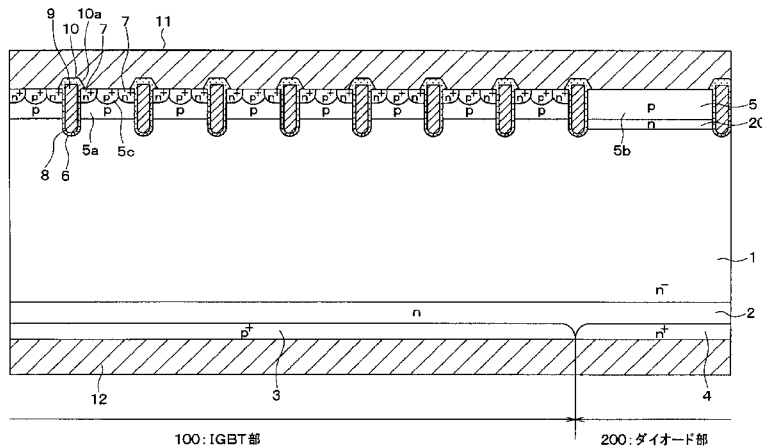
WO 2015/093038 A1

- (51) 国際特許分類:
H01L 27/04 (2006.01) H01L 29/861 (2006.01)
H01L 29/739 (2006.01) H01L 29/868 (2006.01)
H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2014/006244
- (22) 国際出願日: 2014年12月16日(16.12.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-264294 2013年12月20日(20.12.2013) JP
特願 2014-248139 2014年12月8日(08.12.2014) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 程 イ濤(CHENG, Weitao); 〒4488661 愛知県刈谷市昭和町1丁目1番地株式会社デンソー内 Aichi (JP). 高橋 茂樹(TAKAHASHI, Shigeki); 〒4488661 愛知県刈谷市昭和町1丁目1番地株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫(KIN, Junhi); 〒4600003 愛知県名古屋市中区錦2丁目13番19号 瀧定ビル6階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



100 IGBT section
200 Diode section

(57) Abstract: This semiconductor device has an IGBT section (100) in which a vertical IGBT is formed, and a diode section (200) which is provided along the IGBT section, and in which a diode is formed. In the diode section, a hole injection reduction layer (20) which has a first type of conduction is provided in the upper layer part of a drift layer (1), the hole injection reduction layer being deeper and having a lower impurity concentration than an anode region (5b) constituted by a second conduction type region (5) in the diode section, as well as having a higher impurity concentration than the drift layer.

(57) 要約: 半導体装置は、縦型の IGBT が形成された IGBT 部 (100) と、前記 IGBT 部に沿って備えられ、ダイオードが形成されたダイオード部 (200) と、を有し、前記ダイオード部において、ドリフト層 (1) の上層部に、前記ダイオード部における第2導電型領域 (5) により構成されるアノード領域 (5b) よりも深くて低不純物濃度とされ、かつ、前記ドリフト層よりも高不純物濃度とされた第1導電型のホール注入低減層 (20) を備える。

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

関連出願の相互参照

[0001] 本開示は、2013年12月20日に出願された日本出願番号2013-264294号と、2014年12月8日に出願された日本出願番号2014-248139号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、絶縁ゲート型電界効果トランジスタ（以下、IGBTという）とフリーホイールダイオード（以下、単にダイオードという）とが共に1つの基板に形成された半導体装置に関するものである。

背景技術

[0003] 特許文献1において、インバータなどの回路に備えられるIGBTとダイオードとが並列して備えられた半導体装置が提案されている。特許文献1に示される半導体装置では、次のような手法によってライフタイム制御を行っている。

[0004] 具体的には、半導体プロセスを経てIGBTおよびダイオードを共に1つの基板に形成したものを用意する。そして、基板表面側からIGBTおよびダイオードの形成位置にイオン注入を行うと共に、基板裏面側からダイオードの形成位置にイオン注入を行い、さらにアニール処理を行う。これにより、イオン注入が行われた部分に欠陥が形成され、ライフタイム制御を行うことが可能となる。

先行技術文献

特許文献

[0005] 特許文献1：特開2008-4866号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献1に記載のライフタイム制御では、イオン注入が

行われる位置にトレンチゲート構造を構成するトレンチが存在すると、トレンチ内壁面に形成されたゲート絶縁膜にイオン注入によるダメージを与えてしまう。このダメージは高温でのアニール処理を行えば回復可能であるが、ライフタイム制御のために形成した欠陥が 380°C 以上のアニール処理で回復してしまうため、 380°C 以上のアニール処理を行うことができない。

[0007] これに対して、従来より、基板裏面側からIGBTおよびダイオードの形成位置の全域にイオン注入を行うことでライフタイム制御を行うことも一般的に行われている。しかしながら、このような手法では、IGBTとダイオードとが同時にライフタイム制御が行われることになり、IGBTとダイオードとのライフタイム制御を個別に最適化して行うことができない。特に、IGBTについては、ライフタイム制御を行うことによる特性劣化が懸念され、ライフタイム制御を最小限に抑える方が好ましい。

[0008] 本開示は上記点に鑑みて、ゲート絶縁膜にイオン注入によるダメージを与えることなく、かつ、ライフタイム制御を最小限、好ましくはライフタイム制御を行わなくても、IGBTとダイオードの特性を別々に最適化できる半導体装置を提供することを目的とする。

課題を解決するための手段

[0009] 本開示の一態様に係る半導体装置は、縦型のIGBTが形成されたIGBT部と、前記IGBT部に沿って備えられ、ダイオードが形成されたダイオード部と、を有し、ドリフト層と、コレクタ領域と、カソード領域と、第2導電型領域と、トレンチと、エミッタ領域と、ホール注入低減層と、ゲート絶縁膜と、ゲート電極と、上部電極と、下部電極とを備える。

[0010] 前記ドリフト層は第1導電型を有する。前記コレクタ領域は第2導電型を有し、前記IGBT部において、前記ドリフト層の裏面側に形成される。前記カソード領域は第1導電型を有し、前記ダイオード部において、前記ドリフト層の裏面側に形成される。前記第2導電型領域は、前記ドリフト層の表面側の表層部において、前記IGBT部および前記ダイオード部の双方に形成される。前記トレンチは、前記IGBT部において、複数本並べられ、前

記第2導電型領域よりも深く形成されて前記第2導電型領域を複数に分けることで、前記第2導電型領域の少なくとも一部によってチャネル領域を構成する。前記エミッタ領域は、第1導電型を有し、前記IGBT部において、前記チャネル領域の表層部に前記トレンチの側面に沿って形成される。前記ホール注入低減層は第1導電型を有し、前記ダイオード部において前記ドリフト層の上層部に形成され、前記ダイオード部における前記第2導電型領域により構成されるアノード領域よりも深くて低不純物濃度とされ、かつ、前記ドリフト層よりも高不純物濃度とされる。前記ゲート絶縁膜は、前記トレンチの表面に形成される。前記ゲート電極は、前記ゲート絶縁膜の表面に形成される。前記上部電極は、前記IGBT部において前記第2導電型領域に電氣的に接続されると共に、前記アノード領域に電氣的に接続される。前記下部電極は、前記IGBT部において前記コレクタ領域に電氣的に接続されると共に、前記ダイオード部において前記カソード領域と電氣的に接続される。

[0011] 前記半導体装置は、前記ダイオード部に前記ホール注入低減層を備えている。このため、前記IGBTの動作中に前記ダイオード部を通じて注入されるホールを低減することが可能となる。これにより、スイッチング時のAC損失を低減することが可能となる。また、前記ホール注入低減層の不純物濃度に応じて、AC損失やAC損失とトレードオフの関係となるDC損失について調整できる。したがって、前記ダイオード部に前記ホール注入低減層を備えることによって、AC損失とDC損失を最適に設定できることから、前記IGBTと前記ダイオードの特性を別々に最適化することが可能となる。

図面の簡単な説明

[0012] 本開示における上記あるいは他の目的、構成、利点は、下記の図面を参照しながら、以下の詳細説明から、より明白となる。図面において、

[図1]図1は、本開示の第1実施形態にかかるIGBTとダイオードを備えた半導体装置の断面図である。

[図2]図2は、p型領域とホール注入低減層の不純物濃度分布を示した図であ

る。

[図3]図3は、IGBTのオフ時にコレクタ電流 I_c の変化を測定した結果を示した図である。

[図4]図4は、ホール注入低減層の不純物濃度ピークを変化させたときの各濃度分布を示した図である。

[図5]図5は、ホール注入低減層の不純物濃度ピークを変化させたときのAC損失とDC損失について調べた結果を示す図である。

[図6]図6は、ホール注入低減層が備えられた第1実施形態の構造と備えられていない従来構造それぞれについてAC損失とDC損失の関係について調べた結果を示す図である。

[図7]図7は、本開示の第2実施形態にかかるIGBTとダイオードを備えた半導体装置の断面図である。

[図8]図8は、本開示の第3実施形態にかかるIGBTとダイオードを備えた半導体装置の断面図である。

[図9]図9は、IGBT部にホール注入低減層を形成していない場合におけるホール分布を示す図である。

[図10]図10は、ホール注入低減層のはみ出し量を変化させた場合のAC損失とDC損失とを調べた結果を示す図である。

[図11]図11は、ホール注入低減層のはみ出し量を変化させた場合のダイオード部での全損失を調べた結果を示す図である。

[図12]図12は、本開示の第4実施形態にかかるIGBTとダイオードを備えた半導体装置の断面図である。

[図13]図13は、本開示の第5実施形態にかかるIGBTとダイオードを備えた半導体装置の断面図である。

[図14]図14は、IGBT部にホール注入低減層を形成していない場合におけるホール分布とIGBT部とダイオード部のホール密度の比較結果を示した図である。

[図15]図15は、ボディp型領域の不純物濃度の変化に対するはみ出し量 L

1と板厚 T_1 との比 L_1/T_1 の関係を示した図である。

[図16]図16は、板厚 T_1 とホール拡散長との関係をボディp型領域の不純物濃度を変えて調べた結果を示す図である。

発明を実施するための形態

[0013] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0014] (第1実施形態)

本開示の第1実施形態について説明する。図1に示すように、本実施形態にかかる半導体装置は、基板厚み方向に電流を流す縦型のIGBTとダイオードとが1つの基板に備えられることにより構成されている。具体的には、本実施形態にかかる半導体装置は以下のように構成されている。

[0015] 図1に示されるように、本実施形態にかかる半導体装置は、IGBTが備えられるIGBT部100と、IGBT部100に沿って備えられ、ダイオードが形成されたダイオード部200とを有した構成とされている。これらIGBT部100やダイオード部200は、例えばチップの中央部のセル領域に形成されており、セル領域の外周、つまりチップの外縁部に図示しない外周耐压部が配置されることにより、本実施形態にかかる半導体装置が構成されている。

[0016] IGBTおよびダイオードは、n⁻型ドリフト層1を構成する半導体基板を用いて形成されている。IGBT部100およびダイオード部200において、n⁻型ドリフト層1の裏面側におけるn⁻型ドリフト層1の表層部には、n型層によって構成されるフィールドストップ（以下、FSという）層2が形成されている。FS層2は、n⁻型ドリフト層1の裏面から比較的浅い所定深さの位置まで形成され、リン（P）などのn型不純物が注入されることで構成されている。FS層2の不純物濃度や拡散深さについては、要求されるIGBTやダイオードの特性に応じて設定されている。

[0017] IGBT部100において、FS層2の表層部に、p⁺型不純物層にて構成

されたコレクタ領域3が形成されている。コレクタ領域3は、ボロン等のp型不純物が注入されて形成されている。また、ダイオード部200において、FS層2の表層部に、n⁺型不純物層にて構成されたカソード領域4が形成されている。カソード領域4は、リン等のn型不純物が注入されて形成されている。これらコレクタ領域3やカソード領域4の不純物濃度や拡散深さについては、要求されるIGBTやダイオードの特性に応じて設定されている。

[0018] さらに、IGBT部100およびダイオード部200の両方において、n⁻型ドリフト層1の表面側の表層部にp型領域5が形成されている。このp型領域5を貫通してn⁻型ドリフト層1まで達するように複数個のトレンチ6が形成されており、このトレンチ6によってp型領域5が複数個に分離されている。具体的には、トレンチ6は複数個所定のピッチ（間隔）で形成されており、図1の紙面垂直方向において各トレンチ6が平行に延設されたストライプ構造、もしくは並行に延設されたのちその先端部において引き回されることで環状構造とされている。環状構造とされる場合、例えば各トレンチ6が構成する環状構造は複数本ずつを1組として多重リング構造が構成される。

[0019] トレンチ6によって複数に分割されたp型領域5のうち、IGBT部100に形成された部分は、チャネル領域を構成するチャネルp型領域5aとなる。このチャネルp型領域5aの表層部に、n⁺型不純物層にて構成されたエミッタ領域7が形成されている。

[0020] p型領域5のうち、チャネルp型領域5aの表層部、具体的にはチャネルp型領域5a内の両側に配置されたエミッタ領域7の間に、チャネルp型領域5aのコンタクト部としても機能する高濃度なボディp型領域5cが形成されている。このため、IGBT部100ではp型領域5のp型不純物濃度の表面濃度が高濃度とされている。

[0021] エミッタ領域7は、n⁻型ドリフト層1よりも高不純物濃度で構成され、p型領域5内において終端しており、かつ、トレンチ6の側面に接するように

配置されている。より詳しくは、トレンチ6の長手方向に沿って棒状に延設され、トレンチ6の先端よりも内側で終端した構造とされている。

[0022] トレンチ6は、p型領域5よりも深くされており、上述したように図1に示す断面において所定のピッチで配置されている。また、各トレンチ6内は、各トレンチ6の内壁表面を覆うように形成されたゲート絶縁膜8と、このゲート絶縁膜8の表面に形成されたドーパントP o l y - S i等により構成されるゲート電極9とにより埋め込まれている。I G B T部100に形成されたゲート電極9は、図1とは別断面において互いに電氣的に接続され、同電位のゲート電圧が印加されるようになっている。

[0023] さらに、エミッタ領域7およびチャネルp型領域5aは、層間絶縁膜10に形成されたコンタクトホール10aを通じて、エミッタ電極を構成する上部電極11と電氣的に接続されている。また、図示しないが、上部電極11や配線などを保護するようにパッシベーション膜が形成されている。そして、コレクタ領域3の裏面側にコレクタ電極を構成する下部電極12が形成されることにより、I G B Tが構成されている。

[0024] トレンチ6によって複数に分割されたp型領域5のうち、ダイオード部200に形成された部分は、アノード領域5bとされ、表層部が比較的高濃度とされることでコンタクト領域が構成されている。上記した上部電極11はダイオード部200にも延設されており、アノード領域5bにオーミック接続されることでアノード電極としても機能する。さらに、上記した下部電極12もダイオード部200まで延設されており、カソード領域4にオーミック接触されられることでカソード電極としても機能する。このような構成により、ダイオードが構成されている。

そして、本実施形態では、上記のように構成されたダイオード部200にn型層にて構成されたホール注入低減層20が備えられている。ホール注入低減層20は、n-型ドリフト層1の上層部において、アノード領域5bからのホールの注入を低減させる役割を果たし、アノード領域5bよりも深く、かつ、トレンチ6の底部よりも浅い位置に形成されている。ホール注入低減

層 20 の不純物濃度は、 n -型ドリフト層 1 の不純物濃度よりも濃く、かつ、図 2 に示すように、不純物濃度ピーク値がアノード領域 5 b の不純物濃度ピーク値よりも低く設定されている。例えば、 n -型ドリフト層 1 の不純物濃度が $7 \times 10^{13} \sim 8 \times 10^{14} \text{ cm}^{-3}$ 、ホール注入低減層 20 の不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 、アノード領域 5 b の不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上に設定される。ホール注入低減層 20 の厚みについては任意であるが、例えば $1 \sim 2 \mu\text{m}$ とされている。

[0025] なお、本実施形態では、ホール注入低減層 20 の底部がトレンチ 6 の底部よりも浅くなる構成としたが、トレンチ 6 の底部よりも深くなる構成であっても構わない。

[0026] 以上のようにして、本実施形態にかかる IGBT およびダイオードを備えた半導体装置が構成されている。このように構成された半導体装置では、ダイオード部 200 にホール注入低減層 20 が備えられている。このため、IGBT 動作中にダイオード部 200 を通じて注入されるホールを低減することが可能となる。これにより、IGBT のオフ時に引き抜かなければならないホール量を少なくすることが可能となって、図 3 に示すように、IGBT のオフ時にコレクタ電流 I_c が 0 になるときに、0 を下回ってオーバーシュートするときの突き出し量が小さくなる。よって、スイッチング時の AC 損失を低減することが可能となる。

[0027] ホール注入量についてはホール注入低減層 20 の濃度を濃くすればするほど少なくなることから、ホール注入低減層 20 の不純物濃度ピークを高くすることで、より AC 損失を低減することが可能となる。ただし、スイッチング時の DC 損失については AC 損失とトレードオフの関係となっており、ホール注入低減層 20 の不純物濃度ピークが高くなるほど、DC 損失が大きくなる。例えば、図 4 に示すように、ホール注入低減層 20 の不純物濃度ピークを 4 段階に変化させて、AC 損失と DC 損失の関係について調べたところ、図 5 に示す関係が得られた。

[0028] このように、AC 損失と DC 損失にはトレードオフの関係が有り、これら

をホール注入低減層 20 の不純物濃度ピークに応じて調整できる。このため、要求される仕様に依じてホール注入低減層 20 の不純物濃度ピークを設定すれば、AC 損失と DC 損失を最適に設定できる。そして、ダイオード部 200 にホール注入低減層 20 を備えることによって、AC 損失と DC 損失を最適に設定できることから、IGBT とダイオードの特性を別々に最適化することが可能となる。

[0029] また、本実施形態のようにホール注入低減層 20 が備えられた構造と備えられていない従来構造それぞれについて AC 損失と DC 損失の関係について調べたところ、図 6 に示す結果が得られた。このように、本実施形態の構造の方が従来構造と比較して AC 損失を同じ値とした場合の DC 損失が改善されており、半導体装置の性能が向上できていることが判る。したがって、本実施形態のように、ホール注入低減層 20 を備えることにより、半導体装置の性能向上を図ることが可能となる。

[0030] 続いて、このように構成される半導体装置の製造方法について説明する。ただし、本実施形態のような構造の半導体装置については、従来構造の半導体装置とほぼ同様の製造方法によって製造可能であるため、従来と異なる部分について主に説明する。

[0031] まず、n 型ドリフト層 1 を構成する半導体基板を用意したのち、ダイオード部 200 におけるホール注入低減層 20 の形成位置に n 型不純物をイオン注入する。また、IGBT 部 100 およびダイオード部 200 において、n 型ドリフト層 1 の表層部に p 型領域 5 の形成のために p 型不純物をイオン注入する。さらに、IGBT 部 100 におけるボディ p 型領域 5c やエミッタ領域 7 の形成位置にそれぞれ p 型不純物と n 型不純物をイオン注入する。そして、アニール処理による熱拡散工程を行うことで、注入したイオンを熱拡散させ、ホール注入低減層 20、p 型領域 5、ボディ p 型領域 5c およびエミッタ領域 7 を形成する。

[0032] 次に、IGBT 部 100 およびダイオード部 200 において、トレンチゲート構造の形成予定位置が開口するマスク（図示せず）を配置したのち、異

方性エッチングを行うことでトレンチ6を形成する。その後、熱酸化によるゲート絶縁膜8の形成工程、ドーフトポリシリコンの成膜およびパターニングによるゲート電極9の形成工程を行う。そして、層間絶縁膜10を形成した後、コンタクトホール10aの形成工程を行い、さらにAlなどの電極材料をパターニングして上部電極11を形成する。これにより、基板表面側の製造工程が終了する。

[0033] 続いて、n型ドリフト層1を構成する半導体基板の裏面側を所望厚さとなるまで研削してから必要に応じてエッチングして表面平坦化を行す。その後、FS層2の形成のためのリンのイオン注入、コレクタ領域3の形成のためのボロンのイオン注入およびカソード領域4の形成のためのリンのイオン注入を行う。そして、レーザアニール等によって表面側に影響を与えない局所的な熱処理を行い、注入されたイオンの拡散工程を行う。更に、Alなどの電極材料を成膜するなどの下部電極12の形成工程を行う。これにより、基板裏面側の製造工程が終了し、図1に示したIGBTおよびダイオードを備えた半導体装置が完成する。

[0034] このような製造方法においては、ホール注入低減層20を備えることによってダイオードの特性をIGBTの特性と切り離して個別に最適化できる。このため、上記の製造方法においては、トレンチゲート構造を形成してから基板表面側からライフタイム制御のためのイオン注入を行う必要がなくなる。したがって、ゲート絶縁膜8にイオン注入によるダメージを与えることなく、かつ、ライフタイム制御を最小限、好ましくはライフタイム制御を行わなくても、IGBTとダイオードの特性を別々に最適化することが可能となる。

[0035] (第2実施形態)

本開示の第2実施形態について説明する。本実施形態は、第1実施形態に対してIGBT部100の構成を変更したものであり、その他については第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

[0036] 図7に示すように、本実施形態では、IGBT部100において、隣接するトレンチ6によって複数に分割されたp型領域5の一部のみをチャンネルp型領域5aとしている。つまり、p型領域5の一部のみにn⁺型不純物にて構成されたエミッタ領域7を形成している。このエミッタ領域7が形成された部分がチャンネルp型領域5aとされることでIGBT動作させられるIGBT動作部となる。また、p型領域5のうちのエミッタ領域7が形成されない残りの部分は間引き部となり、IGBT動作は行われなくなっている。

[0037] このように、IGBT部100の全域をIGBT動作部とせずに、部分的に間引き部が備えられた構成とされていても、ダイオード部200について第1実施形態と同様の構造とすることができる。このような構成としても、第1実施形態と同様の効果を得ることができる。

[0038] (第3実施形態)

本開示の第3実施形態について説明する。本実施形態は、第1、第2実施形態に対してホール注入低減層20の形成位置を増加させたものであり、その他については第1、第2実施形態と同様であるため、第1、第2実施形態と異なる部分についてのみ説明する。なお、ここでは第2実施形態に対してホール注入低減層20の形成位置を増加させた場合について説明するが、第1実施形態に対しても同様の構成を適用できる。

[0039] 図8に示すように、本実施形態では、第2実施形態と同様、p型領域5の一部が間引き部とされているのに加え、IGBT部100のうちダイオード部200の近傍に位置する部分にもホール注入低減層20を備えた構成としている。つまり、ホール注入低減層20をIGBT部100側にはみ出すように形成している。具体的には、IGBT部100のうち、ダイオード部200との境界位置から60 μ m以上の位置までホール注入低減層20を備えている。

[0040] 第1実施形態のようにIGBT部100にホール注入低減層20を形成していない場合におけるホール分布、すなわちp型領域5の表面から10 μ m

の深さでのホール濃度を調べると、図9に示される結果となった。ここでの実験では、半導体基板の板厚、つまり各拡散層を形成する前の状態におけるn型ドリフト層1の厚み（各拡散層の形成後におけるn型ドリフト層1、コレクタ領域3、チャネルp型領域5a、エミッタ領域7のトータルの厚み）を $75\mu\text{m}$ とした。また、ボディp型領域5cの不純物濃度（ピーク値）を $3 \times 10^{15} \text{cm}^{-3}$ とした。この図より、IGBT部100の中でもダイオード部200の近傍に位置している部分においてホール密度が高まっていることが判る。

[0041] 上記したように、ダイオード部200にホール注入低減層20を形成することによってIGBT動作中にダイオード部200を通じて注入されるホールを低減させ、スイッチング時のAC損失を低減させることが可能となる。しかしながら、実際にはIGBT部100から注入されるホールもAC損失に影響を与え、特にIGBT部100の中でもダイオード部200の近傍に位置する部分からのホール注入が大きな影響を与える。

[0042] このため、本実施形態では、ダイオード部200よりもホール密度が高くなっている部分、つまりIGBT部100のうち少なくともダイオード部200との境界位置から $60\mu\text{m}$ の位置までホール注入低減層20を形成している。これにより、IGBT部100から注入されるホールがAC損失に影響を与えることを抑制することが可能となり、よりAC損失の低減を図ることが可能となる。

[0043] なお、参考として、ホール注入低減層20のはみ出し量を変化させた場合のAC損失とDC損失とを調べると共に、ダイオード部200での全損失を調べた。その結果、図10および図11に示す結果が得られた。図10に示す結果から、はみ出し量が大きくなる程（はみ出し量1<はみ出し量2<はみ出し量3）、性能向上が図れていた。ただし、図11に示すように、はみ出し量が一定量に至ると、ダイオード部200での全損失がほぼ一定値に収まっていた。このことから、ホール注入低減層20をIGBT部100の一部にはみ出すように形成することで、半導体装置の更なる性能向上を図るこ

とが可能になると言える。

[0044] (第4実施形態)

本開示の第4実施形態について説明する。本実施形態は、第2、第3実施形態に対してホールストッパ層を備えたものであり、その他については第2、第3実施形態と同様であるため、第2、第3実施形態と異なる部分についてのみ説明する。なお、ここでは第3実施形態に対してホールストッパ層を形成した場合について説明するが、第2実施形態に対しても同様の構成を適用できる。

[0045] 図12に示すように、本実施形態でも、第3実施形態と同様、p型領域5の一部を間引き部としているのに加え、IGBT部100のうちダイオード部200の近傍に位置する部分にホール注入低減層20を備えている。さらに、本実施形態では間引き部にホールストッパ層30を備えている。

[0046] ホールストッパ層30は、間引き部におけるp型領域5内に形成されており、n型ドリフト層1に注入されたホールが間引き部におけるp型領域5を介して抜け出ることを抑制するためのn型層にて構成されている。ホールストッパ層30は、トレンチ6の深さ方向において、間引き部におけるp型領域5を上下に分割するように形成されており、この上下に分割された各領域が電位的に分離された構成とされている。

[0047] このように、ホールストッパ層30を備えた構造とすることもできる。その場合、IGBT部100のうちホール注入低減層20が備えられているダイオード部200の近傍の位置においては、図10に示すように、ホールストッパ層30を形成していなくても構わない。

[0048] (第5実施形態)

本開示の第5実施形態について説明する。本実施形態は、第1～第4実施形態に対してIGBT部100側にはみ出させたホール注入低減層20の形成位置を具体的に特定したものであり、その他については第1～第4実施形態と同様であるため、第1～第4実施形態と異なる部分についてのみ説明する。なお、ここでは第1実施形態に対してホール注入低減層20の形成位置を

増加させた場合について説明するが、第2～第4実施形態に対しても同様の構成を適用できる。

[0049] 図13に示すように、本実施形態も、第1実施形態と同様、IGBT部100において、各トレンチゲート構造の間のp型領域5の表層部にボディp型領域5cおよびエミッタ領域7が形成され、すべてがIGBT動作部とされている。このような構造において、IGBT部100のうちダイオード部200の近傍に位置する部分にもホール注入低減層20を備えた構造としている。つまり、ホール注入低減層20をIGBT部100にはみ出すように形成している。具体的には、ボディp型領域5cの不純物濃度（ピーク値）が $6 \times 10^{16} \text{ cm}^{-3}$ 以上とされている構造において、IGBT部100のうち、ダイオード部200との境界位置から半導体基板の板厚の1.1倍以上の距離の位置までホール注入低減層20を備えている。

[0050] 実験により、ホール注入低減層20の形成位置は、ボディp型領域5cの不純物濃度が薄いときには半導体基板の板厚とボディp型領域5cの不純物濃度に依存し、ボディp型領域5cの不純物濃度が濃くなると半導体基板の板厚に依存した値になることが確認された。具体的には、ホール注入低減層20を設けていない構造において、ボディp型領域5cの不純物濃度 P_a を変化させて、ホールがどの程度IGBT部100側にはみ出すかを調べた。つまり、IGBT部100の方がダイオード部200よりもキャリア量が多くなる領域を調べ、その領域のIGBT部100とダイオード部200との境界位置からIGBT部100側へのはみ出し量 L_1 がどの程度になるかを調べた。ここでは、図1に示す構造のうちホール注入低減層20を設けない構造を用いてシミュレーション解析を行い、ホール拡散幅を求めた。そして、図14に示すように、IGBT部100のうちダイオード部200よりもキャリア（ホール密度）が多くなる部分をX、キャリアが少なくなる部分をOとして表して、不純物濃度 P_a の変化に対するはみ出し量 L_1 と板厚 T_1 との比との関係を調べた。その結果、図15に示す関係となった。

[0051] この図に示されるように、ボディp型領域5cの不純物濃度が $6 \times 10^{15} \text{ cm}^{-3}$

m^{-3} 以下のときには、不純物濃度 P_a に対して IGBT 部 100 とダイオード部 200 のキャリアの大小が切り替わるはみ出し量 L_1 と板厚 T_1 との比 L_1 / T_1 が変化する。具体的には、不純物濃度 P_a が多くなるほど、IGBT 部 100 の方がダイオード部 200 よりもキャリアが少なくなる比 L_1 / T_1 の下限値が大きくなる。つまり、不純物濃度 P_a が多くなるに連れて、はみ出し量 L_1 が大きくなると IGBT 部 100 のキャリアがダイオード部 200 のキャリアより少なくなる。

[0052] しかしながら、ボディ p 型領域 5c の不純物濃度が $6 \times 10^{15} \text{cm}^{-3}$ 以上になると、不純物濃度 P_a に対して IGBT 部 100 とダイオード部 200 のキャリアの大小が切り替わるはみ出し量 L_1 と板厚 T_1 との比 L_1 / T_1 が一定になる。具体的には、ボディ p 型領域 5c の濃度にかかわらず、 $L_1 / T_1 = 1.1$ 以上であれば、IGBT 部 100 の方がダイオード部 200 よりもキャリアが少なくなる。

[0053] これは、ボディ p 型領域 5c の不純物濃度が薄いときにはホールの拡散が小さくなるが、ある程度濃くなると半導体基板の板厚 T_1 に依存してボディ p 型領域 5c の不純物濃度に依らなくなるためである。図 16 に示すように、ボディ p 型領域 5c の不純物濃度が $3 \times 10^{-15} \text{cm}^{-3}$ の際には、半導体基板の板厚 T_1 の変化に伴ってホール拡散長が大きくなっているものの、板厚 T_1 に対してホール拡散長が大きくなる割合は、正比例の関係から若干ずれる。これに対して、ボディ p 型領域 5c の不純物濃度が $1 \times 10^{-16} \text{cm}^{-3}$ や $3 \times 10^{-16} \text{cm}^{-3}$ の際には、板厚 T_1 に対してホール拡散長が大きくなる割合が正比例の関係となる。そして、いずれの濃度の場合でも、同じ近似直線（板厚を x 、ホール拡散長を y とした場合に $y = 1.1238x - 1.4286$ の直線）で示される線形の関係となっている。これは、ボディ p 型領域 5c の不純物濃度が濃くなると、ホールの拡散が飽和するためである。このため、ホール拡散長が板厚 T_1 に依存することになる。

[0054] よって、本実施形態では、ボディ p 型領域 5c の不純物濃度が $6 \times 10^{16} \text{cm}^{-3}$ 以上とされている構造において、はみ出し量 L_1 と半導体基板の板厚 T_1

との比 L_1 / T_1 が 1.1 倍以上となる関係を満たすようにホール注入低減層 20 のはみ出し量 L を設定している。つまり、少なくともホールの IGBT 部 100 側へのはみ出し量 L_1 の長さとなるように、ホール注入低減層 20 のはみ出し量 L を設定している。これにより、IGBT 部 100 から注入されるホールが AC 損失に影響を与えることを抑制することが可能となり、より AC 損失の低減を図ることが可能となる。

[0055] なお、第 3 実施形態では、半導体基板の板厚 T_1 を $75 \mu\text{m}$ とし、ボディ p 型領域 5 c の不純物濃度を $3 \times 10^{15} \text{cm}^{-3}$ としているが、これは、図 16 における点 A の場合に相当している。この条件は、ボディ p 型領域 5 c の不純物濃度が $6 \times 10^{15} \text{cm}^{-3}$ 以下の場合に相当し、ホール注入低減層 20 のはみ出し量 L と板厚 T_1 の比の関係が図 15 中の点 A となればよい。点 A では、ホール注入低減層 20 のはみ出し量 L と板厚 T_1 の比 $L / T_1 = 0.8$ となっており、板厚 $T_1 = 75 \mu\text{m}$ のときであれば、ホール注入低減層 20 のはみ出し量 $L = 60 \mu\text{m}$ あれば良いことが分かる。したがって、第 3 実施形態では、ホール注入低減層 20 のはみ出し量 L を $60 \mu\text{m}$ 以上としており、これによって上記効果を得ることを可能としている。

[0056] また、ここでは、ボディ p 型領域 5 c の不純物濃度が $6 \times 10^{16} \text{cm}^{-3}$ 以上とされている構造において、ホール注入低減層 20 のはみ出し量 L と板厚 T_1 の比が 1.1 倍以上となるようにした。これに対して、ボディ p 型領域 5 c の不純物濃度が $6 \times 10^{16} \text{cm}^{-3}$ 以下とされる構造において、図 15 におけるボディ p 型領域 5 c の不純物濃度の変化に対する比 L / T_1 の関係を表す直線に基づいて、ホール注入低減層 20 のはみ出し量 L を設定しても良い。具体的には、図 15 において、ボディ p 型領域 5 c の不純物濃度を $x [1 \times 10^{15} \text{cm}^{-3}]$ 、はみ出し量 L_1 と板厚 T_1 との比 L_1 / T_1 を y とすると、 $y = 0.1x + 0.5$ の直線を示す関数式となる。したがって、ホール注入低減層 20 のはみ出し量 L と板厚 T_1 との比 L / T_1 がこの関数式に示される $y (= L_1 / T_1)$ 以上となるように、 $L / T_1 \geq y = 0.1x + 0.5$ を満たすようにホール注入低減層 20 のはみ出し量 L を設定すれば良い。

[0057] また、第2～第4実施形態で示したような間引き部を有する構造においては、間引き部においてホールが低注入となることから、よりIGBT部100側の方がダイオード部200側よりもホール密度が低くなる。したがって、図15に示した関係よりもホール注入低減層20のはみ出し量Lと板厚T1との比 $L/T1$ が低くても、IGBT部100の方がダイオード部200よりもキャリアを低減できることになる。よって、本実施形態で説明したように、ボディp型領域5cの不純物濃度が $6 \times 10^{16} \text{ cm}^{-3}$ 以上とされている構造において、ホール注入低減層20のはみ出し量Lと板厚T1の比が1.1倍以上となるようにすれば、間引き部を有する構造であっても、上記効果が得られる。

[0058] (他の実施形態)

本開示は上記した実施形態に限定されるものではなく、適宜変更が可能である。

[0059] 例えば、上記実施形態においてホール注入低減層20を含む各部の不純物濃度や厚みの一例を挙げたが、ここに挙げた数値に限るものではなく、適宜変更可能である。つまり、ホール注入低減層20の不純物濃度について、n⁻型ドリフト層1の不純物濃度よりも濃く、かつ、不純物濃度ピーク値がアノード領域5bの不純物濃度ピーク値よりも低く設定されていれば良い。特に、ホール注入低減層20については、要求されるAC損失とDC損失との設定に応じて適宜変更され得る。

[0060] また、上記実施形態では、IGBT部100とダイオード部200のトレンチ6のピッチを変えているが、同じピッチであっても良い。また、IGBT部100やダイオード部200内において、トレンチ6のピッチが一定である必要はなく、異なるピッチとされたものであっても良い。

[0061] また、ダイオード部200にもIGBT部100と同様に、アノード領域5bとされるp型領域5にエミッタ領域7やボディp型領域5cが形成された構造とされていても良い。

[0062] また、上記各実施形態では、第1導電型をn型、第2導電型をp型とした

nチャネルタイプのIGBTを備えた半導体装置を例に挙げて説明したが、各構成要素の導電型を反転させたpチャネルタイプのIGBTとしても良い

。

請求の範囲

- [請求項1] 縦型のＩＧＢＴが形成されたＩＧＢＴ部（１００）と、前記ＩＧＢＴ部に沿って備えられ、ダイオードが形成されたダイオード部（２００）と、を有する半導体装置であって、
- 第１導電型のドリフト層（１）と、
- 前記ＩＧＢＴ部において、前記ドリフト層の裏面側に形成された第２導電型のコレクタ領域（３）と、
- 前記ダイオード部において、前記ドリフト層の裏面側に形成された第１導電型のカソード領域（４）と、
- 前記ドリフト層の表面側の表層部において、前記ＩＧＢＴ部および前記ダイオード部の双方に形成された第２導電型領域（５）と、
- 前記ＩＧＢＴ部において、複数本並べられ、前記第２導電型領域よりも深く形成されて前記第２導電型領域を複数に分けることで、前記第２導電型領域の少なくとも一部によってチャネル領域（５ａ）を構成するトレンチ（６）と、
- 前記ＩＧＢＴ部において、前記チャネル領域の表層部に前記トレンチの側面に沿って形成された第１導電型のエミッタ領域（７）と、
- 前記ダイオード部において、前記ドリフト層の上層部に形成され、前記ダイオード部における前記第２導電型領域により構成されるアノード領域（５ｂ）よりも深くて低不純物濃度とされ、かつ、前記ドリフト層よりも高不純物濃度とされた第１導電型のホール注入低減層（２０）と、
- 前記トレンチの表面に形成されたゲート絶縁膜（８）と、
- 前記ゲート絶縁膜の表面に形成されたゲート電極（９）と、
- 前記ＩＧＢＴ部において前記第２導電型領域に電氣的に接続されると共に、前記アノード領域に電氣的に接続された上部電極（１１）と、
- 前記ＩＧＢＴ部において前記コレクタ領域に電氣的に接続されると

共に、前記ダイオード部において前記カソード領域と電氣的に接続された下部電極（12）と、を備えている半導体装置。

[請求項2] 前記IGBT部のうち前記ダイオード部に隣接している部分にも、前記ホール注入低減層が形成されている請求項1に記載の半導体装置。

[請求項3] 前記チャネル領域には、前記チャネル領域を前記上部電極と電氣的に接続させる第2導電型のボディ領域（5c）が形成され、
前記ボディ領域の不純物濃度が $6 \times 10^{16} \text{ cm}^{-3}$ 以上とされており、

前記ドリフト層、前記コレクタ領域、前記チャネル領域および前記エミッタ領域のトータルの厚みを半導体基板の板厚 T_1 、前記IGBT部と前記ダイオード部との境界位置からの前記IGBT部側への前記ホール注入低減層のはみ出し量を L として、前記板厚 T_1 に対する前記はみ出し量 L の比 L/T_1 が1.1倍以上である請求項2に記載の半導体装置。

[請求項4] 前記チャネル領域には、前記チャネル領域を前記上部電極と電氣的に接続させる第2導電型のボディ領域（5c）が形成され、
前記ボディ領域の不純物濃度が $6 \times 10^{16} \text{ cm}^{-3}$ 以下とされており、

前記ドリフト層、前記コレクタ領域、前記チャネル領域および前記エミッタ領域のトータルの厚みを半導体基板の板厚 T_1 、前記IGBT部と前記ダイオード部との境界位置からの前記IGBT部側への前記ホール注入低減層のはみ出し量を L とし、前記ボディ領域の不純物濃度を $x [1 \times 10^{15} \text{ cm}^{-3}]$ として、前記板厚 T_1 に対する前記はみ出し量 L の比 $L/T_1 \geq 0.1x + 0.5$ 以上である請求項2に記載の半導体装置。

[請求項5] 前記チャネル領域には、前記チャネル領域を前記上部電極と電氣的に接続させる第2導電型のボディ領域（5c）が形成され、

前記ボディ領域の不純物濃度が $3 \times 10^{16} \text{ cm}^{-3}$ 以上とされており

、

前記ドリフト層、前記コレクタ領域、前記チャネル領域および前記エミッタ領域のトータルの厚みを半導体基板の板厚 T_1 、前記 IGBT 部と前記ダイオード部との境界位置からの前記 IGBT 部側への前記ホール注入低減層のはみ出し量を L として、前記板厚 T_1 に対する前記はみ出し量 L の比 L/T_1 が 0.8 倍以上である請求項 2 に記載の半導体装置。

[請求項6] 前記板厚 T_1 が $75 \mu\text{m}$ であり、前記はみ出し量 L が $60 \mu\text{m}$ 以上である請求項 5 に記載の半導体装置。

[請求項7] 前記 IGBT 部には、前記トレンチにて複数に分けられた前記第 2 導電型領域のうち前記チャネル領域ではない部分によって前記エミッタ領域が形成されていない間引き部が構成されている請求項 1 ないし 6 のいずれか 1 つに記載の半導体装置。

[請求項8] 前記間引き部において、前記トレンチの深さ方向において前記第 2 導電型領域を上下に分割する第 1 導電型のホールストップ層 (30) が形成されている請求項 7 に記載の半導体装置。

[請求項9] 前記 IGBT 部には、前記トレンチにて複数に分けられた前記第 2 導電型領域のうち前記チャネル領域ではない部分によって前記エミッタ領域が形成されていない間引き部が構成されていると共に、前記間引き部において、前記トレンチの深さ方向において前記第 2 導電型領域を上下に分割する第 1 導電型のホールストップ層 (30) が形成されており、

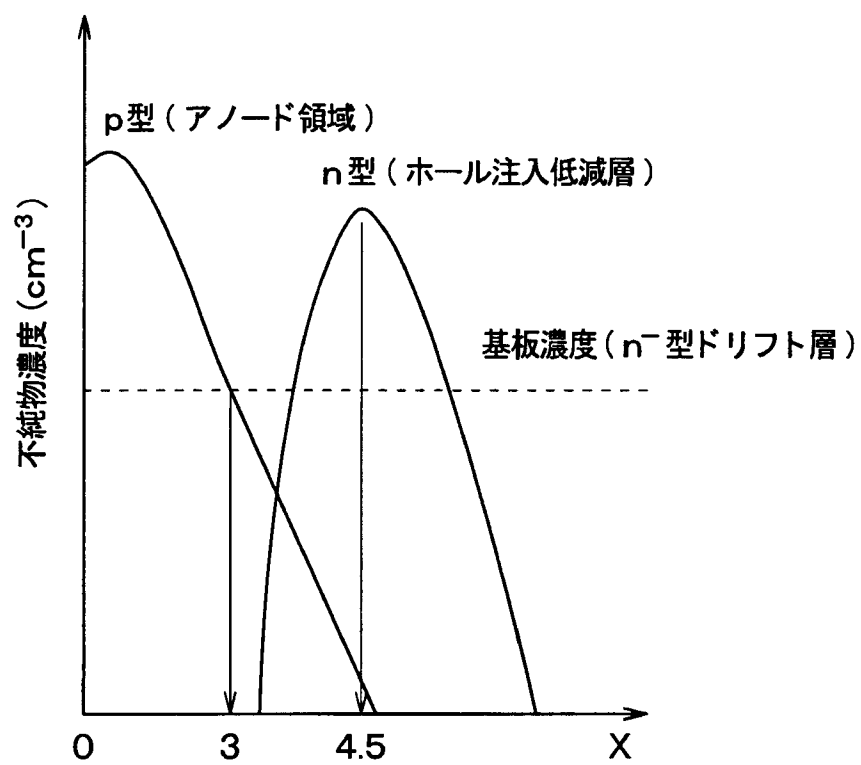
前記ホールストップ層は、前記間引き部のうち前記ホール注入低減層が形成されている部分には形成されておらず、前記ホール注入低減層が形成されていない部分に形成されている請求項 2 ないし 6 のいずれか 1 つに記載の半導体装置。

[請求項10] 前記ホール注入低減層は、前記トレンチの底部よりも浅く形成され

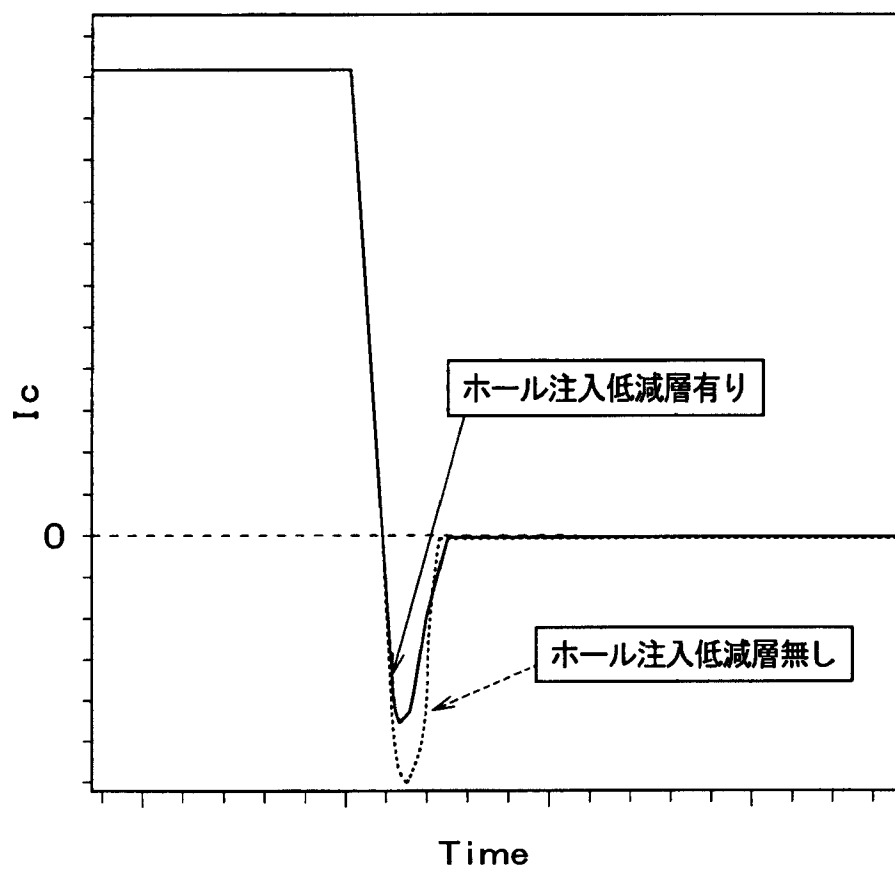
ている請求項 1 ないし 9 のいずれか 1 つに記載の半導体装置。

[請求項11] 前記ホール注入低減層の不純物濃度は $1 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-3}$
である請求項 1 ないし 10 のいずれか 1 つに記載の半導体装置。

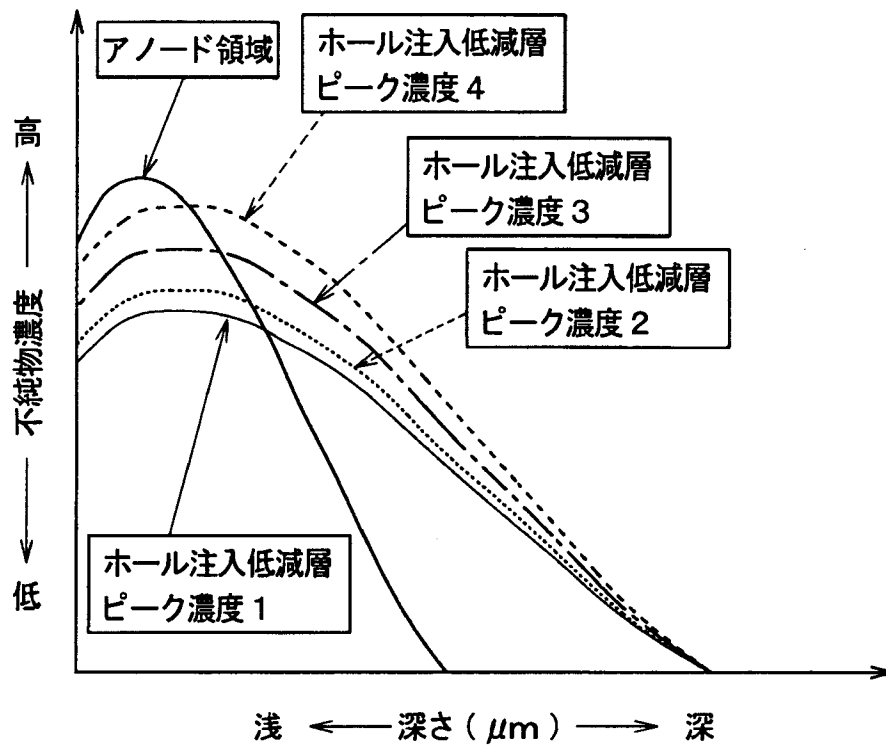
[図2]



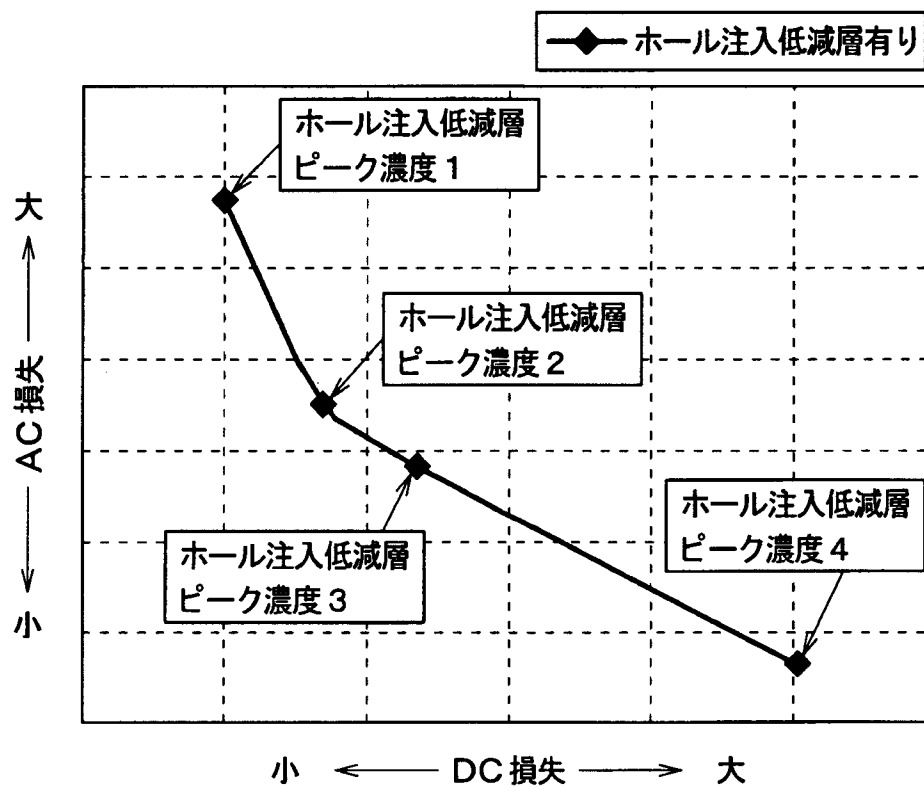
[図3]



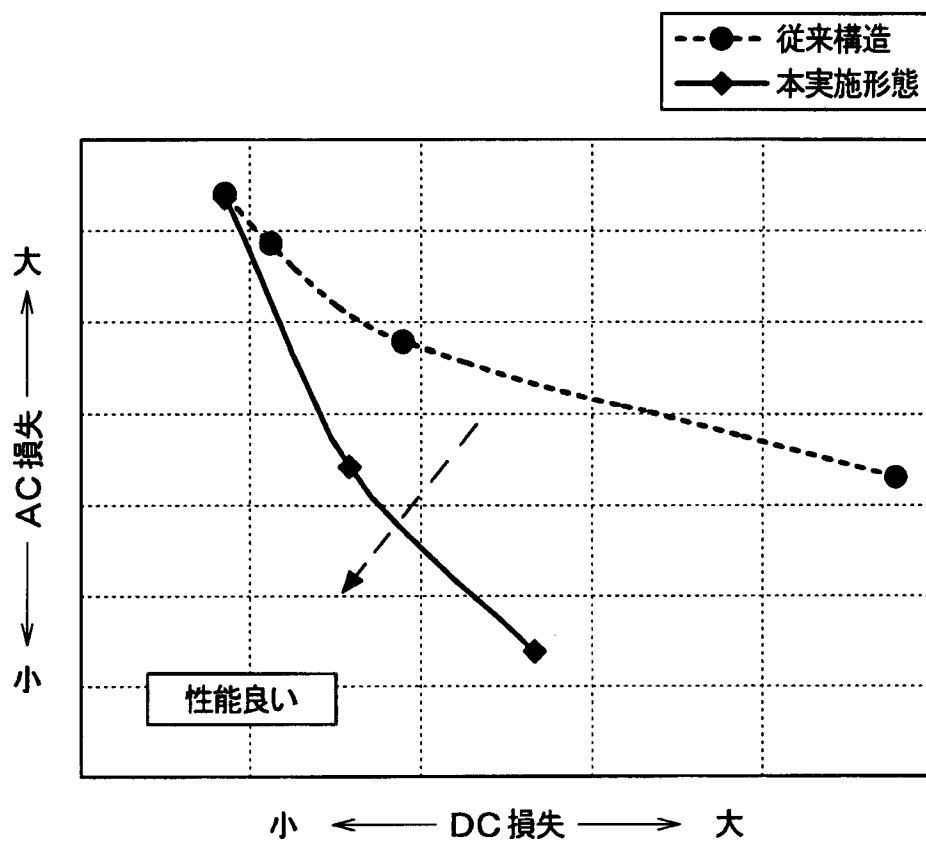
[図4]



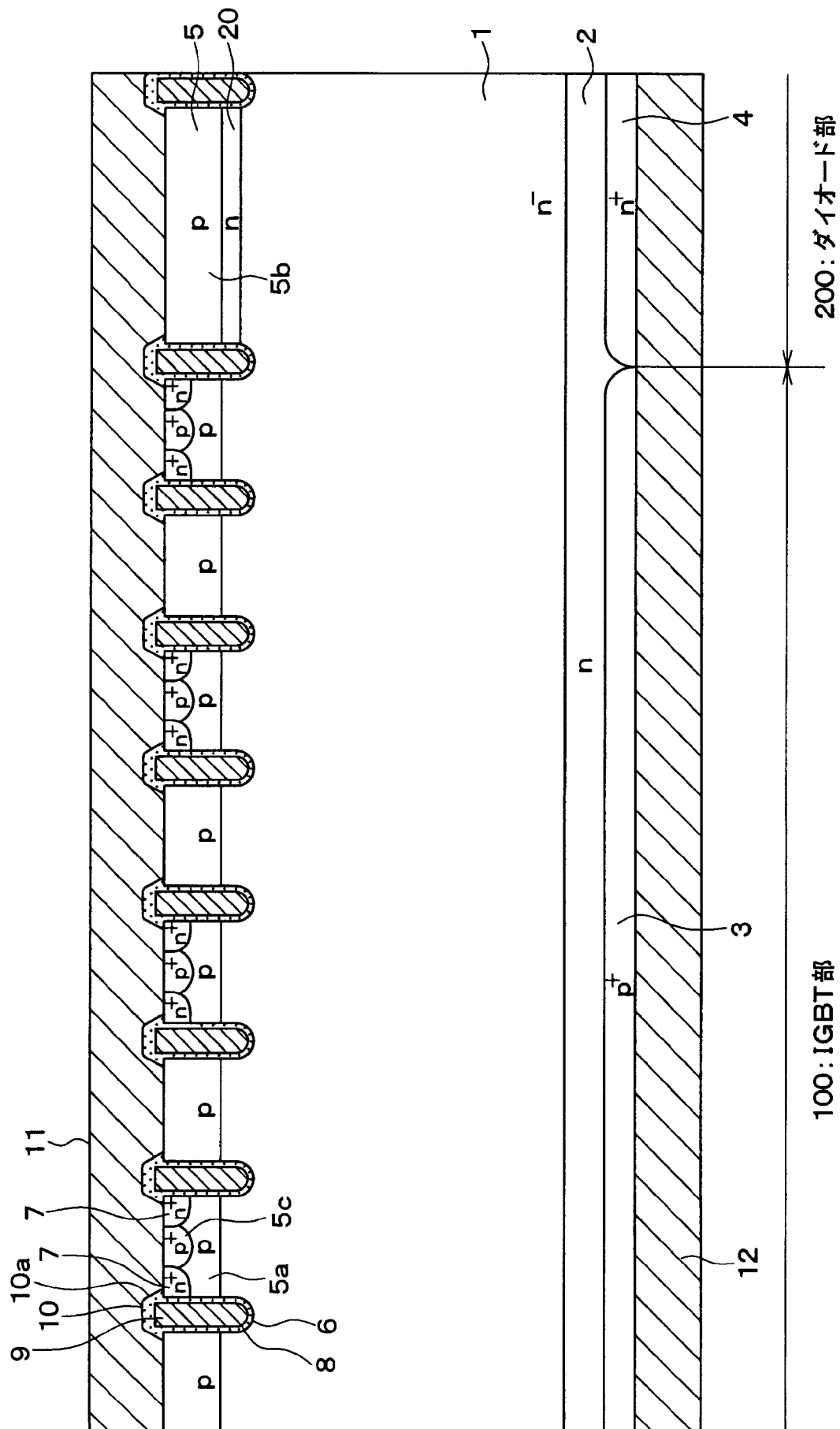
[図5]



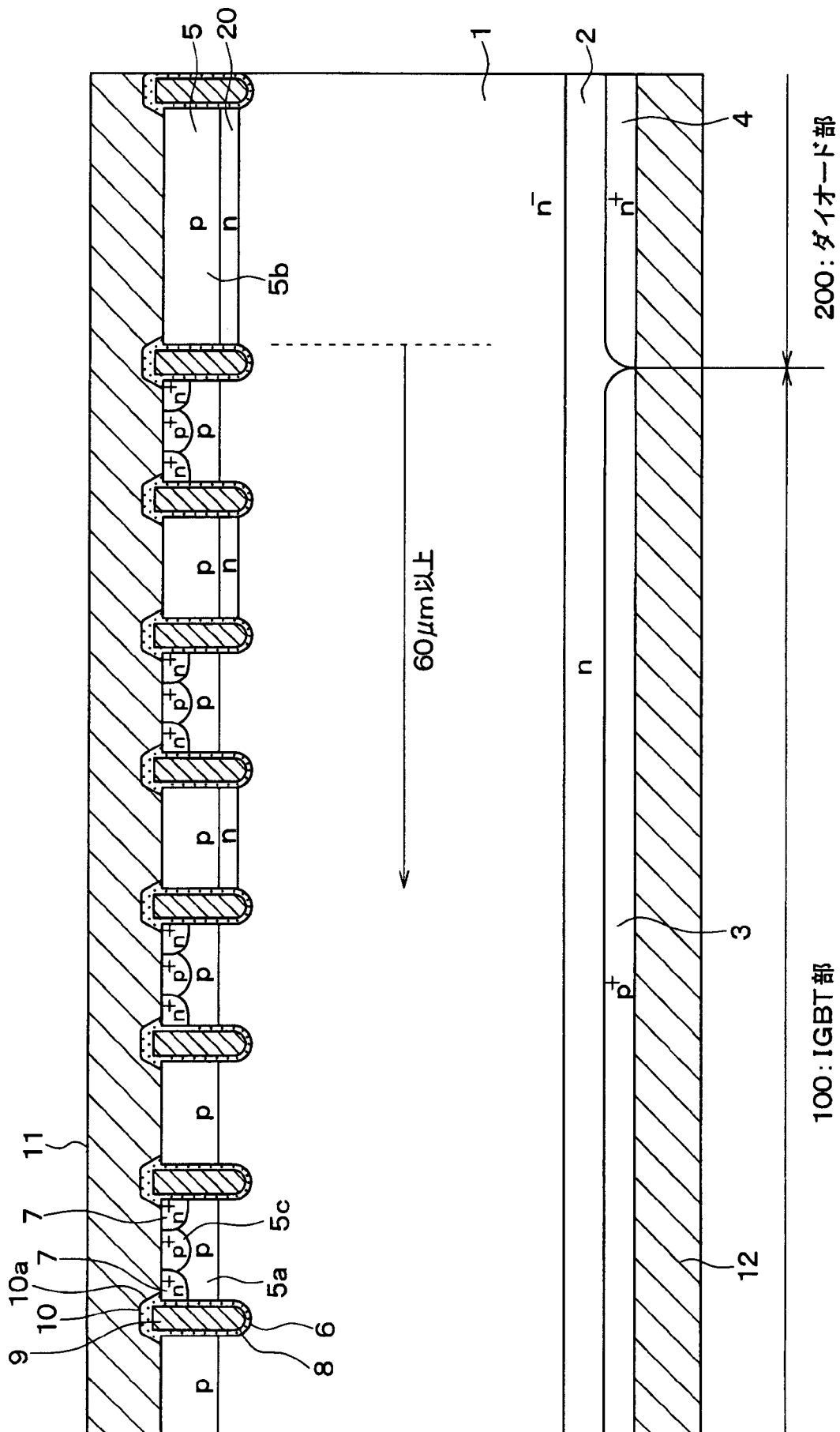
[図6]



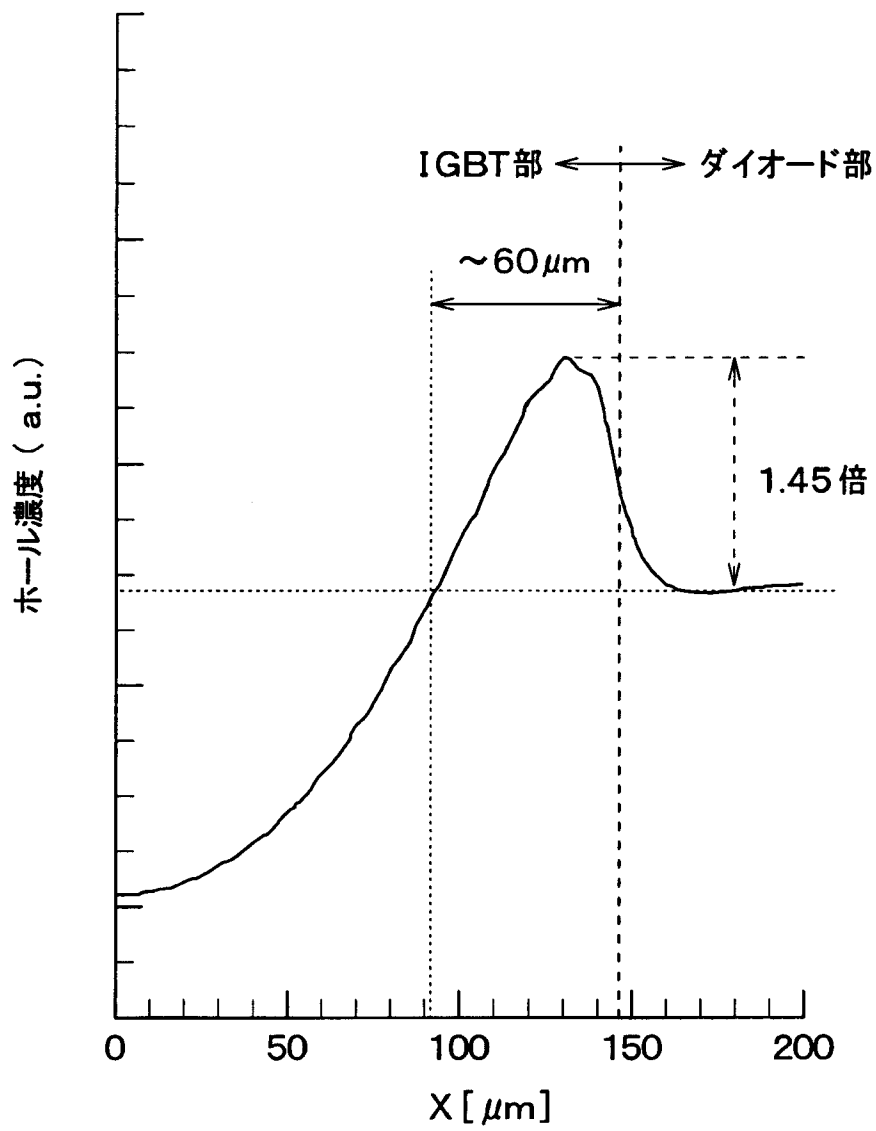
[図7]



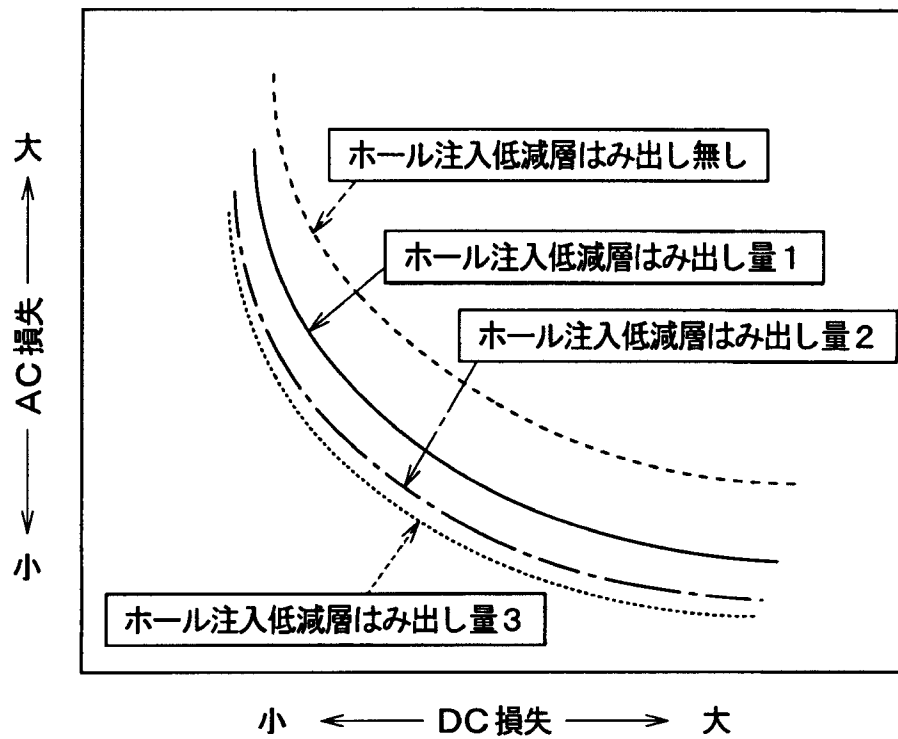
[図8]



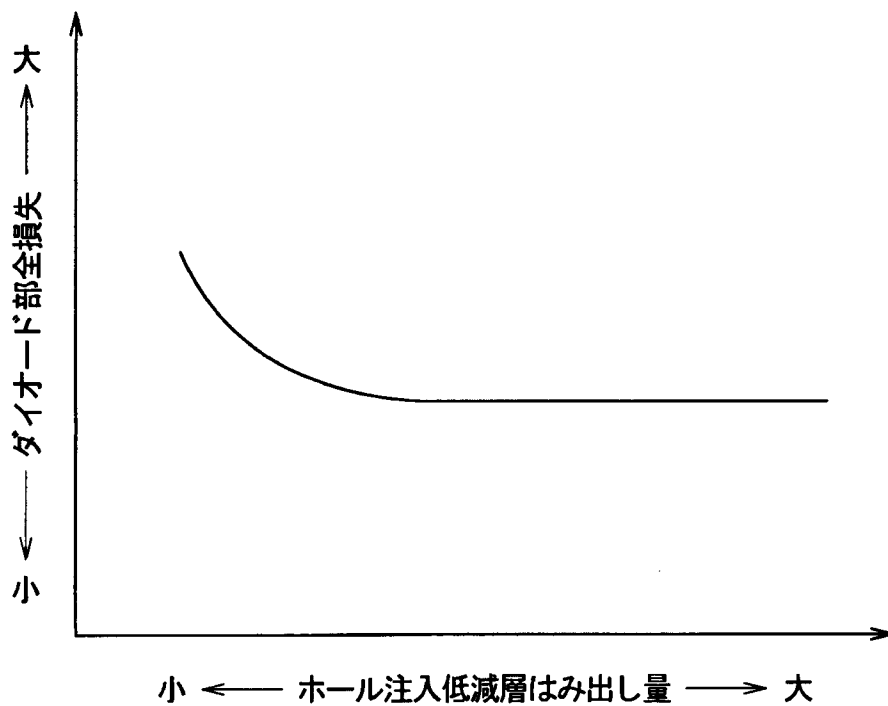
[図9]



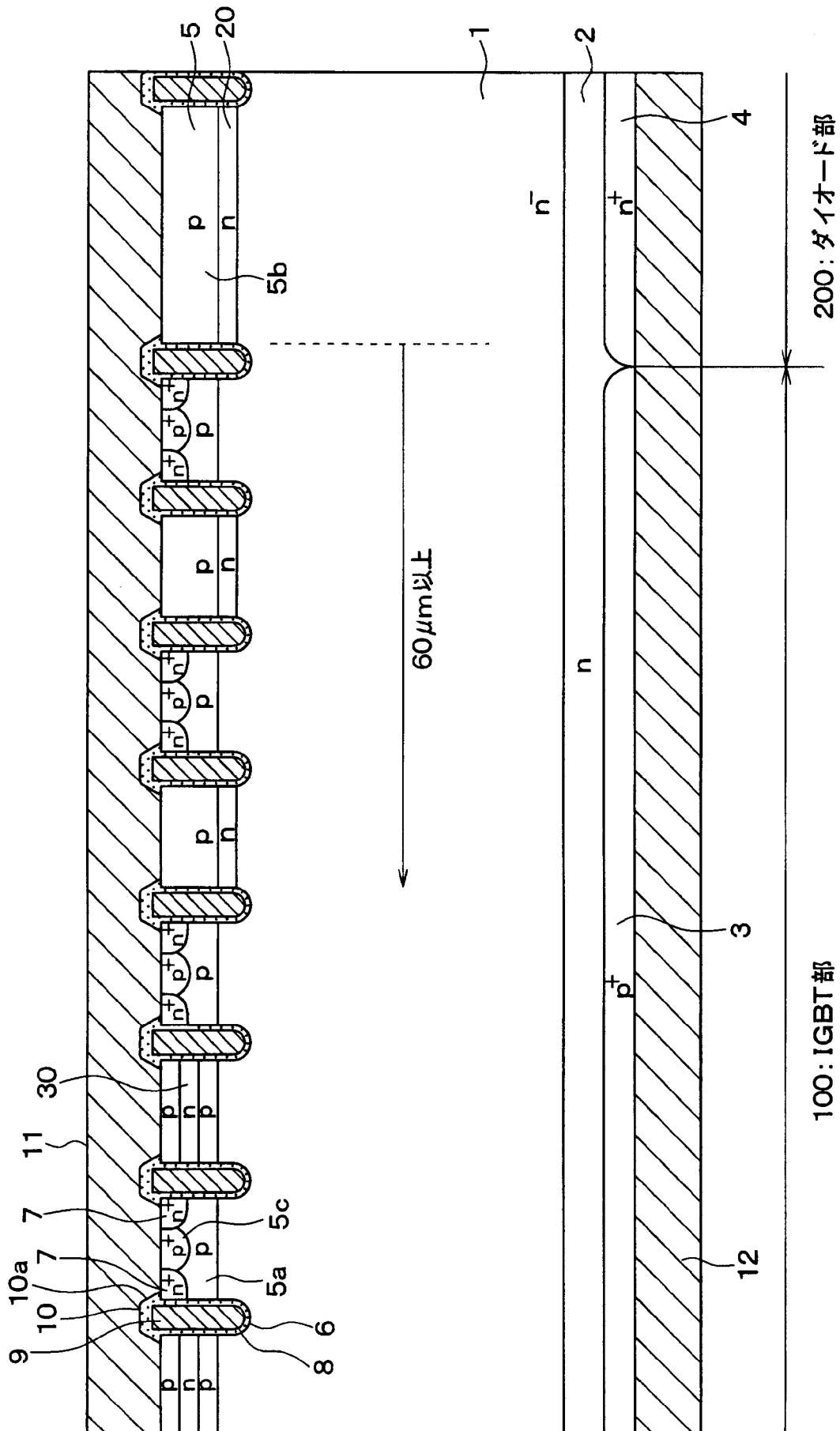
[図10]



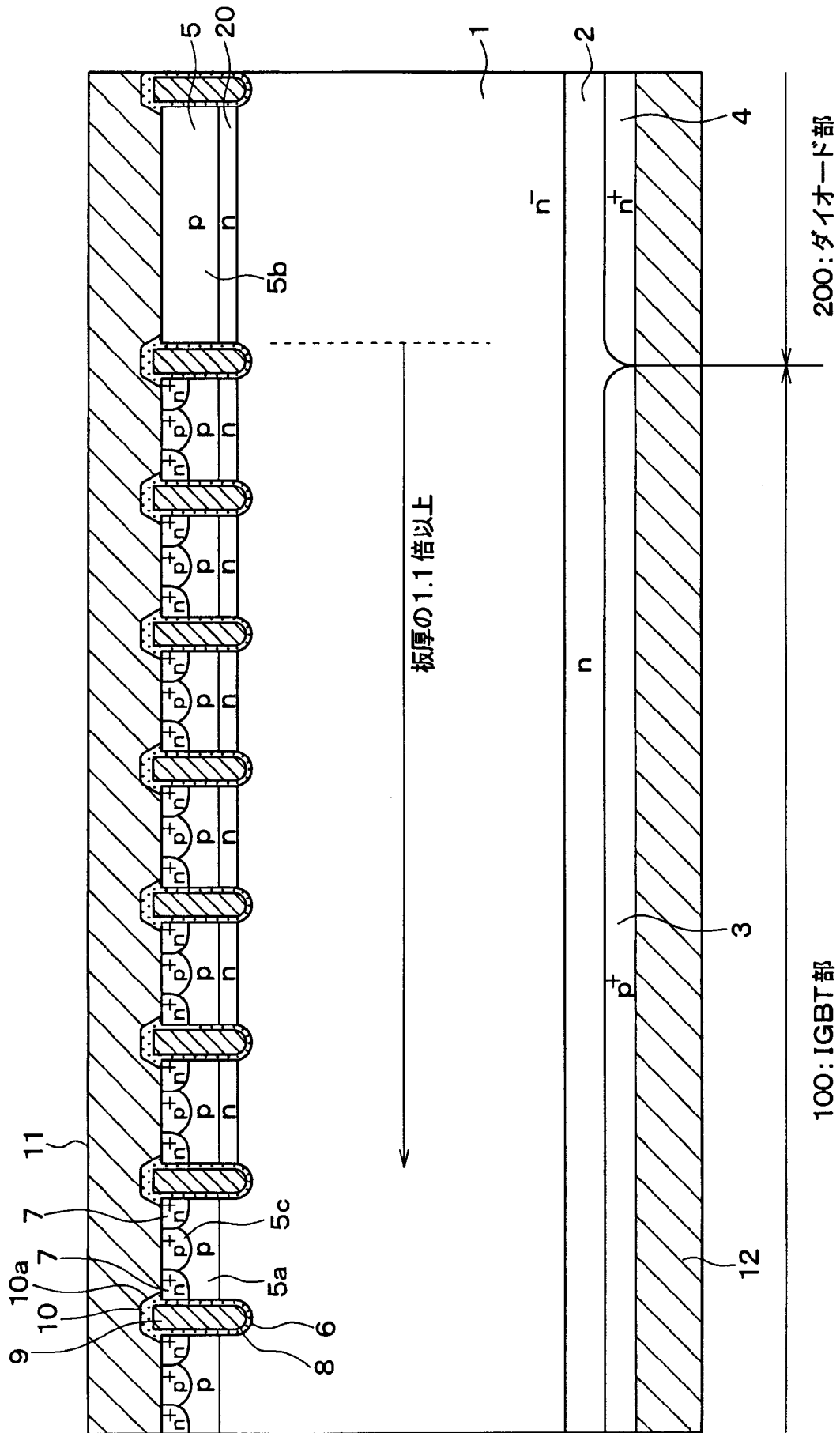
[図11]



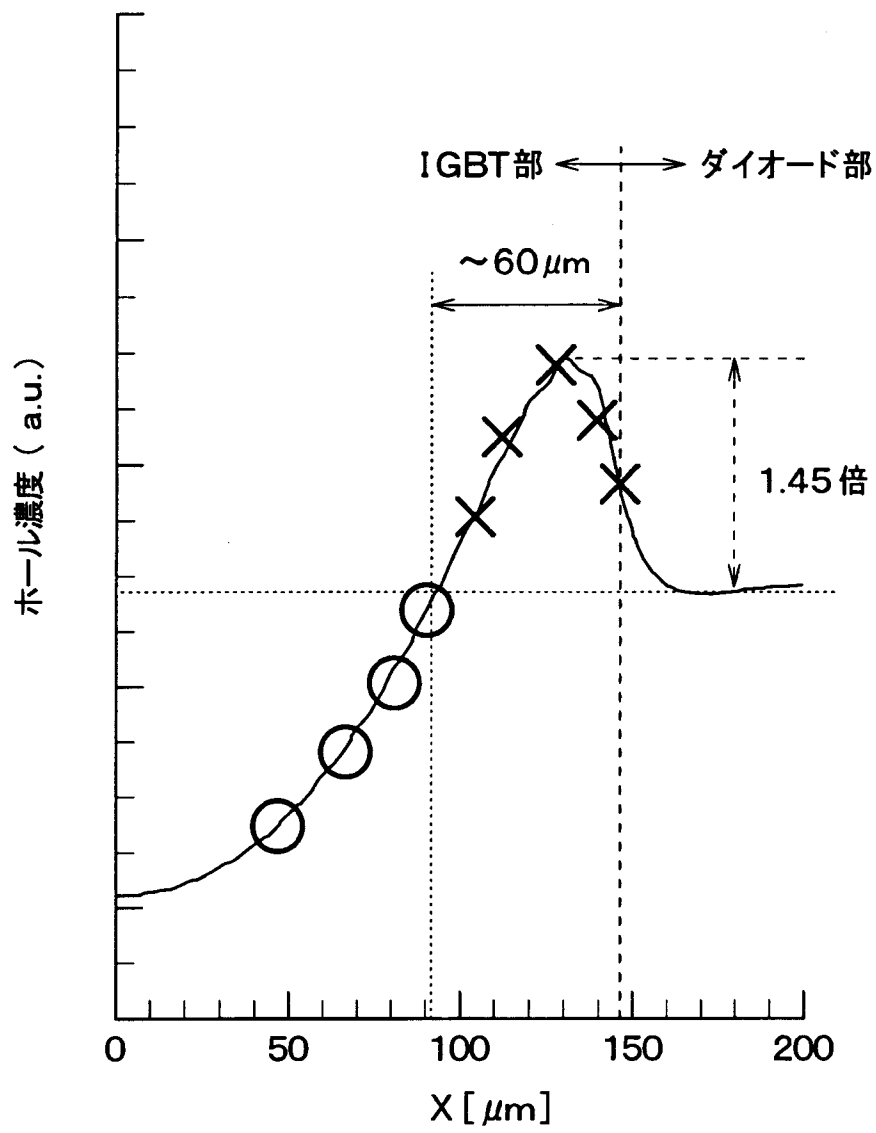
[図12]



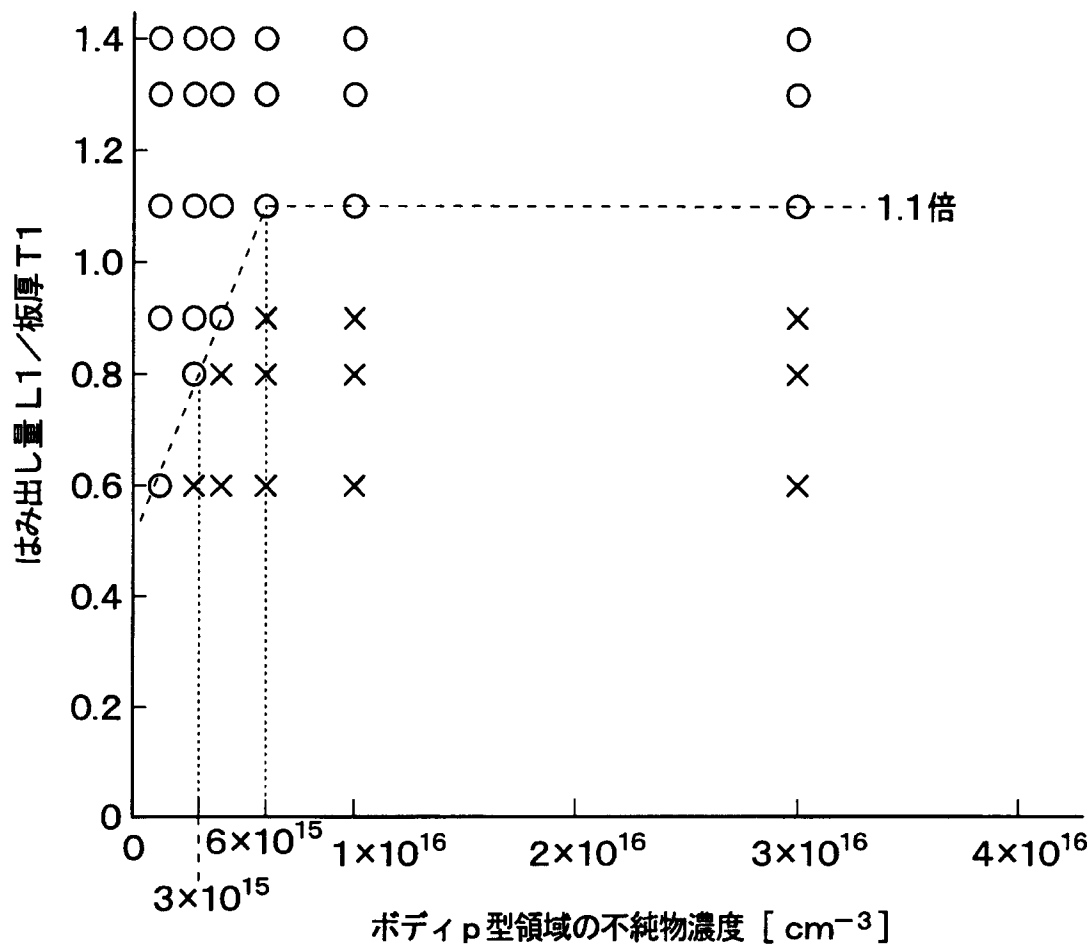
[図13]



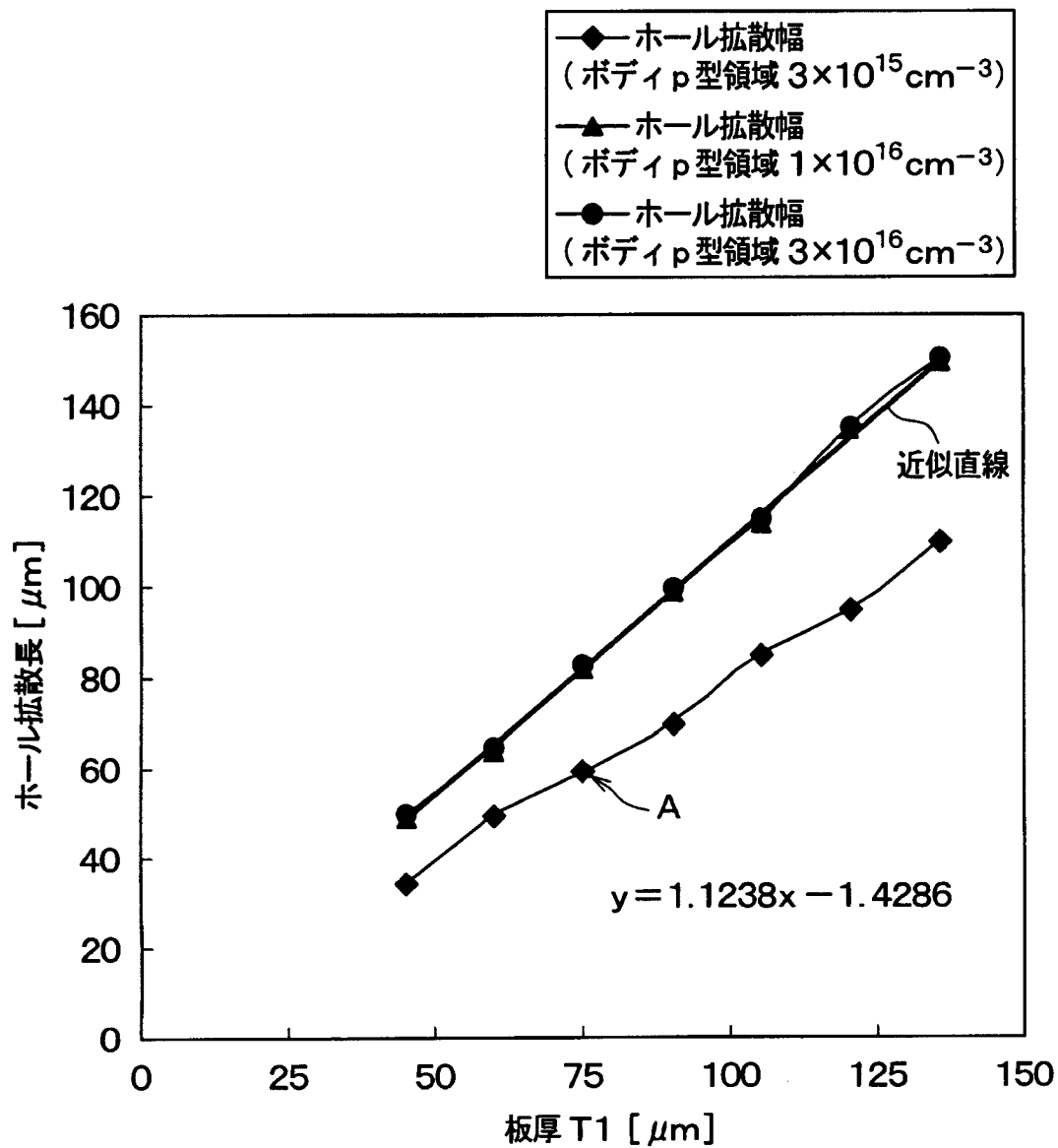
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/006244

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/04(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i,
H01L29/861(2006.01)i, H01L29/868(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/04, H01L29/739, H01L29/78, H01L29/861, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2010-118642 A (Denso Corp.), 27 May 2010 (27.05.2010), paragraphs [0049] to [0059], [0112] to [0119]; fig. 1 to 3, 10 to 11 & US 2010/0090248 A1 & DE 102009049051 A1 & CN 101728386 A	1-7, 10-11 8-9
X Y	JP 2007-134625 A (Mitsubishi Electric Corp.), 31 May 2007 (31.05.2007), paragraphs [0022] to [0034]; fig. 1 & US 2007/0108468 A1 & DE 102006049212 A1 & CN 1967868 A & KR 10-2007-0051674 A	1-2, 7, 10 8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
09 March 2015 (09.03.15)

Date of mailing of the international search report
31 March 2015 (31.03.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/006244

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-53648 A (Mitsubishi Electric Corp.), 06 March 2008 (06.03.2008), paragraphs [0028] to [0061]; fig. 1 to 9 & US 2008/0048295 A1 & DE 102007024113 A1 & CN 101136405 A & KR 10-2008-0019529 A	1-2, 10
Y	JP 2013-21304 A (Denso Corp.), 31 January 2013 (31.01.2013), paragraphs [0069] to [0073]; fig. 8 & US 2012/0319163 A1 & DE 102012210053 A1 & CN 102832216 A	8-9
A	JP 2011-216825 A (Toyota Central Research and Development Laboratories, Inc.), 27 October 2011 (27.10.2011), paragraphs [0017] to [0042]; fig. 1 to 3 & US 2012/0132955 A1 & WO 2011/125235 A1 & DE 112010002017 T5 & CN 102473705 A	2-6
A	JP 2008-192737 A (Denso Corp.), 21 August 2008 (21.08.2008), paragraphs [0019] to [0039]; fig. 1 to 3 (Family: none)	2-6

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L27/04(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i, H01L29/861(2006.01)i,
H01L29/868(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/04, H01L29/739, H01L29/78, H01L29/861, H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2010-118642 A（株式会社デンソー）2010.05.27, 段落[0049]-[0059], [0112]-[0119], 図 1-3, 10-11 & US 2010/0090248 A1 & DE 102009049051 A1 & CN 101728386 A	1-7, 10-11 8-9
X Y	JP 2007-134625 A（三菱電機株式会社）2007.05.31, 段落[0022]-[0034], 図 1 & US 2007/0108468 A1 & DE 102006049212 A1 & CN 1967868 A & KR 10-2007-0051674 A	1-2, 7, 10 8

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 0 3 . 2 0 1 5

国際調査報告の発送日

3 1 . 0 3 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

早川 朋一

5 F

9 7 3 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2008-53648 A (三菱電機株式会社) 2008.03.06, 段落[0028]-[0061], 図 1-9 & US 2008/0048295 A1 & DE 102007024113 A1 & CN 101136405 A & KR 10-2008-0019529 A	1-2, 10
Y	JP 2013-21304 A (株式会社デンソー) 2013.01.31, 段落[0069]-[0073], 図 8 & US 2012/0319163 A1 & DE 102012210053 A1 & CN 102832216 A	8-9
A	JP 2011-216825 A (株式会社豊田中央研究所) 2011.10.27, 段落[0017]-[0042], 図 1-3 & US 2012/0132955 A1 & WO 2011/125235 A1 & DE 112010002017 T5 & CN 102473705 A	2-6
A	JP 2008-192737 A (株式会社デンソー) 2008.08.21, 段落[0019]-[0039], 図 1-3 (ファミリーなし)	2-6