

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年4月30日(30.04.2020)



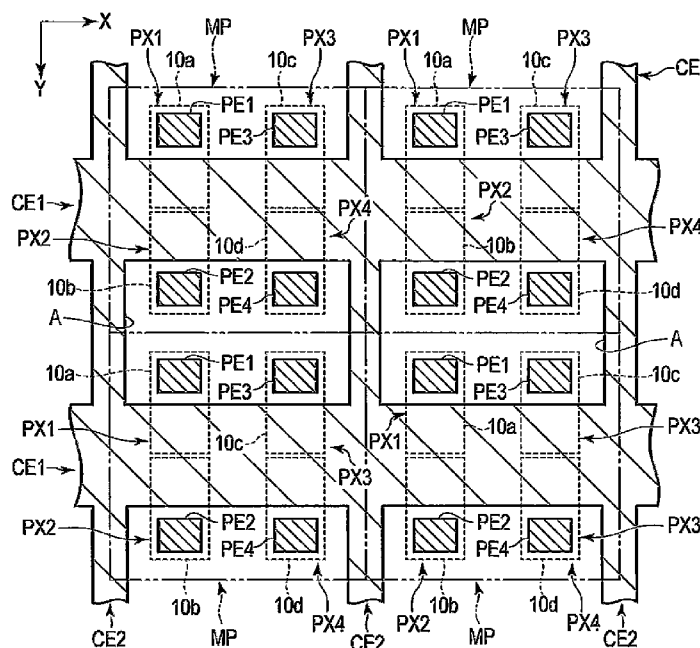
(10) 国際公開番号

WO 2020/084898 A1

- (51) 国際特許分類:
G09F 9/33 (2006.01) *H01L 33/62* (2010.01)
G09F 9/30 (2006.01)
- (21) 国際出願番号: PCT/JP2019/033816
- (22) 国際出願日: 2019年8月28日(28.08.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-201944 2018年10月26日(26.10.2018) JP
- (71) 出願人:株式会社ジャパンディスプレイ(JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).
- (72) 発明者: 小川 康宏 (OGAWA, Yasuhiro); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 森田 哲生(MORITA, Tetsuo); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).
- (74) 代理人:特許業務法人スズエ国際特許事務所(S & S INTERNATIONAL PPC); 〒1050001 東京都港区虎ノ門一丁目12番9号 スズエ・アンド・スズエビル Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) **Abstract:** The present invention provides a display device capable of producing high-definition images. The display device is provided with a plurality of first wiring layers, a second wiring layer, a first insulating layer, a plurality of first mounting electrodes, a second mounting electrode, a first light-emitting element, and a second light-emitting element. The second mounting electrode is arranged surrounding one of the plurality of first mounting electrodes and another one of the plurality of first mounting electrodes. The first light-emitting element is mounted on said one first mounting electrode

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

and the second mounting electrode. The second light-emitting element is mounted on said other first mounting electrode and the second mounting electrode. The second mounting electrode is electrically connected with the second wiring layer through a second opening in the first insulating layer in a non-display region.

(57) 要約: 高精細化が可能な表示装置を提供する。表示装置は、複数の第1配線層と、第2配線層と、第1絶縁層と、複数の第1実装電極と、第2実装電極と、第1発光素子と、第2発光素子と、を備える。前記第2実装電極は、前記複数の第1実装電極の一の第1実装電極と、前記複数の第1実装電極の他の一の第1実装電極とを囲むように配置されている。前記第1発光素子は、前記一の第1実装電極と前記第2実装電極とに跨って実装されている。前記第2発光素子は、前記他の一の第1実装電極と前記第2実装電極とに跨って実装されている。前記第2実装電極は、非表示領域において、前記第1絶縁層の第2開口を通じて前記第2配線層と電氣的に接続されている。

明 細 書

発明の名称 : 表示装置

技術分野

[0001] 本発明の実施形態は、表示装置に関する。

背景技術

[0002] 表示装置として、自発光素子である発光ダイオード（LED: Light Emitting Diode）を用いたLED表示装置が知られている。近年では、より高精細な表示装置として、マイクロLEDと称される微小な発光ダイオードをアレ
イ基板に実装した表示装置（以下、マイクロLED表示装置と称する）が開
発されている。

[0003] マイクロLEDディスプレイは、従来の液晶ディスプレイや有機ELディスプレイと異なり、表示領域に、チップ状の多数のマイクロLEDが実装されて形成されるため、高精細化と大型化の両立が容易であり、次世代の表示装置として注目されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2018-26540号公報

発明の概要

発明が解決しようとする課題

[0005] 本実施形態は、高精細化が可能な表示装置を提供する。

課題を解決するための手段

[0006] 一実施形態に係る表示装置は、

基板の上に設けられ表示領域に位置した複数の第1配線層と、前記基板の上に設けられ前記表示領域以外の非表示領域に位置した第2配線層と、前記表示領域及び前記非表示領域に位置し前記複数の第1配線層及び前記第2配線層を覆い前記複数の第1配線層の一部をそれぞれ露出する複数の第1開口を有する第1絶縁層と、前記表示領域に位置し前記第1絶縁層上に設けられ

た複数の第1実装電極であって、各々の前記第1実装電極は前記複数の第1開口の一を通じて前記複数の第1配線層の一と電氣的に接続されている、前記複数の第1実装電極と、前記第1絶縁層の上に設けられ前記表示領域及び前記非表示領域に位置した第2実装電極と、第1発光素子と、第2発光素子と、を備え、前記第2実装電極は、前記複数の第1実装電極の一の第1実装電極と、前記複数の第1実装電極の他の一の第1実装電極とを囲むように配置され、前記第1発光素子は、前記一の第1実装電極と前記第2実装電極とに跨って実装され、前記一の第1実装電極と電氣的に接続された第1電極と前記第2実装電極と電氣的に接続された第2電極とを有し、前記第2発光素子は、前記他の一の第1実装電極と前記第2実装電極とに跨って実装され、前記他の一の第1実装電極と電氣的に接続された第1電極と前記第2実装電極と電氣的に接続された第2電極とを有し、前記第1絶縁層は、前記非表示領域に位置する第2開口を有し、前記第2実装電極は、前記非表示領域において、前記第2開口を通じて前記第2配線層と電氣的に接続されている。

図面の簡単な説明

[0007] [図1]図1は、第1の実施形態に係る表示装置の構成を示す斜視図である。

[図2]図2は、上記表示装置を示す回路図である。

[図3]図3は、図2に示した画素を示す等価回路図である。

[図4]図4は、図1に示した表示パネルの表示領域を示す部分断面図であり、駆動トランジスタ、第1実装電極、第2実装電極、発光素子などを示す図である。

[図5]図5は、上記表示装置の複数の画素の配置構成を示す概略図である。

[図6]図6は、図5に示した主画素を示す平面図である。

[図7]図7は、上記表示パネルを示す平面図であり、上記電源線及び上記第2実装電極の全体的な構造を示す図である。

[図8]図8は、図7の線V-V'に沿って上記表示パネルの表示領域及び非表示領域を示す部分断面図であり、電源線、第2実装電極などを示す図である。

[図9]図 9 は、上記表示パネルの表示領域の一部を示す拡大平面図であり、第 2 実装電極の一部と複数の第 1 実装電極とを示す図である。

[図10]図 10 は、上記表示パネルの表示領域の一部を示す断面図であり、第 1 実装電極、第 2 実装電極、及び発光素子などを示す図である。

[図11]図 11 は、上記発光素子を示す断面図である。

[図12]図 12 は、第 2 の実施形態に係る表示装置の複数の第 1 実装電極と第 2 実装電極とを示す拡大平面図である。

[図13]図 13 は、上記第 2 の実施形態の変形例 1 に係る表示装置の複数の第 1 実装電極と第 2 実装電極とを示す拡大平面図である。

[図14]図 14 は、上記第 2 の実施形態の変形例 2 に係る表示装置の複数の第 1 実装電極と第 2 実装電極とを示す拡大平面図である。

[図15]図 15 は、上記第 2 の実施形態の変形例 3 に係る表示装置の複数の第 1 実装電極と第 2 実装電極とを示す拡大平面図である。

[図16]図 16 は、上記変形例 3 に係る表示パネルの表示領域の一部を示す断面図であり、第 1 実装電極、第 2 実装電極、及び発光素子などを示す図である。

[図17]図 17 は、上記第 2 の実施形態の変形例 4 に係る表示装置の複数の第 1 実装電極と第 2 実装電極とを示す拡大平面図である。

発明を実施するための形態

[0008] 以下に、本発明の各実施の形態について、図面を参照しつつ説明する。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0009] (第 1 の実施形態)

まず、第1の実施形態に係る表示装置について説明する。図1は、本実施形態に係る表示装置1の構成を示す斜視図である。図1は、第1方向Xと、第1方向Xに垂直な第2方向Yと、第1方向X及び第2方向Yに垂直な第3方向Zによって規定される三次元空間を示している。なお、第1方向X及び第2方向Yは、互いに直交しているが、90°以外の角度で交差していてもよい。また、本実施形態において、第3方向Zを上と定義し、第3方向Zと反対側の方向を下と定義する。「第1部材の上の第2部材」及び「第1部材の下の第2部材」とした場合、第2部材は、第1部材に接していてもよく、第1部材から離れて位置していてもよい。

[0010] 以下、本実施形態においては、表示装置1が自発光素子であるマイクロ発光ダイオード（以下、マイクロLED（Light Emitting Diode）と称する）を用いたマイクロLED表示装置である場合について主に説明する。

[0011] 図1に示すように、表示装置1は、表示パネル2、第1回路基板3及び第2回路基板4等を備えている。

表示パネル2は、一例では矩形の形状を有している。図示した例では、表示パネル2の短辺EXは、第1方向Xと平行であり、表示パネル2の長辺EYは、第2方向Yと平行である。第3方向Zは、表示パネル2の厚さ方向に相当する。表示パネル2の主面は、第1方向Xと第2方向Yとにより規定されるX-Y平面に平行である。表示パネル2は、表示領域DA、及び表示領域DA以外の非表示領域NDAを有している。非表示領域NDAは、端子領域MTを有している。図示した例では、非表示領域NDAは、表示領域DAを囲んでいる。

[0012] 表示領域DAは、画像を表示する領域であり、例えばマトリクス状に配置された複数の画素PXを備えている。

端子領域MTは、表示パネル2の短辺EXに沿って設けられ、表示パネル2を外部装置などと電氣的に接続するための端子を含んでいる。

[0013] 第1回路基板3は、端子領域MTの上に実装され、表示パネル2と電氣的に接続されている。第1回路基板3は、例えばフレキシブルプリント回路基

板である。第1回路基板3は、表示パネル2を駆動する駆動ICチップ（以下、パネルドライバと表記）5などを備えている。なお、図示した例では、パネルドライバ5は、第1回路基板3の上に配置されているが、第1回路基板3の下に配置されていてもよい。又は、パネルドライバ5は、第1回路基板3以外に実装されていてもよく、例えば第2回路基板4に実装されていてもよい。第2回路基板4は、例えばフレキシブルプリント回路基板である。第2回路基板4は、第1回路基板3の例えば下方において第1回路基板3と接続されている。

[0014] 上記したパネルドライバ5は、例えば第2回路基板4を介して制御基板（図示せず）と接続されている。パネルドライバ5は、例えば制御基板から出力される映像信号に基づいて複数の画素PXを駆動することによって表示パネル2に画像を表示する制御を実行する。

[0015] なお、表示パネル2は、斜線を付して示す折り曲げ領域BAを有していてもよい。折り曲げ領域BAは、表示装置1が電子機器等の筐体に収容される際に折り曲げられる領域である。折り曲げ領域BAは、非表示領域NDAのうち端子領域MT側に位置している。折り曲げ領域BAが折り曲げられた状態において、第1回路基板3及び第2回路基板4は、表示パネル2と対向するように、表示パネル2の下方に配置される。

[0016] 図2は、表示装置1を示す回路図である。図3は、図2に示した画素PXを示す等価回路図である。

図2及び図3に示すように、表示パネル2は、樹脂基板、ガラス基板等の光透過性を有する絶縁性の基板SUB、表示領域DAにて基板SUBの上にマトリクス状に配列された $m \times n$ 個の画素PX、複数本（ $m/2$ 本）の第1走査線Sga（ $1 \sim m/2$ ）と、複数本（ m 本）の第2走査線Sgb（ $1 \sim m$ ）と、複数本（ $m/2$ 本）の第3走査線Sgc（ $1 \sim m/2$ ）と、複数本（ $m/2$ 本）のリセット配線Sgr（ $1 \sim m/2$ ）と、複数本（ n 本）の映像信号線VL（ $1 \sim n$ ）とを備えている。

[0017] 画素PXは、第2方向Yに m 個、第1方向Xに n 個並べられている。第1

走査線S g a、第2走査線S g b及びリセット配線S g rは、第1方向Xに延出して設けられている。リセット配線S g rは互いに電氣的に接続された複数の電極で形成されている。映像信号線V Lは、第2方向Yに延出して設けられている。

[0018] 表示パネル2は、高電位P v d dに固定される高電位電源線S L aと、低電位P v s sに固定される低電位電源電極（第2実装電極）S L bと、を有している。高電位電源線S L aは高電位電源に接続され、低電位電源電極S L bは低電位電源（基準電位電源）に接続されている。

[0019] 表示パネル2は、第1走査線S g a、第2走査線S g b及び第3走査線S g cを画素P Xの行毎に順に駆動する走査線駆動回路Y D R 1、Y D R 2、映像信号線V Lを駆動する信号線駆動回路X D Rを備えている。走査線駆動回路Y D R 1、Y D R 2及び信号線駆動回路X D Rは、非表示領域N D Aにて基板S U Bの上に形成され、パネルドライバ5とともに駆動部7を構成している。

[0020] 各画素P Xは、表示素子と、表示素子に駆動電流を供給する画素回路と、を含んでいる。発光素子1 0は、例えば自己発光素子であり、本実施形態では、マイクロ発光ダイオード（以下、マイクロL E D（Light Emitting Diode）と称する）である。本実施形態の表示装置1は、マイクロL E D表示装置である。

[0021] 各画素P Xの画素回路は、電圧信号からなる映像信号V s i gに応じて発光素子1 0の発光を制御する電圧信号方式の画素回路であり、画素スイッチS S T、駆動トランジスタD R T、保持容量C s、及び補助容量C a dを有している。保持容量C s及び補助容量C a dは、キャパシタである。補助容量C a dは発光電流量を調整する為に設けられる素子であり、場合によっては不要となる場合もある。容量部C l e dは、発光素子1 0自体の容量である。発光素子1 0は、キャパシタとしても機能している。

[0022] 各画素P Xは、出力スイッチB C Tを備えている。第2方向Yに隣合う複数の画素P Xは、出力スイッチB C Tを共用している。この実施形態におい

て、第1方向X及び第2方向Yに隣合う4つの画素PXは、1つの出力スイッチBC Tを共用している。また、走査線駆動回路YDR 2（若しくは走査線駆動回路YDR 1）には、複数のリセットスイッチRSTが設けられている。リセットスイッチRST及びリセット配線Sgrは一对で接続されている。

[0023] 画素スイッチSST、駆動トランジスタDRT、出力スイッチBC T及びリセットスイッチRSTは、ここでは同一導電型、例えばNチャネル型のTF T（薄膜トランジスタ）により構成されている。勿論、各種のスイッチ及び駆動トランジスタDRTはPチャネル型のTF Tにより構成されても良いし、1つの画素PXを、Nチャネル型のTF T、およびPチャネル型のTF Tの双方を用いて構成しても良い。

[0024] 本実施形態に係る表示装置において、各駆動トランジスタ及び各スイッチをそれぞれ構成したTF Tは全て同一工程、同一層構造で形成され、半導体層に多結晶シリコンを用いたトップゲート構造の薄膜トランジスタである。なお、半導体層は、非晶質シリコン、酸化物半導体など、多結晶シリコン以外の半導体を利用してもよい。

[0025] 画素スイッチSST、駆動トランジスタDRT、出力スイッチBC T、及びリセットスイッチRSTの各々は、第1端子、第2端子、及び制御端子を有している。本実施形態では、第1端子をソース電極、第2端子をドレイン電極、制御端子をゲート電極としている。

[0026] 画素PXの画素回路において、駆動トランジスタDRT及び出力スイッチBC Tは、高電位電源線SL aと低電位電源電極SL bとの間で発光素子10と直列に接続されている。高電位電源線SL a（高電位Pvdd）は例えば10Vの電位に設定され、低電位電源電極SL b（低電位Pvss）は、例えば0Vの電位に設定されている。

[0027] 出力スイッチBC Tにおいて、ドレイン電極は高電位電源線SL aに接続され、ソース電極は駆動トランジスタDRTのドレイン電極に接続され、ゲート電極は第1走査線Sgaに接続されている。これにより、出力スイッチ

BCTは、第1走査線Sgaに与えられる制御信号BGによりオン（導通状態）、オフ（非導通状態）制御される。出力スイッチBCTは、制御信号BGに応答して、発光素子10の発光時間を制御する。

[0028] 駆動トランジスタDRTにおいて、ドレイン電極は出力スイッチBCTのソース電極及びリセット配線Sgrに接続され、ソース電極は発光素子10の一方の電極（ここでは陽極）に接続されている。発光素子10の他方の電極（ここでは陰極）は、低電位電源電極SLbに接続されている。駆動トランジスタDRTは、映像信号Vsigに応じた電流量の駆動電流を発光素子10に出力する。

[0029] 画素スイッチSSTにおいて、ソース電極は映像信号線VL（1～n）に接続され、ドレイン電極は駆動トランジスタDRTのゲート電極に接続され、ゲート電極は信号書き込み制御用ゲート配線として機能する第2走査線Sgb（1～m）に接続されている。画素スイッチSSTは、第2走査線Sgbから供給される制御信号SG（1～m）によりオン、オフ制御される。そして、画素スイッチSSTは、制御信号SG（1～m）に応答して、画素回路と映像信号線VL（1～n）との接続、非接続を制御し、映像信号線VLから映像信号Vsig及び初期化信号Viniを画素回路に取り込む。

[0030] リセットスイッチRSTは、第2方向Yに並ぶ2行毎に、走査線駆動回路YDR2に設けられている。リセットスイッチRSTは、駆動トランジスタDRTのドレイン電極とリセット電源との間に接続されている。リセットスイッチRSTにおいて、ソース電極はリセット電源に接続されたリセット電源線SLcに接続され、ドレイン電極はリセット配線Sgrに接続され、ゲート電極はリセット制御用ゲート配線として機能する第3走査線Sgcに接続されている。上記のように、リセット電源線SLcは、リセット電源に接続され、定電位であるリセット電位Vrstに固定される。

[0031] リセットスイッチRSTは、第3走査線Sgcを通して与えられる制御信号RGに応じて、リセット電源線SLc及びリセット配線Sgr間を導通状態（オン）又は非導通状態（オフ）に切替える。リセットスイッチRSTが

オン状態に切替えられることにより、駆動トランジスタDRTのソース電極の電位が初期化される。

[0032] 一方、図2に示すパネルドライバ5は、走査線駆動回路YDR1、YDR2及び信号線駆動回路XDRを制御する。パネルドライバ5は外部から供給されるデジタル映像信号及び同期信号を受け取り、垂直走査タイミングを制御する垂直走査制御信号、および水平走査タイミングを制御する水平走査制御信号を同期信号に基づいて発生する。

[0033] そして、パネルドライバ5は、これら垂直走査制御信号および水平走査制御信号をそれぞれ走査線駆動回路YDR1、YDR2及び信号線駆動回路XDRに供給するとともに、水平および垂直走査タイミングに同期してデジタル映像信号及び初期化信号を信号線駆動回路XDRに供給する。

[0034] 信号線駆動回路XDRは、水平走査制御信号の制御により各水平走査期間において順次得られるデジタル映像信号をアナログ形式に変換し階調に応じた映像信号Vsigを複数の映像信号線VL（1～n）に並列的に供給する。また、信号線駆動回路XDRは、初期化信号Viniを映像信号線VLに供給する。なお、デジタル映像信号がパネルドライバ5の内部でアナログ形式に変換され、信号線駆動回路XDRにはアナログ形式で供給されても良い。

[0035] 走査線駆動回路YDR1、YDR2は、図示しないシフトレジスタ、出力バッファ等を含み、外部から供給される水平走査スタートパルスに基づきパルスを出力すると共に、順次次段に当該パルスを転送し、出力バッファを介して各行の画素PXに3種類の制御信号、すなわち、制御信号BG、SG、RGを供給する。なお、画素PXには、制御信号RGが直接供給されないが、制御信号RGに応じた所定のタイミングで、リセット電位Vrstに固定されたリセット電源線SLcから所定の電圧が供給される。

これにより、第1走査線Sga、第2走査線Sgb及び第3走査線Sgcは、それぞれ制御信号BG、SG、RGにより駆動される。

[0036] 次に図4を参照して、駆動トランジスタDRT、第1実装電極PE、第2

実装電極CE、発光素子10などの構成を詳細に説明する。図4は、図1に示した表示パネル2の表示領域DAを示す部分断面図であり、駆動トランジスタDRT、第1実装電極PE、第2実装電極CE、発光素子10などを示す図である。なお、図4では、表示装置1を、表示面、すなわち光出射面が上方を向き、背面が下方を向くように描いている。

[0037] 図4に示すように、駆動トランジスタDRTを形成したNチャネル型のTFTは、半導体層SCを備えている。半導体層SCは、基板SUBの上に設けられた絶縁層UC上に配置されている。半導体層SCは、例えば、p型領域とn型領域とを含んだポリシリコン層である。半導体層SCは、絶縁層G1で被覆されている。絶縁層G1の上には、駆動トランジスタDRTのゲート電極Gが配置されている。ゲート電極Gは半導体層SCと対向している。絶縁層G1及びゲート電極G上には絶縁層I1が設けられている。

[0038] 絶縁層I1上には、ソース電極SE及びドレイン電極DEが配置されている。ソース電極SE及びドレイン電極DEは、絶縁層I1及び絶縁層G1に形成されたコンタクトホールを通して半導体層SCのソース領域及びドレイン領域にそれぞれ接続されている。ソース電極SEは、基板SUBの上に設けられ、表示領域DAに位置した第1配線層として機能している。絶縁層I1、ソース電極SE及びドレイン電極DE上には絶縁層PSが設けられている。絶縁層PSは、ソース電極SE及びドレイン電極DEを覆っている。絶縁層PSは、ソース電極SEの一部を露出する第1開口（コンタクトホール）OP1を有している。なお、絶縁層PSは、複数の第1開口OP1を有し、各々の第1開口OP1は、対応するソース電極SEの一部を露出している。絶縁層PSは、第1絶縁層として機能している。

[0039] 第1実装電極PE及び第2実装電極CEは、絶縁層PSの上に設けられている。第1実装電極PEは、第1開口OP1を通じてソース電極SEと電氣的に接続されている。本実施形態において、第1実装電極PE及び第2実装電極CEは、導電材料として金属で形成されている。但し、第1実装電極PE及び第2実装電極CEは、金属以外の導電材料で形成されていてもよく、

例えば、透明な導電材料としてのITO（インジウム・ティン・オキサイド）で形成されていてもよい。

[0040] 絶縁層PS、第1実装電極PE及び第2実装電極CEの上に絶縁層CLが設けられ、絶縁層CLは、第1実装電極PE及び第2実装電極CEを覆っている。絶縁層CLは、第2絶縁層として機能し、第1実装電極PEの上面の一部、及び第2実装電極CEの上面の一部を露出する複数の開口を有している。

[0041] 表示領域DAにおいて、絶縁層CLの有する複数の開口（コンタクトホール）は、第3開口OP3及び第4開口OP4に分類される。第1実装電極PEの上面の一部は、第3開口OP3により絶縁層CLの外側に露出している。第2実装電極CEの上面の一部は、第4開口OP4により絶縁層CLの外側に露出している。第1実装電極PE及び第2実装電極CEは、絶縁層PSと絶縁層CLとの間に位置している。そのため、第1実装電極PE及び第2実装電極CEは、同層に設けられている。

[0042] 絶縁層UC、GI、II、PS、CLは、それぞれ、シリコン窒化物（SiN）やシリコン酸化物（SiO）などの無機絶縁材料又はアクリル樹脂などの有機絶縁材料によって形成されている。本実施形態において、絶縁層UC、GI、II、CLは、それぞれ無機絶縁材料で形成され、絶縁層PSは有機絶縁材料で形成されている。

[0043] 発光素子10は、第1実装電極PEと第2実装電極CEとに跨って実装されている。発光素子10は、第3開口OP3を通じて第1実装電極PEと電氣的に接続された第1電極E1と、第4開口OP4を通じて第2実装電極CEと電氣的に接続された第2電極E2とを有している。本実施形態において、第1電極E1は導電材CM1を介して第1実装電極PEと電氣的に接続され、第2電極E2は導電材CM2を介して第2実装電極CEと電氣的に接続されている。

[0044] 次に、複数の画素PXの配置構成について説明する。図5は、表示装置1の複数の画素PXの配置構成を示す概略図である。

図5に示すように、複数の画素PXは、青色（B）の画素PXと、青色の画素PXに第2方向Yに隣合う赤色（R）の画素PXと、青色の画素PXに第1方向Xに隣合う白色（W）の画素PXと、赤色の画素PXに第1方向Xに隣合う白色の画素PXに第2方向Yに隣合う緑色（G）の画素PXと、を有している。白色（W）の画素PXは無彩色の画素とも称される。

[0045] 赤色の画素PX、緑色の画素PX、青色の画素PX及び白色の画素PXは、主画素MPを構成している。複数の主画素MPは、第1方向X及び第2方向Yにマトリクス状に配置されている。上記のように複数の主画素MPが配置される場合、画素PXの配置は図5に示した例に限定されるものではなく、偶数行に、赤色、緑色、青色及び白色の画素PXの何れか2個が配置され、奇数行に、残りの2個が配置されていけばよい。

出力スイッチBC Tは、主画素MPの4個の画素PXで共用されている。上記のことから、第1走査線Sg a及び第3走査線Sg cの本数は $m/2$ 本となっている。

[0046] また、主画素MPの4個の画素PXは、第1方向Xにストライプ状に配置されていてもよい。また、主画素MPは、白色の画素PX無しに、赤色、緑色及び青色の3個（3色）の画素PXを有していてもよい。

[0047] 図6は、本実施形態に係る主画素MPを示す平面図である。

図6に示すように、画素回路内の素子を効率良く配置するため、出力スイッチBC Tを共用（共有）する4個の画素PXは、駆動トランジスタDRT、画素スイッチSST、映像信号線VL、保持容量Cs、補助容量Cad、第2走査線Sg bが、出力スイッチBC Tを中心として、列方向及び行方向に実質的に線対称となる配置となっている。ここで、本実施形態において、画素PX、主画素MPの用語で説明したが、画素を副画素と言い換えることが可能である。この場合、主画素が画素である。

[0048] 次に、第2実装電極CE及び電源線の全体的な構造について説明する。図7は、表示パネル2を示す平面図であり、電源線PSL及び第2実装電極CEの全体的な構造を示す図である。

図7に示すように、表示パネル2は、基板SUBの上に設けられた電源線PSLを備えている。本実施形態において、表示パネル2は、2個の電源線PSLを備えているが、1個又は3個以上の電源線PSLを備えていてもよい。各々の電源線PSLは、非表示領域NDAに位置し、表示領域DAに位置していない。この実施形態において、電源線PSLは、低電位電源に接続され、低電位Pvssに固定されている。電源線PSLは、第2配線層として機能している。

[0049] 第2実装電極CEは、表示領域DAの全体と、非表示領域NDAの一部と、に位置している。第2実装電極CEは、非表示領域NDAにて、各々の電源線PSLと重なっている。詳細は後述するが、第2実装電極CEには複数の開口部が設けられており、その開口部からは、第1実装電極PEが露出する。

[0050] 図8は、図7の線VⅠⅠⅠーVⅠⅠⅠに沿って表示パネル2の表示領域DA及び非表示領域NDAを示す部分断面図であり、電源線PSL、第2実装電極CEなどを示す図である。

図8に示すように、電源線PSLは、絶縁層ⅠⅠの上に設けられている。絶縁層PSは、表示領域DAだけでなく非表示領域NDAにも位置している。非表示領域NDAにて、絶縁層PSは、電源線PSLを覆い、各々の電源線PSLの一部を露出する第2開口（コンタクトホール）OP2を有している。第2実装電極CEは、絶縁層PSの上に設けられ、非表示領域NDAにおいて、第2開口OP2を通じて電源線PSLと電氣的に接続されている。絶縁層PSは、表示領域DA内で、第2実装電極CEと電源線PSLとを接続するための開口を有していない。

[0051] 次に、第1実装電極PE、第2実装電極CE、及び発光素子10の構成について説明する。図9は、表示パネル2の表示領域DAの一部を示す拡大平面図であり、第2実装電極CEの一部と複数の第1実装電極PEとを示す図である。

図9に示すように、第2実装電極CEは、複数の第1部分CE1及び複数

の第2部分CE2を有している。複数の第1部分CE1は、第1方向Xに延在し、第2方向Yに間隔を空けて並べられている。複数の第2部分CE2は、第2方向Yに延在し、第1方向Xに間隔を空けて並べられ、複数の第1部分CE1と交差している。第2実装電極CEは、複数の第1部分CE1及び複数の第2部分CE2が一体となって形成されている。第2実装電極CEは複数の開口Aを有し、各々の開口Aは隣合う一対の第1部分CE1と隣合う一対の第2部分CE2とで囲まれた領域に相当している。第2実装電極CEは、電極としての機能だけではなく、配線としての機能も有している。

[0052] 本実施形態において、青色の画素PXは第1画素PX1として機能し、赤色の画素PXは第2画素PX2として機能し、白色の画素PXは第3画素PX3として機能し、緑色の画素PXは第4画素PX4として機能している。

[0053] 第1画素PX1は、第1実装電極PE1と、青色に発光する発光素子（第1発光素子）10aと、を有している。第2画素PX2は、第1実装電極PE2と、赤色に発光する発光素子（第2発光素子）10bと、を有している。第3画素PX3は、第1実装電極PE3と、白色に発光する発光素子（第3発光素子）10cと、を有している。第4画素PX4は、第1実装電極PE4と、緑色に発光する発光素子（第1発光素子）10dと、を有している。第1画素PX1、第2画素PX2、第3画素PX3、及び第4画素PX4は、第2実装電極CEを共用している。平面視において、マイクロLEDである発光素子10の一辺の長さは、例えば100 μ m以下である。

[0054] 隣合う一対の第1部分CE1と隣合う一対の第2部分CE2とで囲まれた各々の領域（開口A）に、複数の第1実装電極PEのうち、一又は複数の第1実装電極が配置されている。本実施形態において、各々の開口Aに4個の第1実装電極が配置されている。言い換えると、第2実装電極CEは、一又は複数の第1実装電極PEを個別に囲むように配置されている。本実施形態において、第2実装電極CEは、一主画素MPの第1実装電極PE2、PE4と、他の主画素MPの第1実装電極PE1、PE3と、の4個の第1実装電極PEを個別に囲むように配置されている。各々の開口Aにおいて、4個

の第1実装電極PEは、互いに間隔を置いて配置されている。

[0055] 一主画素MPの第1実装電極PE1及び第1実装電極PE3の電極群と第1実装電極PE2及び第1実装電極PE4の電極群との間には、一の第1部分CE1が位置している。発光素子10a乃至10dは、複数の第1部分CE1のうち同一の第1部分CE1に重なっている。一主画素MPにおいて、例えば、発光素子10a及び発光素子10bは第2方向Yに線対称となるように配置され、発光素子10c及び発光素子10dは第2方向Yに線対称となるように配置されている。

[0056] 図10は、表示パネル2の表示領域DAの一部を示す断面図であり、第1実装電極PE、第2実装電極CE、及び発光素子10a、10bなどを示す図である。図10では、一主画素MPの第1画素PX1及び第2画素PX2に注目している。

[0057] 図10に示すように、複数の第1実装電極PEは、表示領域DAに位置し、絶縁層PSの上に設けられている。各々の第1実装電極PEは、複数の第1開口OP1の一を通じて複数のソース電極SEの一と電氣的に接続されている。絶縁層CLは、複数の第1実装電極PE及び第2実装電極CEを覆っている。絶縁層CLは、各々の第1実装電極PEの上面の一部及び第2実装電極CEの上面の複数個所を露出する複数の開口を有している。上記複数の開口は、表示領域DAに位置する複数の第3開口OP3及び複数の第4開口OP4である。

[0058] 各々の第1実装電極PEの上面の一部は、複数の第3開口OP3のうち対応する一の第3開口OP3により絶縁層CLの外側に露出している。第2実装電極CEの上面の複数個所として第1部分CE1の上面の複数個所は、複数の第4開口OP4により絶縁層CLの外側に露出している。

[0059] 発光素子10aは、一の第1実装電極PE1と第2実装電極CE（第1部分CE1）とに跨って実装されている。発光素子10bは、他の一の第1実装電極PE2と第2実装電極CE（第1部分CE1）とに跨って実装されている。発光素子10aの第2電極E2及び第2発光素子10bの第2電極E

2は、それぞれ同一の第1部分CE1と対向している。

[0060] 発光素子10aにおいて、第1電極E1は対応する一の第3開口OP3を通じて一の第1実装電極PE1と電氣的に接続され、第2電極E2は一の第4開口OP4を通じて第2実装電極CE（第1部分CE1）と電氣的に接続されている。発光素子10bにおいて、第1電極E1は対応する一の第3開口OP3を通じて他の一の第1実装電極PE2と電氣的に接続され、第2電極E2は他の一の第4開口OP4を通じて第2実装電極CE（第1部分CE1）と電氣的に接続されている。

[0061] 次に、発光素子10の構造の一例について説明する。図11は、発光素子10を示す断面図である。

図11に示すように、発光素子10は、フリップチップタイプの発光ダイオード素子である。発光素子10は、絶縁性を有する透明な基板11を備えている。基板11は、例えばサファイア基板である。基板11の主面には、n型半導体層12と、活性層（発光層）13と、p型半導体層14とが順に積層された結晶層（半導体層）が形成されている。上記結晶層（半導体層）において、P型の不純物を含む領域がp型半導体層14であり、N型の不純物を含む領域がn型半導体層12である。上記結晶層（半導体層）の材料は特に限定されるものではないが、上記結晶層（半導体層）は、窒化ガリウム（Ga₃N）又はヒ化ガリウム（Ga₃As）を含んでいてもよい。

[0062] 光反射膜15は、導電材料で形成され、p型半導体層14に電氣的に接続されている。p電極16は、光反射膜15に電氣的に接続されている。n電極18は、n型半導体層12に電氣的に接続されている。第2電極E2は、n電極18を覆い、n電極18に電氣的に接続されている。保護層17は、n型半導体層12、活性層13、p型半導体層14、及び光反射膜15を覆い、p電極16の一部を覆っている。第1電極E1は、p電極16を覆い、p電極16に電氣的に接続されている。

[0063] 上記のように構成された第1の実施形態に係る表示装置1によれば、第2実装電極CEは、第1実装電極PEを囲むように配置されている。そのため

、第1実装電極PEより基板SUB側の層に、低電位Pvssに固定された配線をレイアウトしなくともよい。これにより、第2実装電極CEの面積を大きくすることができる。例えば、発光素子10を実装する際のマージンを拡大することができる。

また、第2実装電極CEは表示領域DAにて引き回されているため、第2実装電極CEの低抵抗化が可能である。また、第2実装電極CEの電圧降下を最小限に抑えることができるため、第2実装電極CEの表示領域DAの全体における電位の均一性を向上させることができる。さらに、画素の高精細化を図ることも可能である。

[0064] また、第1実装電極PEと第2実装電極CEをこのようにレイアウトすることにより、両者を同層の導電層で形成することができる。結果、第1実装電極PEの表面と、第2実装電極CEの表面とは互いに高さが揃うため、発光素子10を良好に実装できる。

[0065] 主画素MPは、出力スイッチBCTを共用している。各画素PXに出力スイッチBCTを1個ずつ設ける場合に比べ、出力スイッチBCTの個数を1/4に低減することができ、第1走査線Sga、第3走査線Sgc、及びリセット配線Sgrの本数を1/2に低減することができ、リセットスイッチRSTの個数を1/2に低減することができる。このため、表示装置の狭額縁化に寄与したり、画素の高精細化に寄与したり、することができる。

上記のことから、高精細化が可能な表示装置を得ることができる。

[0066] (第2の実施形態)

次に、第2の実施形態に係る表示装置1について説明する。図12は、第2の実施形態に係る表示装置1の複数の第1実装電極PEと第2実装電極CEとを示す拡大平面図である。

[0067] 図12に示すように、主画素MPは、第1方向Xに並んだ3色の画素PXを備えている。各々の主画素MPにおいて、赤色の画素PXは第1画素PX1として機能し、緑色の画素PXは第2画素PX2として機能し、青色の画素PXは第3画素PX3として機能している。第1画素PX1は、第1実装

電極PE1と、赤色に発光する発光素子（第1発光素子）10aと、を有している。第2画素PX2は、第1実装電極PE2と、緑色に発光する発光素子（第2発光素子）10bと、を有している。第3画素PX3は、第1実装電極PE3と、青色に発光する発光素子（第3発光素子）10cと、を有している。

[0068] 図12に示す例では、上記第1の実施形態と異なり、隣合う一对の第1部分CE1と隣合う一对の第2部分CE2とで囲まれた各々の領域（各々の開口A）に、一の第1実装電極PEが配置されている。第1方向Xに、第1実装電極PE1と第2部分CE2とは、交互に配置されている。そのため、第2部分CE2の第1方向Xの幅は、上記第1の実施形態と比較し小さくなり得る。

[0069] 第2方向Yに、第1実装電極PE1と第1部分CE1とは、交互に配置されている。第2方向Yに並んだ2個の主画素MPにおいて、一方の主画素MPが利用する第1部分CE1と、他方の主画素MPが利用する第1部分CE1とは、異なっている。そのため、第1部分CE1の第2方向Yの幅は、上記第1の実施形態と比較し小さくなり得る。

[0070] 上記のように構成された第2の実施形態に係る表示装置1においても、上記第1の実施形態と同様の効果を得ることができる。本実施形態においては、第1方向Xに、第1実装電極PE1と第2部分CE2とが交互に配置されている。そのため、第2実装電極CEの一層の低抵抗化を図ることができる。また、発光の中心を定め易くすることができる。

[0071] （第2の実施形態の変形例1）

次に、上記第2の実施形態の変形例1について説明する。図13は、上記第2の実施形態の変形例1に係る表示装置1の複数の第1実装電極PEと第2実装電極CEとを示す拡大平面図である。

図13に示すように、隣合う一对の第1部分CE1と隣合う一对の第2部分CE2とで囲まれた各々の領域（各々の開口A）に、一主画素MPの全ての第1実装電極PEが配置されている点で、上記第2の実施形態と相違して

いる。

[0072] 上記のように構成された変形例 1 に係る表示装置 1 においても、上記第 2 の実施形態と同様の効果を得ることができる。変形例 1 では、上記第 2 の実施形態と異なり、第 1 方向 X に、第 1 実装電極 P E と第 2 部分 C E 2 とが交互に配置されていない。そのため、上記第 2 の実施形態と比較し、高精細化に有利である。

[0073] (第 2 の実施形態の変形例 2)

次に、上記第 2 の実施形態の変形例 2 について説明する。図 1 4 は、上記第 2 の実施形態の変形例 2 に係る表示装置 1 の複数の第 1 実装電極 P E と第 2 実装電極 C E とを示す拡大平面図である。

図 1 4 に示すように、隣合う一对の第 1 部分 C E 1 と隣合う一对の第 2 部分 C E 2 とで囲まれた各々の領域（各々の開口 A）に、第 2 方向 Y に隣合う 2 個の主画素 M P の全ての第 1 実装電極 P E が配置されている点で、上記変形例 1 と相違している。また、第 2 方向 Y に隣合う 2 個の主画素 M P の全ての発光素子 1 0 は、複数の第 1 部分 C E 1 のうち同一の第 1 部分 C E 1 に重なっている。第 2 方向 Y に隣合う 2 個の発光素子 1 0 は、第 2 方向 Y に線対称となるように配置されている。

[0074] 上記のように構成された変形例 2 に係る表示装置 1 においても、上記第 2 の実施形態と同様の効果を得ることができる。変形例 2 では、第 2 方向 Y に隣合う 2 個の主画素 M P が、同一の第 1 部分 C E 1 を利用している。そのため、上記第 2 の実施形態と比較し、第 2 実装電極 C E のレイアウト効率を向上させることができる。

[0075] (第 2 の実施形態の変形例 3)

次に、上記第 2 の実施形態の変形例 3 について説明する。図 1 5 は、上記第 2 の実施形態の変形例 3 に係る表示装置 1 の複数の第 1 実装電極 P E と第 2 実装電極 C E とを示す拡大平面図である。

[0076] 図 1 5 に示すように、変形例 3 において、各々の発光素子 1 0 が、一对の第 1 実装電極 P E と第 2 実装電極 C E のうち上記一对の第 1 実装電極 P E の

間に位置する第1部分CE1とに跨って実装されている点で、上記第2の実施形態と相違している。各々の発光素子10は、第2方向Yに隣合う2個の主画素MPのうち同一色の一对の画素PXで共用されている。

[0077] 図16は、本変形例3に係る表示パネル2の表示領域DAの一部を示す断面図であり、第1実装電極PE、第2実装電極CE、及び発光素子10などを示す図である。図16には、第2方向Yに隣合う2個の主画素MPのうち同一色の一对の第1画素PX1を示している。なお、図16に示す一对の第1画素PX1の関係は、一对の第2画素PX2の関係、及び一对の第3画素PXの関係と同様である。

[0078] 図16に示すように、発光素子10は、第1電極E1aと、他の第1電極E1bと、第2電極E2と、をさらに備えている。発光素子10は、1つの連続した半導体層を有している。発光素子10の半導体層は、互いに間隔を置いて位置した2個の発光層13a、13bを含んでいる。発光素子10において、第1電極E1a及び第1電極E1b是一对の第1実装電極PEに一对一で接続されている。第2電極E2は、第2実装電極CEのうち、上記一对の第1実装電極PEの間に位置する第1部分CE1に接続されている。

[0079] 発光層13aは、第1電極E1aと第2電極E2との間を電流が流れることにより発光する。他の発光層13bは、第1電極E1bと第2電極E2との間を電流が流れることにより発光する。発光層13a及び発光層13bは同一色に発光する。

[0080] 上記のように構成された変形例3に係る表示装置1においても、上記第2の実施形態と同様の効果を得ることができる。変形例3では、2個所で発光する発光素子10を用いているため、発光素子10をより効率的に配置することが可能である。

[0081] (第2の実施形態の変形例4)

次に、上記第2の実施形態の変形例4について説明する。図17は、上記第2の実施形態の変形例4に係る表示装置1の複数の第1実装電極PEと第2実装電極CEとを示す拡大平面図である。

[0082] 図17に示すように、各々の主画素MPの複数の発光素子10が、縦ストライプ状に配置されていない（第1方向Xに並べられていない）点で、本変形例4は上記第2の実施形態と相違している。各々の主画素MPにおいて、複数の発光素子10は、互いに近接し、一団となって配置されていればよい。本変形例4では、一主画素MPにおいて、発光素子10a及び発光素子10cは第1方向Xに隣合い、発光素子10bは第2方向Yに発光素子10a及び発光素子10cと隣合っている。

[0083] 発光素子10aは、第1実装電極PE1と、第2実装電極CEのうち第1実装電極PE1と第2方向Yに隣合う部分と、に重なっている。発光素子10cは、第1実装電極PE3と、第2実装電極CEのうち第1実装電極PE3と第2方向Yに隣合う部分と、に重なっている。発光素子10bは、第1実装電極PE2と、第2実装電極CEのうち第1実装電極PE2と第1方向Xに隣合う部分と、に重なっている。

第2実装電極CEは、発光素子10の配置パターンに合うようにレイアウトされている。そのため本変形例4のように、開口Aは四角形とは異なる形状を有していてもよい。

[0084] 上記のように構成された変形例4に係る表示装置1においても、上記第2の実施形態と同様の効果を得ることができる。

[0085] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

[0086] 各々の主画素MPの複数の発光素子10の配置パターンは、上述した例に限定されるものではなく、種々変形可能である。例えば、主画素MPの複数の発光素子10は、横ストライプ状に配置されていてもよく、言い換えると第2方向Yに並べられていてもよい。

請求の範囲

[請求項1]

基板の上に設けられ表示領域に位置した複数の第1配線層と、
前記基板の上に設けられ前記表示領域以外の非表示領域に位置した第2配線層と、
前記表示領域及び前記非表示領域に位置し前記複数の第1配線層及び前記第2配線層を覆い前記複数の第1配線層の一部をそれぞれ露出する複数の第1開口を有する第1絶縁層と、
前記表示領域に位置し前記第1絶縁層上に設けられた複数の第1実装電極であって、各々の前記第1実装電極は前記複数の第1開口の一を通じて前記複数の第1配線層の一と電氣的に接続されている、前記複数の第1実装電極と、
前記第1絶縁層の上に設けられ前記表示領域及び前記非表示領域に位置した第2実装電極と、
第1発光素子と、
第2発光素子と、を備え、
前記第2実装電極は、前記複数の第1実装電極の一の第1実装電極と、前記複数の第1実装電極の他の一の第1実装電極とを囲むように配置され、
前記第1発光素子は、前記一の第1実装電極と前記第2実装電極とに跨って実装され、前記一の第1実装電極と電氣的に接続された第1電極と前記第2実装電極と電氣的に接続された第2電極とを有し、
前記第2発光素子は、前記他の一の第1実装電極と前記第2実装電極とに跨って実装され、前記他の一の第1実装電極と電氣的に接続された第1電極と前記第2実装電極と電氣的に接続された第2電極とを有し、
前記第1絶縁層は、前記非表示領域に位置する第2開口を有し、
前記第2実装電極は、前記非表示領域において、前記第2開口を通じて前記第2配線層と電氣的に接続されている、

表示装置。

[請求項2] 前記第1絶縁層は、前記表示領域内で、前記第2実装電極と前記第2配線層とを接続するための開口を有していない、

請求項1に記載の表示装置。

[請求項3] 前記複数の第1実装電極及び前記第2実装電極は、同層に設けられている、

請求項1に記載の表示装置。

[請求項4] 前記第1発光素子及び前記第2発光素子は、それぞれ、P型の不純物を含む領域と、N型の不純物を含む領域と、発光層と、を含む半導体層を有する発光ダイオード素子である、

請求項1に記載の表示装置。

[請求項5] 前記第1発光素子及び前記第2発光素子は、それぞれ、第1電極と、他の第1電極と、第2電極と、をさらに備え、

前記第1発光素子及び前記第2発光素子の各々の前記半導体層は、他の発光層をさらに含み、

前記発光層は、前記第1電極と前記第2電極との間を電流が流れることにより発光し、

前記他の発光層は、前記他の第1電極と前記第2電極との間を電流が流れることにより発光する、

請求項4に記載の表示装置。

[請求項6] 前記第1発光素子及び前記第2発光素子は、それぞれ、一对の前記第1実装電極と、前記第2実装電極のうち前記一对の第1実装電極の間に位置する部分と、に跨って実装されている、

請求項5に記載の表示装置。

[請求項7] 前記第1発光素子及び前記第2発光素子の各々において、

前記第1電極及び前記他の第1電極は、前記一对の第1実装電極に一对一で接続され、

前記第2電極は、前記第2実装電極の前記部分に接続されている

、

請求項 6 に記載の表示装置。

[請求項8] 前記半導体層は、Ga N 又は Ga As を含む、
請求項 4 乃至 7 の何れか 1 項に記載の表示装置。

[請求項9] 前記複数の第 1 実装電極及び前記第 2 実装電極を覆い、各々の前記第 1 実装電極の上面の一部及び前記第 2 実装電極の上面の複数個所を露出する複数の開口を有する第 2 絶縁層をさらに備える、
請求項 1 に記載の表示装置。

[請求項10] 前記複数の第 1 実装電極及び前記第 2 実装電極を覆い前記表示領域に位置する複数の第 3 開口及び複数の第 4 開口を有する第 2 絶縁層をさらに備え、

各々の前記第 1 実装電極の上面の一部は、前記複数の第 3 開口のうち対応する一の第 3 開口により前記第 2 絶縁層の外側に露出し、

前記第 2 実装電極の上面の複数個所は、前記複数の第 4 開口により前記第 2 絶縁層の外側に露出し、

前記第 1 発光素子において、

前記第 1 電極は、前記対応する一の第 3 開口を通じて前記一の第 1 実装電極と電氣的に接続され、

前記第 2 電極は、前記複数の第 4 開口の一の第 4 開口を通じて前記第 2 実装電極と電氣的に接続され、

前記第 2 発光素子において、

前記第 1 電極は、前記対応する一の第 3 開口を通じて前記他の一の第 1 実装電極と電氣的に接続され、

前記第 2 電極は、前記複数の第 4 開口の他の一の第 4 開口を通じて前記第 2 実装電極と電氣的に接続されている、

請求項 1 に記載の表示装置。

[請求項11] 前記第 2 実装電極は、

第 1 方向に延在し前記第 1 方向に交差する第 2 方向に間隔を空け

て並べられた複数の第 1 部分と、

前記第 2 方向に延在し前記第 1 方向に間隔を空けて並べられ前記複数の第 1 部分と交差した複数の第 2 部分と、を有し、

隣合う一対の第 1 部分と隣合う一対の第 2 部分とで囲まれた各々の領域に、前記複数の第 1 実装電極のうち、一又は複数の第 1 実装電極が配置されている、

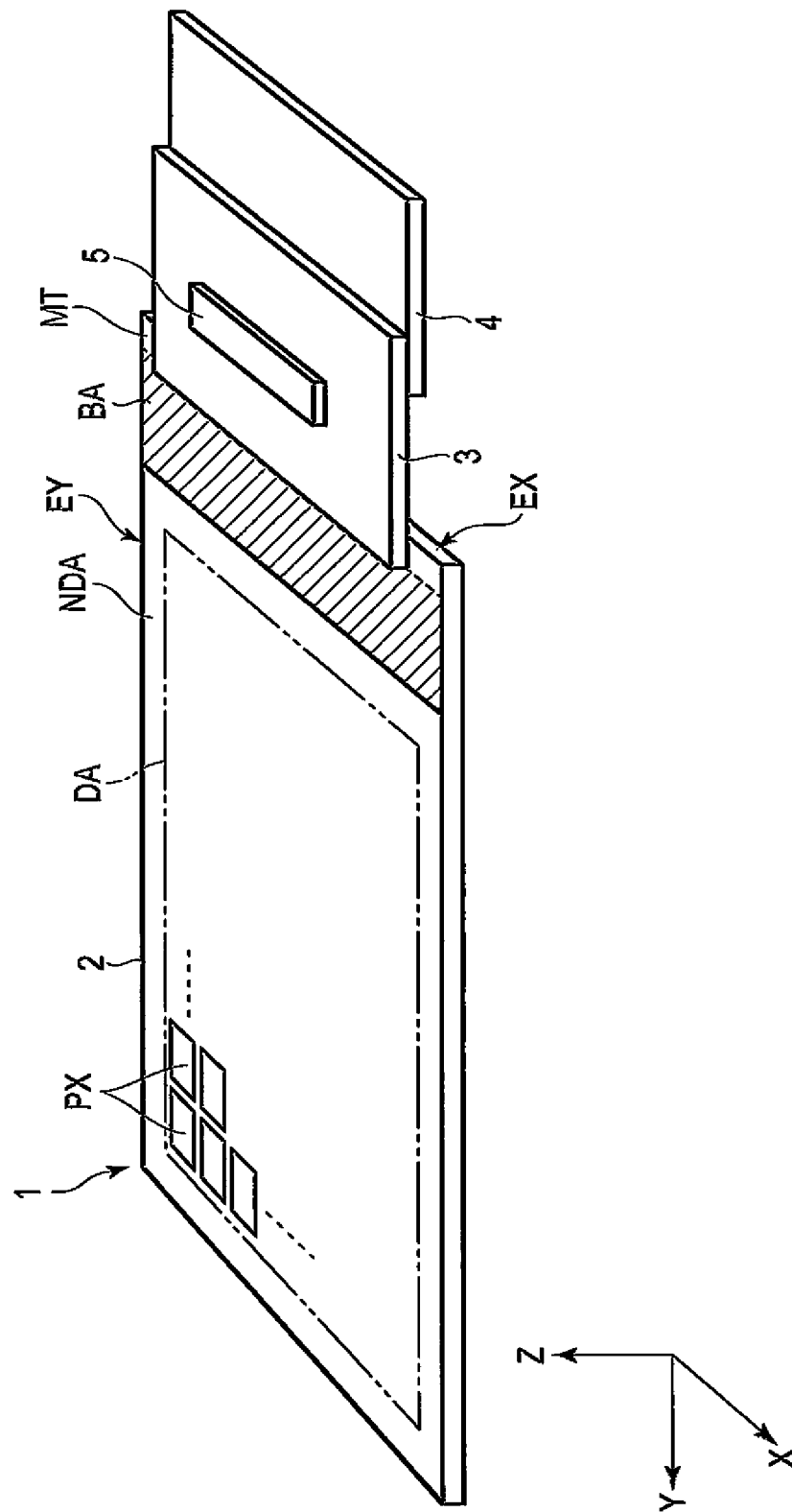
請求項 1 に記載の表示装置。

[請求項 12] 前記複数の第 1 部分のうち一の第 1 部分は、前記一の第 1 実装電極と前記他の一の第 1 実装電極との間に位置し、

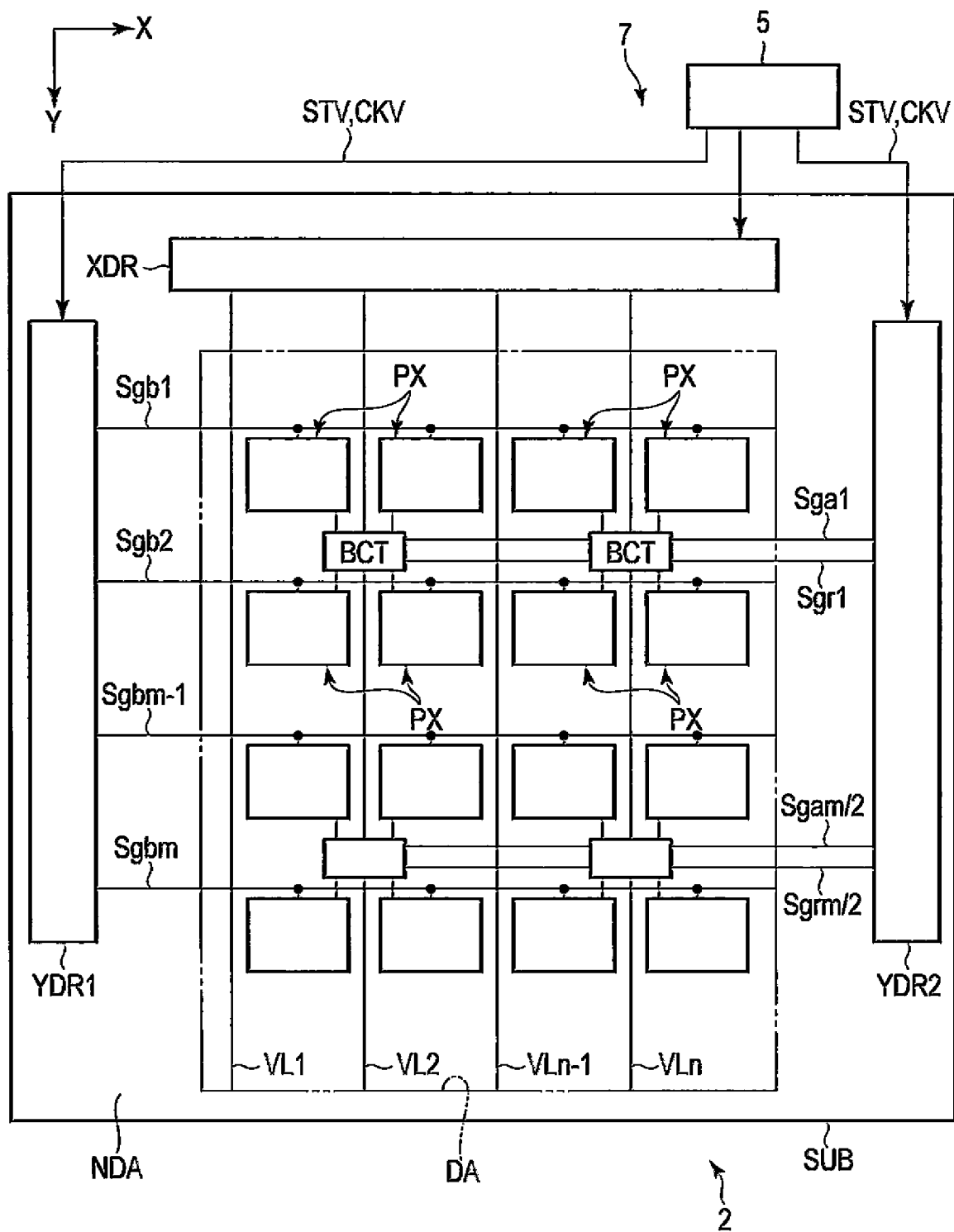
前記第 1 発光素子の前記第 2 電極及び前記第 2 発光素子の前記第 2 電極は、それぞれ前記一の第 1 部分と対向している、

請求項 1 に記載の表示装置。

[図1]



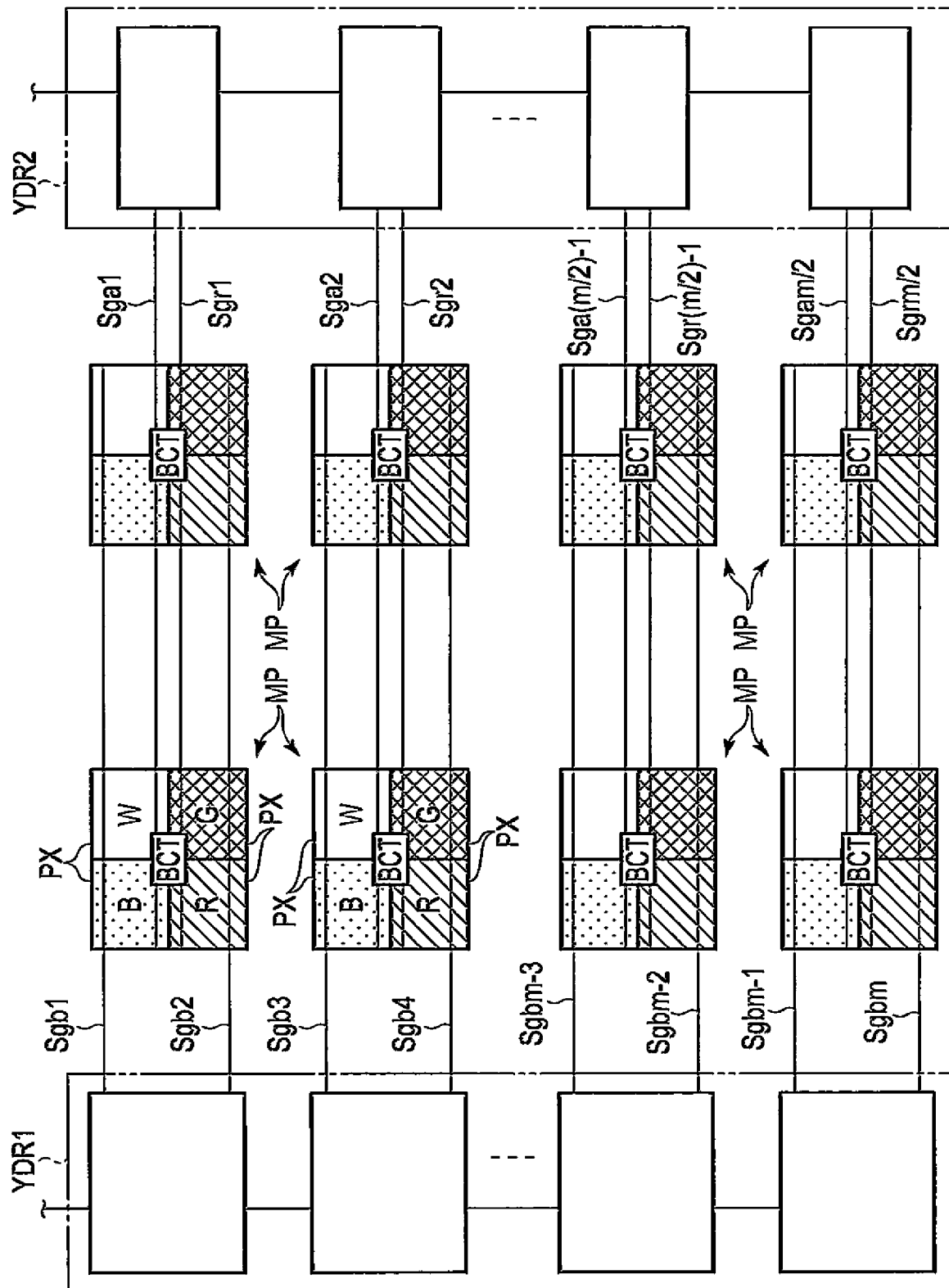
[図2]



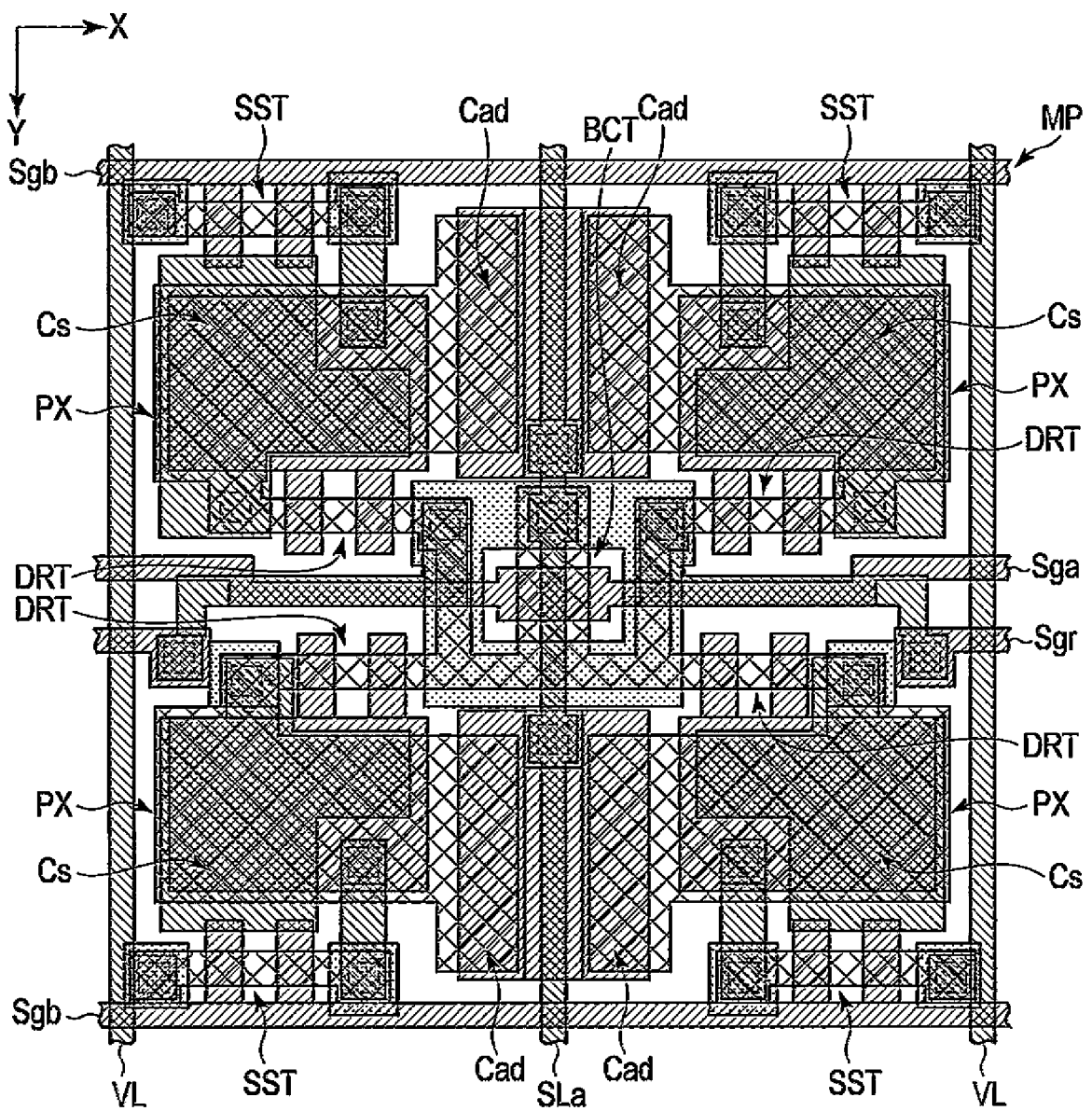
The diagram illustrates a pixel circuit for a color image display. It features two data input lines, YDR1 and YDR2, and a gate line SG. The circuit includes several transistors: Sga, Sgr, SST, DRT, BCT, RST, SLc, and SLb. Capacitors Cs and Cad are connected to the gate line SG. A current source 10 is connected to the gate line SG and the drain of transistor DRT. The circuit is powered by Vini, Vsiga, Pvd, and Pvs. The output of the circuit is connected to a load resistor RG and a feedback capacitor BG. The circuit is labeled with various components and their connections, including YDR1, YDR2, SG, Sga, Sgr, SST, DRT, BCT, RST, SLc, SLb, Cs, Cad, 10, Cled, Pvd, Pvs, Vini, Vsiga, and RG.

A detailed cross-sectional view of a semiconductor device. The substrate (SUB) is at the base, with layers SC, DRT, SE, GI, UC, CM1, CM2, II, PS, and CL stacked on top. A central block 10 is positioned above the device. The device features a central region with layers E1 and E2, and side regions with layers PE and G. Various openings and contacts are labeled: OP1, OP3, OP4, CE, CL, PS, II, CM1, CM2, UC, GI, SE, DRT, and SC. A Z-axis arrow points upwards on the right side.

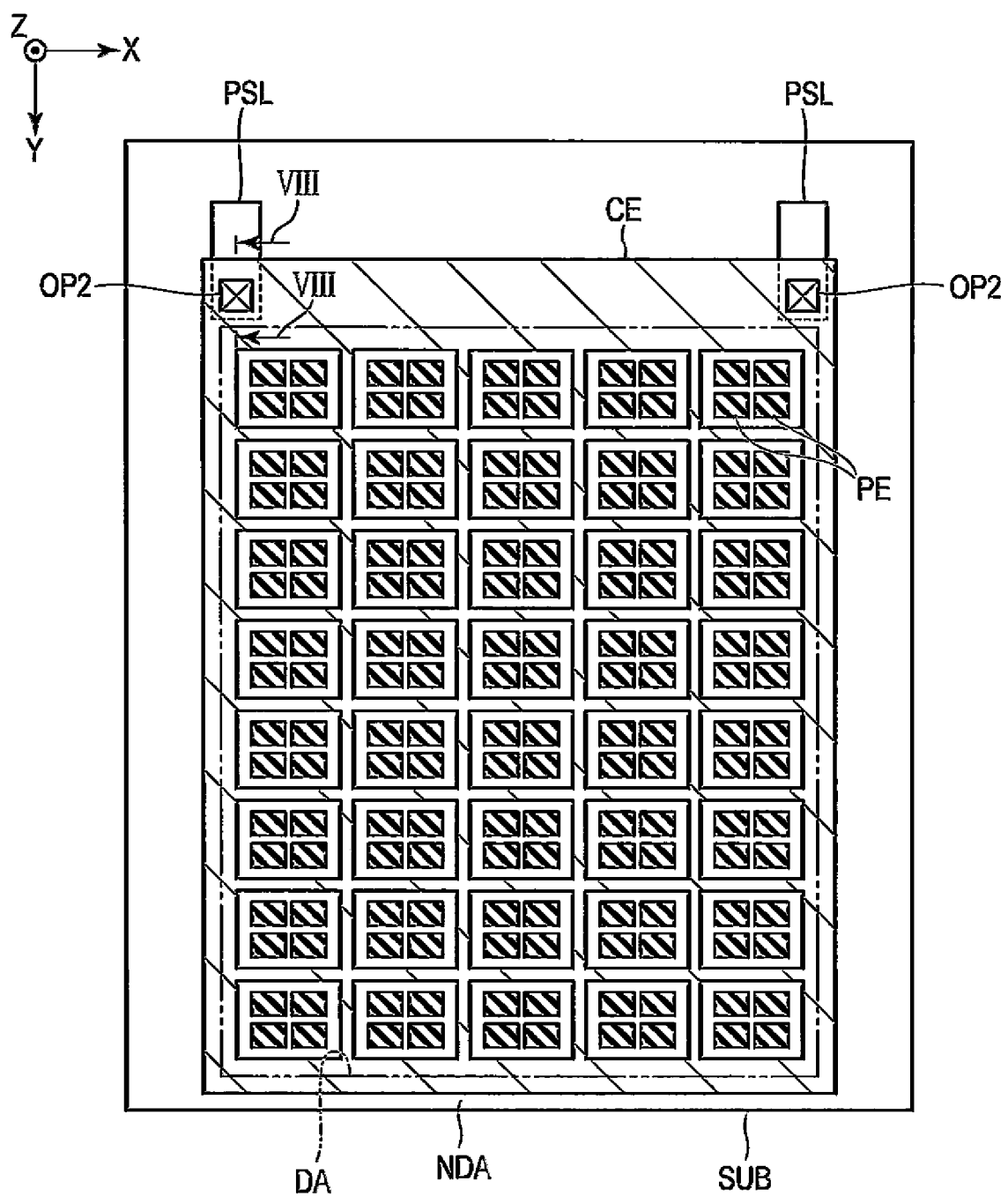
[図5]



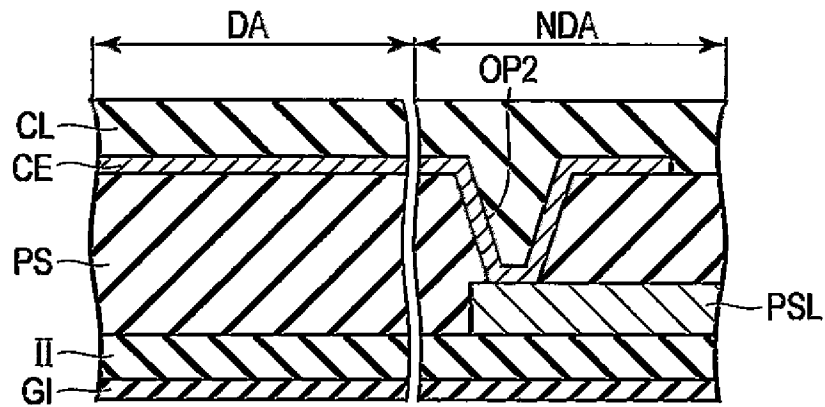
[図6]



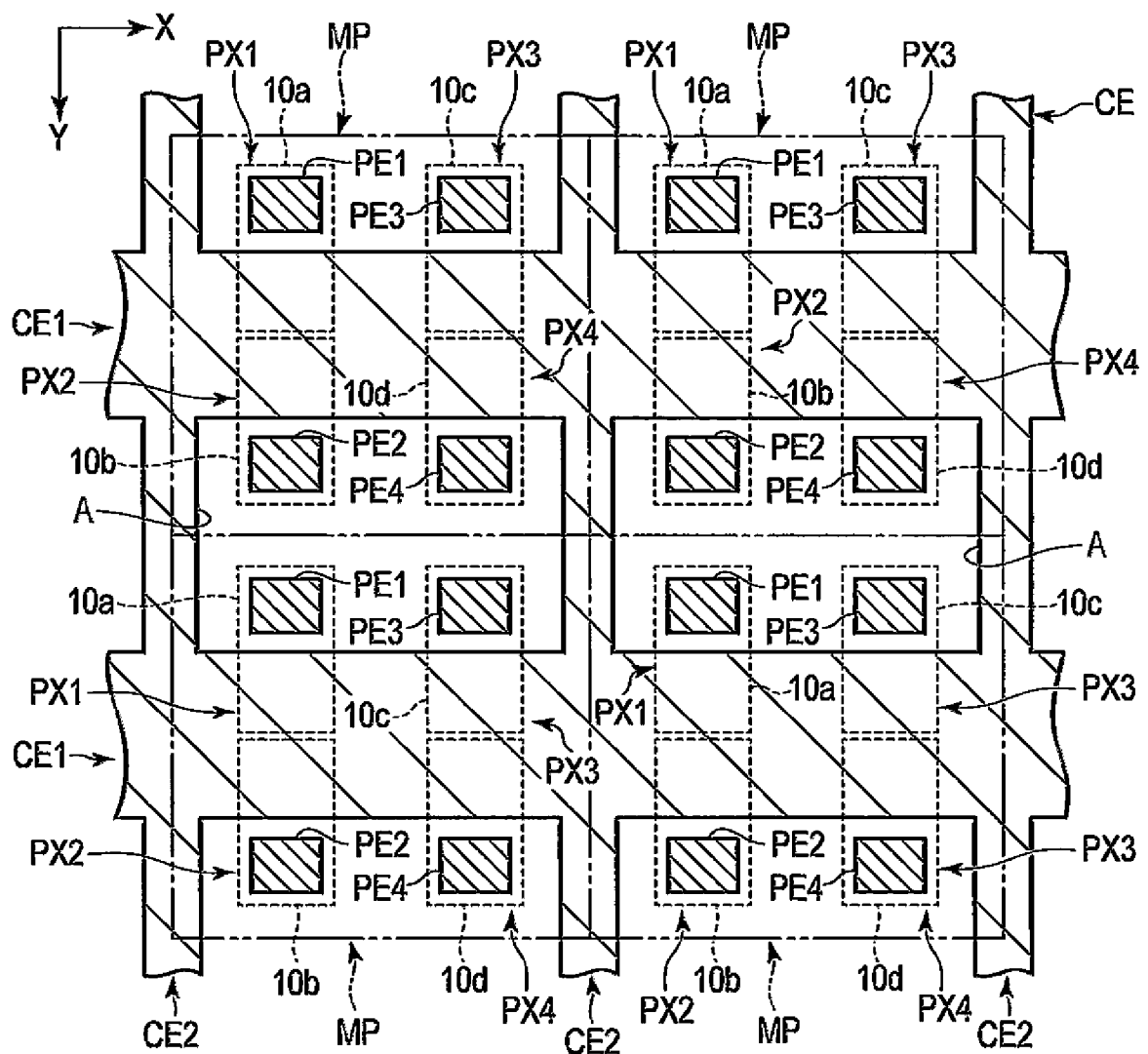
[図7]



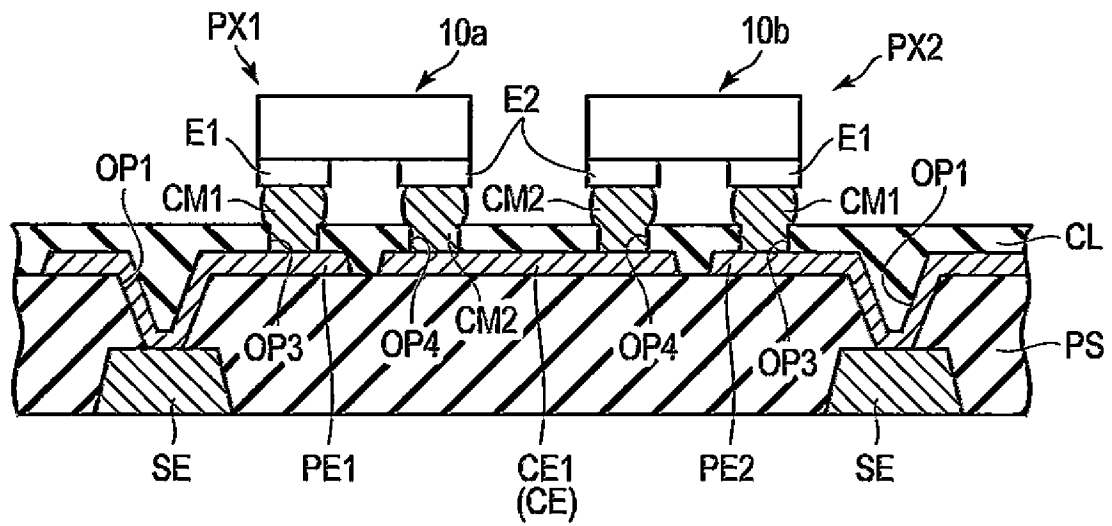
[図8]



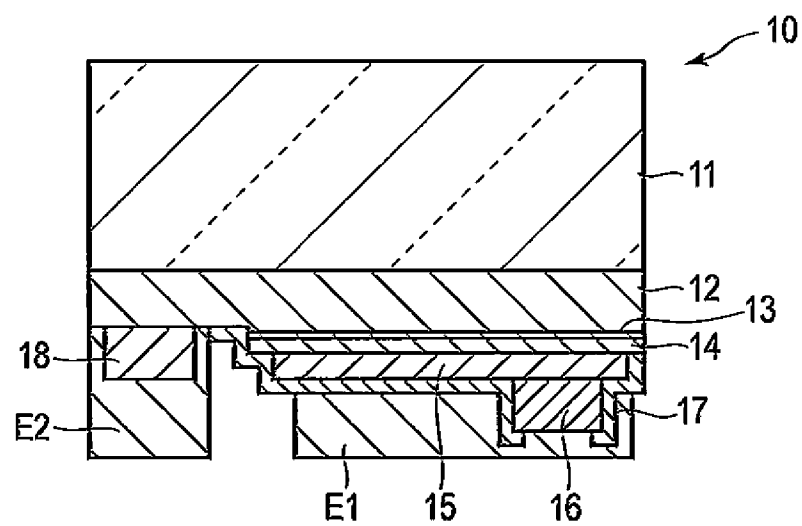
[図9]



[図10]

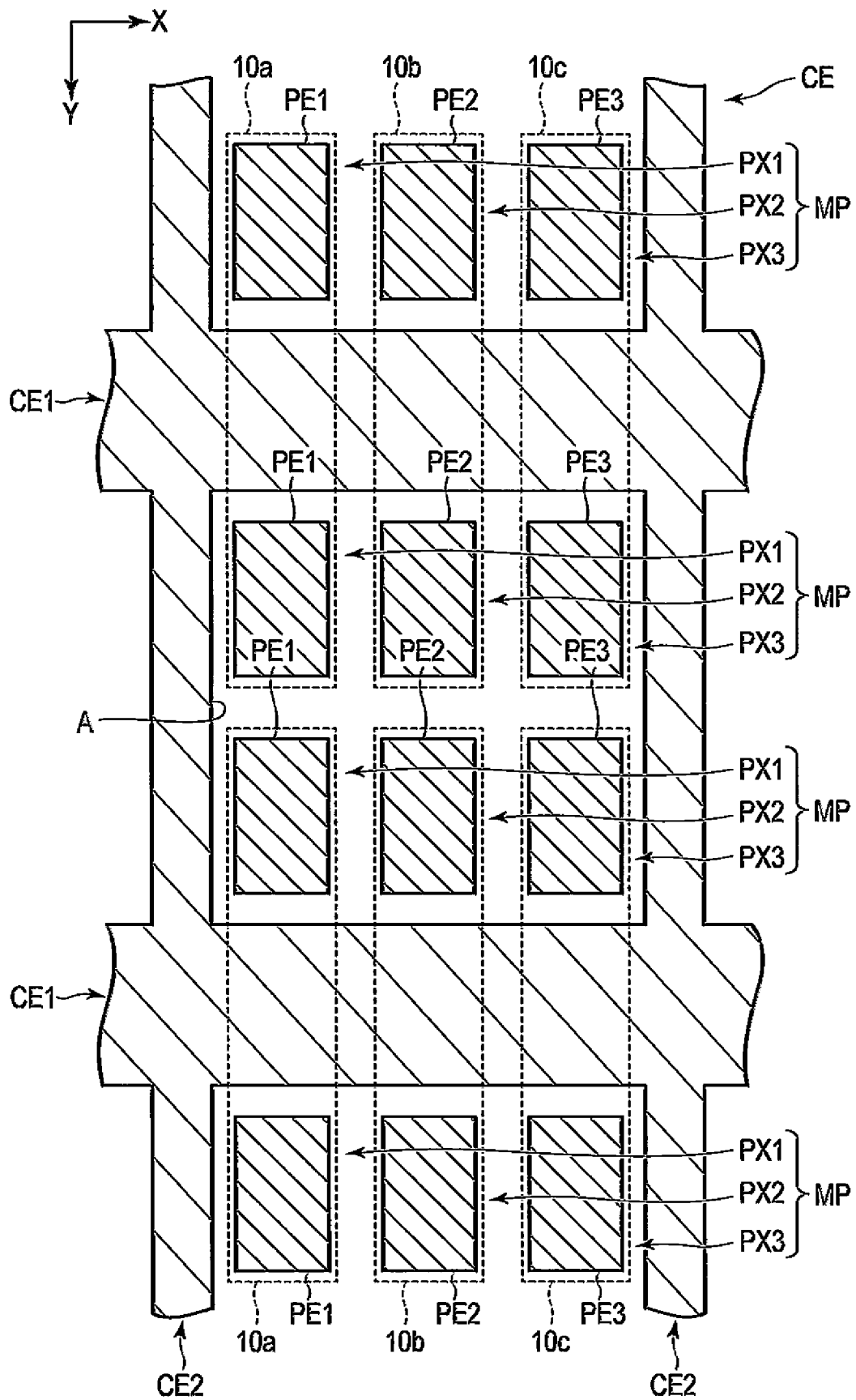


[図11]

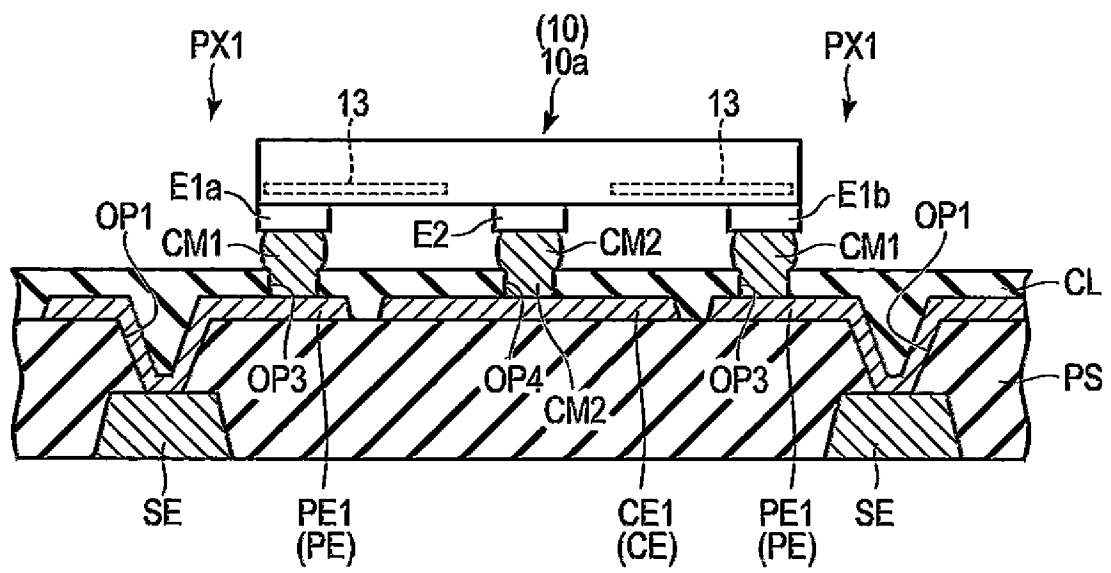


The diagram illustrates a cross-sectional view of a semiconductor device. A central region, labeled 'A', contains a grid of six rectangular elements. The top row consists of three elements labeled PX1, PX2, and PX3, which are collectively identified by a bracket as 'MP'. The bottom row consists of three elements labeled PE1, PE2, and PE3, also collectively identified by a bracket as 'MP'. The elements are separated by vertical lines labeled CE1 and CE2. The top and bottom regions are labeled CE. The elements are labeled 10a, 10b, and 10c. The diagram includes a coordinate system with X and Y axes.

[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/033816

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09F9/33 (2006.01) i, G09F9/30 (2006.01) i, H01L33/62 (2010.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09F9/30-9/46, G09G3/00-3/38, H01L33/48-33/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-54120 A (INNOLUX CORPORATION) 16 March 2017, entire text, all drawings & US 2017/0069784 A1, whole document & TW 201711179 A & KR 10-2017-0030433 A	1-12
A	WO 2017/094461 A1 (SHARP CORPORATION) 08 June 2017, entire text, all drawings & US 2018/0358339 A1, whole document & CN 108475712 A	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
30.10.2019

Date of mailing of the international search report
12.11.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/033816

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-164418 A (SHARP CORPORATION) 25 August 2011, entire text, all drawings (Family: none)	1-12
A	JP 6383074 B1 (LUMENS CO., LTD.) 29 August 2018, entire text, all drawings & US 2018/0308420 A1, whole document & WO 2018/194242 A1 & KR 10-2018-0118488 A	1-12

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09F9/33(2006.01)i, G09F9/30(2006.01)i, H01L33/62(2010.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09F9/30-9/46, G09G3/00-3/38, H01L33/48-33/64

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-54120 A（群創光電股ふん有限公司）2017.03.16, 全文全図 & US 2017/0069784 A1 (Whole document) & TW 201711179 A & KR 10-2017-0030433 A	1-12
A	WO 2017/094461 A1（シャープ株式会社）2017.06.08, 全文全図 & US 2018/0358339 A1 (Whole document) & CN 108475712 A	1-12

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

- * 引用文献のカテゴリー
- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

30.10.2019

国際調査報告の発送日

12.11.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小野 健二

21

5061

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-164418 A (シャープ株式会社) 2011. 08. 25, 全文全図 (ファミリーなし)	1-12
A	JP 6383074 B1 (ルーメンス カンパニー リミテッド) 2018. 08. 29, 全文全図 & US 2018/0308420 A1 (Whole document) & WO 2018/194242 A1 & KR 10-2018-0118488 A	1-12