



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU 216 135

K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita
(22) Přihlášeno 12 02 81
(21) (PV 1021-81)

(11) (B 1)

(51) Int. Cl.³
H 03 B 19/00

(40) Zveřejněno 31 12 81
(45) Vydáno 15 08 84

(75)
Autor vynálezu

PODZIMEK OLDŘICH ing., PRAHA

(54)

Zapojení číslicového násobiče kmítočtu

Zapojení násobiče kmítočtu.

Vynález spadá do oboru výroby kmítočtů přeměnou násobením. Vynálezem je vyřešen problém získání širokého rozsahu frekvencí z libovolného základního kmítočtu i během jeho změny. Problém je vyřešen číslicovým násobičem kmítočtu. Během periody základní frekvence f je na jeden čítač přiváděna pomocná frekvence f_p a na druhý čítač její n -tý díl f_p/n , kde dělitel n se rovná násobiteli základní frekvence $f.n$. Výstupy obou čítačů se přivádějí na komparátor, který při shodě vydá n impulsů během jedné periody základní frekvence f .

Podstatou v zapojení jsou výstupy 1, 2, 3 řídicího obvodu RO pomocná frekvence f_p a její díl f_p/n , čítače Č1, Č2, komparátor K a asynchronizační obvod SO.

Vynález lze využít v oborech výroby kmítočtů násobením základního kmítočtu.

Vynález se týká zapojení číslicového násobiče kmitočtu. Známá zapojení pro násobení kmitočtů pracují buď na principu selektivních zesilovačů vyšších harmonických základního kmitočtu, nebo využívají přenosového zpoždění na hradlovém řetězci pro násobení základního kmitočtu násobky čísla 2.

Zapojení využívající vyšších harmonických se používají, zejména ve vysokofrekvenční technice a jejich nevýhodou je, že násobí vždy jen jeden pevně nastavený základní kmitočet. Nevýhodou zapojení pracujících na principu přenosového zpoždění na hradlovém řetězci je, že umožňují získat pouze omezený počet násobků základního kmitočtu.

Zapojení podle autorského osvědčení č. 159 591 (Zapojení digitálního násobiče kmitočtu) je vhodné pouze pro malý násobící kmitočet, jinak se počet komparátorů neúměrně zvyšuje. Navíc je vhodný pouze pro určitý pevný kmitočet, neboť vytvoření integrátoru pro široké pásmo kmitočtů by vyžadovalo obvody zajišťující konstantní amplitudu pily. Toto řešení je technicky náročné.

Vpředu uvedené nevýhody násobičů kmitočtů odstraňuje zapojení podle vynálezu, jehož podstata spočívá v tom, že zapojení číslicového násobiče kmitočtu je opatřeno řídicím obvodem, jehož jeden vstup je spojen se zdrojem základního kmitočtu, druhý vstup se zdrojem taktovacího kmitočtu a třemi postupně spínanými postupy. Na blokovací výstup jsou svými prvními vstupy zapojena dvě hradla, z nichž je na druhý vstup prvního hradla zapojen zdroj pomocného kmitočtu a na jeho výstupy první čítač. Výstup tohoto prvního čítače je spojen s jedním vstupem komparátoru, jehož výstup je spojen se vstupem obvodu logického součtu a vstupem synchronizačního obvodu. Na jeho druhý vstup je zapojen výstup paměti druhého čítače, zapojeného na výstup druhého hradla. Na jeho druhý vstup je zapojen výstup děliče (f_p/n) pomocného kmitočtu s dělicím poměrem f_p/n , kde n je násobitel základního kmitočtu a kterýžto dělicí poměr je větší nebo alespoň roven základnímu kmitočtu. Na zapisovací výstup řídicího obvodu je zapojen vstup zápisu do paměti druhého čítače a druhý vstup synchronizačního obvodu se znásobeným základním kmitočtem $f \cdot n$ na výstupu. Na nulovací výstup řídicího obvodu je zapojen nulovací vstup druhého čítače a druhý vstup obvodu logického součtu, jehož výstup je spojen s nulovacím vstupem prvního čítače. Zdroj pomocného kmitočtu je tvořen zdrojem taktovacího kmitočtu, na vstup řídicího obvodu pro základní kmitočet f je zapojen tvarovač impulsů. Na výstup synchronizačního obvodu je zapojen tvarovač impulsů znásobeného základního kmitočtu.

Jde tedy v podstatě o zapojení číslicového násobiče kmitočtů, které dovoluje zpracovávat široký rozsah kmitočtů a přitom získávat libovolné násobky základního kmitočtu.

Příklad zapojení podle vynálezu je dále popsán a jeho činnost vysvětlena s pomocí výkresu, na němž je schéma zapojení číslicového násobiče základního kmitočtu f číslem n .

Základní kmitočet f je přiveden na vstup tvarovače impulsů TV_1 , kde se získávají obdélníkové impulsy. Výstup tvarovače impulsů TV_1 je zapojen na vstup řídicího obvodu $\bar{R}_0$, na jehož druhý vstup je přiváděn taktovací kmitočet f_t . Na tři výstupy 1, 2 a 3 řídicího obvodu $\bar{R}_0$ jsou v rytmu taktovacího kmitočtu f_t během každé periody základního kmitočtu f připojeny:

- a) na blokovací výstup 1 vždy jeden ze vstupů dvou hradel H_1 a H_2 ;
- b) na zapisovací výstup 2 vstup pro zápis do paměti P a druhý vstup synchronizačního obvodu

c) na nulovací výstup 2 nulovací vstup čítače $\check{C}2$ a jeden vstup obvodu logického součtu LS .

Na druhý vstup prvního hradla $H1$, jehož výstup je spojen s prvním čítačem $\check{C}1$, je zapojen zdroj pomocného kmitočtu f_p . Na druhý vstup druhého hradla $H2$, jehož výstup je spojen s čítacím vstupem druhého čítače $\check{C}2$, je zapojen dělič pomocného kmitočtu f_p s dělicím poměrem f_p/n , který je větší nebo alespoň roven základnímu kmitočtu f , tedy $f_p/n \geq f$, kde dělitel n pomocného kmitočtu f_p je násobitelem u základního kmitočtu f .

Na výstup prvního čítače $\check{C}1$ je zapojen jeden vstup komparátoru K , jehož výstup je zapojen na jeden vstup obvodu logického součtu LS a čítačem vybaveného synchronizačního obvodu SO , na jehož výstupu je tvarovač impulsů $TV2$ znásobené základní frekvence $f.n$.

Na výstup druhého čítače $\check{C}2$ je zapojena paměť P , jejíž výstup je zapojen na druhý vstup komparátoru K .

Při příchodu impulsu základní frekvence f z tvarovače $TV1$ se pořadí v rytmu taktovacího kmitočtu f_t nejprve zablokuje obě hradla $H1$ a $H2$. Následuje přepis obsahu druhého čítače $\check{C}2$ do paměti P a vynulování obsahu obou čítačů $\check{C}1$ a $\check{C}2$. Po dobu danou periodou základní frekvence f se načítá obsah druhého čítače $\check{C}2$ pomocným kmitočtem f_p/n z děliče kmitočtu, který musí být alespoň roven základnímu kmitočtu, jak bylo uvedeno již vpředu. Po skončení každé periody základního kmitočtu se obsah čítače $\check{C}2$ převede do paměti P . Do prvního čítače $\check{C}1$ se přivádí pomocná frekvence f_p a obsahy obou čítačů $\check{C}1$ a $\check{C}2$ se porovnávají v komparátoru K . Při shodě údajů obou čítačů $\check{C}1$ a $\check{C}2$, což proběhne během jedné periody základního kmitočtu n -krát, výstup z komparátoru K vynuluje první čítač $\check{C}1$ a je přiveden na jeden vstup synchronizačního obvodu SO , na jehož druhý vstup je zapojen zapisovací výstup 2 řídicího obvodu $\check{R}O$. Synchronizační obvod SO zajišťuje, že v dané periodě jsou impulsy 1 až $n-1$ z komparátoru K propuštěny přímo na tvarovač impulsů $TV2$ znásobeného základního kmitočtu $f.n$. Před příchodem n -tého impulsu se nastaví synchronizační obvod SO do stavu, kdy propustí buď jen impuls z výstupu komparátoru K , pokud přijde před impulsem pro zápis do paměti P , nebo propustí pouze impuls zápisu do paměti P , pokud přijde před n -tým impulsem z komparátoru K . To znamená, že i při změnách doby jednotlivých period základního kmitočtu f je zajištěn vždy průchod pouze n impulsů do tvarovače $TV2$ znásobeného základního kmitočtu f . Zapojení logického obvodu zajišťuje i při změně základního kmitočtu f vynulování čítače $\check{C}1$ buď z výstupu 2 řídicího obvodu nebo výstupem z komparátoru K .

Jako zdroje taktovacího kmitočtu f_t lze použít zdroje pomocného kmitočtu f_p .

PŘEDMĚT VYNÁLEZU

1. Zapojení číslicového násobiče kmitočtu, vyznačené tím, že je opatřeno řídicím obvodem ($\check{R}O$), jehož jeden vstup je spojen se zdrojem základního kmitočtu, druhý vstup se zdrojem taktovacího kmitočtu a třemi postupně spínanými výstupy, z nichž na blokovací výstup (1) jsou svými prvními vstupy zapojena dvě hradla ($H1$, $H2$), z nichž je na druhý vstup prvního hradla ($H1$) zapojen zdroj pomocného kmitočtu (f_p) a na jeho výstupy první čítač ($\check{C}1$), jehož výstup je spojen s jedním vstupem komparátoru (K), jehož výstup je spojen se vstupem

obvodu logického součtu (LS) a vstupem synchronizačního obvodu (SO), na jehož druhý vstup je zapojen výstup paměti (P) druhého čítače (Č2) zapojeného na výstupu druhého hradla (H2), na jehož druhý vstup je zapojen výstup děliče (f_p/n) pomocného kmítu s dělicím poměrem f_p/n , kde n je násobitel základního kmítu a kterýžto dělicí poměr je větší nebo alespoň roven základnímu kmítu, dále na zapisovací výstup (2) řídicího obvodu (ŘO) vstup zápisu do paměti (P) druhého čítače (Č2) a druhý vstup synchronizačního obvodu (SO) se znásobeným základním kmítem $f \cdot n$ na výstupu a na nulovací výstup (3) řídicího obvodu (ŘO) nulovací vstup druhého čítače (Č2) a druhý vstup obvodu logického součtu (LS), jehož výstup je spojen s nulovacím vstupem prvního čítače (Č1).

2. Zapojení číslicového násobiče kmítu podle bodu 1, vyznačené tím, že zdroj pomocného kmítu (f_p) je tvořen zdrojem taktovacího kmítu.
3. Zapojení číslicového násobiče kmítu podle bodů 1 a 2, vyznačené tím, že na vstup řídicího obvodu (ŘO) pro základní kmít (f) je zapojen tvarovač impulsů (TV1).
4. Zapojení číslicového násobiče kmítu podle bodů 1 až 3, vyznačené tím, že na výstup synchronizačního obvodu (SO) je zapojen tvarovač impulsů (TV2) znásobeného základního kmítu.

1 výkres

