

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 7 月 28 日 (28.07.2022)



(10) 国际公布号
WO 2022/156130 A1

(51) 国际专利分类号:
H01L 27/108 (2006.01)

(21) 国际申请号: PCT/CN2021/100192

(22) 国际申请日: 2021 年 6 月 15 日 (15.06.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110098759.8 2021 年 1 月 25 日 (25.01.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(72) 发明人: 曹先雷 (CAO, Xianlei); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 北京同立钧成知识产权代理有限公司 (LEADER PATENT & TRADEMARK FIRM); 中国北京市海淀区西直门北大街 32 号枫蓝国际 A 座 8F-6, Beijing 100082 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,

(54) Title: SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREFOR, AND SEMICONDUCTOR DEVICE

(54) 发明名称: 半导体结构及其制备方法、半导体器件

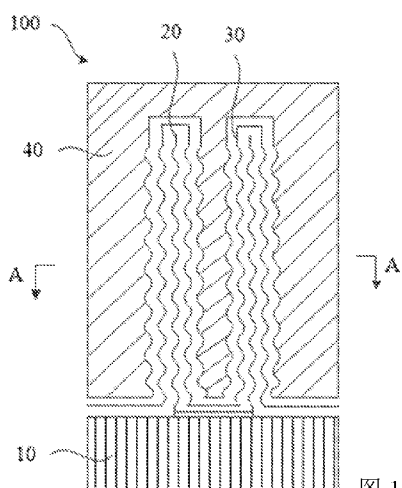


图 10

(57) Abstract: The present application relates to the technical field of semiconductors. Provided are a semiconductor structure and a manufacturing method therefor, and a semiconductor device, aiming to solve the problems of low capacitance and poor stability at present. The semiconductor structure comprises: a substrate comprising an active region; a first electrode layer provided on the substrate, electrically connected to the active region, and extending in a direction perpendicular to the substrate; a dielectric layer provided on a surface of the first electrode layer; and a second electrode layer provided on a surface of the dielectric layer, wherein each of the surface of the first electrode layer and the surface of the dielectric layer is provided with an uneven structure. According to the present application, the area of an electrode in the semiconductor structure can be effectively increased, thereby improving the capacitance and stability of the semiconductor structure, and optimizing the storage performance of the semiconductor device.

(57) 摘要: 本申请提供一种半导体结构及其制备方法、半导体器件, 涉及半导体技术领域, 旨在解决目前电容电量低且稳定性较差的问题。该半导体结构包括衬底, 其包括有源区。第一电极层, 其设置于衬底上, 且电连接至有源区, 第一电极层沿垂直于衬底的方向延伸。电介质层, 其设置于第一电极层的表面。第二电极层, 其设置于电介质层的表面。其中, 第一电极层的表面和电介质层的表面均设置有凹凸不平的结构。本申请能够有效增加半导体结构中电极的面积, 从而提高半导体结构的电容量和稳定性, 优化半导体器件的存储性能。

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

半导体结构及其制备方法、半导体器件

5 本申请要求于 2021 年 1 月 25 日提交中国专利局、申请号为 202110098759.8、申请名称为“半导体结构及其制备方法、半导体器件”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

10 本申请涉及半导体制造技术领域，尤其涉及一种半导体结构及其制备方法、半导体器件。

背景技术

电容是动态随机存取存储器(dynamic random access memory, 简称 DRAM)中的重要器件，电容的性能影响 DRAM 器件的存储性能。

15 随着 DRAM 集成度提高，工艺不断微缩，使得单位电容的面积和以及单位电容的间距逐渐减小，因此需要保证在有限的空间中，电容能够提供足够的电容量以维持 DRAM 的信号强度。电容一般包括上极板、电介质和下极板，当电容为柱状电容时，上极板和下极板分别形成柱状的内侧表面和外侧表面，电介质设置在上极板和下极板之间，通过增加柱状的长度以提高电容的表面积，从而增加存储于电容中的电荷数量。

20 然而，目前电容量的提升方式容易导致电容稳定性较低，容易引起电容倾倒接触的问题，影响 DRAM 器件的存储性能。

发明内容

25 为了解决背景技术中提到的至少一个问题，本申请提供一种半导体结构及其制备方法、半导体器件，能够有效增加半导体结构中电极的面积，从而提高半导体结构的电容量和稳定性，优化半导体器件的存储性能。

为了实现上述目的，第一方面，本申请提供一种半导体结构，包括：
衬底，其包括有源区。

30 第一电极层，其设置于衬底上，且电连接至有源区，第一电极层沿垂直于衬底的方向延伸。

电介质层，其设置于第一电极层的表面。

第二电极层，其设置于电介质层的表面。

其中，第一电极层的表面和电介质层的表面均设置有凹凸不平的结构。

本申请提供的半导体结构，通过设置衬底，便于在衬底中形成有源区，并且为后续的半导体结构提供结构基础。通过设置第一电极层，并将第一电极层电连接至有源区，便于有源区中的源极或漏极与第一电极层之间的电信号传输，通过在第一电极层的表面设置电介质层，并在电介质层的表面形成第二电极层，利用第一电极层、电介质层和第二电极层形成半导体结构的电容结构。通过将第一电极层的表面和电介质层的表面均设置有凹凸不平的结构，有助于增加电容结构中电极的表面积，从而提高半导体结构的电容量。

在上述的半导体结构中，可选的是，第一电极层靠近电介质层一侧的表面上设置有多个第一凸起部和多个第一凹陷部，第一凸起部和第一凹陷部分别位于基准面的相对两侧，第一凸起部和第一凹陷部相互交错且依次首尾连接。

第一电极层为圆筒状，第一电极层具有中轴线，基准面垂直于衬底，基准面至中轴线之间的距离是第一凸起部至中轴线的距离与第一凹陷部至中轴线的距离的平均值。

这样的设置可以减少第一电极层表面凹凸不平结构的设置难度，并且有助于增加第一电极层的表面积。

在上述的半导体结构中，可选的是，电介质层为凹凸结构，电介质层包括多个第一弯曲部和多个第二弯曲部，第一弯曲部和第二弯曲部分别位于第一中性面的相对两侧且弯曲方向相反，第一弯曲部和第二弯曲部相互交错且依次首尾连接。

第一中性面垂直于衬底，第一中性面与基准面之间的距离是第一弯曲部至基准面的距离与第二弯曲部至基准面的距离的平均值。

这样的设置可以减小电介质层的设置难度，同时提高电介质层的存储电荷量，有助于提升半导体结构的电容量。

在上述的半导体结构中，可选的是，第二电极层靠近电介质层一侧的表面上设置有多个第二凸起部和多个第二凹陷部，第二凸起部和第二凹陷部分别位于第二中性面的相对两侧，第二凸起部和第二凹陷部相互交错且依次首尾连接。

第二中性面垂直于衬底，第二中性面与基准面之间的距离是第二凸起部至基准面的距离与第二凹陷部至基准面的距离的平均值。

这样的设置可以减少第二电极层表面凹凸不平结构的设置难度，并且有助于增加第二电极层的表面积。

在上述的半导体结构中，可选的是，第一弯曲部、第二弯曲部、第一凸起部、第一凹陷部、第二凸起部和第二凹陷部均为圆弧状或半球状。

这样的设置可以避免第一电极层、电介质层和第二电极层中出现尖角或者死角结构，提高电容的电荷存储均匀性，减少漏电流的情况。

在上述的半导体结构中，可选的是，第一电极层在衬底上的投影为第一环形，电介质层在衬底上的投影包括第二环形和第三环形，第二环形套在第一环形的内侧，第三环形套在第一环形的外侧。

第二电极层在衬底上的投影包括实心部和第四环形，实心部位于第二环形的内侧，第四环形套设在第三环形的外侧。

这样的设置便于第一电极层，电介质层和第二电极层形成叠层柱状结构，有助于提高半导体结构中电极的表面积，增加半导体结构的稳定性。提升半导体结构的电容量。

在上述的半导体结构中，可选的是，第一电极层与有源区之间设置有电接触部，第一电极层通过电接触部与有源区电连接。这样的设置可以减小半导体结构中第一电极层与有源区的电连接设置的难度，便于半导体结构中的电信号存取过程。

- 5 在上述的半导体结构中，可选的是，第二电极层的远离衬底一侧设置有公共电极层，第二电极层电连接至公共电极层。这样的设置可以减小半导体结构中第二电极层的电连接设置的难度，便于半导体结构中的电信号存取过程。

在上述的半导体结构中，可选的是，第一电极层的材料包括钨、钛、镍、钴、氮化钛和氮化钨中的一种或多种的混合。

- 10 在上述的半导体结构中，可选的是，第二电极层的材料包括硅、锗、硅锗化合物、钨、钛、镍、钴、氮化钛和氮化钨中的一种或多种的混合。

在上述的半导体结构中，可选的是，电介质层的材料包括氧化铪、氧化锆和锆铝氧化物中的一种或多种混合。

第二方面，本申请提供一种半导体结构的制备方法，包括：

提供衬底，衬底具有有源区。

- 15 形成具有中空腔体的牺牲层，牺牲层位于衬底上，中空腔体的内侧壁面上具有凹凸不平的结构。

形成第一电极层，第一电极层位于中空腔体的内侧壁面上，第一电极层的表面具有凹凸不平的结构，第一电极层电连接至有源区。

去除牺牲层。

- 20 形成电介质层，电介质层位于第一电极层的表面。

形成第二电极层，第二电极层位于电介质层的表面。

- 25 本申请提供的半导体结构的制备方法，通过设置衬底，并在衬底中形成有源区，便于为后续的半导体结构提供结构基础。通过在衬底上形成具有中空腔体的牺牲层，并且在中空腔体的内侧壁面上设置第一电极层，利用中空腔体内侧壁面上的凹凸不平的结构，在第一电极层的表面形成相同的凹凸不平的结构。并且，将第一电极层电连接至有源区，便于有源区中的源极或漏极与第一电极层之间的电信号传输，通过在第一电极层的表面设置电介质层，并在电介质层的表面形成第二电极层，利用第一电极层、电介质层和第二电极层形成半导体结构的电容结构。第一电极层的表面和电介质层的表面的凹凸不平结构，有助于增加电容结构中电极的表面积，从而提高半导体结构的电容量。

- 30 在上述的半导体结构的制备方法中，可选的是，在形成具有中空腔体的牺牲层，牺牲层位于衬底上，中空腔体的内侧壁面上具有凹凸不平的结构的过程中，具体包括：

形成牺牲层，牺牲层位于衬底上，牺牲层与衬底的材料不同。

刻蚀牺牲层，在牺牲层中形成柱状的中空腔体。

处理中空腔体的内侧壁面，在中空腔体的内侧壁面上形成凹凸不平的结构。

- 35 这样的设置可以将有助于在中空腔体的内侧壁面上形成凹凸不平的结构，减小第一电极层上凹凸不平结构的形成难度。

在上述的半导体结构的制备方法中，可选的是，在处理中空腔体的内侧壁面，在中空腔体的内侧壁面上形成凹凸不平的结构的过程中，具体包括：

形成光刻胶层，光刻胶层位于中空腔体的内侧壁面上。

曝光光刻胶层，在光刻胶层上形成凹凸不平的结构。

刻蚀中空腔体的内侧壁面，在中空腔体的内侧壁面上形成与光刻胶层相同的凹凸不平的结构。

这样的设置可以利用曝光处理过程中的驻波效应，在中空腔体的内侧壁面上形成凹凸不平的结构，减小凹凸不平结构的形成难度。

第三方面，本申请提供一种半导体器件，包括衬底、晶体管、位线、字线和上述的半导体结构。

位线设置在衬底上，字线交错设置在位线上，晶体管的栅极与字线连接，晶体管的源极和漏极形成在衬底的有源区中，晶体管的漏极与位线连接，晶体管的源极与半导体结构的第一电极层连接。

本申请提供的半导体器件，通过在半导体结构中，将第一电极层的表面和电介质层的表面均设置有凹凸不平的结构，有助于增加所形成的电容结构中电极的表面积，从而提高半导体结构的电容量。半导体结构在半导体器件中主要用于存储数据，通过将晶体管的栅极与字线连接，将晶体管的漏极与位线连接，将晶体管的源极与半导体结构的第一电极层连接，便于字线控制晶体管的打开或关闭，进而通过位线读取存储在半导体结构中的数据信息，或者通过位线将数据信息写入到半导体结构中进行存储，实现半导体器件的数据存取，半导体结构的改进有助于提升半导体器件的存取性能。

本申请的构造以及它的其他发明目的及有益效果将会通过结合附图而对优选实施例的描述而更加明显易懂。

附图说明

为了更清楚地说明本申请实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作以简单地介绍，显而易见地，下面描述中的附图是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为相关技术中电容的结构示意图；

图 2 为本申请实施例提供的半导体结构的牺牲层在衬底上的结构示意图；

图 3 为本申请实施例提供的半导体结构的牺牲层中形成中空腔体的结构示意图；

图 4 为本申请实施例提供的半导体结构的牺牲层的中空腔体的内侧壁面上形成光刻胶层的结构示意图；

图 5 为本申请实施例提供的半导体结构的牺牲层的光刻胶层经过曝光处理的结构示意图；

图 6 为本申请实施例提供的半导体结构的牺牲层的中空腔体的内侧壁面上形成凹凸不平结构的结构示意图；

图 7 为本申请实施例提供的半导体结构的牺牲层的中空腔体的内侧壁面上形成第一电极层的结构示意图；

图 8 为本申请实施例提供的半导体结构的第一电极层在衬底上的结构示意图；

图 9 为本申请实施例提供的半导体结构的第一电极层的表面形成电介质层的结构示意图；

图 10 为本申请实施例提供的半导体结构的结构示意图；

图 11 为本申请实施例提供的半导体结构的第二电极层在衬底上的结构示意图；

图 12 为本申请实施例提供的半导体结构与有源区以及公共电极层连接的结构示意图；

图 13 为本申请实施例提供的图 12 中 I 部分的局部结构示意图；

图 14 为本申请实施例提供的图 10 中 A-A 截面的结构示意图；

5 图 15 为本申请实施例提供的半导体结构的制备方法的流程示意图；

图 16 为本申请实施例提供的半导体结构的制备方法的牺牲层的中空腔体内侧壁面上形成凹凸不平的结构流程示意图；

图 17 为本申请实施例提供的半导体结构的制备方法的处理中空腔体内侧壁面的流程示意图；

10 图 18 为本申请实施例提供的半导体器件的结构示意图。

附图标记说明：

100-半导体结构；10、1-衬底；11-有源区；20-第一电极层；21-第一凸起部；22-第一凹陷部；23-基准面；24-第一环形；25-中轴线；30-电介质层；31-第一弯曲部；32-第二弯曲部；33-第一中性面；34-第二环形；35-第三环形；40-第二电极层；41-第二凸起部；42-第二凹陷部；43-第二中性面；44-实心部；45-第四环形；50、5-公共电极层；60-牺牲层；61-中空腔体；70-光刻胶层；200-半导体器件；201-字线；202-电接触部；203-浅沟道隔离；204-源极区；205-漏极区；206-栅极氧化层；207-绝缘层；208-层间介质层；2-下极板；3-介电层；4-上极板。

20 具体实施方式

图 1 为相关技术中电容的结构示意图。参照图 1 所示，本申请的发明人在实际研究过程中发现，目前的电容一般包括上极板 4、介电层 3 和下极板 2，当电容为柱状电容时，上极板 4 和下极板 2 分别形成柱状的内侧表面和外侧表面，介电层 3 设置在上极板 4 和下极板 2 之间。该电容设置在衬底 1 上，下极板 2 可以电连接至衬底 1 的有源区，上极板 4 可以电连接至公共电极层 5，实现电容的电连接。目前的电容中，上极板 4 和下极板 2 为平面结构，电容电极的面积即为两者的平面面积。这种情况下，一般需要通过增加柱状的长度以提高电容电极的表面积，目的在于增加存储于电容中的电荷数量。然而，柱状电容的结构稳定性随着柱状电容的长度增加而减小，当柱状电容长度达到一定数值后，会存在柱状电容坍塌或倾斜的风险，导致电容的上极板 4 和下极板 2 之间电接触，这样增加电容电荷量的方式存在局限性，也影响电容结构的稳定性，进一步地影响 DRAM 器件的存储性能。

有鉴于此，本申请实施例提供的半导体结构及其制备方法、半导体器件，该半导体结构通过设置衬底，便于在衬底中形成有源区，并且为后续的半导体结构提供结构基础。通过设置第一电极层，并将第一电极层电连接至有源区，便于有源区中的源极或漏极与第一电极层之间的电信号传输，通过在第一电极层的表面设置电介质层，并在电介质层的表面形成第二电极层，利用第一电极层、电介质层和第二电极层形成半导体结构的电容结构。通过将第一电极层的表面和电介质层的表面均设置有凹凸不平的结构，有助于增加电容结构中电极的表面积，从而提高半导体结构的电容量。

其中，该半导体结构在半导体器件中主要用于存储数据，通过将晶体管的栅极与字线连接，将晶体管的漏极与位线连接，将晶体管的源极与半导体结构的第一电极层连接，便于字线控制晶体管的打开或关闭，进而通过位线读取存储在半导体结构中的数据信息，或者通过位线将数据信息写入到半导体结构中进行存储，实现半导体器件的数据存取，

5 半导体结构的改进有助于提升半导体器件的存取性能。

为使本申请的目的、技术方案和优点更加清楚，下面将结合本申请的优选实施例中的附图，对本申请实施例中的技术方案进行更加详细的描述。在附图中，自始至终相同或类似的标号表示相同或类似的部件或具有相同或类似功能的部件。所描述的实施例是本申请一部分实施例，而不是全部的实施例。下面通过参考附图描述的实施例是示例性的，旨在用于解释本申请，而不能理解为对本申请的限制。基于本申请中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。下面结合附图对本申请的实施例进行详细说明。

10

图 2 为本申请实施例提供的半导体结构的牺牲层在衬底上的结构示意图。图 3 为本申请实施例提供的半导体结构的牺牲层中形成中空腔体的结构示意图。图 4 为本申请实施例提供的半导体结构的牺牲层的中空腔体的内侧壁面上形成光刻胶层的结构示意图。图 5 为本申请实施例提供的半导体结构的牺牲层的光刻胶层经过曝光处理的结构示意图。图 6 为本申请实施例提供的半导体结构的牺牲层的中空腔体的内侧壁面上形成凹凸不平结构的结构示意图。图 7 为本申请实施例提供的半导体结构的牺牲层的中空腔体的内侧壁面上形成第一电极层的结构示意图。图 8 为本申请实施例提供的半导体结构的第一电极层在衬底上的结构示意图。图 9 为本申请实施例提供的半导体结构的第一电极层的表面形成电介质层的结构示意图。图 10 为本申请实施例提供的半导体结构的结构示意图。图 11 为本申请实施例提供的半导体结构的第二电极层在衬底上的结构示意图。图 12 为本申请实施例提供的半导体结构与有源区以及公共电极层连接的结构示意图。图 13 为本申请实施例提供的图 12 中 I 部分的局部结构示意图。图 14 为本申请实施例提供的图 10 中 A-A 截面的结构示意图。图 15 为本申请实施例提供的半导体结构的制备方法的流程示意图。图 16 为本申请实施例提供的半导体结构的制备方法的牺牲层的中空腔体内侧壁面上形成凹凸不平的结构流程示意图。图 17 为本申请实施例提供的半导体结构的制备方法的处理中空腔体内侧壁面的流程示意图；图 18 为本申请实施例提供的半导体器件的结构示意图。

15

20

25

30 参照图 2 至图 18 所示，本申请实施例提供一种半导体结构 100，包括：

衬底 10，其包括有源区 11。第一电极层 20，其设置于衬底 10 上，且电连接至有源区 11，第一电极层 20 沿垂直于衬底 10 的方向延伸。电介质层 30，其设置于第一电极层 20 的表面。第二电极层 40，其设置于电介质层 30 的表面。

其中，第一电极层 20 的表面和电介质层 30 的表面均设置有凹凸不平的结构。

35 需要说明的是，本实施例提供的半导体结构 100 可以为半导体器件中的电容，该半导体器件可以为动态随机存取存储器。其中，本实施例中的衬底 10 可以为单晶硅、多晶硅、无定型硅、硅锗化合物或绝缘体上硅(silicon-on-insulator，简称为 SOI)等，或者本领域技术人员已知的其他材料，该衬底 10 可以为衬底 10 上的其余结构层提供支撑基础。衬底 10 中存在半导体层，半导体层可以通过掺杂形成，根据掺杂粒子的类型不同，可以

将掺杂后的半导体层分为 N 型和 P 型。其中，半导体层中会形成有源区 11，该有源区 11 可以包括源极区和漏极区，源极区和漏极区之间通过沟道区连接，当沟道区中存在导通电流时，有源区 11 的源极区和漏极区电连接。该衬底 10 还可以是一个更宽泛的概念，例如衬底 10 还可以包括接触焊盘（Landing PAD）、接触插塞（Storage Node Contact）、
5 介质层、有源区 11（Active Area）等，接触插塞贯穿介质层，接触焊盘通过接触插塞与有源区 11 电连接，第一电极层 20 通过接触焊盘和接触插塞电连接至有源区 11。

其中，结合图 18 所示，第一电极层 20 设置在衬底 10 上，并与有源区 11 电连接，其可以与有源区 11 的源极区或漏极区电连接。具体的，第一电极层 20 与有源区 11 之间设置有电接触部 202，第一电极层 20 通过电接触部 202 与有源区 11 电连接。

10 基于该半导体结构 100 应用在半导体器件中，衬底 10 与第一电极层 20 之间并非直接接触，两者之间会设置其余层结构，因此可以利用电接触部 202 实现两者的连接。电接触部 202 的一端与第一电极层 20 电连接，电接触部 202 的另一端穿过衬底 10 与第一电极层 20 之间的其余层结构后，与衬底 10 中的有源区 11 电连接。该电接触部 202 可以为接触插塞（Node Contact），这样的设置可以减小半导体结构 100 中第一电极层 20 与
15 有源区 11 的电连接设置的难度，便于半导体结构 100 中的电信号存取过程。参照图 8 所示，第一电极层 20 可以为设置在衬底 10 上的圆筒状结构，第一电极层 20 的表面上形成有凹凸不平的结构，该第一电极层 20 的表面可以是圆筒状的第一电极层 20 的内壁面和外壁面。

参照图 9 所示，电介质层 30 位于第一电极层 20 的表面，其可以包覆在第一电极层 20 的内壁面和外壁面上，并且包覆在第一电极层 20 远离衬底 10 一侧的端部上。基于第一电极层 20 的凹凸不平的结构，因此电介质层 30 形成有与第一电极层 20 的凹凸不平的结构相适配的凹凸不平的结构。此处的“相适配”可以是指第一电极层 20 和电介质层 30 的凹凸不平的结构相同，且凹陷位置与凸起位置相对应，凹陷深度或者凸起深度可以相等。电介质层 30 的表面形成凹凸不平的结构可以是指电介质层 30 靠近第一电极层 20
20 一侧的表面以及远离第一电极层 20 一侧的表面。

进一步地，电介质层 30 位于第一电极层 20 和第二电极层 40 之间，可以选用高介电常数的材料制备，电介质层 30 可以阻断第一电极层 20 和第二电极层 40 之间自由电荷的移动。该电介质层 30 的材料可以包括氧化铅、氧化锆和锆铝氧化物中的一种或多种混合，在实际使用中，用户可以根据需要调整电介质层 30 的材料，本实施例对此并不加以限制。

30 参照图 10 所示，在电介质层 30 上还可以设置第二电极层 40，第二电极层 40 可以包裹在电介质层 30 的外部，基于电介质层 30 靠近第二电极层 40 一侧的表面上具有凹凸不平的结构，因此与之相对应地，第二电极层 40 靠近电介质层 30 一侧的表面上会形成相适配的凹凸不平的结构。

需要指出的是，基于第一电极层 20 和第二电极层 40 上均具有凹凸不平的结构，因此
35 相比于相关技术中，电容的上极板 4 和下极板 2 均为平面结构，本实施例的凹凸不平的结构可以有效增加单位区域内第一电极层 20 和第二电极层 40 的表面积，并且增加单位区域内电介质层 30 的表面积，因此提升该半导体结构 100 中所存储的电荷量。其中，表面积的增加程度可以与凹凸不平结构的凹凸程度相关，在一定范围内，通过增大凹凸不平的结构凹凸程度可以提高表面积的增加量，从而提升半导体结构 100 的电容量。

具体的，结合图 12 和图 13 所示，第一电极层 20 靠近电介质层 30 一侧的表面上设置有多个第一凸起部 21 和多个第一凹陷部 22，第一凸起部 21 和第一凹陷部 22 分别位于基准面 23 的相对两侧，第一凸起部 21 和第一凹陷部 22 相互交错且依次首尾连接。

第一电极层 20 为圆筒状，第一电极层 20 具有中轴线 25，基准面 23 垂直于衬底 10，
5 基准面 23 至中轴线 25 之间的距离是第一凸起部 21 至中轴线 25 的距离与第一凹陷部 22 至中轴线 25 的距离的平均值。

需要说明的是，第一电极层 20 的中轴线 25 可以是圆筒状结构的中心轴线，基准面 23 与中轴线 25 之间的距离可以是图 13 中 a 示出的部分。基于第一电极层 20 为圆筒状结构，因此基准面 23 的三维结构也可以为圆筒状。第一凸起部 21 可以朝基准面 23 的一
10 侧凸起，第一凹陷部 22 可以朝基准面 23 的另一侧凹陷，两者分别位于基准面 23 的相对两侧。第一凸起部 21 至中轴线 25 的距离可以是指第一凸起部 21 弯曲度最大处与中轴线 25 之间的距离，第一凹陷部 22 至中轴线 25 的距离同样可以是第一凹陷部 22 弯曲度最大处与中轴线 25 之间的距离，这两个距离的平均值可为 a。

具体的，继续参照图 12 和图 13 所示，电介质层 30 为凹凸结构，电介质层 30 包括
15 多个第一弯曲部 31 和多个第二弯曲部 32，第一弯曲部 31 和第二弯曲部 32 分别位于第一中性面 33 的相对两侧且弯曲方向相反，第一弯曲部 31 和第二弯曲部 32 相互交错且依次首尾连接。第一中性面 33 垂直于衬底 10，第一中性面 33 与基准面 23 之间的距离是第一弯曲部 31 至基准面 23 的距离与第二弯曲部 32 至基准面 23 的距离的平均值。

需要说明的是，第一中性面 33 与基准面 23 之间的距离可以是图 13 中 b 示出的部分，
20 第一弯曲部 31 可以朝第一中性面 33 一侧弯曲，第二弯曲部 32 可以朝第一中性面 33 的另一侧弯曲，使得第一弯曲部 31 和第二弯曲部 32 分别位于第一中性面 33 的相对两侧。其中，第一弯曲部 31 与基准面 23 之间的距离可以是指第一弯曲部 31 上弯曲度最大处与基准面 23 之间的距离，第二弯曲部 32 与基准面 23 之间的距离可以是指第二弯曲部 32 与基准面 23 之间的距离，这两个距离的平均值可以是 b。

具体的，继续参照图 12 和图 13 所示，第二电极层 40 靠近电介质层 30 一侧的表面上设置有多个第二凸起部 41 和多个第二凹陷部 42，第二凸起部 41 和第二凹陷部 42 分别位于第二中性面 43 的相对两侧，第二凸起部 41 和第二凹陷部 42 相互交错且依次首尾连接。第二中性面 43 垂直于衬底 10，第二中性面 43 与基准面 23 之间的距离是第二凸起部 41 至基准面 23 的距离与第二凹陷部 42 至基准面 23 的距离的平均值。

需要说明的是，第二中性面 43 与基准面 23 之间的距离可以是图 13 中 c 示出的部分，
30 第二凸起部 41 可以朝第二中性面 43 的一侧凸起，第二凹陷部 42 可以朝第二中性面 43 的另一侧凹陷，使得第二凸起部 41 和第二凹陷部 42 分别位于第二中性面 43 的相对两侧。其中，第二凸起部 41 与基准面 23 之间的距离可以是指第二凸起部 41 的弯曲度最大处与基准面 23 之间的距离，第二凹陷部 42 与基准面 23 之间的距离可以是指第二凹陷部 42
35 的弯曲度最大处与基准面 23 之间的距离，这两个距离的平均值可以为 c。

其中，第一弯曲部 31、第二弯曲部 32、第一凸起部 21、第一凹陷部 22、第二凸起部 41 和第二凹陷部 42 均为圆弧状或半球状。需要说明的是，圆弧状或者半球状可以保证第一电极层 20、电介质层 30 以及第二电极层 40 中均不存在拐角结构，拐角结构中存在角度较小的夹角或尖角位置，导致此处的位置容易产生电荷聚集，降低了电荷在第一

电极层 20 和第二电极层 40 之间的分布均匀性，同时也会导致半导体结构 100 中出线漏电流的问题。

进一步地，第一弯曲部 31、第一凸起部 21 以及第二凸起部 41 均为朝同一方向弯曲的部分，其弯曲度可以相同，三者依次嵌合。同理地，第二弯曲部 32、第一凹陷部 22 和第二凹陷部 42 可以均朝同一方向弯曲，三者弯曲度可以相同，且依次嵌合，这样的设置可以提高第一电极层 20，电介质层 30 和第二电极层 40 三者结构上的匹配度，从而提高半导体结构 100 的结构稳定性。并且，需要指出的是，相比于相关技术中，平面结构的上极板 4、介电层 3 和下极板 2 而言，基于第一电极层 20，电介质层 30 和第二电极层 40 三者均存在弯曲的部分，因此在平行于衬底 10 的方向上，三者的厚度有所增加，可以增加稳定性，防止发生电容中倾倒接触的问题。

结合图 10 和图 14 所示，第一电极层 20 在衬底 10 上的投影为第一环形 24，电介质层 30 在衬底 10 上的投影包括第二环形 34 和第三环形 35，第二环形 34 套在第一环形 24 的内侧，第三环形 35 套在第一环形 24 的外侧。第二电极层 40 在衬底 10 上的投影包括实心部 44 和第四环形 45，实心部 44 位于第二环形 34 的内侧，第四环形 45 套设在第三环形 35 的外侧。

需要说明的是，第一电极层 20、电介质层 30 和第二电极层 40 可以形成层层套叠的结构，这样可以增加半导体结构 100 中第一电极层 20 和第二电极层 40 的对应面积，从而增加电荷存储区域，提高电荷存储量。并且，层层套叠的结构，可以利用外层结构对内层结构进行限位和固定，从而提高该半导体结构 100 的结构稳定性。

其中，第二电极层 40 的第四环形 45 是第二电极层 40 的内壁面在衬底 10 上投影形成的，第二电极层 40 的外部结构可以根据半导体器件中的结构设置，此处不加限制。第二电极层 40 的实心部 44 可以为图 14 中示出的圆柱状，在实际使用中，其还可以是多边形柱状结构，本实施例对该实心部 44 的具体形状并不加以限制。

需要指出的是，本实施例中，第一电极层 20、电介质层 30 以及第二电极层 40 在衬底 10 上的投影特指图 10 中 A-A 截面处的部分在衬底 10 上的投影。

参照图 12 所示，第二电极层 40 的远离衬底 10 一侧设置有公共电极层 50，第二电极层 40 电连接至公共电极层 50。这样的设置可以减小半导体结构 100 中第二电极层 40 的电连接设置的难度，便于半导体结构 100 中的电信号存取过程。

作为一种可实现的实施方式，第一电极层 20 的材料包括钨、钛、镍、钴、氮化钛和氮化钨中的一种或多种的混合，在实际使用中，用户可以根据需要调整第一电极层 20 的具体材料，本实施例对此并不加以限制。

作为一种可实现的实施方式，第二电极层 40 的材料包括硅、锗、硅锗化合物、钨、钛、镍、钴、氮化钛和氮化钨中的一种或多种的混合，在实际使用中，用户可以根据需要调整第二电极层 40 的具体材料，本实施例对此并不加以限制。

参照图 15 至图 17 所示，同时结合图 2 至图 14 所示，在上述的基础上，本申请实施例还提供一种半导体结构的制备方法，该方法可以用于制备上述的半导体结构 100。具体的，该半导体结构的制备方法包括：

S1：提供衬底，衬底具有有源区。

需要说明的是，该衬底 10 可以为后续的牺牲层 60 和半导体结构 100 提供结构基础，

衬底 10 的材料和有源区 11 形成方式在上述半导体结构 100 中写明，此处不再赘述。

S2：形成具有中空腔体的牺牲层，牺牲层位于衬底上，中空腔体的内侧壁面上具有凹凸不平的结构。

需要说明的是，在该 S2 中，具体可以包括：

5 S21：形成牺牲层，牺牲层位于衬底上，牺牲层与衬底的材料不同。

其中，参考图 2，该牺牲层 60 可以选用沉积的方式形成在衬底 10 上，牺牲层 60 的材料可以与衬底 10 不同，便于后续在牺牲层 60 中形成中空腔体 61。

S22：刻蚀牺牲层，在牺牲层中形成柱状的中空腔体。

10 其中，参考图 3，刻蚀可以选用干法刻蚀，或者选用湿法刻蚀，例如化学液体刻蚀，基于牺牲层 60 和衬底 10 的材料不同，可以选用选择性刻蚀牺牲层 60 的化学液体对其进行刻蚀，衬底 10 即为牺牲层 60 刻蚀过程中的刻蚀停止层。柱状中空腔体 61 的内径可以根据需要设定，本实施例对此并不加以限制。

S23：处理中空腔体的内侧壁面，在中空腔体的内侧壁面上形成凹凸不平的结构。在该步骤中，具体可以包括：

15 S231：形成光刻胶层，光刻胶层填充中空腔体内部。

需要说明的是，该光刻胶层 70 可以通过沉积或者旋涂的方式形成，光刻胶层 70 可以选用感光材料制成，感光材料可以包括但不限于聚甲基丙烯酸甲酯、聚甲基戊二酰亚胺以及酚醛树脂。其中，该感光材料可以填充中空腔体，从而形成填满该中空腔体 61 的实心结构，从而形成该光刻胶层 70。

20 S232：曝光光刻胶层，在光刻胶层上形成凹凸不平的结构。

参考图 5，需要说明的是，此处曝光光刻胶层 70，可以利用一步曝光和一步显影，例如选用紫外光（UV）、深紫外光（DUV）以及极紫外光（EUV）等进行一步曝光，然后再经过显影可以得到凹凸不平结构的光刻胶层 70。紫外光在照射光刻胶层 70 时，受到驻波效应的影响，会在光刻胶层 70 靠近牺牲层 60 的侧壁的表面形成凹凸不平的结构。
25 在光刻胶层 70 和牺牲层 60 的界面处，光线会被反射，这些反射光和入射光会形成干涉，使得光强沿着光刻胶层 70 的深度方向分布不均匀，从而形成凹凸不平的结构。基于经过曝光处理的光刻胶层 70 的物理化学特性发生变化，继而通过刻蚀的方式可以将特性发生变化的部分光刻胶层 70 去除，从而形成凹凸不平的光刻胶层 70。

30 S233：刻蚀中空腔体的内侧壁面，在中空腔体的内侧壁面上形成与光刻胶层相同的凹凸不平的结构。

参考图 6，需要说明的是，可以选用干法刻蚀的方式，沿着光刻胶层 70 的凹凸不平的结构对中空腔体 61 的内壁面进行刻蚀，从而在中空腔体 61 的内侧壁面上形成相同的凹凸不平的结构。即，将凹凸不平的结构从光刻胶层 70 转移到牺牲层 60 上。

35 S3：形成第一电极层，第一电极层位于中空腔体的内侧壁面上，第一电极层的表面具有凹凸不平的结构，第一电极层电连接至有源区。

参考图 7，需要说明的是，第一电极层 20 可以选用沉积的方式形成在中空腔体 61 的内侧壁面上，基于中空腔体 61 的内侧壁面上具有凹凸不平的结构，因此在沉积第一电极层 20 时，第一电极层 20 的材料可以沿着凹凸不平的结构分布，从而在第一电极层 20 上形成与该凹凸不平的结构相同的结构。

其中,第一电极层 20 的厚度可以为 5-30nm,例如,第一电极层 20 的厚度可以为 10nm、15nm 以及 25nm 等。在实际使用中,用户可以根据半导体结构 100 的整体结构在上述范围内调整第一电极层 20 的具体厚度值。

S4: 去除牺牲层。

5 参考图 8,需要说明的是,在沉积第一电极层 20 后,需要继续形成电介质层 30 和第二电极层 40,因此需要去除牺牲层 60,避免牺牲层 60 对后续层结构的影响。牺牲层 60 可以选用液体刻蚀的方式去除。

S5: 形成电介质层,电介质层位于第一电极层的表面。

具体可以参考图 9。

10 S6: 形成第二电极层,第二电极层位于电介质层的表面。

参考图 10,需要说明的是,基于第一电极层 20 上具有凹凸不平的结构,因此在第一电极层 20 上形成的电介质层 30 和第二电极层 40 均会沿着该凹凸不平的结构分布,从而形成相对应的凹凸不平的结构。电介质层 30 和第二电极层 40 的厚度可以均为 5-30nm,在实际使用中,用户可以根据半导体结构 100 的整体结构在上述范围内调整电介质层 30 15 和第二电极层 40 的具体厚度值。

本申请实施例提供的半导体结构的制备方法,通过设置衬底 10,并在衬底 10 中形成有源区 11,便于为后续的半导体结构 100 提供结构基础。通过在衬底 10 上形成具有中空腔体 61 的牺牲层 60,并且在中空腔体 61 的内侧壁面上设置第一电极层 20,利用中空腔体 61 内侧壁面上的凹凸不平的结构,在第一电极层 20 的表面形成相同的凹凸不平 20 的结构。并且,将第一电极层 20 电连接至有源区 11,便于有源区 11 中的源极或漏极与第一电极层 20 之间的电信号传输,通过在第一电极层 20 的表面设置电介质层 30,并在电介质层 30 的表面形成第二电极层 40,利用第一电极层 20、电介质层 30 和第二电极层 40 形成半导体结构 100 的电容结构。第一电极层 20 的表面和电介质层 30 的表面的凹凸不平结构,有助于增加电容结构中电极的表面积,从而提高半导体结构 100 的电容量。

25 进一步地,在上述的基础上,参照图 18 所示,本申请实施例还提供一种半导体器件 200,包括衬底 10、晶体管、位线、字线 201 和上述的半导体结构 100。

晶体管的栅极与字线 201 连接,晶体管的源极和漏极形成在衬底 10 的有源区 11 中,晶体管的漏极与位线连接,晶体管的源极通过电接触部 202 与半导体结构 100 的第一电极层 20 连接。

30 需要说明的是,衬底 10 和半导体结构 100 之间存在多层结构,图 2 至图 12 中仅示出了半导体结构 100 和衬底 10 的相对位置关系,半导体结构 100 并非直接与衬底 10 接触。具体的,衬底 10 中形成有埋入式的字线 201,位线和字线 201 可以交叉设置,即两者的延伸方向相互交错。其中,字线 201 的外部形成有栅极氧化层 206,字线 201 远离衬底 10 的一侧上设置有绝缘层 207,字线 201 与晶体管的栅极电连接。相邻的字线 201 35 之间形成有浅沟道隔离 203,以将字线 201 分隔开。相邻的浅沟道隔离 203 之间形成有掺杂层,掺杂层通过掺杂不同的粒子,形成有源区 11 中的源极区 204 或者漏极区 205。

其中,源极区 204 与第一电极层 20 通过电接触部 202 电连接,漏极区 205 与位线电连接。该电接触部 202 可以属于衬底 10 的一部分。在字线 201 上方形成有半导体结构 100,该半导体结构 100 呈阵列排布,相邻的半导体结构 100 之间形成有层间介质层 208,

以隔绝相邻的半导体结构 100。每个半导体结构 100 对应一个晶体管结构设置，半导体结构 100 中的第一电极层 20 可以通过电接触部 202 电连接至有源区 11 的源极区。

该半导体器件 200 可以包括多个存储单元，每个存储单元中均包括有晶体管和半导体结构 100。半导体结构 100 可以用于存储数据，而晶体管可以控制半导体结构 100 对数据的存取。字线 201 上的电压信号能够控制晶体管的打开或关闭，进而通过位线读取存储在半导体结构 100 中的数据信息，或者通过位线将数据信息写入到半导体结构 100 中进行存储，实现该半导体器件 200 的数据存取，因此当本实施例的上述的半导体结构 100 应用在该半导体器件 200 中，可以提升半导体器件 200 的存取性能。

在上述描述中，需要理解的是，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应作广义理解，例如，可以使固定连接，也可以是通过中间媒介间接相连，可以是两个元件内部的连通或者两个元件的相互作用关系。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本申请中的具体含义。术语“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示的方位或者位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本申请和简化描述，而不是指示或者暗示所指的装置或者元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。在本申请的描述中，“多个”的含义是两个或两个以上，除非是另有精确具体地规定。

本申请的说明书和权利要求书及上述附图中的术语“第一”、“第二”、“第三”、“第四”等（如果存在）是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换，以便这里描述的本申请的实施例例如能够以除了在这里图示或描述的那些以外的顺序实施。此外，术语“包括”和“具有”以及他们的任何变形，意图在于覆盖不排他的包含，例如，包含了一系列步骤或单元的过程、方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元，而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

最后应说明的是：以上各实施例仅用以说明本申请的技术方案，而非对其限制；尽管参照前述各实施例对本申请进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例技术方案的范围。

权 利 要 求 书

1、一种半导体结构，包括：

衬底，其包括有源区；

第一电极层，其设置于所述衬底上，且电连接至所述有源区，所述第一电极层沿垂直于所述衬底的方向延伸；

电介质层，其设置于所述第一电极层的表面；

第二电极层，其设置于所述电介质层的表面；

其中，所述第一电极层的表面和所述电介质层的表面均设置有凹凸不平的结构。

2、根据权利要求1所述的半导体结构，其中，所述第一电极层靠近所述电介质层一侧的表面上设置有多个第一凸起部和多个第一凹陷部，所述第一凸起部和所述第一凹陷部分别位于基准面的相对两侧，所述第一凸起部和所述第一凹陷部相互交错且依次首尾连接；

所述第一电极层为圆筒状，所述第一电极层具有中轴线，所述基准面垂直于所述衬底，所述基准面至所述中轴线之间的距离是所述第一凸起部至所述中轴线的距离与所述第一凹陷部至所述中轴线的距离的平均值。

3、根据权利要求2所述的半导体结构，其中，所述电介质层为凹凸结构，所述电介质层包括多个第一弯曲部和多个第二弯曲部，所述第一弯曲部和所述第二弯曲部分别位于第一中性面的相对两侧且弯曲方向相反，所述第一弯曲部和所述第二弯曲部相互交错且依次首尾连接；

所述第一中性面垂直于所述衬底，所述第一中性面与所述基准面之间的距离是所述第一弯曲部至所述基准面的距离与所述第二弯曲部至所述基准面的距离的平均值。

4、根据权利要求3所述的半导体结构，其中，所述第二电极层靠近所述电介质层一侧的表面上设置有多个第二凸起部和多个第二凹陷部，所述第二凸起部和所述第二凹陷部分别位于第二中性面的相对两侧，所述第二凸起部和所述第二凹陷部相互交错且依次首尾连接；

所述第二中性面垂直于所述衬底，所述第二中性面与所述基准面之间的距离是所述第二凸起部至所述基准面的距离与所述第二凹陷部至所述基准面的距离的平均值。

5、根据权利要求4所述的半导体结构，其中，所述第一弯曲部、所述第二弯曲部、所述第一凸起部、所述第一凹陷部、所述第二凸起部和所述第二凹陷部均为圆弧状或半球状。

6、根据权利要求1-5中任一项所述的半导体结构，其中，所述第一电极层在所述衬底上的投影为第一环形，所述电介质层在所述衬底上的投影包括第二环形和第三环形，所述第二环形套在所述第一环形的内侧，所述第三环形套在

所述第一环形的外侧；

所述第二电极层在所述衬底上的投影包括实心部和第四环形，所述实心部位于所述第二环形的内侧，所述第四环形套设在所述第三环形的外侧。

7、根据权利要求 1-5 中任一项所述的半导体结构，其中，所述第一电极层与所述有源区之间设置有电接触部，所述第一电极层通过所述电接触部与所述有源区电连接。

8、根据权利要求 1-5 中任一项所述的半导体结构，其中，所述第二电极层的远离所述衬底一侧设置有公共电极层，所述第二电极层电连接至所述公共电极层。

9、根据权利要求 1-5 中任一项所述的半导体结构，其中，所述第一电极层的材料包括钨、钛、镍、钴、氮化钛和氮化钨中的一种或多种的混合。

10、根据权利要求 1-5 中任一项所述的半导体结构，其中，所述第二电极层的材料包括硅、锗、硅锗化合物、钨、钛、镍、钴、氮化钛和氮化钨中的一种或多种的混合。

11、根据权利要求 1-5 中任一项所述的半导体结构，其中，所述电介质层的材料包括氧化铪、氧化锆和锆铝氧化物中的一种或多种混合。

12、一种半导体结构的制备方法，其中，包括：

提供衬底，所述衬底具有有源区；

形成具有中空腔体的牺牲层，所述牺牲层位于所述衬底上，所述中空腔体的内侧壁面上具有凹凸不平的结构；

形成第一电极层，所述第一电极层位于所述中空腔体的内侧壁面上，所述第一电极层的表面具有凹凸不平的结构，所述第一电极层电连接至所述有源区；

去除所述牺牲层；

形成电介质层，所述电介质层位于所述第一电极层的表面；

形成第二电极层，所述第二电极层位于所述电介质层的表面。

13、根据权利要求 12 所述的半导体结构的制备方法，其中，在所述形成具有中空腔体的牺牲层，所述牺牲层位于所述衬底上，所述中空腔体的内侧壁面上具有凹凸不平的结构的过程中，具体包括：

形成牺牲层，所述牺牲层位于所述衬底上，所述牺牲层与所述衬底的材料不同；

刻蚀所述牺牲层，在所述牺牲层中形成柱状的中空腔体；

处理所述中空腔体的内侧壁面，在所述中空腔体的内侧壁面上形成凹凸不平的结构。

14、根据权利要求 13 所述的半导体结构的制备方法，其中，在所述处理所述中空腔体的内侧壁面，在所述中空腔体的内侧壁面上形成凹凸不平的结构的过程中，具体包括：

形成光刻胶层，所述光刻胶层位于所述中空腔体的内侧壁面上；

曝光所述光刻胶层，在所述光刻胶层上形成凹凸不平的结构；

刻蚀所述中空腔体的内侧壁面，在所述中空腔体的内侧壁面上形成与所述光刻胶层相同的凹凸不平的结构。

15、一种半导体器件，其中，包括衬底、晶体管、位线、字线和如权利要求 1-11 中任一项所述的半导体结构；

所述位线设置在所述衬底上，所述字线交错设置在所述位线上，所述晶体管的栅极与所述字线连接，所述晶体管的源极和漏极形成在所述衬底的有源区中，所述晶体管的漏极与所述位线连接，所述晶体管的源极与所述半导体结构的第一电极层连接。

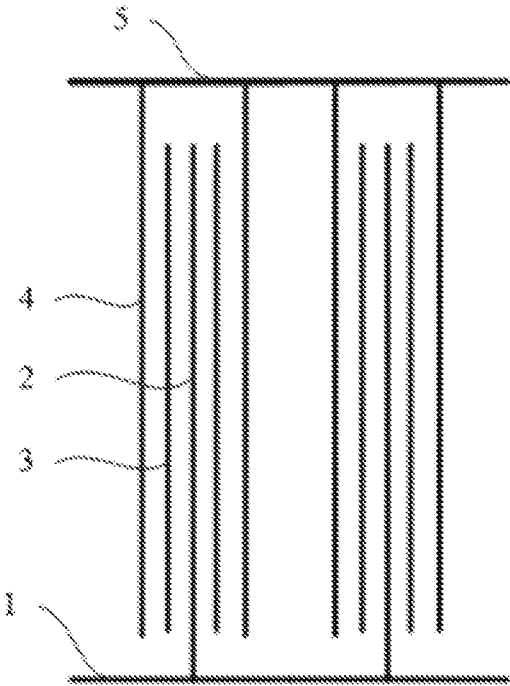


图 1

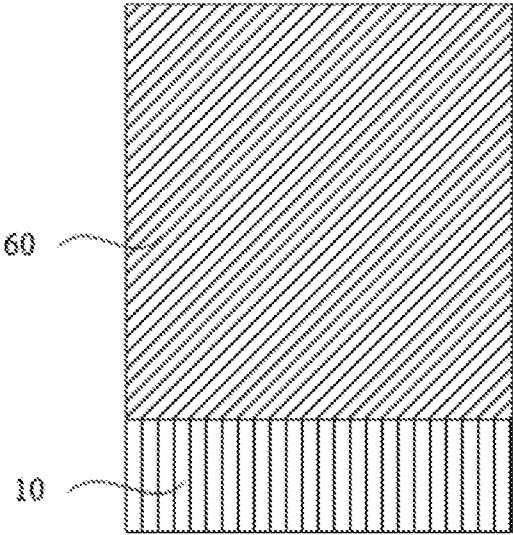


图 2

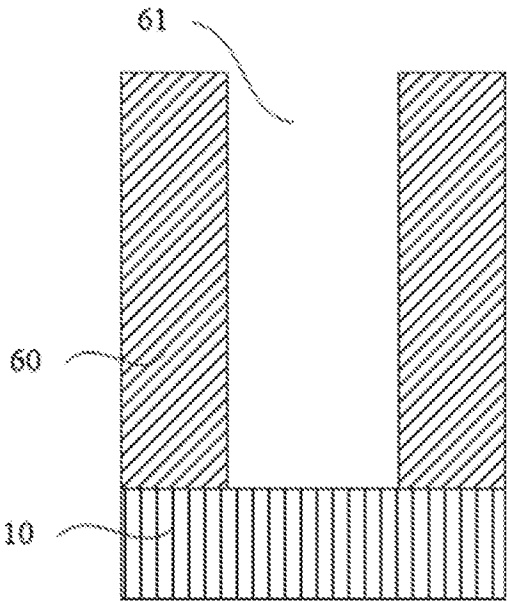


图 3

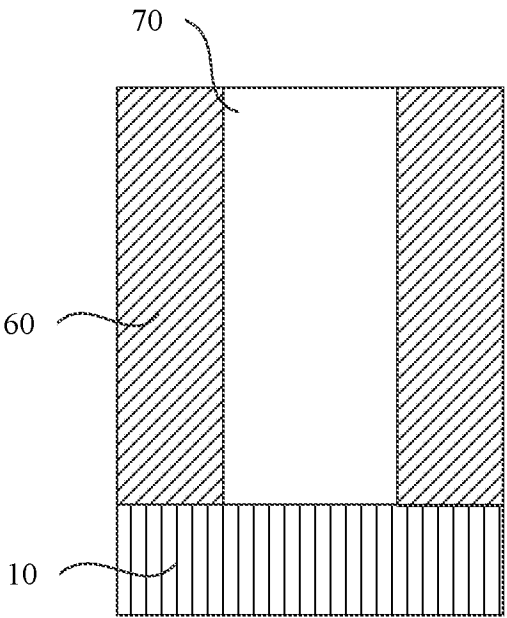


图 4

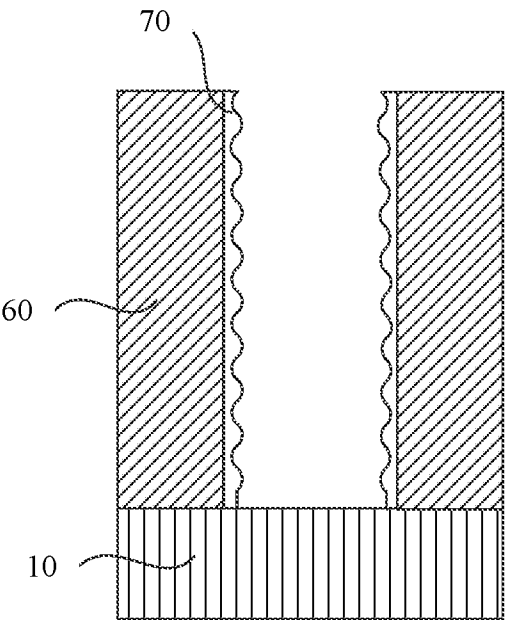


图 5

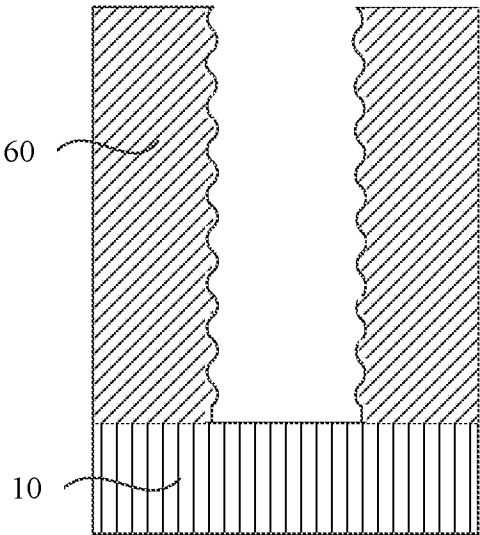


图 6

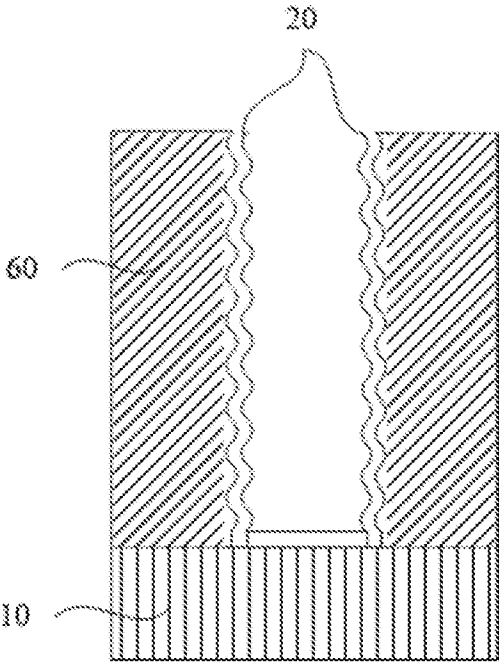


图 7

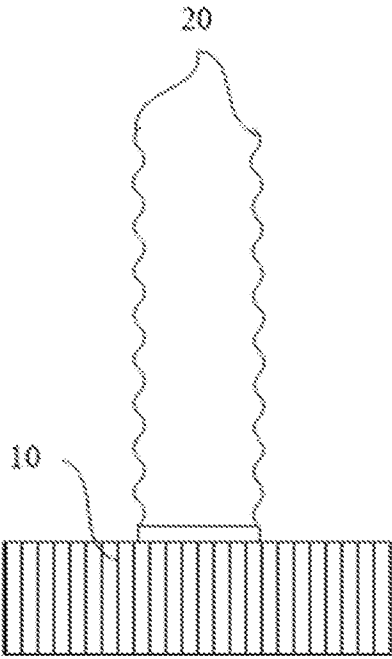


图 8

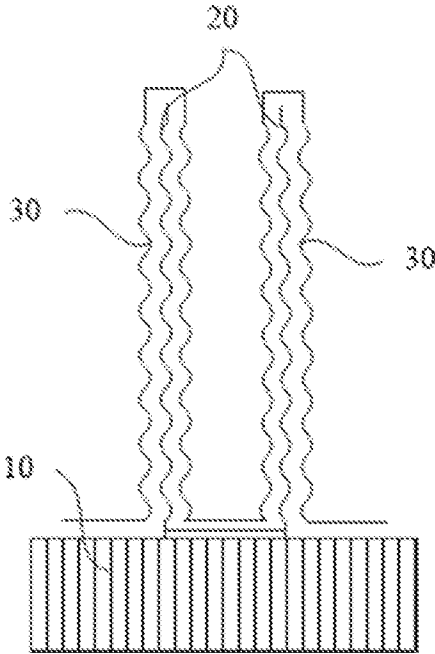


图 9

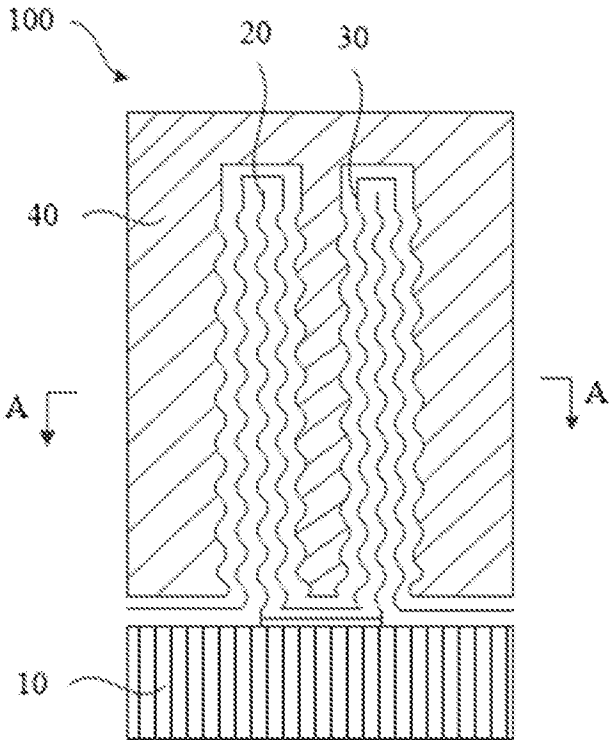


图 10

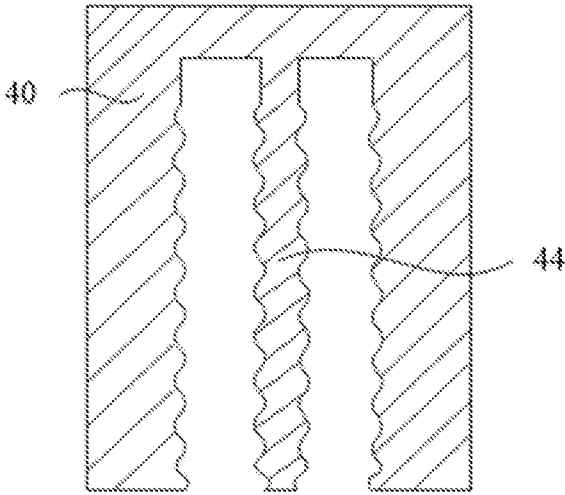


图 11

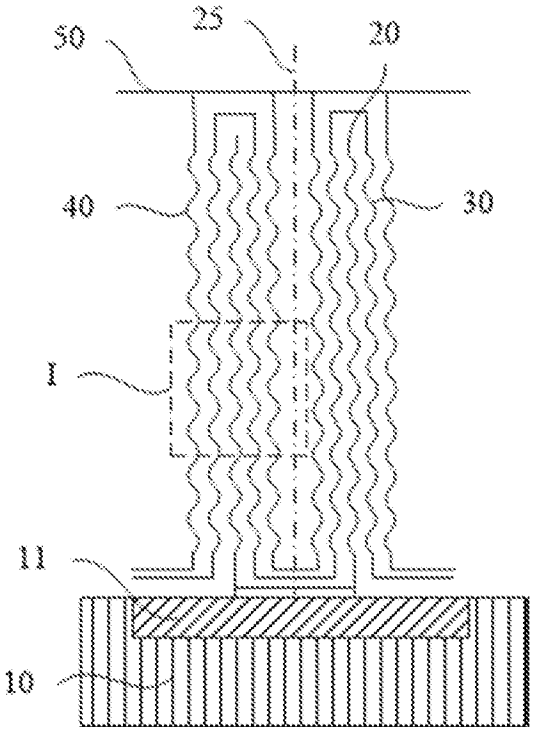


图 12

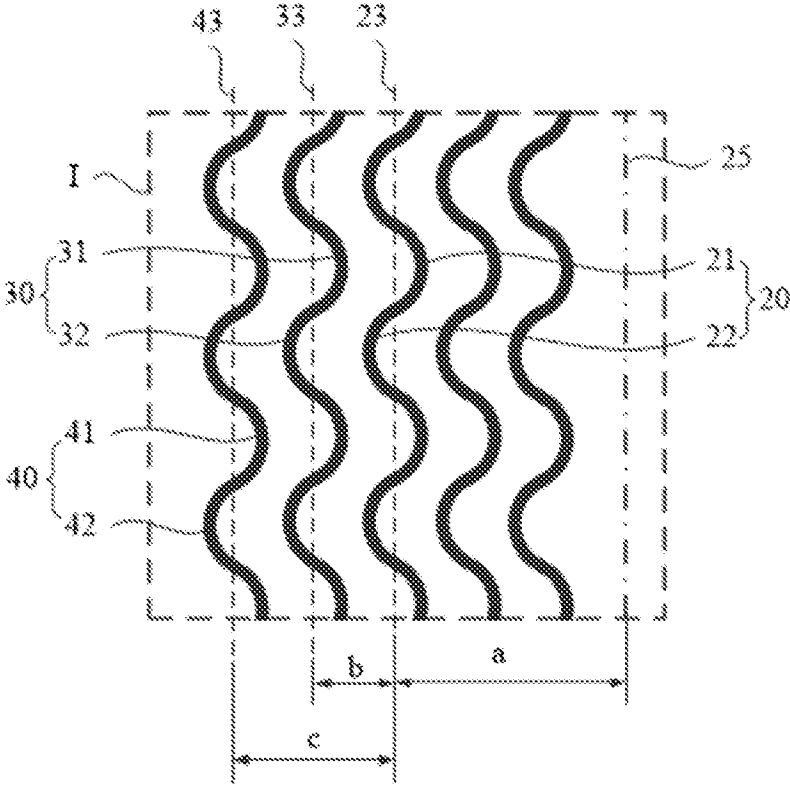


图 13

A-A

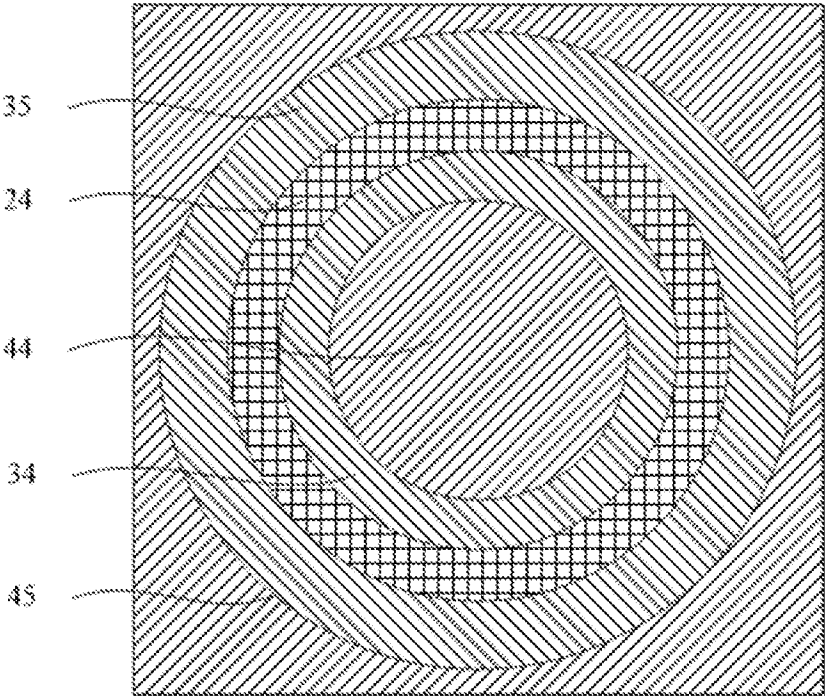


图 14

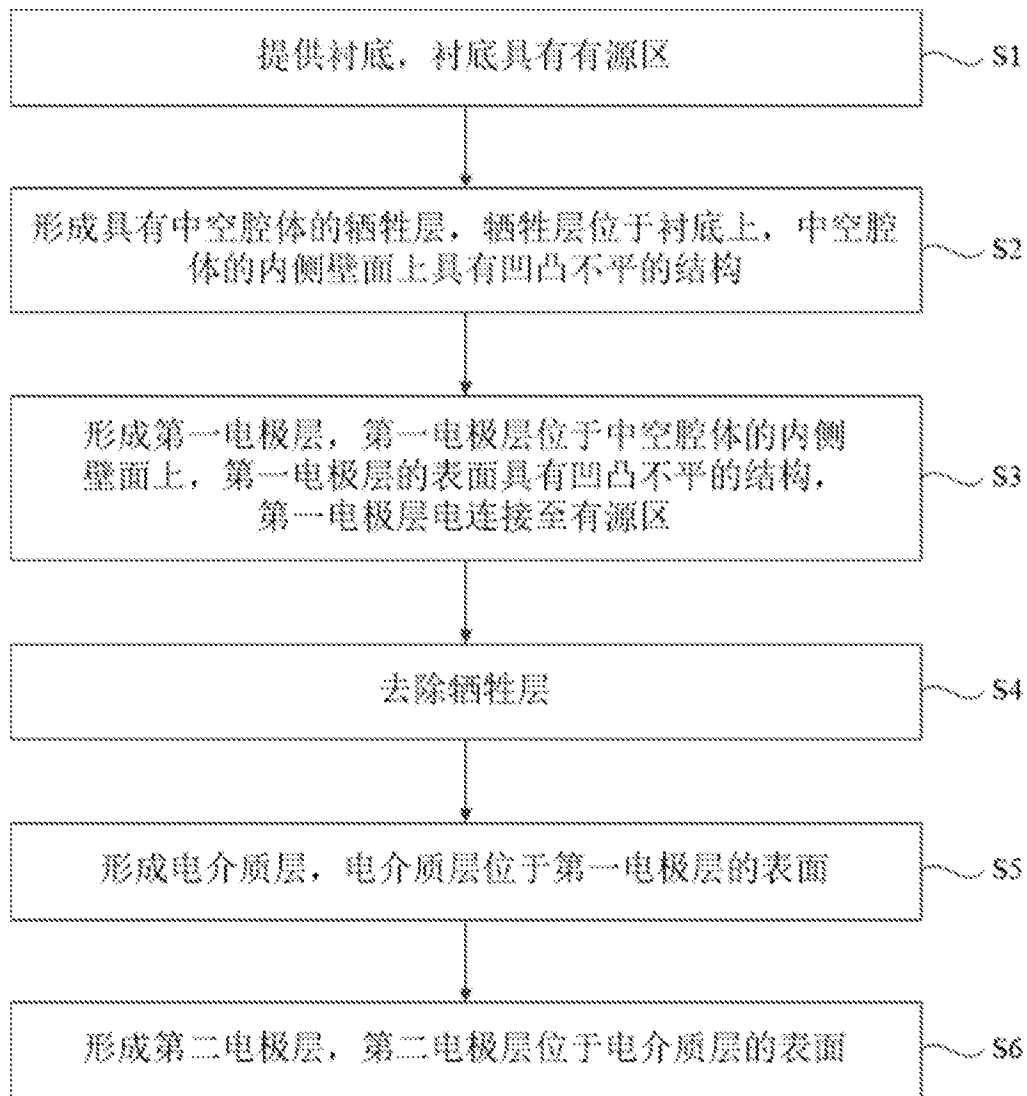


图 15

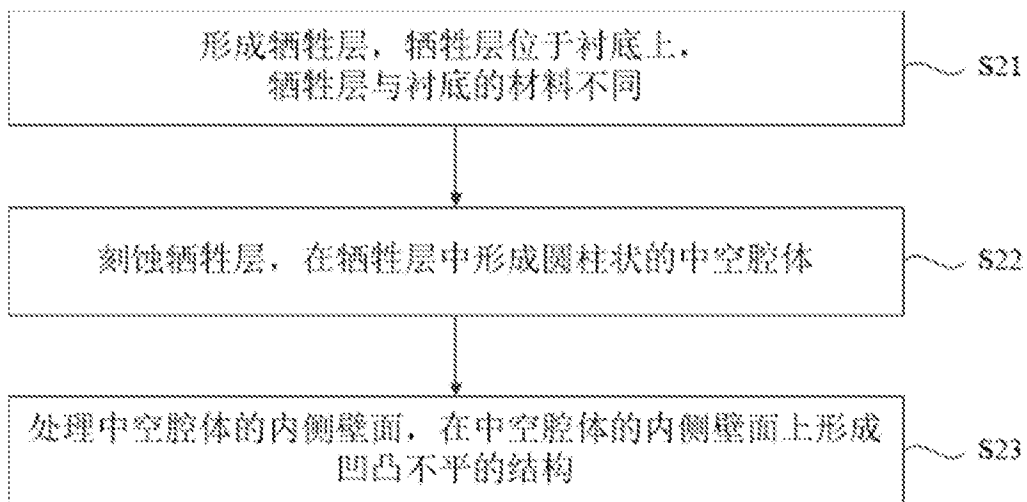


图 16

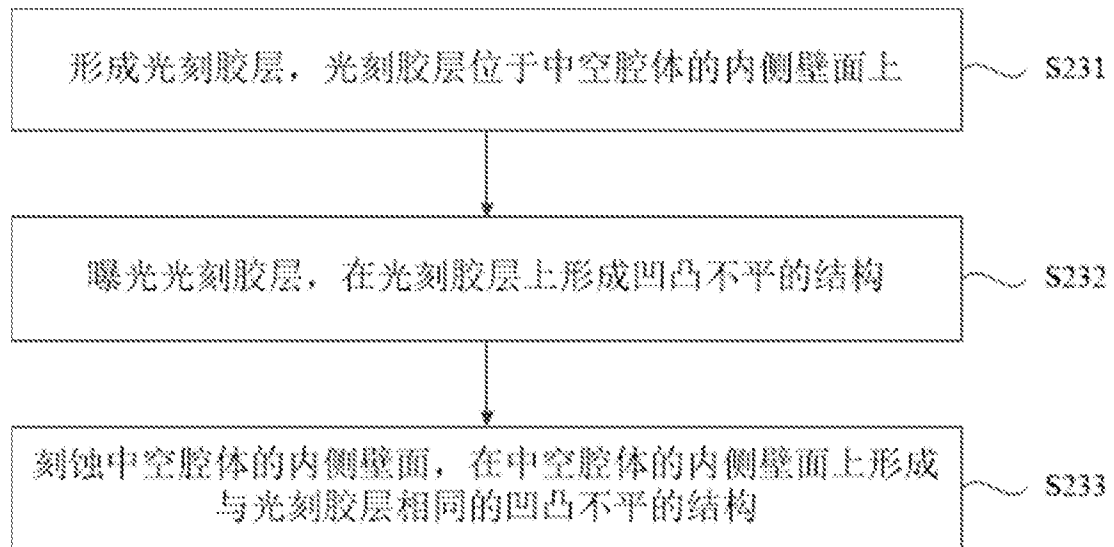


图 17

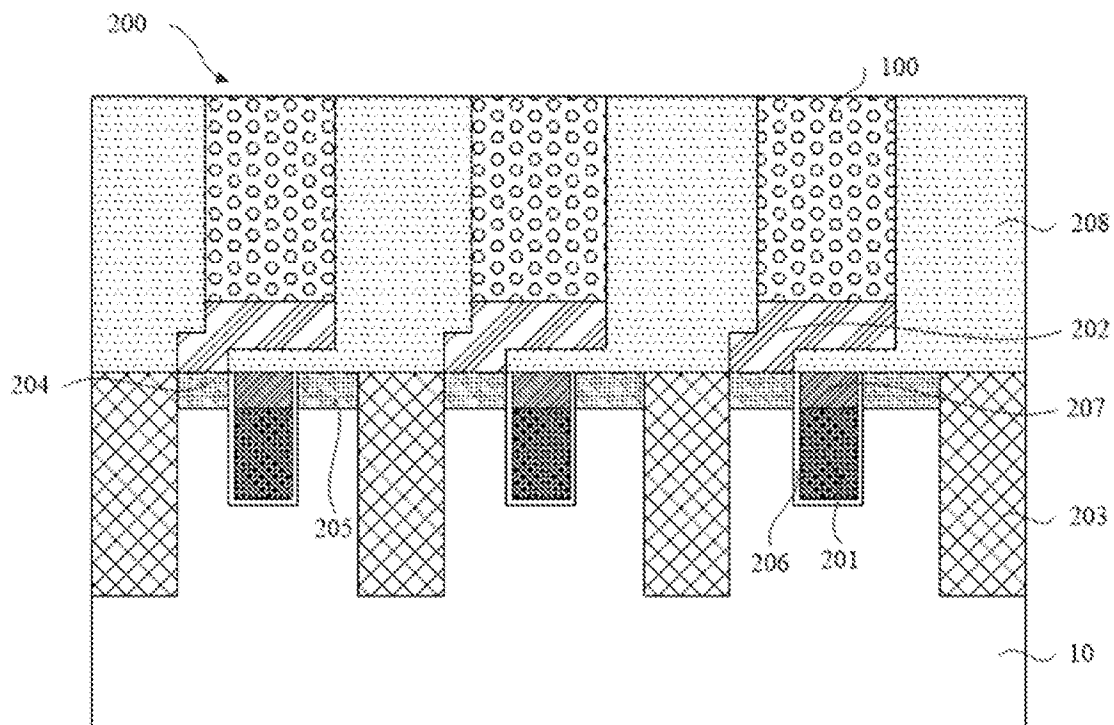


图 18

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/100192

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/108(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; WPABSC; USTXTC; DWPI; VEN; CNKI: 电容器, 侧壁, 凹陷, 凹凸, 波纹, 锯齿, 光阻, 光刻胶, capacitor, sidewall, recess, unevenness, corrugation, sawtooth, photoresist

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5354705 A (MICRON SEMICONDUCTOR INC.) 11 October 1994 (1994-10-11) description, column 3, line 6 - column 4, line 66, figures 1-5	1-13, 15
Y	US 5354705 A (MICRON SEMICONDUCTOR INC.) 11 October 1994 (1994-10-11) description, column 3, line 6 - column 4, line 66, figures 1-5	14
Y	US 4906590 A (MITSUBISHI DENKI KABUSHIKI KAISHA) 06 March 1990 (1990-03-06) description column 4 lines 1-53, figures 1A-1D	14
X	US 5556802 A (IBM) 17 September 1996 (1996-09-17) description column 3 line 51 - column 5 line 39, figures 1a-1g	1-13, 15
Y	US 5556802 A (IBM) 17 September 1996 (1996-09-17) description column 3 line 51 - column 5 line 39, figures 1a-1g	14
X	US 5438011 A (MICRON TECHNOLOGY INC.) 01 August 1995 (1995-08-01) description, column 2, line 45 - column 4, line 41, figures 1-11	1-13, 15
Y	US 5438011 A (MICRON TECHNOLOGY INC.) 01 August 1995 (1995-08-01) description, column 2, line 45 - column 4, line 41, figures 1-11	14
A	CN 1873987 A (SAMSUNG ELECTRONICS CO., LTD.) 06 December 2006 (2006-12-06) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

26 September 2021

Date of mailing of the international search report

20 October 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/100192

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	5354705	A	11 October 1994	None			
US	4906590	A	06 March 1990	JP	H01282855	A	14 November 1989
US	5556802	A	17 September 1996	None			
US	5438011	A	01 August 1995	WO	9627902	A1	12 September 1996
CN	1873987	A	06 December 2006	US	2006267019	A1	30 November 2006
				JP	2006339632	A	14 December 2006
				KR	100634241	B1	13 October 2006

国际检索报告

国际申请号

PCT/CN2021/100192

A. 主题的分类 H01L 27/108(2006.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																										
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L27/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS;CNTXT;WPABSC;USTXTC;DWPI;VEN;CNKI:电容器, 侧壁, 凹陷, 凹凸, 波纹, 锯齿, 光阻, 光刻胶, capacitor, sidewall, recess, unevenness, corrugation, sawtooth, photoresist																										
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 5354705 A (MICRON SEMICONDUCTOR INC) 1994年 10月 11日 (1994 - 10 - 11) 说明书第3栏第6行-第4栏第66行, 图1-5</td> <td>1-13、15</td> </tr> <tr> <td>Y</td> <td>US 5354705 A (MICRON SEMICONDUCTOR INC) 1994年 10月 11日 (1994 - 10 - 11) 说明书第3栏第6行-第4栏第66行, 图1-5</td> <td>14</td> </tr> <tr> <td>Y</td> <td>US 4906590 A (MITSUBISHI DENKI KABUSHIKI KAISHA) 1990年 3月 6日 (1990 - 03 - 06) 说明书第4栏第1-53行, 图1A-1D</td> <td>14</td> </tr> <tr> <td>X</td> <td>US 5556802 A (IBM) 1996年 9月 17日 (1996 - 09 - 17) 说明书第3 栏第51 行-第5 栏第39 行, 图1a-1g</td> <td>1-13、15</td> </tr> <tr> <td>Y</td> <td>US 5556802 A (IBM) 1996年 9月 17日 (1996 - 09 - 17) 说明书第3 栏第51 行-第5 栏第39 行, 图1a-1g</td> <td>14</td> </tr> <tr> <td>X</td> <td>US 5438011 A (MICRON TECHNOLOGY INC) 1995年 8月 1日 (1995 - 08 - 01) 说明书第2栏第45行-第4栏第41行, 图1-11</td> <td>1-13、15</td> </tr> <tr> <td>Y</td> <td>US 5438011 A (MICRON TECHNOLOGY INC) 1995年 8月 1日 (1995 - 08 - 01) 说明书第2栏第45行-第4栏第41行, 图1-11</td> <td>14</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	US 5354705 A (MICRON SEMICONDUCTOR INC) 1994年 10月 11日 (1994 - 10 - 11) 说明书第3栏第6行-第4栏第66行, 图1-5	1-13、15	Y	US 5354705 A (MICRON SEMICONDUCTOR INC) 1994年 10月 11日 (1994 - 10 - 11) 说明书第3栏第6行-第4栏第66行, 图1-5	14	Y	US 4906590 A (MITSUBISHI DENKI KABUSHIKI KAISHA) 1990年 3月 6日 (1990 - 03 - 06) 说明书第4栏第1-53行, 图1A-1D	14	X	US 5556802 A (IBM) 1996年 9月 17日 (1996 - 09 - 17) 说明书第3 栏第51 行-第5 栏第39 行, 图1a-1g	1-13、15	Y	US 5556802 A (IBM) 1996年 9月 17日 (1996 - 09 - 17) 说明书第3 栏第51 行-第5 栏第39 行, 图1a-1g	14	X	US 5438011 A (MICRON TECHNOLOGY INC) 1995年 8月 1日 (1995 - 08 - 01) 说明书第2栏第45行-第4栏第41行, 图1-11	1-13、15	Y	US 5438011 A (MICRON TECHNOLOGY INC) 1995年 8月 1日 (1995 - 08 - 01) 说明书第2栏第45行-第4栏第41行, 图1-11	14
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																								
X	US 5354705 A (MICRON SEMICONDUCTOR INC) 1994年 10月 11日 (1994 - 10 - 11) 说明书第3栏第6行-第4栏第66行, 图1-5	1-13、15																								
Y	US 5354705 A (MICRON SEMICONDUCTOR INC) 1994年 10月 11日 (1994 - 10 - 11) 说明书第3栏第6行-第4栏第66行, 图1-5	14																								
Y	US 4906590 A (MITSUBISHI DENKI KABUSHIKI KAISHA) 1990年 3月 6日 (1990 - 03 - 06) 说明书第4栏第1-53行, 图1A-1D	14																								
X	US 5556802 A (IBM) 1996年 9月 17日 (1996 - 09 - 17) 说明书第3 栏第51 行-第5 栏第39 行, 图1a-1g	1-13、15																								
Y	US 5556802 A (IBM) 1996年 9月 17日 (1996 - 09 - 17) 说明书第3 栏第51 行-第5 栏第39 行, 图1a-1g	14																								
X	US 5438011 A (MICRON TECHNOLOGY INC) 1995年 8月 1日 (1995 - 08 - 01) 说明书第2栏第45行-第4栏第41行, 图1-11	1-13、15																								
Y	US 5438011 A (MICRON TECHNOLOGY INC) 1995年 8月 1日 (1995 - 08 - 01) 说明书第2栏第45行-第4栏第41行, 图1-11	14																								
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																										
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																						
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																									
国际检索实际完成的日期		国际检索报告邮寄日期																								
2021年 9月 26日		2021年 10月 20日																								
ISA/CN的名称和邮寄地址		授权官员																								
中国国家知识产权局(ISA/CN) 中国 北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		周文龙 电话号码 86-(20)-28950729																								

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 1873987 A (三星电子株式会社) 2006年 12月 6日 (2006 - 12 - 06) 全文	1-15

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/100192

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	5354705	A	1994年 10月 11日	无			
US	4906590	A	1990年 3月 6日	JP	H01282855	A	1989年 11月 14日
US	5556802	A	1996年 9月 17日	无			
US	5438011	A	1995年 8月 1日	WO	9627902	A1	1996年 9月 12日
CN	1873987	A	2006年 12月 6日	US	2006267019	A1	2006年 11月 30日
				JP	2006339632	A	2006年 12月 14日
				KR	100634241	B1	2006年 10月 13日