

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2015-518230

(P2015-518230A)

(43) 公表日 平成27年6月25日 (2015.6.25)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 13/00 (2006.01)	G 1 1 C 13/00 4 8 0 H	5 F 0 8 3
H 0 1 L 27/105 (2006.01)	H 0 1 L 27/10 4 4 8	
H 0 1 L 27/10 (2006.01)	H 0 1 L 27/10 4 8 1	
H 0 1 L 45/00 (2006.01)	H 0 1 L 45/00 A	
H 0 1 L 49/00 (2006.01)	H 0 1 L 45/00 Z	
審査請求 未請求 予備審査請求 未請求 (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2015-505916 (P2015-505916)
(86) (22) 出願日 平成25年4月11日 (2013.4.11)
(85) 翻訳文提出日 平成26年11月7日 (2014.11.7)
(86) 国際出願番号 PCT/US2013/036209
(87) 国際公開番号 W02013/155326
(87) 国際公開日 平成25年10月17日 (2013.10.17)
(31) 優先権主張番号 13/445,577
(32) 優先日 平成24年4月12日 (2012.4.12)
(33) 優先権主張国 米国 (US)

(71) 出願人 595168543
マイクロン テクノロジー, インク.
アメリカ合衆国, アイダホ州 83716
-9632, ボイズ, サウス フェデ
ラル ウェイ 8000
(74) 代理人 100074099
弁理士 大冢 義之
(74) 代理人 100106851
弁理士 野村 泰久
(72) 発明者 ティブルジ, マルコ-ドメニコ
イタリア共和国, 67051, アヴェッツ
アーノ, ヴィア グラムシ 4

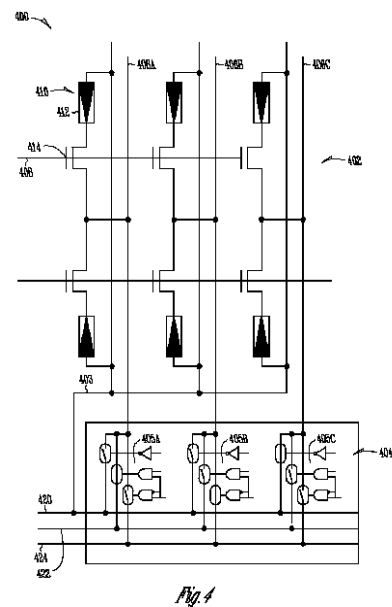
最終頁に続く

(54) 【発明の名称】 セット電圧とリセット電圧とを同時に供給する装置および方法

(57) 【要約】

アレイ内の異なる可変状態材料メモリセルにリセット電圧とセット電圧とを同時に供給するよう構成されたドライバ回路を有するものなどの装置および方法が説明される。さらなる装置および方法も説明される。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

それぞれが可変状態材料を含むメモリ・セルのアレイと、
前記アレイ内の異なるメモリ・セルにリセット電圧とセット電圧とを同時に供給するよう、前記メモリ・セルのアレイに連結されたドライバとを含む、記憶素子。

【請求項 2】

前記可変状態材料が、抵抗スイッチング材料を含む、請求項 1 に記載の記憶素子。

【請求項 3】

前記ドライバが、前記アレイ内の異なるメモリ・セルに 3 つの異なる電圧を同時に供給するよう構成される、請求項 1 に記載の記憶素子。

10

【請求項 4】

前記 3 つの異なる電圧が、セット電圧、リセット電圧および禁止電圧を含む、請求項 3 に記載の記憶素子。

【請求項 5】

前記アレイが、メモリ・セルにアクセスするためのセクタ素子をさらに備える、請求項 1 に記載の記憶素子。

【請求項 6】

前記セクタ素子が、N チャネル・トランジスタを含む、請求項 5 に記載の記憶素子。

【請求項 7】

前記セクタ素子が、P チャネル・トランジスタを含む、請求項 5 に記載の記憶素子。

20

【請求項 8】

リセット電圧入力ノードとセット電圧入力ノードとを含む、複数の電圧入力ノードと、メモリ・セルのアレイ内の異なるメモリ・セルに前記リセット電圧入力ノードと前記セット電圧入力ノードを同時に選択的に連結するセクタ回路とを備える、ドライバ回路。

【請求項 9】

前記セクタ回路が、多数のデータ線に連結され、前記セクタ回路が、前記多数のデータ線を介して、前記アレイ内の前記異なるメモリ・セルに前記電圧入力ノードを選択的に連結する、請求項 8 に記載のドライバ回路。

【請求項 10】

前記複数の電圧入力ノードが、3 つの異なる電圧入力ノードを含む、請求項 8 に記載のドライバ回路。

30

【請求項 11】

前記 3 つの電圧入力ノードが、セット電圧ノード、リセット電圧ノードおよび禁止電圧ノードを含む、請求項 10 に記載のドライバ回路。

【請求項 12】

前記メモリ・セルのそれぞれが、可変状態材料を含む、請求項 8 に記載のドライバ回路。

【請求項 13】

前記複数の電圧入力ノードが、4 ボルトにほぼ等しいセット電圧ノードを含む、請求項 12 に記載のドライバ回路。

40

【請求項 14】

前記複数の電圧入力ノードが、2 ボルトにほぼ等しいリセット電圧ノードを含む、請求項 12 に記載のドライバ回路。

【請求項 15】

前記複数の電圧入力ノードが、3 ボルトにほぼ等しい禁止電圧ノードを含む、請求項 12 に記載のドライバ回路。

【請求項 16】

それぞれが抵抗スイッチング材料を含むメモリ・セルのアレイと、
前記アレイ内の前記メモリ・セルの選択されたメモリ・セルにリセット電圧とセット電圧を同時に供給するよう、前記アレイのデータ線に連結されたドライバ回路とを含む、装

50

置。

【請求項 17】

前記セルのそれぞれが、第1の電極と第2の電極とをさらに含み、前記スイッチング材料が前記第1の電極と第2の電極との間にある、請求項16に記載の装置。

【請求項 18】

前記ドライバ回路に連結されたホスト・プロセッサをさらに含む、請求項16に記載の装置。

【請求項 19】

前記ホスト・プロセッサと前記メモリ・セルのアレイが、単一のチップ・アセンブリ内にある、請求項18に記載の装置。

【請求項 20】

複数の抵抗変化型ランダム・アクセス・メモリ・セルを選択する工程と、

前記選択された複数内の前記メモリ・セルの異なるメモリ・セルにリセット電圧とセット電圧とを同時に駆動させる工程とを含む方法。

【請求項 21】

前記選択された複数内の前記メモリ・セルの異なるメモリ・セルにリセット電圧とセット電圧とを同時に駆動させる前記工程が、前記選択された複数内の前記メモリ・セルの異なるメモリ・セルにリセット電圧と、セット電圧と、禁止電圧とを同時に駆動させる工程とを含む、請求項20に記載の方法。

【請求項 22】

前記選択された複数内の前記メモリ・セルの異なるメモリ・セルにリセット電圧とセット電圧とを同時に駆動させる前記工程が、ドライバ回路を用いて、前記リセット電圧とセット電圧とを駆動させる工程を含む、請求項20に記載の方法。

【請求項 23】

列デコーダが、前記ドライバ回路を含み、複数の抵抗変化型ランダム・アクセス・メモリ・セルを選択する前記工程が、行選択回路を用いて、複数の抵抗変化型ランダム・アクセス・メモリ・セルを選択する工程を含む、請求項22に記載の方法。

【請求項 24】

前記選択された複数内の前記メモリ・セルの異なるメモリ・セルにリセット電圧とセット電圧とを同時に駆動させる前記工程が、実質的にディスクリットなりセット電圧とセット電圧とを駆動させる工程を含む、請求項20に記載の方法。

【請求項 25】

前記選択された複数内の前記メモリ・セルの異なるメモリ・セルにリセット電圧とセット電圧とを同時に駆動させる前記工程が、前記選択された複数内の前記メモリ・セルの異なるメモリ・セルに、実質的にディスクリットな、禁止電圧と、リセット電圧とセット電圧とを同時に駆動させる工程を含む、請求項24に記載の方法。

【請求項 26】

前記セット電圧が、前記禁止電圧プラス電圧オフセットに実質的に等しく、前記リセット電圧が、実質的に、前記禁止電圧マイナス前記電圧オフセットに実質的に等しい、請求項21に記載の方法。

【請求項 27】

前記禁止電圧が約3ボルトであり、前記電圧オフセットが約1ボルトである、請求項26に記載の方法。

【請求項 28】

前記リセット電圧が前記禁止電圧より低く、前記禁止電圧が前記セット電圧より低い、請求項21に記載の方法。

【請求項 29】

メモリ・セルを形成するため、セレクト素子に可変状態材料を連結させる工程と、
複数の伝送線に複数のメモリ・セルを連結させる工程と、
前記複数の伝送線にドライバを連結する工程と、

10

20

30

40

50

異なる伝送線に２つ以上の異なる電圧を同時に供給できる前記ドライバ内に回路を形成する工程とを含む、方法。

【請求項３０】

前記ドライバ内に回路を形成する前記工程が、同じ極性の３つの異なる電圧の能力を持つ回路を形成する工程を含み、禁止電圧が前記セット電圧より低く、前記セット電圧が前記リセット電圧より低い、請求項２９に記載の方法。

【請求項３１】

前記ドライバ内に回路を形成する前記工程が、同じ極性の３つの異なる電圧の能力を持つ回路を形成する工程を含み、禁止電圧が、前記リセット電圧より低く、前記リセット電圧が前記セット電圧より低い、請求項２９に記載の方法。

10

【請求項３２】

前記ドライバ内に回路を形成する前記工程が、同じ極性の３つの異なる電圧の能力を持つ回路を形成する工程を含み、禁止電圧が前記セット電圧より高く、前記セット電圧が前記リセット電圧より高い、請求項２９に記載の方法。

【請求項３３】

前記ドライバ内に回路を形成する前記工程が、同じ極性の３つの異なる電圧の能力を持つ回路を形成する工程を含み、禁止電圧が前記リセット電圧より高く、前記リセット電圧が前記セット電圧より高い、請求項２９に記載の方法。

【発明の詳細な説明】

【技術分野】

20

【０００１】

< 関連案件の相互参照 >

本願は、２０１２年４月１２日出願の米国特許非仮出願第１３／４４５，５７７号の優先権を主張し、同出願は、その全体が参照により本明細書に援用される。

【背景技術】

【０００２】

一部の半導体素子には、可変状態材料が含まれる。例えば、抵抗変化型ランダムアクセスメモリ（ＲＲＡＭ（登録商標））セルなどのメモリ・セルには、その状態が高抵抗状態から低抵抗状態に変化し、再度元に戻りうる可変状態材料が含まれる。可変状態材料は、多くの場合、不揮発性で、小型のフォーム・ファクタを有するメモリ・セルに構成可能である。しかし、一部の構成では、可変状態材料は、フラッシュ・メモリなどのその他の記憶技術よりもプログラム時間を要する場合がある。速度や信頼性などの性能を改善させる半導体素子の設計が求められている。

30

【図面の簡単な説明】

【０００３】

【図１】本発明の一実施形態に係るメモリ・セル構成要素の第１の状態をセットするブロック図である。

【図２】本発明の一実施形態に係る、図１のメモリ・セル構成要素の第２の状態をセットするブロック図である。

【図３】本発明の一実施形態に係る可変抵抗材料の電圧 - 電流図である。

40

【図４】本発明の一実施形態に係る記憶素子の回路図である。

【図５】本発明の一実施形態に係る電圧表である。

【図６】本発明の一実施形態に係る記憶素子のブロック図である。

【図７】本発明の一実施形態に係る記憶素子を備える情報処理システムの図である。

【発明を実施するための形態】

【０００４】

本発明の様々な実施形態の以下の詳細な説明において、本発明の一部を形成し、例示により、本発明が実施しうる特定の実施形態が図示される添付の図面を参照する。これらの実施形態は、当業者が本発明を実施しうるのに十分詳細に説明される。その他の実施形態を使用してもよく、構造的、論理的および電氣的な変更が行われてもよい。

50

【 0 0 0 5 】

図 1 は、本発明の実施の形態に係るメモリ・セルの例示的な構成要素 1 0 0 を示す。可変状態材料 1 0 2 は、第 1 の電極 1 0 4 と第 2 の電極 1 0 6 との間に配置されている。選択された例では、可変状態材料 1 0 2 は 1 つしか図示されていないが、第 1 の電極 1 0 4 と第 2 の電極 1 0 6 との間に可変状態材料を有するほか、中間材料層などのその他の構造が含まれていてもよい。一例では、可変状態材料 1 0 2 は、抵抗スイッチング材料である。可変状態材料 1 0 2 のその他の例には、磁気スイッチング材料、または検出可能な電子状態を有するその他のスイッチング材料が含まれていてもよい。

【 0 0 0 6 】

一例では、可変状態材料 1 0 2 にわたり、電圧が方向 1 1 0 に印加されると、可変状態材料 1 0 2 の状態が、高抵抗状態 1 0 3 から低抵抗状態 1 0 5 に変化する。構成要素 1 0 0 などの構成要素を含むメモリ・セルのアレイでは、高抵抗状態が、論理 1 または論理 0 の値などの、データのデジタル・ビットを表してもよい。行列選択回路などの選択回路を用いて、セルのアレイから（可変状態材料 1 0 2 を含む）必要なメモリ・セルを選択し、抵抗状態を問い合わせるおよび / または変更し、データ回収および保存機能を提供してもよい。

【 0 0 0 7 】

可変状態材料 1 0 2 の物理的状态（それゆえ抵抗）を変更するために、多くの機構を使用することができる。一例では、可変状態材料 1 0 2 は、実質的にアモルファス状態から、実質的に結晶の状態に変更される。別の例では、電圧が印加されると、第 1 の電極 1 0 4 と第 2 の電極 1 0 6 との間の距離にわたる可変状態材料 1 0 2 内に 1 つ以上の導電性フィラメントが形成される。様々な機構において、状態変化は可逆である。

【 0 0 0 8 】

図 2 は、低抵抗状態 1 0 5 にある、図 1 の例示的な構成要素 1 0 0 を示す。可変状態材料 1 0 2 は、図 1 に示す方向とは逆の方向に第 2 の電圧 1 1 2 を印加することにより、低抵抗状態 1 0 5 から高抵抗状態 1 0 3 に戻る。このように、可変状態材料 1 0 2 の物理的状态（それゆえ抵抗）は、少なくとも 2 つの考えられうる状態の選択した方を取るよう、必要に応じて変更できる。

【 0 0 0 9 】

図 3 は、両極性可変状態材料の例示的な電圧 / 電流図 3 0 0 を示す。この図では、電圧が X 軸 3 0 2 に、電流が Y 軸 3 0 4 に示される。動作時、可変状態材料は、図示した曲線 3 0 1 の高抵抗部分 3 0 6 に沿って高抵抗挙動を示す。印加された電圧が基準電圧レベル 3 1 8 に対して、第 1 の電圧範囲 3 1 0 内、または第 2 の電圧範囲 3 1 2 内である場合、可変状態材料は、曲線 3 0 1 の高抵抗部分 3 0 6 内に留まる。印加された電圧が基準電圧レベル 3 1 8 に対して、第 3 の電圧 3 1 4（同様に電圧範囲 3 1 0 の上限よりも大きい）以上の場合、可変状態材料は、曲線 3 0 1 上の点 3 0 3 によって示されるように、低抵抗を示し、曲線 3 0 1 の低抵抗部分 3 0 8 に移動する。可変状態材料は、印加された電圧の振幅が基準電圧レベル 3 1 8 に対して第 4 の電圧 3 1 6（同様に電圧範囲 3 1 2 の振幅よりも大きい）以上になるまで、曲線 3 0 1 の低抵抗部分 3 0 8 に留まる。その後、可変状態材料は、曲線 3 0 1 の高抵抗部分 3 0 6 に再び戻る。

【 0 0 1 0 】

図 3 は、両極性可変状態材料の挙動を示しているが、本明細書に記載する一部の素子では、単極性可変状態材料を用いてもよい。単極性可変状態材料では、振幅の異なる印加電圧を同じ方向に印加することによって状態を変更することができる。両極性の一例では、基準電圧 3 1 8 は、約 0 ボルトであるが、第 3 の電圧 3 1 4 および第 4 の電圧 3 1 6 は、振幅が実質的に等しく、極性が逆となる。例えば、第 3 の電圧 3 1 4 が約 1 ボルト、第 4 の電圧 3 1 6 が約 - 1 ボルトとなる。

【 0 0 1 1 】

正のみの電圧範囲の例では、基準電圧 3 1 8 は、約 3 ボルトで、電圧オフセットで定義されたように、第 3 の電圧 3 1 4 および第 4 の電圧 3 1 6 は、振幅が同じである。例えば

10

20

30

40

50

、第3の電圧314が約4ボルト（基準電圧318＋約1ボルトの電圧オフセット）、第4の電圧316が約2ボルト（基準電圧318－約1ボルトの電圧オフセット）であってもよい。

【0012】

可変状態材料は、比較的小さな不揮発性のメモリ・セルに形成されてもよい。一例では、6つのトランジスタを用いるトランジスタ・ベースのスタティック・ランダム・アクセス・メモリ（SRAM）セルとは異なり、トランジスタ1個、抵抗1個（1T1R）構成が可能である。

【0013】

図4は、本発明の一実施形態に係る可変状態材料を含む装置400の例示的な回路図である。一例では、装置400は、記憶素子を含む。本明細書に用いられるように、「装置」は、システム、素子、回路、チップ・アセンブリなどを含むが、これに限定されない多くの異なる構造のいずれかを指すのに広義に用いられる。図4の一例では、装置400は、メモリ・セル410のアレイ402と駆動回路404を含む。一例では、駆動回路404は、アレイ402内の異なるメモリ・セル410に異なる電圧を同時に供給するよう構成される。

【0014】

アレイ402内の少なくとも一部のメモリ・セル410は、可変状態材料構成要素412を含む。一例では、可変状態材料構成要素412は、図1および図2に示した例と同様または同じく、第1の電極と第2の電極との間に連結された可変状態材料を含む。アレイ402内のメモリ・セル410は、セクタ素子414をさらに含んでもよい。クロス・ポイント・アーキテクチャなどの選択された例では、選択素子が含まれていなくてもよい。一例では、セクタ素子414は、n形金属酸化膜（NMOS）トランジスタを含む。一例では、セクタ素子414は、p形金属酸化膜（PMOS）トランジスタを含む。セクタ素子414のその他の例には、さらなる回路、ダイオード、およびその他の電子素子が含まれていてもよい。

【0015】

図4は、アレイ402内のセクタ素子414に連結された多数のアクセス線408をさらに示す。一例では、多数のアクセス線408は、多数のワード線を含む。図示したソース403、および多数のデータ線406a～406cは、アレイ402内のメモリ・セル410に連結される。一例では、多数のデータ線406は、多数のビット線を含む。図4の例では、駆動回路404は、列ドライバとして構成される。

【0016】

一例では、駆動回路404は、異なるメモリ・セルのデータ線406a～406cに複数の異なる電圧を同時に供給するよう構成される。図示される駆動回路404は、第1の電圧入力ノード420、第2の電圧入力ノード422、および第3の電圧入力ノード424を含む。3つの異なる電圧入力ノードが図示されているが、2つの電圧入力ノード、もしくは4つ以上の電圧入力ノードを含むその他の構成が様々な実施形態の範囲にある。

【0017】

また、ドライバ回路は、電圧入力ノード420、422、424を異なるメモリ・セルに同時に選択的に連結するドライバ回路404を有してもよい。選択回路404は、それぞれが電圧入力ノード420、422、424のいずれか1つを選択でき、それに応じて、アレイ402内の1つ以上の選択されたメモリ・セル410に選択した電圧を印加する多数のセクタ回路405a～405cを有してもよい。図に示した例では、セクタ回路405a～405cを個別に選択し、アレイ402内の異なるメモリ・セル410に異なる電圧を印加できる。一例では、異なる電圧は、印加時間の間、実質的に一定である個別の電圧である。一例では、電圧入力ノード420、422、424上の異なる電圧は、選択された時間の間、可変であってもよい。

【0018】

一例では、電圧入力ノード420、422、424は、セット電圧ノード、リセット電

10

20

30

40

50

圧ノード、および禁止電圧ノードとして構成される。図3を例として用いると、基準電圧318は、禁止電圧を含む。禁止電圧を受けるアレイ402内のメモリ・セル410は、高抵抗状態にプログラムされず、すなわち、高抵抗状態から低抵抗状態に戻される。

【0019】

セット電圧は、第3の電圧314などの禁止電圧+オフセット電圧を含んでいてもよい。リセット電圧は、第4の電圧316などの禁止電圧-オフセット電圧を含んでいてもよい。

【0020】

例えば、図示される第1のセクタ回路405aは、データ線406aに第2の電圧入力ノード422を選択的に連結する。一例では、第2の電圧入力ノード422は、セット電圧を含む。一例では、セット電圧は、4ボルトにほぼ等しい。

10

【0021】

図示される第2のセクタ回路405bは、データ線406bに第3の電圧入力ノード424を選択的に連結する。一例では、第3の電圧入力ノード424は、リセット電圧を含む。一例では、リセット電圧は、2ボルトにほぼ等しい。

【0022】

図示される第3のセクタ回路405cは、データ線406cに第1の電圧入力ノード420を選択的に連結する。一例では、第1の電圧入力ノード420は、禁止電圧を含む。一例では、禁止電圧は、3ボルトにほぼ等しい。

【0023】

20

動作時、セクタ回路405a~405cの各々は、個別に選択可能で、電圧入力線420, 422, 424から、任意の必要なデータ線406a~406cに任意の必要な電圧を同時に供給できる。装置400の性能は、図4に示すドライバ回路404を用いることで向上しうる。例えば、アレイ402の所定の列内の選択したセルが低抵抗状態にセットされる一方、アレイ402の別の所定の列内のその他の選択したセルを同時にリセットできる。さらに、同時に、印加された禁止電圧の結果、アレイ402内のその他のセルでは動作は実行できない。1つの電圧しかアレイに一度に駆動できない素子と比べて、データ・プログラミング動作時間を2倍超、短縮することができる。

【0024】

図5は、選択されたデータ線502、選択されていないデータ線504、選択されたアクセス線506、選択されていないアクセス線508の動作を示す例示的な電圧表である。一例では、図4のドライバ回路404は、図5の表に示す電圧を駆動する。一例示的な読み取り動作では、選択されたデータ線502は、読み取り電圧に駆動される。一例では、読み取り電圧は、図3の第1の電圧範囲310と同じである。さらなる例示的な読み取り動作では、選択されたアクセス線506は、論理高電圧に駆動され、選択されていないアクセス線508は、ほぼ接地に駆動される。一例では、選択されていないデータ線504は、待機電圧に駆動される。

30

【0025】

例示的なセット動作では、選択されたデータ線502は、禁止電圧+電圧オフセットに駆動される。一例では、セット電圧は、図3の第3の電圧範囲314と同じである。さらなる例示的なセット動作では、選択されたアクセス線506は、論理高電圧に駆動され、選択されていないアクセス線508は、ほぼ接地に駆動される。一例では、選択されていないデータ線504は、禁止電圧に駆動される。一例では、禁止電圧は、図3の基準電圧318と同じである。

40

【0026】

例示的なリセット動作では、選択されたデータ線502は、禁止電圧-電圧オフセットに駆動される。一例では、リセット電圧は、図3の第4の電圧範囲316を含む。さらなる例示的なリセット動作では、選択されたアクセス線506は、論理高電圧に駆動され、選択されていないアクセス線508は、ほぼ接地に駆動される。一例では、選択されていないデータ線504は、禁止電圧に駆動される。一例では、禁止電圧は、図3の基準電圧

50

318を含む。

【0027】

図6は、図4のドライバ回路404と同様または同一のドライバ回路を含む記憶システム600の形態である装置の一部を示す。記憶システム600は、例えば、RRAMまたは上述の様々な実施形態で説明されたように動作する可変状態材料を含むその他のメモリ・セルなどを有してもよいメモリ・セルのアレイ602を含む。記憶システム600は、コマンド・バス608を介して記憶コマンドを受け取り、様々な記憶動作を実行するための対応する制御信号を記憶システム600内に生成するコマンド・デコーダ606を含む。アドレス・バス620を介して、行および列アドレス信号が記憶システム600に加えられ、アドレス・ラッチ610に供給される。次にアドレス・ラッチは、個別の列アドレスと個別の行アドレスを出力する。

10

【0028】

アドレス・ラッチ610によって行および列アドレスが、行アドレス・デコーダ622や列アドレス・デコーダ628などの選択回路にそれぞれ供給される。列アドレス・デコーダ628は、個々の列アドレスに対応して、アレイ602を通して延在するデータ線を選択する。一例では、列アドレス・デコーダ628は、図4のドライバ回路404と同様のドライバ回路を含む。行アドレス・デコーダ622は、受信した行アドレスに対応するアレイ602内のメモリ・セルの個々の行を作動させるアクセス線ドライバ624に接続される。一例では、アレイ602内のメモリ・セルの行は、図4のデータ線408に対応する。コマンド・デコーダ606は、メモリ・アレイ602上で様々な動作を実行するよう、コマンド・バス608に加えられるメモリ・コマンドに应答する。具体的には、コマンド・デコーダ606を用いて、メモリ・アレイ602からデータを読み取り、かつメモリ・アレイ602にデータを書き込むための内部制御信号を生成する。

20

【0029】

高レベル素子用途の一実施形態を示すため、コンピュータなどの情報処理システムの形態での本装置の一実施形態を図7に示す。図7は、本発明の一実施形態に係る、記憶素子707（例えば、図4に示す装置400および/または図6に示す装置600と同様のまたは同一の装置）を含む少なくとも1つのチップまたはチップ・アセンブリ704を含む情報処理システム700のブロック図である。アセンブリ704はまた、プロセッサ706およびその他の論理708を含んでいてもよい。

30

【0030】

一例では、記憶素子707は、RRAMなどの可変状態材料記憶素子を含む。図7に示す情報処理システム700は本発明を用いることができるシステムの一例にすぎない。その他の例としては、携帯情報端末（PDA）、タブレット・コンピュータ、カメラ、携帯電話、MP3プレイヤー、航空機、衛星、軍事車両などが含まれるが、これに限定されない。

【0031】

この例では、情報処理システム700は、システムの様々な構成要素を連結させるシステム・バス702を含むデータ処理システムを備える。システム・バス702は、情報処理システム700の様々な構成要素間に通信リンクを提供し、単一バスとして、バスの組み合わせとして、または任意のその他の方法で実施されうる。

40

【0032】

チップ・アセンブリ704は、システム・バス702に連結される。チップ・アセンブリ704は、任意の回路または動作可能にコンパチブルな回路の組み合わせを含んでいてもよい。一実施形態では、チップ・アセンブリ704は、どのタイプでもよいプロセッサ706を含む。本明細書において用いられるように、「プロセッサ」は、マイクロプロセッサ、マイクロコントローラ、グラフィック・プロセッサ、デジタル・シグナル・プロセッサ（DSP）、またはその他の種類のプロセッサまたは処理回路などであるが、これに限定されない、どの種類の計算回路をも意味する。「マルチコア」素子などの複数のプロセッサも本発明の範囲にある。

50

【 0 0 3 3 】

一実施形態では、上述の実施形態で説明される記憶素子などの記憶素子 7 0 7 は、チップ・アセンブリ 7 0 4 に含まれる。チップ・アセンブリ 7 0 4 では、様々な記憶素子構成を用いることができることが当業者には理解されよう。上述の通り、選択された実施形態において、記憶構成には、R R A M が含まれる。選択された実施形態において、メモリ・セルは、N A N D メモリまたは N O R メモリなどの異なる論理構成に配置される。

【 0 0 3 4 】

一実施形態では、プロセッサ・チップ以外の追加の論理チップ 7 0 8 がチップ・アセンブリ 7 0 4 に含まれる。プロセッサ以外の論理チップ 7 0 8 の例には、アナログ・デジタル・コンバータが含まれる。カスタム回路、特定用途向け集積回路 (A S I C) などの論理チップ 7 0 8 上のその他の回路も本発明の一実施形態に含まれる。

10

【 0 0 3 5 】

また、情報処理システム 7 0 0 は、1 つ以上のハード・ドライブ 7 1 2、および / またはフラッシュ・ドライブ、コンパクト・ディスク (C D)、デジタル・ビデオ・ディスク (D V D) などのリムーバブル媒体 7 1 3 を処理する 1 つ以上のドライブなどの特定の用途に適した 1 つ以上の記憶素子を含みうる外部メモリ 7 1 1 が含まれていてもよい。

【 0 0 3 6 】

また、情報処理システム 7 0 0 は、モニターなどの表示装置 7 0 9、スピーカなどの追加の周辺構成要素 7 1 0、キーボードおよび / またはマウス、タッチスクリーン・インターフェースなどを含みうるコントローラ 7 1 4、またはシステム・ユーザーが情報処理システム 7 0 0 に情報を入力し、情報処理システム 7 0 0 から情報を受信することができる任意のその他の装置を備えてもよい。

20

【 0 0 3 7 】

本発明の多くの実施形態が説明されているが、上記の説明は、すべてを網羅するものではない。本明細書において特定の実施形態が図示および説明されているが、図示した特定の実施形態に対して、同一の目的を達成するよう計算された任意の装置を代わりに用いることが当業者には理解されよう。本願は、本発明の応用例または変形例を包含することを意図する。上述の説明は、例示であり、限定的なものではない。上述の説明の調査時に、上述の実施形態およびその他の実施形態の組み合わせが当業者には明らかとなろう。

【 図 1 】

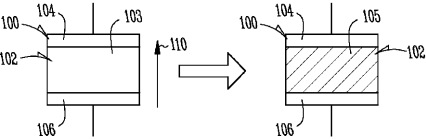


Fig.1

【 図 2 】

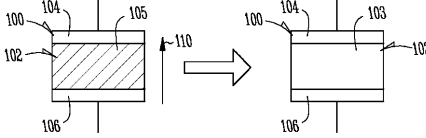
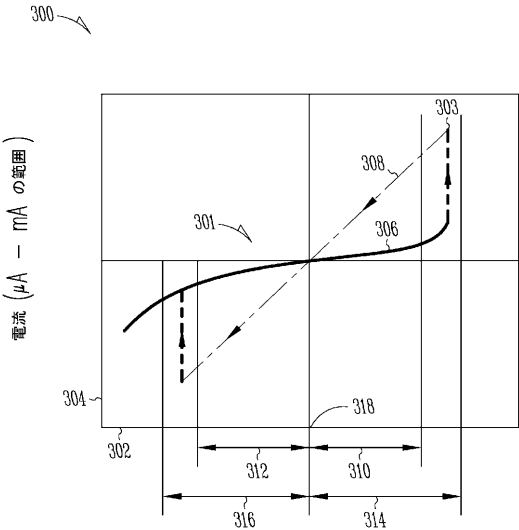


Fig.2

【 図 3 】



【 図 4 】

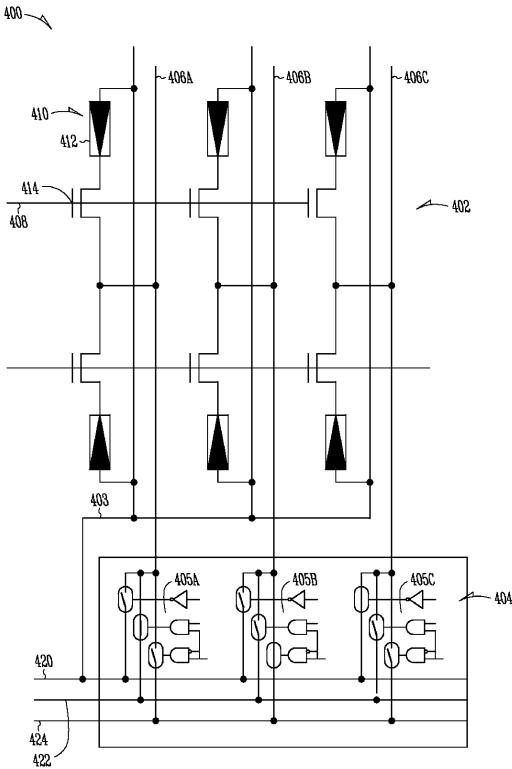
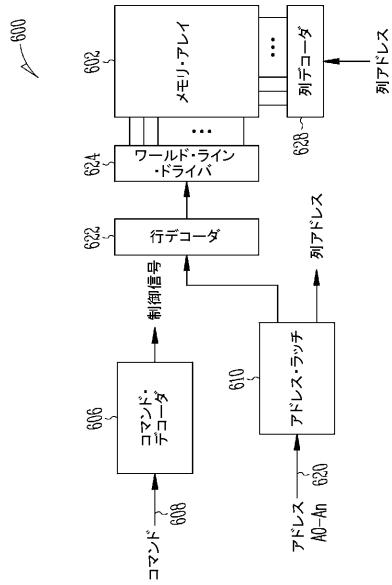


Fig.4

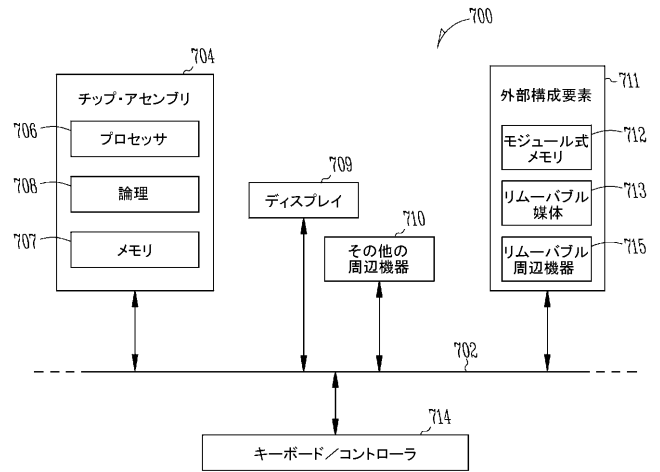
【 図 5 】

リセット	Vinhibit - DV	Vinhibit	HV	GND
セット	Vinhibit + DV	Vinhibit	HV	GND
読み取り	Vread	standby	HV	GND
sdl	ucl	swl	uwl	
502	504	506	508	



【図 6】



【図 7】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2013/036209
A. CLASSIFICATION OF SUBJECT MATTER G11C 13/00(2006.01)I, G11C 5/14(2006.01)I, G11C 7/20(2006.01)I		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G11C 13/00; G11C 8/00; H01L 47/00; G11C 11/00; G11C 8/08; G11C 5/14; G11C 7/20		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & keywords: variable, material, memory, set, reset, voltage, driver and similar terms.		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 2012-0020141 A1 (MAKOTO KITAGAWA et al.) 26 January 2012 See paragraphs 14, 32-39, 83-139, 191-198, 324; claim 14; and figure 5.	1-2, 5-9, 12, 16-20 , 22, 29 3-4, 10-11, 13-15, 21 , 23-28, 30-33
A	US 2010-0103724 A1 (HOJUNG KIM et al.) 29 April 2010 See paragraphs 37-40; and figure 4.	1-33
A	US 2010-0321978 A1 (HIROFUMI INOUE) 23 December 2010 See paragraphs 57-66; and figures 7, 9.	1-33
A	US 2008-0259678 A1 (SHUNSAKU MURAOKA et al.) 23 October 2008 See paragraphs 6-19; and figure 1.	1-33
A	US 2009-0039332 A1 (TZYH-CHEANG LEE et al.) 12 February 2009 See paragraphs 22-24; and figures 3a-13.	1-33
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 26 July 2013 (26.07.2013)		Date of mailing of the international search report 26 July 2013 (26.07.2013)
Name and mailing address of the ISA/KR  Korean Intellectual Property Office 189 Cheongsa-ro, Seo-gu, Daejeon Metropolitan City, 302-701, Republic of Korea Facsimile No. +82-42-472-7140		Authorized officer BYUN Sung Cheal  Telephone No. +82-42-481-8262

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2013/036209

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2012-0020141 A1	26/01/2012	CN 102347074 A JP 2012-027972 A KR 10-2012-0011783 A TW 201216281 A	08/02/2012 09/02/2012 08/02/2012 16/04/2012
US 2010-0103724 A1	29/04/2010	KR 10-2010-0045077 A US 8363474 B2	03/05/2010 29/01/2013
US 2010-0321978 A1	23/12/2010	CN 101896977 A CN 101896977 B EP 2240935 A1 EP 2240935 A4 EP 2240935 B1 JP 05072564 B2 JP 2009-140593 A KR 10-2010-0093559 A TW 200931440 A US 8467225 B2 WO 2009-075130 A1	24/11/2010 03/07/2013 20/10/2010 23/03/2011 24/10/2012 14/11/2012 25/06/2009 25/08/2010 16/07/2009 18/06/2013 18/06/2009
US 2008-0259678 A1	23/10/2008	CN 1894751 A CN 1894751 B CN 1894751 C0 EP 1695353 A1 JP 04499722 B2 JP 2007-515026 A JP 2010-108594 A KR 10-0814554 B1 KR 10-2006-0106849 A TW 1355661 B TW 1355661 I US 2007-0115714 A1 US 7369431 B2 US 7826247 B2 WO 2005-059921 A1	10/01/2007 03/11/2010 10/01/2007 30/08/2006 07/07/2010 07/06/2007 13/05/2010 17/03/2008 12/10/2006 01/01/2012 01/01/2012 24/05/2007 06/05/2008 02/11/2010 30/06/2005
US 2009-0039332 A1	12/02/2009	US 2012-178210 A1 US 8154003 B2	12/07/2012 10/04/2012

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	H 0 1 L 49/00	Z
	G 1 1 C 13/00	2 1 0
	G 1 1 C 13/00	2 3 0
	G 1 1 C 13/00	4 8 0 B
	G 1 1 C 13/00	3 2 0

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

(72) 発明者 マロッタ, ジュリオ ジュゼッペ

イタリア共和国, 0 2 0 4 3, コンティリアーノ, ヴィア フォンテチェッロ スド, 1 8 C

Fターム(参考) 5F083 FZ10 GA01 LA10 ZA01