

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6853362号
(P6853362)

(45) 発行日 令和3年3月31日(2021.3.31)

(24) 登録日 令和3年3月15日(2021.3.15)

(51) Int.CI.

HO3G 3/10 (2006.01)

F 1

HO3G 3/10

E

請求項の数 20 (全 30 頁)

(21) 出願番号 特願2019-531585 (P2019-531585)
 (86) (22) 出願日 平成29年8月30日 (2017.8.30)
 (65) 公表番号 特表2019-525692 (P2019-525692A)
 (43) 公表日 令和1年9月5日 (2019.9.5)
 (86) 國際出願番号 PCT/US2017/049324
 (87) 國際公開番号 WO2018/045002
 (87) 國際公開日 平成30年3月8日 (2018.3.8)
 審査請求日 令和2年8月28日 (2020.8.28)
 (31) 優先権主張番号 62/381,262
 (32) 優先日 平成28年8月30日 (2016.8.30)
 (33) 優先権主張国・地域又は機関
米国(US)

早期審査対象出願

(73) 特許権者 503031330
スカイワークス ソリューションズ、イン
コーポレイテッド
S K Y W O R K S S O L U T I O N S,
I N C.
アメリカ合衆国、O 1 8 0 1 マサチュー
セツツ州、ウォーバーン、シリバン・ロード
、20
(74) 代理人 100083806
弁理士 三好 秀和
(74) 代理人 100095500
弁理士 伊藤 正和
(74) 代理人 100111235
弁理士 原 裕子

最終頁に続く

(54) 【発明の名称】可変利得信号増幅器、フロントエンドアーキテクチャ及び無線デバイス

(57) 【特許請求の範囲】

【請求項 1】

可変利得信号増幅器であって、
 各ブランチが複数のスイッチ回路及び一の可変減衰素子を含む複数のブランチを有する第
 1減衰段であって、共通出力部及び各ブランチ用の入力部を含む第1減衰段と、
 多重化された出力を与えるべく前記第1減衰段の共通出力部に結合された増幅段と、
 一定範囲の利得レベルにわたって様々な所望の特性を維持する増幅された出力信号を与えるべく、前記増幅段の多重化された出力を受信するように構成された第2減衰段と
 を含み、

前記複数のブランチのうち少なくとも一つのブランチは、

10

少なくとも一つのスイッチ回路を含む第1の経路と、

2つのスイッチ回路と、前記2つのスイッチ回路の間に直列に接続された前記可変減衰素
子とを含む第2の経路と

を含み、

前記第1減衰段は前記複数のスイッチ回路の動作により、信号が前記第1の経路を通過する第1状態において前記可変減衰素子をバイパスする経路を与え、信号が前記第2の経路を通過する第2状態において前記可変減衰素子を通過する経路を与え、信号が前記第1の経路及び前記第2の経路の双方を通過しない第3状態において前記少なくとも一つのブランチを通過するいずれの信号も排除するように構成される増幅器。

【請求項 2】

20

前記信号は無線周波数信号を含む請求項 1 の増幅器。

【請求項 3】

前記第 1 減衰段は、入力部において受信した信号が前記可変減衰素子により減衰されることはなく前記共通出力部に向けられるバイパス経路を与えるべく構成される請求項 1 の増幅器。

【請求項 4】

前記第 1 減衰段は高利得モードにおいて前記バイパス経路を与えるべく構成される請求項 3 の増幅器。

【請求項 5】

前記高利得モードにおいて、前記可変減衰素子をバイパスすることに少なくとも部分的に起因して信号の雑音指数が増加することはない請求項 4 の増幅器。 10

【請求項 6】

他の利得モードにおいて、前記可変減衰素子による減衰に起因して前記信号の I I P 3 が増加する請求項 4 の増幅器。

【請求項 7】

前記増幅器は、複数のセルラー周波数帯域をカバーする複数の入力部それぞれにおいて信号を受信するように構成される請求項 1 の増幅器。

【請求項 8】

前記増幅器は、特定の入力部において受信した信号を、他の入力部において受信した他の信号の減衰又は増幅から独立して減衰させ又は増幅するように構成される請求項 1 の増幅器。 20

【請求項 9】

前記第 1 減衰段、前記増幅段又は前記第 2 減衰段に制御信号を送信するように構成された制御回路をさらに含む請求項 1 の増幅器。

【請求項 10】

前記制御回路は、前記第 1 減衰段に前記可変減衰素子をバイパスする経路を与える高利得モードにおいて、増幅制御信号を与えるように構成された制御器を含む請求項 9 の増幅器。

【請求項 11】

前記第 1 減衰段は、前記増幅段に目標の線形性を満たす信号を選択的に出力するように構成される請求項 1 の増幅器。 30

【請求項 12】

前記増幅された出力信号を受信するべく前記第 2 減衰段に結合された入力ポートと、複数の出力ポートとを有する分割器をさらに含む請求項 11 の増幅器。

【請求項 13】

前記分割器は、前記増幅された出力信号を、前記第 1 減衰段の特定の入力ブランチに対応する目標出力ポートに出力するべく構成される請求項 12 の増幅器。

【請求項 14】

フロントエンドアーキテクチャであって、

可変利得信号増幅器と、

前記可変利得信号増幅器の複数の選択入力に周波数帯域を向けるべく前記可変利得信号増幅器に結合されたフィルタアセンブリと、

複数の利得モードを与えるべく前記可変利得信号増幅器を制御するように実装された制御器と

を含み、

前記可変利得信号増幅器は、

各ブランチが複数のスイッチ回路及び一の可変減衰素子を含む複数のブランチを有する第 1 減衰段であって、共通出力部及び各ブランチ用の入力部を有する第 1 減衰段と、

多重化された出力を与えるべく前記第 1 減衰段の共通出力部に結合された増幅段と、

一定範囲の利得レベルにわたって様々な所望の特性を維持する増幅された出力信号を与える。 50

るべく前記增幅段の多重化された出力を受信するように構成された第2減衰段とを含み、

前記複数のブランチのうち少なくとも一つのブランチは、

少なくとも一つのスイッチ回路を含む第1の経路と、

2つのスイッチ回路と、前記2つのスイッチ回路の間に直列に接続された前記可変減衰素子とを含む第2の経路と

を含み、

前記第1減衰段は前記複数のスイッチ回路の動作により、信号が前記第1の経路を通過する第1状態において前記可変減衰素子をバイパスする経路を与え、信号が前記第2の経路を通過する第2状態において前記可変減衰素子を通過する経路を与え、信号が前記第1の経路及び前記第2の経路の双方を通過しない第3状態において前記少なくとも一つのブランチを通過するいずれの信号も排除するように構成され、

高利得モードにおいて、前記可変利得信号増幅器は、特定のブランチにおける前記可変減衰素子を、前記特定のブランチにおけるスイッチ回路を前記第1状態となるように制御することによってバイパスする経路に沿うように信号を出力するフロントエンドアーキテクチャ。

【請求項15】

前記高利得モードにおいて、前記可変減衰素子をバイパスすることに少なくとも部分的に起因して信号の雑音指数が増加することはない請求項14のフロントエンドアーキテクチャ。

10

【請求項16】

他の利得モードにおいて、前記可変減衰素子による減衰に起因して前記信号のIIP3が増加する請求項15のフロントエンドアーキテクチャ。

20

【請求項17】

前記複数のブランチの個々のブランチに対し前記第1減衰段は、前記可変減衰素子を通過する減衰経路と前記可変減衰素子を通過しないバイパス経路とを与えるように構成される請求項14のフロントエンドアーキテクチャ。

【請求項18】

無線デバイスであって、

ダイバーシティアンテナと、

30

信号を受信して選択経路に沿うように周波数帯域を向けるべく前記ダイバーシティアンテナに結合されたフィルタアセンブリと、

選択経路から信号を受信するべく前記フィルタアセンブリに結合された可変利得信号増幅器と、

複数の利得モードを与えるべく前記可変利得信号増幅器を制御するように実装された制御器と

を含み、

前記可変利得信号増幅器は、

各ブランチが複数のスイッチ回路及び一の可変減衰素子を含む複数のブランチを有する第1減衰段であって、共通出力部及び各ブランチ用の入力部を含む第1減衰段と、

40

多重化された出力を与えるべく前記第1減衰段の共通出力部に結合された増幅段と、

一定範囲の利得レベルにわたって様々な所望の特性を維持する増幅された出力信号を与えるべく前記増幅段の多重化された出力を受信するように構成された第2減衰段と

を含み、

前記複数のブランチのうち少なくとも一つのブランチは、

少なくとも一つのスイッチ回路を含む第1の経路と、

2つのスイッチ回路と、前記2つのスイッチ回路の間に直列に接続された前記可変減衰素子とを含む第2の経路と

を含み、

前記第1減衰段は前記複数のスイッチ回路の動作により、信号が前記第1の経路を通過す

50

る第1状態において前記可変減衰素子をバイパスする経路を与え、信号が前記第2の経路を通過する第2状態において前記可変減衰素子を通過する経路を与え、信号が前記第1の経路及び前記第2の経路の双方を通過しない第3状態において前記少なくとも一つのプランチを通過するいずれの信号も排除するように構成され、

高利得モードにおいて、前記可変利得信号増幅器が、特定のプランチにおいて前記可変減衰素子を、前記特定のプランチにおけるスイッチ回路を前記第1状態となるように制御することによってバイパスする経路に沿うように信号を出力するデバイス。

【請求項19】

前記高利得モードにおいて、前記可変減衰素子をバイパスすることに少なくとも部分的に起因して信号の雑音指数が増加することはない請求項18のデバイス。 10

【請求項20】

他の利得モードにおいて、前記可変減衰素子による減衰に起因して前記信号のIIP3が増加する請求項19のデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は一般に、無線通信デバイス用の増幅器に関する。

【0002】

関連出願の相互参照

本願は、2016年8月30日に出願された「プログラム可能埋め込み減衰器を有するマルチ入力増幅器」との名称の米国仮出願第62/381,262号の優先権を主張する。その全体がすべての目的のために、参照により明示的に組み入れられる。 20

【背景技術】

【0003】

無線周波数(RF)アプリケーションのような電子アプリケーションにおいて、信号を増幅し又は減衰させることが望ましいことがある。例えば、送信予定信号を電力増幅器により増幅することができ、受信信号を低雑音増幅器により増幅することができる。他例において、上述した送信経路及び受信経路の一方又は双方に沿うように、各信号を減衰させるべく必要又は所望に応じて、一つ以上の減衰器を実装することができる。

【先行技術文献】 30

【特許文献】

【0004】

【特許文献1】米国特許出願公開第2013/0072137(A1)号明細書

【特許文献2】米国特許出願公開第2014/0203872(A1)号明細書

【発明の概要】

【0005】

一定数の実装によれば、本開示は、複数のプランチを有する第1減衰段を含む可変利得信号増幅器に関する。各プランチは、スイッチ及び可変減衰素子を含む。第1減衰段は、共通出力部、及び各プランチのための入力を有する。増幅器はまた、多重化された出力を与えるべく第1減衰段の共通出力部に結合された増幅段を含む。増幅器はまた、一定範囲の利得レベルにわたって様々な所望の特性を維持する増幅された出力信号を与える増幅段の多重化された出力を受信するように構成された第2減衰段を含む。 40

【0006】

いくつかの実施形態において、信号は無線周波数信号を含む。いくつかの実施形態において、第1減衰段は、入力部において受信した信号が可変減衰素子による減衰なしに共通出力部に向けられるバイパス経路を与えるように構成される。さらなる実施形態において、第1減衰段は、高利得モードにおいてバイパス経路を与えるように構成される。なおもさらなる実施形態において、高利得モードでは、可変減衰素子をバイパスすることに少なくとも部分的に起因して信号の雑音指数が増加することはない。さらなる実施形態において、他の利得モードでは、可変減衰素子が与えるあつらえられた減衰に少なくとも部分的 50

に起因して、信号の IIP3 が増加する。

【0007】

いくつかの実施形態において、増幅器は、複数のセルラー周波数帯域をカバーする入力部のそれぞれにおいて信号を受信するように構成される。いくつかの実施形態において、増幅器は、特定の入力部において受信した信号を、他の入力部において受信した他の信号の減衰又は増幅から独立して、減衰させ又は増幅するように構成される。

【0008】

いくつかの実施形態において、増幅器はさらに、制御信号を第1減衰段、増幅段又は第2減衰段に送信するように構成された制御回路を含む。さらなる実施形態において、制御回路は、可変減衰素子をバイパスする経路を第1減衰段に与えさせる高利得モードにおいて、増幅制御信号を与えるように構成された制御器を含む。

10

【0009】

一定数の実装によれば、本開示は、複数のプランチを有するスイッチング段を含む可変利得増幅器に関する。各プランチは、スイッチ及び埋め込み型プログラム可能減衰素子を含む。第1のスイッチング段が、共通出力部、及び各プランチのための入力部を有する。増幅器はまた、多重化された出力を与えるべくスイッチング段の共通出力部に結合された増幅段を含む。増幅器はまた、増幅段の多重化された出力を受信するように構成された増幅後減衰段も含む。増幅後減衰段は、埋め込み型プログラム可能減衰器及びバイパス経路を通る減衰経路を与えるように構成され、当該経路は、一定範囲の利得レベルにわたって様々な所望の特性を維持するように構成される。増幅器はまた、単数の入力を受信して複数の出力を与えるように構成された分割器も含む。

20

【0010】

いくつかの実施形態において、第1スイッチング段は、選択的に目標信号を増幅段に向けるように構成される。いくつかの実施形態において、複数のプランチの個々のプランチに対し、スイッチング段は、埋め込み型プログラム可能減衰素子を通過する減衰経路と、埋め込み型プログラム可能減衰素子を通過しないバイパス経路とを与えるように構成される。さらなる実施形態において、高利得モードでは、スイッチング段は、信号をバイパス経路に沿うように向けるべく構成される。なおもさらなる実施形態において、高利得モードでは、バイパス経路に沿うように向けられた信号は、スイッチング段の前及び後において実質的に同じ値の雑音指数を維持する。さらなる実施形態において、他の利得モードでは、減衰経路に沿うように向けられた信号は、埋め込み型プログラム可能減衰素子が与えるあつらえられた減衰に少なくとも部分的に起因して、線形性が向上する。

30

【0011】

いくつかの実施形態において、増幅器はさらに、制御信号をスイッチング段、増幅段、増幅後減衰段又は分割器へと送信するように構成された制御回路も含む。さらなる実施形態において、制御回路は、高利得モードにおける増幅制御信号を与えるように構成された制御器を含む。この増幅制御信号は、可変減衰素子をバイパスする経路をスイッチング段に与えさせる

【0012】

一定数の実装によれば、本開示は、可変利得信号増幅器を含むフロントエンドアーキテクチャに関する。可変利得信号増幅器は、各プランチがスイッチ及び可変減衰素子を含む複数のプランチを有する第1減衰段であって、共通出力部及び各プランチのための入力部を有する第1減衰段と、多重化された出力を与えるべく第1減衰段の共通出力部に結合された増幅段と、一定範囲の利得レベルにわたって様々な所望の特性を維持する増幅された出力信号を与えるべく増幅段の多重化された出力を受信するように構成された第2減衰段とを含む。フロントエンドアーキテクチャはまた、周波数帯域を可変利得信号増幅器の選択入力部に向けるべく可変利得信号増幅器に結合されたフィルタアセンブリを含む。フロントエンドアーキテクチャはまた、複数の利得モードを与えるべく可変利得信号増幅器を制御するように実装された制御器も含む。高利得モードでは、可変利得信号増幅器は、特定のプランチにおいて可変減衰素子をバイパスする経路に沿うように信号を向ける。

40

50

【0013】

いくつかの実施形態において、高利得モードでは、信号の雑音指数は、可変減衰素子をバイパスすることに少なくとも部分的に起因して、増加しない。さらなる実施形態において、他の利得モードでは、可変減衰素子が与えるあつらえられた減衰に少なくとも部分的に起因して、信号のIIP3が増加する。

【0014】

一定数の実装によれば、本開示は、ダイバーシティアンテナと、信号を受信して周波数帯域を選択経路に沿うように向けるべく当該ダイバーシティアンテナに結合されたフィルターセンブリとを含む無線デバイスに関する。無線デバイスはまた、選択経路から信号を受信するべくフィルターセンブリに結合された可変利得信号増幅器も含む。可変利得信号増幅器は、各ブランチがスイッチ及び可変減衰素子を含む複数のブランチを有する第1減衰段であって、共通出力部及び各ブランチのための入力部を有する第1減衰段と、多重化された出力を与えるべく第1減衰段の共通出力部に結合された増幅段と、一定範囲の利得レベルにわたって様々な所望の特性を維持する増幅された出力信号を与えるべく当該増幅段の多重化された出力を受信するように構成された第2減衰段とを含む。無線デバイスはまた、複数の利得モードを与えるべく可変利得信号増幅器を制御するように実装された制御器も含む。高利得モードでは、可変利得信号増幅器は、特定のブランチにおいて可変減衰素子をバイパスする経路に沿うように信号を向ける。

10

【0015】

いくつかの実施形態において、高利得モードでは、信号の雑音指数は、可変減衰素子をバイパスすることに少なくとも部分的に起因して、増加しない。さらなる実施形態において、他の利得モードでは、可変減衰素子が与えるあつらえられた減衰に少なくとも部分的に起因して、信号のIIP3が増加する。

20

【0016】

本開示をまとめ目的で所定の側面、利点及び新規な特徴が、ここに記載されてきた。理解すべきことだが、かかる利点のすべてが必ずしも、本発明の任意の特定実施形態によって達成できるわけではない。よって、本開示の実施形態は、ここに教示される一つの利点又は一群の利点を、ここに教示又は示唆される他の利点を必ずしも達成することなく、達成又は最適化する態様で実行することができる。

【図面の簡単な説明】

30

【0017】

【図1】一次アンテナ及びダイバーシティアンテナを有する無線デバイスを例示する。

【図2】DR×フロントエンドモジュール(FEM)を含むダイバーシティ受信器(DR×)構成を例示する。

【図3A】ダイバーシティ受信器モジュールのようなフロントエンドモジュールに実装可能な可変利得増幅器例を例示する。

【図3B】図3Aの可変利得増幅器と同様に構成された可変利得増幅器の一例を例示する。

【図4】複数の入力部及び共通出力部を備えた第1減衰段を有する可変利得増幅器例を例示する。

40

【図5】増幅段及び第2減衰段を有する可変利得増幅器例を例示する。

【図6】入力ポート、帯域選択スイッチ、減衰選択ブランチ及び出力ポートを有するマルチプレクサ例を例示する。

【図7】減衰経路及びバイパス経路を与えるように構成された増幅後減衰段例を例示する。

【図8】図8A及び図8Bは、それぞれが選択的にバイパスモードにおいて及び減衰モードにおいて動作する減衰段の例を例示する。

【図9A】増幅前減衰段、それぞれの増幅段、出力整合ネットワーク及び増幅後減衰段を含む可変利得増幅器例を例示する。

【図9B】増幅前減衰段、それぞれの増幅段、出力整合ネットワーク及び増幅後減衰段を

50

含む可変利得増幅器例を例示する。

【図10A】図9A及び図9Bの可変利得増幅器の性能のプロットを例示する。

【図10B】図9A及び図9Bの可変利得増幅器の性能のプロットを例示する。

【図11】いくつかの実施形態において、ダイバーシティ受信器構成のいくつか又はすべてが、全体的に又は部分的にモジュールに実装可能なことを示す。

【図12】いくつかの実施形態において、ダイバーシティ受信器構成のいくつか又はすべてが、全体的に又は部分的にアーキテクチャに実装可能なことを示す。

【図13】ここに記載される一つ以上の有利な特徴を有する無線デバイス例を例示する。

【発明を実施するための形態】

【0018】

ここに与えられる見出しあは、たとえあったとしても、便宜のみのためであって、必ずしも請求項に係る発明の範囲又は意味に影響するわけではない。

【0019】

概要

【0020】

図1は、一次アンテナ160及びダイバーシティアンテナ170を有する無線デバイス100を例示する。無線デバイス100は、制御器102により制御され得るRFモジュール106及び送受信器104を含む。送受信器104は、アナログ信号（例えば無線周波数（RF）信号）とデジタルデータ信号との間の変換を行うように構成される。それを目的として、送受信器104は、デジタル・アナログ変換器、アナログ・デジタル変換器、ベース帯域アナログ信号を搬送波周波数に又は搬送波周波数から変調又復調する局所発振器、デジタルサンプルとデータビット（例えば音声又は他のタイプのデータ）との間の変換を行うベース帯域プロセッサ、又は他のコンポーネントを含み得る。

【0021】

RFモジュール106は、一次アンテナ160と送受信器104との間に結合される。ケーブル損失ゆえの減衰を低減するべくRFモジュール106が一次アンテナ160に物理的に近くなり得るので、RFモジュール106はフロントエンドモジュール（FEM）と称することができる。RFモジュール106は、送受信器104のために一次アンテナ160から受信したアナログ信号、又は一次アンテナ160を介して送信するために送受信器104から受信したアナログ信号、に対して処理を行うことができる。それを目的として、RFモジュール106は、フィルタ、電力増幅器、低雑音増幅器、帯域選択スイッチ、減衰器、整合回路、及び他のコンポーネントを含み得る。

【0022】

信号が無線デバイス100に送信されるとき、信号は、一次アンテナ160及びダイバーシティアンテナ170の双方において受信され得る。一次アンテナ160及びダイバーシティアンテナ170は物理的に離間されているので、一次アンテナ160及びダイバーシティアンテナ170における信号は異なる特性を有するように受信される。例えば、一実施形態において、一次アンテナ160及びダイバーシティアンテナ170は、異なる減衰、雑音、周波数応答及び/又は位相シフトの信号を受信することができる。送受信器104は、信号に対応するデータビットを決定するべく異なる特性の信号の双方を使用することができる。いくつかの実装において、送受信器112は、当該特性に基づいて一次アンテナ160及びダイバーシティアンテナ170間から、信号対雑音比が最高のアンテナを選択するというように、選択される。いくつかの実装において、送受信器104は、一次アンテナ160及びダイバーシティアンテナ170からの信号を組み合わせ、組み合わせられた信号の信号対雑音比を増加させる。いくつかの実装において、送受信器104は、マルチ入力/マルチ出力（MIMO）通信を行うように信号を処理する。

【0023】

いくつかの実施形態において、ダイバーシティアンテナ170は、セルラー周波数帯域内及び無線ローカルエリアネットワーク（WLAN）周波数帯域内の信号を受信するように構成される。かかる実施形態において、無線デバイス100は、ダイバーシティ信号を

10

20

30

40

50

異なる周波数範囲に分割するべく構成されたダイバーシティアンテナ 170 に結合されたマルチプレクサ、スイッチングネットワーク及び / 又はフィルターアンプを含み得る。例えば、マルチプレクサは、低帯域セルラー周波数を含む周波数範囲を通過させる低域通過フィルタと、低帯域WLAN信号並びに中間帯域及び高帯域セルラー信号を含む周波数範囲を通過させる帯域通過フィルタと、高帯域WLAN信号を含む周波数範囲を通過させる高域通過フィルタとを含むように構成することができる。本例は、単なる例示目的にすぎない。他例として、マルチプレクサは、高域通過フィルタ及び低域通過フィルタの機能を与えるダイプレクサのような様々な異なる構成を有し得る。

【 0024 】

ダイバーシティアンテナ 170 は一次アンテナ 160 から物理的に離間しているので、
10
ダイバーシティアンテナ 170 は、ケーブル又はプリント回路基板 (PCB) トレースのような送信線を介して送受信器 104 に結合され得る。いくつかの実装において、送信線は損失性であり、ダイバーシティアンテナ 170 において受信した信号を、送受信器 104 に到達する前に減衰させる。よって、いくつかの実装において、ダイバーシティアンテナ 170 において受信した信号には利得が適用される。利得 (及びフィルタリングのような他のアナログ処理) は、ダイバーシティ受信器モジュール 108 によって適用することができる。かかるダイバーシティ受信器モジュール 108 は、ダイバーシティアンテナ 170 の物理的に近くに配置されるので、ダイバーシティ受信器フロントエンドモジュールと称することができる。その例がここに詳細に説明される。

【 0025 】

R F モジュール 106 及びダイバーシティ受信器モジュール 108 は、一次アンテナ 160 及びダイバーシティアンテナ 170 それからの信号を選択的に減衰させ及び増幅するように構成された可変利得増幅器 110a、110b を含む。可変利得増幅器 110a、110b はそれぞれ、増幅段の前又は後にプログラム可能減衰段を含み得る。可変利得増幅器 110a、110b において受信した信号は増幅前減衰段により減衰され、又は当該信号は、ここに詳述されるように、減衰をバイパスすることが許容される。選択された減衰、又は与えられたバイパス経路は、制御器 102 によって制御することができる。可変かつプログラム可能な減衰を、可変利得増幅器 110a、110b に埋め込むことができる。可変利得増幅器 110a、110b は、多数の入力信号を受信して単数の信号又は複数の出力信号を出力することができる。有利なことに、可変利得増幅器 110a、110b のアーキテクチャは、低雑音増幅器 (LNA) のような単数の増幅器が、複数のセルラー周波数帯域をカバーする信号を処理するべく使用されることを許容することができる。

【 0026 】

制御器 102 は、制御信号を生成するように、及び / 又は無線デバイス 100 の他のコンポーネントに送信するように、構成することができる。いくつかの実施形態において、制御器 102 は、モバイル産業プロセッサインタフェイスアライアンス (MIP (登録商標) アライアンス) が与える仕様に少なくとも部分的に基づく信号を与える。制御器 102 は、無線デバイス 100 の他のコンポーネントから信号を受信し、他のコンポーネントに受信される制御信号を決定するべく処理するように構成することができる。いくつかの実施形態において、制御器 102 は、信号又はデータを分析し、無線デバイス 100 の他のコンポーネントに送信される制御信号を決定するように構成することができる。制御器 102 は、無線デバイス 100 が与える利得モードに基づいて制御信号を生成するように構成することができる。例えば、制御器 102 は、増幅器が与える減衰及び増幅を制御する制御信号を可変利得増幅器 110a、110b に送信することができる。同様に、制御器 102 は、プログラムされた減衰に基づいて制御信号を生成するように構成することができる。例えば、制御器 102 は、制御信号を増幅前減衰段及び増幅後減衰段に送信し、これらの段に与えられる減衰の量を制御することができる。

【 0027 】

いくつかの実装において、制御器 102 は、入力部において受信した入力信号のサービ
50

ス品質メトリックに基づいて増幅器制御信号を生成する。いくつかの実装において、制御器 102 は、通信制御器から受信した信号に基づいて、ひいては当該受信した信号のサービス品質 (QoS) メトリックに基づいて、増幅器制御信号を生成する。受信した信号の QoS メトリックは、少なくとも部分的に、ダイバーシティアンテナ 170 において受信したダイバーシティ信号（例えば入力部において受信した入力信号）に基づき得る。受信した信号の QoS メトリックはさらに、一次アンテナ 160 において受信した信号に基づき得る。いくつかの実装において、制御器 102 は、通信制御器から信号を受信することなく、ダイバーシティ信号の QoS メトリックに基づいて増幅器制御信号を生成する。いくつかの実装において、QoS メトリックは信号強度を含む。他例では、QoS メトリックは、ピット誤り率、データスループット、送信遅延、又は任意の他の QoS メトリックを含み得る。いくつかの実装において、制御器 102 は、可変利得増幅器 110a、110b における増幅器の利得（及び／又は電流）を制御する。いくつかの実装において、制御器 102 は、無線デバイスの他のコンポーネントの利得を、増幅器制御信号に基づいて制御する。

【0028】

いくつかの実装において、可変利得増幅器 110a、110b は、受信した信号を、増幅器制御信号が示した複数の設定量の一つの利得によって増幅するように構成されたステップ可変利得増幅器を含み得る。いくつかの実装において、可変利得増幅器 110a、110b は、受信した信号を、増幅器制御信号に比例し又は示される利得によって増幅するように構成された連続可変利得増幅器を含み得る。いくつかの実装において、可変利得増幅器 110a、110b は、増幅器制御信号が示した複数の設定量の一つの電流を引き込むことにより、受信した信号を増幅するように構成されたステップ可変電流増幅器を含み得る。いくつかの実装において、可変利得増幅器 110a、110b は、増幅器制御信号に比例する電流を引き込むことにより、受信した信号を増幅するように構成された連続可変電流増幅器を含み得る。

【0029】

図 2 は、DRx フロントエンドモジュール (FEM) 208 を含むダイバーシティ受信器 (DRx) 構成 200 を示す。DRx 構成 200 は、ダイバーシティ信号を受信して当該ダイバーシティ信号を、フィルターセンブリ 272 を介して DRx-FEM 150 に与えるように構成されたダイバーシティアンテナ 170 を含む。フィルターセンブリ 272 は、例えばマルチブレクサを含み得る。このマルチブレクサは、目標とする周波数範囲内の信号を、プログラム可能減衰付きマルチブレクサ 210 への各経路に沿うように選択的に向けるように構成される。この信号は、WLAN 信号と混合されたセルラー信号（例えば低、中間、高及び／又は超高帯域セルラー周波数）を含み得る。いくつかの実施形態において、第 1 経路に沿うように向けられた信号は、WLAN 信号ありのセルラー信号（例えば中間及び／又は高帯域セルラー周波数）を含み、第 2 経路に沿うように向けられた信号は、WLAN 信号なしのセルラー信号（例えば低帯域セルラー周波数）を含む。

【0030】

DRx-FEM 208 は、フィルターセンブリ 272 から受信したダイバーシティ信号に処理を施すように構成される。例えば、DRx-FEM 208 は、ダイバーシティ信号を、セルラー及び／又は WLAN 周波数帯域を含み得る一つ以上のアクティブ周波数帯域へとフィルタリングするように構成することができる。制御器 102 は、目標とするフィルタに信号を選択的に向けてフィルタリングを達成するべく、DRx-FEM 208 を制御するように構成することができる。他例として、DRx-FEM 208 は、プログラム可能減衰付きマルチブレクサ 210 を使用して、フィルタリングされた信号の一つ以上を増幅するように構成することができる。それを目的として、DRx-FEM 208 は、フィルタ、低雑音増幅器、帯域選択スイッチ、整合回路及び他のコンポーネントを含み得る。制御器 102 は、DRx-FEM 208 を通るダイバーシティ信号用の経路をインテリジェントに選択するべく、DRx-FEM 208 におけるコンポーネントと相互作用するように構成することができる。一定の実装において、フィルターセンブリ 272 は、D

10

20

30

40

50

R X F E M 2 0 8 とは別個のダイに配置される。

【 0 0 3 1 】

D R x F E M 2 0 8 は、処理されたダイバーシティ信号の少なくとも一部分を送受信器 1 0 4 に送信する。送受信器 1 0 4 は、制御器 1 0 2 によって制御することができる。いくつかの実装において、制御器 1 0 2 は、送受信器 1 0 4 内に実装することができる。

【 0 0 3 2 】

D R x F E M 2 0 8 は、複数の利得モードを与えるように構成することができる。複数の利得モードに対し、マルチブレクサ 2 1 0 において異なる減衰を適用することができる。一つ以上の利得モードにおいて、マルチブレクサ 2 1 0 は信号を、例えば可変及び／又はプログラム可能減衰器によって当該信号を選択的に減衰させる減衰経路を通るように向けるべく構成することができる。当該プログラム可能減衰器は、マルチ入力増幅器アーキテクチャに埋め込むことができる。高利得モードでは、マルチブレクサ 2 1 0 は、信号が減衰経路を通過しないバイパス経路を与えるように構成することができる。プログラム可能減衰器は、増幅段前及び／又は増幅段後において使用することができる。

10

【 0 0 3 3 】

いくつかの実施形態において、例えば L N A のような増幅段に先立つマルチブレクサにおけるプログラム可能減衰の利用により、改善された線形性及び／又は I I P 3 を与えることができる。プログラム可能減衰は、有益なことに、信号を増幅器の所望の又は目標の範囲に整合させることができる。一定の実装において、増幅段に先立つて信号を減衰させることは、信号における雑音を増加させ得る。しかしながら、D R x 構成 2 0 0 は、相対的に大きな信号対雑音比で信号を減衰させ、相対的に低い信号対雑音比で信号減衰をバイパスするように構成することができる。いくつかの実施形態において、D R x 構成 2 0 0 は、高利得モードで動作するときに減衰をバイパスさせ、他の利得モードで動作するときに信号を減衰するように構成される。これは、有利なことに、D R x 構成 2 0 0 に一定の信号を減衰させて線形性を改善させる一方、他の信号には減衰をバイパスさせて当該信号における雑音を増加させないようにすることができる。この構成の他の利点は、D R x F E M 2 0 8 に入る大きな信号を選択的に減衰させることができる点にある。これにより、増幅器は、増幅器が扱えるように設計された信号よりも大きな信号による損傷を受けることがなくなる。埋め込み型減衰器により、D R x F E M 2 0 8 は、信号品質を維持及び／又は改善するべく、信号、利得モード及び増幅器動作特性に基づいて減衰をあつらえることができる（例えば増幅プロセスを通しての線形性を増加させ又は維持することにより）。

20

【 0 0 3 4 】

いくつかの実施形態において、プログラム可能減衰付きマルチブレクサ 2 1 0 は、複数の入力信号を受信して単数の出力信号を与えるように構成される。一定の実施形態において、マルチブレクサ 2 1 0 は、複数の入力信号を受信して対応する複数の出力信号を与えるように構成することができる。マルチブレクサ 2 1 0 は、単数の増幅器に送信される単数の出力信号を与えるように構成することができるので、D R x F E M 2 1 0 は、複数の周波数帯域に対して一つの増幅器又は増幅段を使用することができる。これにより、有利なことに、D R x F E M 2 0 8 において使用されるコンポーネントの数を低減することができるので、D R x F E M 2 0 8 に関連付けられるコストを低減することができる。

30

【 0 0 3 5 】

マルチブレクサ 2 1 0 は、マルチブレクサ 2 1 0 を通る複数のスイッチング可能経路を与えるスイッチを含み得る。複数のスイッチング可能経路は、複数の周波数帯域に対応し、各スイッチング可能経路は、一つの特定の周波数帯域又は複数の特定の周波数帯域（例えば重複する周波数帯域）に対応する。フィルターアセンブリ 2 7 2 は、複数の特定の周波数帯域に対応する信号を、指定された経路に沿うようにマルチブレクサ 2 1 0 へと向けるべく構成することができる。一定の実装において、マルチブレクサ 2 1 0 を通るスイッチング可能経路はまた、信号を選択的に、減衰経路を通る一つの特定の経路に向け、又は当

40

50

該減衰経路をバイパスせしるよう構成することができる。例えば、一つ以上のスイッチを、可変減衰器と並列に動作させることができる。これにより、バイパス構成において信号はスイッチを通過するが可変減衰器は通過せず（例えばスイッチは閉）、減衰構成において信号は可変減衰器を通過する（例えばスイッチは開）。バイパス構成において信号は、減衰構成に関連付けられる雑音ペナルティを受けることがない。これにより、有利なことに、D R x F E M 2 0 8 は、可変利得及び／又は複数の利得モードを与える一方、信号を選択的に減衰させることのない構成、又は信号の減衰をあつらえることのない構成と比べ、雑音指数（N F）への影響を低減することができる。

【0036】

マルチプレクサ210のスイッチは、マルチプレクサ210と同じダイに埋め込むことができる。当該埋め込み型スイッチは、マルチプレクサ210を通る経路を選択的に与えるように構成し、信号を選択的に減衰経路又はバイパス経路に沿うように向けるように構成することができる。減衰経路は、信号を減衰せしるよう構成することができる。ここで、減衰は、マルチプレクサ210におけるスイッチング可能経路の後に続く増幅段に合うようにあつらえられる。マルチプレクサ210を備えたD R x F E M 2 0 8 は、複数のスイッチング可能経路にプログラム可能減衰を与えるアーキテクチャとすることができる。ここで、各スイッチング可能経路は、可変利得増幅器を使用して増幅することができる。

10

【0037】

制御器102は、信号を適切な信号経路に選択的に向けるべくD R x F E M 2 0 8 を制御するように構成することができる。例えば、制御器102及びD R x F E M 2 0 8 は、信号を減衰経路又はバイパス経路に沿うように向けるべくマルチプレクサ210を制御することができる。他例として、制御器102及びD R x F E M 2 0 8 は、所望の又は目標のセルラー信又はW L A N 信号に基づいて、マルチプレクサ210を通るスイッチング可能経路を与えるようにマルチプレクサ210を制御することができる。他例として、制御器102及びD R x F E M 2 0 8 は、減衰経路に沿うように向けられた信号に適用される減衰をあつらえるようにマルチプレクサ210を制御することができる。他例として、制御器102及びD R x F E M 2 0 8 は複数の利得モードを与えることができる。

20

【0038】

可変利得増幅器のアーキテクチャ例

30

【0039】

フロントエンドモジュールは一般に、受信した信号を増幅するべく、低雑音増幅器（L N A）のような増幅器を含む。様々な利得モードを与える無線デバイスにおいて、増幅する前に信号を減衰せしることが有利となり得る。しかしながら、これは、小さな信号に悪影響を与える、雑音を増加させて信号対雑音比を悪化させ得る。

【0040】

したがって、ここに与えられるのは、高利得モードにおいて信号の減衰バイパスを許容するプログラム可能減衰器をスイッチング可能経路に埋め込む可変利得増幅器及びマルチプレクサである。これにより、有利なことに、高利得モードにおける性能ペナルティが低減又は排除される。さらに、プログラム可能減衰器は、目標利得モードにおいてL N A前減衰を介する増幅プロセスの線形性を改善するように構成することができる。増幅に先立って減衰される当該利得モードにおいて雑音が増加し得るにもかかわらず、この雑音増加は、線形性改善の利点によるトレードオフが望ましい又は有利なほど十分に無視できるか又は小さい。

40

【0041】

プログラム可能減衰器は、増幅段の前及び後に存在するスイッチに埋め込むことができる。当該プログラム可能入力部及び出力減衰部は、目標の利得、雑音指数（N F）及び線形性（I I P 3）を達成するようにあつらえることができる。さらに、これらの減衰は、大きな信号を受信するときの増幅器の故障感受性を弱めるように構成することができる。

50

減衰器は、当該信号の振幅を、増幅器の目標の又は適切な範囲内に収まるように低減することができるからである。

【0042】

したがって、ここに記載されるのは、スイッチングネットワークに埋め込み型減衰器を有する可変利得増幅器である。減衰器は、スイッチに埋め込むことができるとともに、高利得モードにおいて雑音指数への影響を少なくし又はなくすように構成することができる。スイッチングネットワークが高利得モードでは減衰バイパスを与え、他の利得モードでは減衰を与えるからである。プログラム可能減衰器は、マルチ入力 LNA アーキテクチャに埋め込むことができる。例えば、減衰ブロックをマルチ入力スイッチに埋め込むことができ、減衰ブロックを出力スイッチに埋め込むことができる。

10

【0043】

図3Aは、ダイバーシティ受信器モジュールのようなフロントエンドモジュール308aに実装可能な可変利得増幅器例310aを例示する。可変利得増幅器310aは、第1減衰段320、増幅段330及び第2減衰段340を含む。第1減衰段320は増幅前減衰を与える、第2減衰段340は増幅後減衰を与える。第1減衰段320、増幅段330及び第2減衰段340の動作を制御するように制御器102を構成することができる。制御器102は、図1及び図2を参照してここに記載された制御器102と同様に構成される。

【0044】

可変利得増幅器310aは、入力信号（例えばRF信号）を受信するべく構成された複数の入力ポート312a～312cと、処理された（例えば増幅された及び/又は減衰された）信号を与えるように構成された出力ポート318とを含む。第1減衰段320は、入力ポート312a～312cに対応する複数の入力部322a～322cと、共通出力部328とを含む。第1減衰段320は、個々のプランチがスイッチ（例えばスイッチ324a、324b又は324c）を有する複数のプランチと、第1減衰段320を通る経路を選択的に与えるように構成された可変減衰素子（例えば減衰器326a、326b又は326c）とを与える。スイッチ324a～324cは、第1減衰段320を通る経路を与えるように、及び信号を対応減衰器326a～326cに選択的に向け又は減衰器326a～326cをバイパスせしめるように、構成される。第1減衰段320を通る個々の経路に沿うように向けられた信号は、対応減衰器326a～326cにおいてあつらえられた減衰を使用して選択的に減衰されるか又は減衰がバイパスされる。スイッチ324a～324cはまた、目標の又は選択された信号を目的として、第1減衰段320を通って増幅段330へと向かう経路を選択的に与えるように構成することができる。例えば、スイッチ324a～324cは、一定の入力ポートに到達する第1減衰段320を通るよう信号を向けるが、他の入力ポートからの信号は、出力ポート328に到達しないようにブロックするように構成することができる。

20

【0045】

増幅段330は、第1減衰段320から受信した信号を増幅し、その増幅された信号を第2減衰段340へと伝えるように構成される。このように、可変利得増幅器310aは、第1減衰段320が複数の入力ポート322a～322cにおいて信号を受信し、増幅段330が単数の入力ポートにおいて入力信号を受信して処理された信号を単数の出力ポートにおいて与えるので、多重化された出力を与えるように構成することができる。増幅段330は、所望の又は目標の増幅を与えるべく構成された任意の適切な増幅器回路を含み得る。いくつかの実施形態において、増幅段330は、複数の周波数帯域（例えばセルラー周波数帯域及び/又はWLAN周波数帯域）からの信号を増幅するべく構成された単数の低雑音増幅器（LNA）回路を含む。よって、ここで使用されるとき、第1減衰段320はLNA前減衰部と称することができ、第2減衰段340はLNA後減衰部と称することができる。しかしながら、ここに記載される実施形態は、低雑音増幅器を利用する実装に限られるわけではなく、様々な増幅器を可変利得増幅器310aにおいて使用する実装も含むことが理解される。

30

40

50

【0046】

増幅段330は、複数の利得モードに少なくとも部分的に基づいて信号を増幅するよう構成することができる。例えば、増幅段330は、第1利得モード用の第1増幅又は利得を与える、第2利得モード用の第2増幅を与える、等のように構成することができる。増幅段330は、当該増幅段において与えられる利得を制御器102によって制御することができる。例えば、制御器102は、所望の又は目標の利得を示す信号を増幅段330に与えることができ、増幅段330は目標の利得を与えることができる。制御器102は、目標の利得の指標を、例えば無線デバイスにおける他のコンポーネントから受信し、当該指標に少なくとも部分的に基づいて増幅段330を制御してよい。同様に、第1減衰段及び第2減衰段320、340は、可変利得増幅器310aの利得モード及び/又は目標利得に少なくとも部分的に基づいて制御することができる。10

【0047】

第2減衰段340は、第1減衰段320と同様の態様に構成することができる。特に、第2減衰段340は、単数の入力において信号を受信して単数の出力において信号を与えるように構成された第1減衰段320と同様としてよい。第2減衰段340は、増幅段330からの多重化された出力を受信し、当該信号をスイッチング可能経路に沿うように向けて当該信号を選択的に、プログラム可能減衰により選択的に減衰させるか又は減衰をバイパスするように構成される。一定の実施形態において、第2減衰段340は、当該段を通る少なくとも2つのスイッチング可能経路と、減衰器を通過する第1経路と、当該減衰器をバイパスする第2経路とをとる。様々な実施形態において、第2減衰段340は、当該段を通過する単数の経路を与える、当該信号は、固定の又はプログラム可能な減衰により減衰される。第2減衰段340からの信号出力は、可変利得増幅器310aの出力ポート318へと伝えられる。20

【0048】

したがって、図3Aは、複数のプランチを有する第1減衰段320を含む可変利得信号増幅器310aを例示する。各プランチは、スイッチ324a～324c及び可変減衰素子326a～326cを有する。第1減衰段320は、各プランチ用の入力部322a～322c、及び共通出力部328を含む。可変利得増幅器310aは、多重化された出力を与えるべく第1減衰段320の共通出力部328に結合された増幅段330を含む。可変利得増幅器310aは、一定範囲の利得レベルにわたって様々な所望の特性を維持するべく、増幅された出力信号を与える増幅段330の多重化された出力を受信するように構成された第2減衰段340を含む。第1減衰段320を通る各プランチは、スイッチにより制御されるバイパス経路及び減衰経路を含み得る。減衰経路は、各プランチに対して可変又は固定の減衰部を含む。30

【0049】

可変利得信号増幅器310aは、プログラム可能減衰器を備えた埋め込み型スイッチングネットワークなしの増幅器と比べ、相対的に低い雑音及び高い線形性（例えば高いIIP3）を達成するように構成することができる。可変利得信号増幅器310aは、セルラー信号、WLAN信号、BLUETOOTH（登録商標）信号、GPS信号等のような無線周波数（RF）信号を増幅するように構成することができる。可変利得信号増幅器310aは、多数の入力部312a～312cにおいて複数の周波数帯域にわたる信号を受信して当該信号を処理することにより、広帯域性能を与えるように構成することができる。可変利得信号増幅器310aは、それぞれの入力部312a～312cにおける信号を独立して処理するように構成することができる。可変利得信号増幅器310aは、制御器102のような制御回路アセンブリが制御するように構成することができる。制御回路アセンブリは、第1減衰段320における経路をインテリジェントかつ選択的に切り替えることができ、減衰器326a～326cが与える減衰を選択的にプログラムすることができる。40

【0050】

ここに記載されるように、可変利得信号増幅器310aは、増幅に先立って減衰器を通50

過するゆえに他の利得モードが経験する性能ペナルティを被ることがない高利得モードを与える。減衰器を既存のスイッチングアーキテクチャに埋め込むことにより、高利得又は他の利得モードを、減衰をバイパスするように構成することができるので、処理チェーンにおける雑音源を排除することができる。いくつかの実装において、可変利得信号増幅器 310a は、チューニング可能な LNA 前減衰及び / 又は LNA 後減衰を有するマルチ入力 LNA である。例えば、信号が大きなときは、目標の線形性を満たすように LNA 前減衰を使用することができる。一定の実装において、多数のセルラー帯域を目的として単数の増幅器又は LNA を使用することができる。

【0051】

図 3B は、図 3A を参照してここに記載される可変利得増幅器 310a と同様に構成される可変利得増幅器 310b の一例を例示する。可変利得増幅器 310b は、単数の入力ポートにおいて信号を受信して複数の出力ポートにおいて信号を与えるように構成された分割器 350 を含む。分割器 350 は、入力信号を目標の出力部に向けるべく、制御器 102 により制御される。したがって、可変利得増幅器 310b は、複数の入力部 312a ~ 312c において信号を受信し、処理された信号を、対応する複数の出力部 318a ~ 318c において与えるように構成することができる。当該信号は、図 3A を参照してここに記載されるように、選択的に減衰及び増幅される。

10

【0052】

よって、図 3B は、複数のブランチを有する第 1 減衰段 320 を含む可変利得増幅器 310b を例示する。各ブランチは、スイッチ 324a ~ 324c 及び可変減衰素子 326a ~ 326c を含む。第 1 減衰段 320 は、共通出力部 328、及び各ブランチ用の入力部 322a ~ 322c を含む。可変利得増幅器 310b は、多重化された出力を与えるべく第 1 減衰段 320 の共通出力部 328 に結合された増幅段 330 を含む。可変利得増幅器 310b は、増幅段 330 の多重化された出力を受信し、一定範囲の利得レベルにわたって様々な所望の特性を維持する増幅された出力信号を与えるように構成された第 2 減衰段 340 を含む。可変利得増幅器 310b は分割器 350 を含む。第 1 減衰段 320 を通る各ブランチが、スイッチにより制御されるバイパス経路及び減衰経路を含み得る。減衰経路は、各ブランチ用の可変又は固定の減衰を含む。

20

【0053】

図 4 は、複数の入力部 322a ~ 322c 及び共通出力部 328 を備えた第 1 減衰段 420 を有する可変利得増幅器例 410 を例示する。共通出力部 328 における信号出力は、図 3A 及び図 3B を参照してここに記載されるように、増幅段 330 へと向けられる。可変利得増幅器 410 は、制御信号を第 1 減衰段 420 及び増幅段 330 に与えるように構成された制御器 102 を含む。当該制御信号は、可変利得増幅器 410 が与える減衰及び / 又は増幅を制御するように構成することができる。

30

【0054】

第 1 減衰段 420 の複数の入力部 322a ~ 322c と共通出力部 328 との間に、当該段を通るスイッチング可能経路を与える複数のブランチ 425a ~ 425c が設けられる。個々の入力部 322a ~ 322c において受信された信号が、対応ブランチ 425a ~ 425c へと向けられる。対応ブランチ 425a ~ 425c は、ブランチ 425a ~ 425c を通って共通出力部 328 に至る経路を選択的に与えるように構成される。経路がブランチ 425a ~ 425c を通るように与えられる場合、第 1 減衰段 420 はさらに、信号経路を可変減衰器 R1 を通るように又は減衰器 R1 をバイパスするように、選択的に向けるように構成することができる。理解すべきことだが、3 つの入力部 322a ~ 322c 及びブランチ 425a ~ 425c が例示されるにもかかわらず、可変利得増幅器 410 は、任意の適切な数の入力部及び対応ブランチを含み得る。例えば、限定なく、可変利得増幅器 410 は、少なくとも 2 個の入力部及び対応ブランチ、少なくとも 4 個の入力部及び対応ブランチ、少なくとも 8 個の入力部及び対応ブランチ、少なくとも 16 個の入力部及び対応ブランチ、少なくとも 32 個の入力部及び対応ブランチ、少なくとも 64 個の入力部及び対応ブランチ、又は記載された範囲において少なくとも任意数の入力部及び対

40

50

応プランチを含み得る。他例として、限定なく、可変利得増幅器 410 は、64 個以下の入力部及び対応プランチ、32 個以下の入力部及び対応プランチ、16 個以下の入力部及び対応プランチ、8 個以下の入力部及び対応プランチ、4 個以下の入力部及び対応プランチ、又は記載された範囲において少なくとも任意数の入力部及び対応プランチを含み得る。

【0055】

例えば、個々のプランチ 425a ~ 425c は、適切なスイッチを開にして当該プランチを通る信号経路が存在しないように構成することができる。すなわち、第 1 減衰段 420 は、入力部 322a ~ 322c から出力部 328 への経路を選択的に与えることにより、処理対象信号又は周波数帯域を選択するように構成することができる。

10

【0056】

例えば、第 1 減衰段 420 が入力部 322a ~ 322c から対応プランチ 425a ~ 425c を通って出力部 328 に至る経路を与えるとき、個々のプランチ 425a ~ 425c はさらに、信号を減衰させる経路又は減衰をバイパスする経路を選択的に与えるように構成することができる。例えば高利得モードでは、減衰をバイパスするべくプランチ 425a ~ 425c はスイッチ S1 を閉に、スイッチ S2 及び S3 を開にする。例えば他の利得モードでは、信号を減衰させるべくプランチ 425a ~ 425c はスイッチ S1 を開に、スイッチ S2 及び S3 を閉にする。その結果、信号は可変減衰器 R1 を通過する。スイッチ S1 ~ S3 は、スイッチング能力を与える任意の適切なコンポーネント又は複数のコンポーネントの組み合わせとしてよい。可変減衰器 R1 は、プログラム可能減衰を与える任意の適切なコンポーネント又は複数のコンポーネントの組み合わせとしてよい。可変減衰器 R1 は、制御器 102 から受信した信号、可変利得増幅器 410 が与える利得モード、又は双方の組み合わせに少なくとも部分的に基づいて、変化する減衰レベルを与えるように構成することができる。可変減衰器 R1 は、入力スイッチに埋め込まれたプログラム可能減衰器としてよい。これにより、高利得モードのような減衰器をバイパスする一定の利得モードにおいて、雑音指数 (N.F.) に対するマイナスの影響を低減又は排除することができる。

20

【0057】

図 5 は、図 3A 及び図 3B を参照してここに記載される増幅段 330、及び第 2 減衰段 540 を有する可変利得増幅器例 510 を例示する。可変利得増幅器 510 は、制御信号を増幅段 330 及び第 2 減衰段 540 に与えるように構成された制御器 102 を含む。当該制御信号は、可変利得増幅器 510 が与える減衰及び/又は増幅を制御するべく構成することができる。

30

【0058】

第 2 減衰段 540 は、増幅段 330 から受信した信号を、可変減衰器 R1 を通るように又は減衰器 R1 をバイパスするように選択的に向けるように構成することができる。例えば高利得モードでは、減衰をバイパスするべく第 2 減衰段 540 はスイッチ S1 を閉に、スイッチ S2 及び S3 を開にする。例えば他の利得モードでは、信号を減衰させるべく第 2 減衰段 540 はスイッチ S1 を開に、スイッチ S2 及び S3 を閉にする。その結果、信号は可変減衰器 R1 を通過する。可変減衰器 R1 は、出力スイッチに埋め込むことができる。可変減衰器 R1 は、一定の利得モードにおいてバイパスされることにより、高利得モードのような当該利得モードのために信号が減衰されるというマイナスの影響を低減又は排除してよい。

40

【0059】

図 6 は、入力ポート 622、帯域選択スイッチ 623、減衰選択プランチ 625 及び出力ポート 628 を有するマルチプレクサ例 620 を例示する。明確性を目的として、マルチプレクサ 620 を通る単数のプランチが例示されるが、図 4 を参照してここに詳述されたマルチプレクサを通る多数のスイッチ及びプランチも与えられて当該信号が共通出力部ポート 628 において出力され得ることを理解すべきである。入力ポート 622 から出力ポート 628 へと通る信号が、図 3A 及び図 3B を参照してここに詳述された増幅段 33

50

0へと送信される。理解すべきことだが、マルチプレクサ620及び増幅段330は、図3A～図5を参照してここに詳述されたように、制御器（図示せず）によって制御することができる。マルチプレクサ620は減衰選択ブランチ625を含むので、マルチプレクサ620はまた、図3A、図3B及び図4に関してここに詳述された減衰段320、420のような減衰段と称してもよい。

【0060】

図6を参照すると、帯域選択スイッチ623により、マルチプレクサ620は、どの信号を増幅段330に伝えるのかを選択することができる。これは、信号を、目標の、選択された、又は所望の周波数帯域から選択するべく使用することができる。マルチプレクサ620における多数のブランチにより、対応する帯域選択スイッチ623を、処理を目的として目標の周波数帯域を選択するべく使用することができる。当該帯域選択スイッチ623は、任意の適切なパターンで（例えば時間に基づいて）又は制御器から受信した信号に基づいて、開閉することができる。このようにして、マルチプレクサ620及び増幅段330は、多重化された出力を与えるように構成される。帯域選択スイッチ623は、信号を選択的にグランド電位又は他の基準電圧に向けるべく構成されたトランジスタQ1、Q2を含む。帯域選択スイッチ623は、トランジスタQ1、Q2を動作させるのに適切なバイアス電圧を与えるべく、及び／又はインピーダンス整合素子若しくは他の信号調整素子を与えるべく、他のコンポーネントを含み得る。

【0061】

減衰選択ブランチ625は、可変減衰器R1を通る減衰経路、並びにトランジスタQ3及びQ4を通るバイパス経路を選択的に与えるべく構成される。減衰経路は、トランジスタQ5及びQ6により制御され、可変減衰器R1及び抵抗器R2～R4を含む。抵抗器R2～R4は、固定された抵抗値を有してよく、一定範囲の利得モードにわたる望ましい信号特性、信号振幅、及び／又はプログラムされた減衰を与えるべく選択してよい。可変減衰器R1は、動作利得モード、周波数帯域、信号振幅等に少なくとも部分的に依存する複数の値を有するように構成することができる。バイパス経路は、トランジスタQ3及びQ4により制御され、一定範囲の利得モードにわたる望ましい信号特性、信号振幅、及び／又はプログラムされた減衰を与えるべく付加的電気コンポーネント（図示せず）を含んでよい。いくつかの実施形態において、バイパス経路は高利得モードで動作するときに選択され、減衰経路は他の利得モードで動作するときに選択される。

【0062】

マルチプレクサ620は、各ブランチに可変利得を有するマルチプレクサとして構成することができる。プログラム可能減衰部は、増幅段330に先立つスイッチング段又はスイッチングネットワークに設けることができる。このスイッチング段は、複数の減衰選択ブランチ625を含み得る。

【0063】

図7は、減衰経路及びバイパス経路を与えるべく構成された増幅後減衰段例740を示す。図3A及び図3Bを参照してここに詳述された増幅段330から受信した信号は、プログラム可能減衰器R1を使用して選択的に減衰させることができる。理解されることは、増幅後減衰段740及び増幅段330は、図3A～図5を参照してここに詳述された制御器（図示せず）によって制御することができる。増幅後減衰段740は、図3A、図3B及び図5に関してここに詳述された第2減衰段340、540として実装することができる。

【0064】

図6を参照して記載した減衰選択ブランチ625と同様に、増幅後減衰段740は、可変減衰器R1を通る減衰経路並びにトランジスタQ3及びQ4を通るバイパス経路を選択的に与えるように構成される。減衰経路は、トランジスタQ5及びQ6により制御され、可変減衰器R1及び抵抗器R2～R4を含む。抵抗器R2～R4は、固定された抵抗値を有してよく、一定範囲の利得モードにわたる望ましい信号特性、信号振幅、及び／又はプログラムされた減衰を与えるべく選択してよい。可変減衰器R1は、動作利得モード、周

10

20

30

40

50

波数帯域、信号振幅等に少なくとも部分的に依存する複数の値を有するように構成することができる。バイパス経路は、トランジスタQ3及びQ4により制御され、一定範囲の利得モードにわたる望ましい信号特性、信号振幅、及び/又はプログラムされた減衰を与えるべく付加的電気コンポーネント(図示せず)を含んでよい。いくつかの実施形態において、バイパス経路は高利得モードで動作するときに選択され、減衰経路は他の利得モードで動作するときに選択される。

【0065】

図8A及び図8Bは、バイパスモード(図8A)及び減衰モード(図8B)において動作する減衰段740の一例を例示する。減衰段740は、図7を参照してここに記載される増幅後の段としてよく、又は図6を参照してここに記載される増幅前の段若しくはマルチプレクサにおけるブランチとしてもよい。図8Aに例示のバイパスモードにおいて、トランジスタQ3、Q4がアクティブになる一方、トランジスタQ5、Q6はアクティブ解除される。この構成において、信号は、減衰段740から出る前にトランジスタQ3、Q4間に設けられる電気コンポーネント(もしあれば)を通過する。図8Bに例示の減衰モードにおいて、トランジスタQ3、Q4がアクティブ解除される一方、トランジスタQ5、Q6はアクティブになる。この構成において信号は、減衰段740が存在する前に抵抗器R2～R4及び可変減衰器R1を通過する。トランジスタをアクティブにし及びアクティブ解除することは、制御器(図示せず)によって制御することができる。可変減衰器R1の値は、制御器(図示せず)によって制御することができる。明確性を目的として図示しないにもかかわらず、減衰段740は、適切な制御信号及びバイアス電圧をトランジスタQ3～Q6及び可変減衰器R1に与えるべく構成された他の電気コンポーネントを含み得る。

10

20

【0066】

図9A及び図9Bは、可変利得増幅器例910a、910bを例示する。これは、増幅前減衰段620、各増幅段930a、930b、入力整合ネットワーク913、出力整合ネットワーク914及び増幅後減衰段740を含む。可変利得増幅器910a、910bは、複数の入力ポート912及び共通出力部ポート918を含む。増幅前減衰段620も、図6を参照してここに詳細に記載された減衰段又はマルチプレクサ620と同様に構成することができる。増幅後減衰段740は、図7を参照してここに詳述された減衰段740と同様に構成することができる。

30

【0067】

図9Aを参照すると、増幅段930aは、入力整合ネットワーク913を介して受信した信号を一緒に増幅するトランジスタQ1、Q2、電圧源VDD、負荷ZL及びインダクタンス素子ZSを含むカスコード増幅器を含み得る。出力整合ネットワーク914は、望ましい信号特性を維持するべく増幅段930aのインピーダンスを整合するように構成されたコンポーネントを含む。例えば、出力整合ネットワーク913は、一つ以上のキャパシタ、一つ以上の抵抗器、直列の又は並列のキャパシタ又は抵抗器の組み合わせを含み得る。入力整合ネットワーク913は、望ましい信号特性を維持するべく第1減衰段920のインピーダンスを整合させるように構成されたコンポーネントを含む。例えば、入力整合ネットワーク914は、一つ以上のキャパシタ、一つ以上の抵抗器、直列の又は並列のキャパシタ又は抵抗器の組み合わせを含み得る。いくつかの実施形態において、入力整合ネットワーク913は、増幅段930aに含まれ得る。図9Bを参照すると、増幅段930bは増幅段930aと同様であり、付加的にデジネレーションスイッチングブロック932を含む。デジネレーションスイッチングブロック932は、第2インダクタンスZS1及びトランジスタQ3を含む。デジネレーションスイッチングブロック932は、一つ以上の利得モードにおいて付加的インダクタンス素子ZS1を加えるように構成される。例えば、選択された利得モードにおいて、デジネレーションスイッチングブロック932は、トランジスタQ3をアクティブ解除にしてグランド又は他の基準電圧への経路がインダクタンス素子ZS及びインダクタンス素子ZS1の双方を通過するようになる。他の利得モードでは、デジネレーションスイッチングブロック932は、ト

40

50

ランジスタをアクティブにしてグランド又は他の基準電圧への経路がインダクタンス素子 Z S を通過するがインダクタンス素子 Z S 1 は通過しないようにできる。これにより、図 10 B を参照してここに詳述されたように、増幅段 930 b の雑音指数 (N F) 及び / 又は線形性 (I I P 3) に影響を与えることができる。

【0068】

図 10 A 及び図 10 B は、図 9 A 及び図 9 B を参照してそれが述べられた可変利得増幅器 910 a、910 b の性能のプロットを例示する。図 10 A は、(図 9 A を参照して記載した) 可変利得増幅器 910 a の雑音指数 (N F) 及び線形性 (I I P 3) と、記載の増幅前減衰段 620 を含むことの影響とのプロットを例示する。同様に、図 10 B は、(図 9 B を参照して記載した) 可変利得増幅器 910 b の雑音指数 (N F) 及び線形性 (I I P 3) と、記載の増幅前減衰段 620 を含むことの影響とのプロットを例示する。

10

【0069】

図 10 A を参照すると、上部のプロットが、雑音指数 (N F) を利得モードの関数として示す。G 4 が低利得モードであり、利得が高利得モードの G 0 に向かって増加する。左上のプロット 1000 a において、増幅段 930 a (又は LNA) からの N F が実線 1002 a として示され、N F は LNA 前減衰段 620 なしでも存在する。目標 N F は一点鎖線 1004 a として示される。目標 N F 1004 a と LNA からの N F 1002 a との差は、破線 1006 a (例えば N F マージン) として示される許容 LNA 前減衰である。LNA 前減衰段の可変減衰をプログラムすることにより、右上のプロット 1010 a に示されるように目標 N F を達成することができる。LNA 前減衰による LNA からの N F が実線 1012 a として示され、これが、一点鎖線 1004 a として再び示される目標 LNA に実質的に整合する。

20

【0070】

続けて図 10 A を参照すると、下部のプロットが、線形性 (I I P 3) を利得モードの関数として示す。G 4 が低利得モードであり、利得が高利得モードの G 0 に向かって増加する。左下のプロット 1020 a において、増幅段 930 a (又は LNA) からの I I P 3 が実線 1022 a として示され、I I P 3 は LNA 前減衰段 620 なしでも存在する。目標 I I P 3 は一点鎖線 1024 a として示される。許容 LNA 前減衰は再びであるが、破線 1006 a として示される。LNA 前減衰段の可変減衰をプログラムすることにより、プロット 1030 a に示すように、目標 I I P 3 を超える線形性を達成することができる。LNA 前減衰による LNA からの I I P 3 が実線 1032 a として示され、これが、一点鎖線 1024 a として再び示される目標 I I P 3 を超える。

30

【0071】

図 10 A のプロットは、開示の可変利得増幅器が、非高利得モードにおいて目標の又は高い I I P 3 を達成するべく構成し得ることを例示する。さらに、許容 N F マージンにより、低利得モードにおける線形性 (I I P 3) 性能をブーストするべく目標のフロントエンド損失を達成するように、LNA 前減衰をあつらえることができる。

【0072】

図 10 B に進むと、プロット 1000、1010 b、1020 b、1030 b が、図 10 A に記載されるものと同じパラメータを例示する。増幅段 930 a が、デジエネレーションスイッチングブロック 932 を含む増幅段 930 b により置換されている。換言すれば、可変利得増幅器 910 a、910 b 間の差が、可変利得増幅器 910 b におけるデジエネレーションスイッチングブロック 932 の存在を含む。図 10 B のプロットにおいて、スイッチングの影響は、N F プロット及び I I P 3 プロットにおける利得モード G 3 に対するデジエネレーションブロックに見られる。

40

【0073】

上部のプロットが、雑音指数 (N F) を利得モードの関数として示す。G 4 が低利得モードであり、利得が高利得モードの G 0 に向かって増加する。左上のプロット 1000 b において、増幅段 930 b (又は LNA) からの N F が実線 1002 b として示され、N F は LNA 前減衰段 620 なしでも存在する。目標 N F は一点鎖線 1004 b として示さ

50

れる。目標 N F 1 0 0 4 b と L N A からの N F 1 0 0 2 b との差は、破線 1 0 0 6 b (例えれば N F マージン) として示される許容 L N A 前減衰である。 L N A 前減衰段の可変減衰をプログラムすることにより、右上のプロット 1 0 1 0 b に示されるように目標 N F を達成することができる。 L N A 前減衰による L N A からの N F が実線 1 0 1 2 b として示され、これが、一点鎖線 1 0 0 4 b として再び示される目標 L N A に実質的に整合する。

【 0 0 7 4 】

続けて図 1 0 B を参照すると、下部のプロットが、線形性 (I I P 3) を利得モードの関数として示す。 G 4 が低利得モードであり、利得が高利得モードの G 0 に向かって増加する。左下のプロット 1 0 2 0 b において、增幅段 9 3 0 b (又は L N A) からの I I P 3 が実線 1 0 2 2 b として示され、 I I P 3 は L N A 前減衰段 6 2 0 なしでも存在する。目標 I I P 3 は一点鎖線 1 0 2 4 b として示される。許容 L N A 前減衰は再びであるが、破線 1 0 0 6 b として示される。 L N A 前減衰段の可変減衰をプログラムすることにより、プロット 1 0 3 0 b に示すように、目標 I I P 3 を超える線形性を達成することができる。 L N A 前減衰による L N A からの I I P 3 が実線 1 0 3 2 b として示され、これが、一点鎖線 1 0 2 4 b として再び示される目標 I I P 3 を超える。

【 0 0 7 5 】

図 1 0 B のプロットは、開示の可変利得増幅器が、非高利得モードにおいて目標の又は高い I I P 3 を達成するべく構成し得ることを例示する。さらに、許容 N F マージンにより、低利得モードにおける線形性 (I I P 3) 性能をブーストするべく目標のフロントエンド損失を達成するように、 L N A 前減衰をあつらえることができる。

【 0 0 7 6 】

製品及びアーキテクチャの複数例

【 0 0 7 7 】

図 1 1 は、いくつかの実施形態において、特徴 (例えは図 1 ~ 図 9 B) の組み合わせを有するダイバーシティ受信器構成のいくつか又はすべてを含むダイバーシティ受信器構成のいくつか又はすべてを、全体的又は部分的にモジュールに実装することができる。かかるモジュールは、例えはフロントエンドモジュール (F E M) とすることができます。かかるモジュールは、例えはダイバーシティ受信器 (D R x) F E M とすることができます。かかるモジュールは、例えは、マルチ入力・マルチ出力 (M i M o) モジュールとしてよい。

【 0 0 7 8 】

図 1 1 の例において、モジュール 1 1 0 8 はパッケージ基板 1 1 0 1 を含み、かかるパッケージ基板 1 1 0 1 に一定数のコンポーネントが取り付けられる。例えは、(フロントエンド電力管理集積回路 [F E - P I M C] を含み得る) 制御器 1 1 0 2 、組み合わせアセンブリ 1 1 0 6 、ここに記載される一つ以上の特徴を有する埋め込み型プログラム可能減衰器 1 1 1 6 を含む可変利得増幅器アセンブリ 1 1 1 0 、及び (一つ以上の帯域通過フィルタを含み得る) フィルタバンク 1 1 0 8 を、パッケージ基板 1 1 0 1 上に及び / 又はパッケージ基板 1 1 0 1 内に取り付け及び / 又は実装することができる。一定数の S M T デバイス 1 1 0 5 のような他のコンポーネントを、パッケージ基板 1 1 0 1 に取り付けることもできる。様々なコンポーネントのすべてがパッケージ基板 1 1 0 1 上にレイアウトされるように描かれているにもかかわらず、一定のコンポーネントを他のコンポーネントの上に実装することもできることが理解される。

【 0 0 7 9 】

いくつかの実施形態において、ダイバーシティ受信モジュール 1 1 0 8 は、2 つ以上の可変利得増幅器アセンブリ 1 1 1 0 を含む。様々な実装において、2 つ以上の可変利得増幅器アセンブリ 1 1 1 0 は、単数のダイ上に実装することができる。各アセンブリ 1 1 1 0 は、第 1 減衰段、増幅段及び第 2 減衰段を含み得る。各アセンブリ 1 1 1 0 の出力が一緒にされる。これは、広い範囲の周波数にわたる性能チューニングが可能となるので有利となり得る。例えは、第 1 アセンブリを第 1 周波数範囲のためにチューニングすることができ、第 2 アセンブリを第 2 周波数範囲のためにチューニングすることができる。複数の

10

20

30

40

50

信号が、適切なアセンブリ 1110 へと向けられて共通出力部において一緒になる。すなわち、ダイバーシティ受信モジュール 1108 は、広い範囲の周波数をカバーするように構成することができるので、単数の増幅器アセンブリを含む構成と比べて性能が改善される。

【0080】

図 12 は、いくつかの実施形態において、複数の特徴（例えば図 1～図 9 b）の組み合わせを有するダイバーシティ受信器構成のいくつか又はすべてを含むダイバーシティ受信器構成のいくつか又はすべてを、全体的に又は部分的に、アーキテクチャに実装することができることを示す。かかるアーキテクチャは、一つ以上のモジュールを含み、ダイバーシティ受信器（DRx）フロントエンド機能のようなフロントエンド機能を与えるように構成することができる。

10

【0081】

図 12 の例において、アーキテクチャ 1208 は、（フロントエンド電力管理集積回路 [FEPIMC] を含み得る）制御器 1202、組み合わせアセンブリ 1206、ここに記載される一つ以上の特徴を有する埋め込み型プログラム可能減衰器 1216 を含む可変利得増幅器アセンブリ 1210、及び（一つ以上の帯域通過フィルタを含み得る）フィルタバンク 1208 を、パッケージ基板 1201 上に及び／又はパッケージ基板 1201 内に取り付け及び／又は実装することができる。一定数の SMT デバイス 1205 のような他のコンポーネントもまた、アーキテクチャ 1208 に実装することができる。

20

【0082】

いくつかの実装において、ここに記載される一つ以上の特徴を有するデバイス及び／又は回路は、無線デバイスのような RF 電子デバイスに含まれ得る。かかるデバイス及び／又は回路は、無線デバイスに直接、ここに記載されるモジュラー形態で、又はこれらの何らかの組み合わせで実装することができる。いくつかの実施形態において、かかる無線デバイスは、例えば、スマートフォンのような携帯電話機、電話機能あり又はなしのハンドヘルド無線デバイス、無線タブレット等を含み得る。

20

【0083】

図 13 は、ここに記載される一つ以上の有利な特徴を有する無線デバイス例 1300 を描く。ここに記載される一つ以上の特徴を有する一つ以上のモジュールの文脈において、かかるモジュールは一般に、（例えばフロントエンドモジュールとして実装可能な）破線の囲い 1306、及び（例えばフロントエンドモジュールとして実装可能な）ダイバーシティ受信器（DRx）モジュール 1308 によって描かれる。

30

【0084】

図 13 を参照すると、複数の電力増幅器（PA）1382 がそれぞれ、送受信器 1304 から RF 信号を受信することができる。送受信器 1304 は、増幅及び送信対象の RF 信号を生成するように、及び受信信号を処理するように、構成されて動作することができる。送受信器 1304 は、ユーザに適したデータ及び／又は音声信号と送受信器 1304 に適した RF 信号との間の変換を与えるように構成されたベース帯域サブシステム 1305 と相互作用をするように示される。送受信器 1304 はまた、無線デバイス 1300 の動作を目的として電力を管理するべく構成された電力管理コンポーネント 1307 と通信することもできる。かかる電力管理はまた、ベース帯域サブシステム 1305 並びにモジュール 1306 及び 1308 の動作も制御することができる。

40

【0085】

ベース帯域サブシステム 1305 は、ユーザに与えられ及びユーザから受信する音声及び／又はデータの様々な入力及び出力を容易にするべくユーザインタフェイス 1301 に接続されるように示される。ベース帯域サブシステム 1305 はまた、無線デバイスの動作を容易にするべく及び／又はユーザのための情報格納を与えるべく構成されたメモリ 1303 にも接続される。メモリ 1303 は、データ及び／又は命令を格納するように構成される。

【0086】

50

無線デバイス例 1300において、PA1382の出力は、(各整合回路1384を介して)整合されて各デュプレクサ1386へと引き回される。かかる増幅されかつフィルタリングされた信号は、送信を目的としてスイッチングネットワーク1309を介して一次アンテナ1360へと引き回すことができる。いくつかの実施形態において、デュプレクサ1386により、共通アンテナ(例えば一次アンテナ1360)を使用して送信動作及び受信動作を同時に行うことが許容され得る。図13において、受信信号は、ここに開示の可変利得増幅器の特徴及び利益を与える可変利得増幅器アセンブリ1310aへと引き回されるように示される。DR×モジュール1308も、同様の可変利得増幅器アセンブリ1310bを含む。

【0087】

10

無線デバイス例1300において、一次アンテナ1330において受信した信号は、(各整合回路1385を介して)整合され、フロントエンドモジュール1306の可変利得増幅器1310aに送信され得る。可変利得増幅器1310aは、増幅前プログラム可能減衰アセンブリ1320、増幅器1330、増幅後プログラム可能減衰アセンブリ1340、及び分割器1350を含み得る。可変利得増幅器1310aは、入力部1312において複数の信号を受信し、出力部1318において複数の処理済み信号を出力するように構成される。可変利得増幅器1310aは、複数のスイッチング可能経路を増幅器1310aに与えるべく構成される。複数のスイッチング可能経路は、複数の利得モードにわたる目標の増幅を与えるとともに、埋め込み型プログラム可能減衰器を含まない可変利得増幅器と比べて信号の線形性を改善する埋め込み型プログラム可能減衰器を含む。少なくとも一つの高利得モードにおいて、プログラム可能減衰器は、雑音指数への影響を低減又は排除するべくバイパスすることができる。少なくとも一つの非高利得モードにおいて、プログラム可能減衰器は、当該少なくとも一つの非高利得モードにおいて増幅される信号の線形性を改善するようにならえることができる。

【0088】

20

無線デバイスはまた、ダイバーシティアンテナ1370、及びダイバーシティアンテナ1370から信号を受信するダイバーシティ受信器モジュール1308も含む。ダイバーシティ受信モジュール1308は、フロントエンドモジュール1306における可変利得増幅器1310aと同様の可変利得増幅器1310bを含む。ダイバーシティ受信器モジュール1308及び可変利得増幅器1310bは、受信した信号を処理し、処理した信号を送受信器1304に送信する。いくつかの実施形態において、ダイプレクサ、トライプレクサ、又は他のマルチプレクサ若しくはフィルタアセンブリを、ここに記載されるように、ダイバーシティアンテナ1370とダイバーシティ受信器モジュール1308との間に含めることができる。

【0089】

30

本開示の一つ以上の特徴を、ここに記載される様々なセルラー周波数帯域とともに実装することができる。かかる帯域の例を表1に挙げる。理解されることだが、当該帯域の少なくともいくつかは、サブ帯域に分割することができる。本開示の一つ以上の特徴が、表1の例のような指定を有しない周波数範囲とともに実装し得ることも理解される。無線周波数(RF)及び無線周波数信号との用語が、少なくとも表1に挙げられる周波数を含む信号を言及することが理解される。

40

【表1】

Table 1

帯域	モード	送信周波数範囲(MHz)	受信周波数範囲(MHz)
B1	FDD	1,920 – 1,980	2,110 – 2,170
B2	FDD	1,850 – 1,910	1,930 – 1,990
B3	FDD	1,710 – 1,785	1,805 – 1,880
B4	FDD	1,710 – 1,755	2,110 – 2,155
B5	FDD	824 – 849	869 – 894
B6	FDD	830 – 840	875 – 885
B7	FDD	2,500 – 2,570	2,620 – 2,690
B8	FDD	880 – 915	925 – 960
B9	FDD	1,749.9 – 1,784.9	1,844.9 – 1,879.9
B10	FDD	1,710 – 1,770	2,110 – 2,170
B11	FDD	1,427.9 – 1,447.9	1,475.9 – 1,495.9
B12	FDD	699 – 716	729 – 746
B13	FDD	777 – 787	746 – 756
B14	FDD	788 – 798	758 – 768
B15	FDD	1,900 – 1,920	2,600 – 2,620
B16	FDD	2,010 – 2,025	2,585 – 2,600
B17	FDD	704 – 716	734 – 746
B18	FDD	815 – 830	860 – 875
B19	FDD	830 – 845	875 – 890
B20	FDD	832 – 862	791 – 821
B21	FDD	1,447.9 – 1,462.9	1,495.9 – 1,510.9
B22	FDD	3,410 – 3,490	3,510 – 3,590
B23	FDD	2,000 – 2,020	2,180 – 2,200
B24	FDD	1,626.5 – 1,660.5	1,525 – 1,559
B25	FDD	1,850 – 1,915	1,930 – 1,995
B26	FDD	814 – 849	859 – 894
B27	FDD	807 – 824	852 – 869
B28	FDD	703 – 748	758 – 803
B29	FDD	N/A	716 – 728
B30	FDD	2,305 – 2,315	2,350 – 2,360
B31	FDD	452.5 – 457.5	462.5 – 467.5
B32	FDD	N/A	1,452 – 1,496
B33	TDD	1,900 – 1,920	1,900 – 1,920
B34	TDD	2,010 – 2,025	2,010 – 2,025
B35	TDD	1,850 – 1,910	1,850 – 1,910
B36	TDD	1,930 – 1,990	1,930 – 1,990
B37	TDD	1,910 – 1,930	1,910 – 1,930
B38	TDD	2,570 – 2,620	2,570 – 2,620
B39	TDD	1,880 – 1,920	1,880 – 1,920
B40	TDD	2,300 – 2,400	2,300 – 2,400
B41	TDD	2,496 – 2,690	2,496 – 2,690
B42	TDD	3,400 – 3,600	3,400 – 3,600
B43	TDD	3,600 – 3,800	3,600 – 3,800
B44	TDD	703 – 803	703 – 803
B45	TDD	1,447 – 1,467	1,447 – 1,467
B46	TDD	5,150 – 5,925	5,150 – 5,925
B65	FDD	1,920 – 2,010	2,110 – 2,200
B66	FDD	1,710 – 1,780	2,110 – 2,200
B67	FDD	N/A	738 – 758
B68	FDD	698 – 728	753 – 783

【0090】

本開示は、様々な特徴を記載するが、その単一の特徴のみがここに記載される利益に対する責任を負うわけではない。理解されることだが、ここに記載される様々な特徴は、当業者にとって明らかなように結合し、修正し、又は省略することができる。ここに具体的

10

20

30

40

50

に記載されるもの以外のコンビネーション及びサブコンビネーションも、当業者にとって明らかであって、本開示の一部を形成することが意図される。様々な方法が、様々なフローチャートステップ及び／又はフェーズに関連してここに記載される。理解されことだが、多くの場合、一定のステップ及び／又はフェーズは、フローチャートに示される多重のステップ及び／又はフェーズが単数のステップ及び／又はフェーズとして行うことができるよう、一緒に組み合わせることができる。さらに、一定のステップ及び／又はフェーズは、別個に行うべく付加的な下位コンポーネントに分解することもできる。いくつかの例において、ステップ及び／又はフェーズの順序は再配列することができ、一定のステップ及び／又はフェーズを完全に省略することもできる。さらに、ここに記載される方法は、ここに図示され及び記載されるものに対する付加的なステップ及び／又はフェーズも行うことができるような、オープンエンドとして理解される。

【0091】

ここに記載されるシステム及び方法のいくつかの態様は有利なことに、例えば、コンピュータソフトウェア、ハードウェア、ファームウェア、又は、コンピュータソフトウェア、ハードウェア及びファームウェアの任意の組み合わせを使用して実装可能である。コンピュータソフトウェアは、実行時にここに記載の機能を行う、コンピュータ可読媒体（例えば非一時的コンピュータ可読媒体）に記憶されたコンピュータ実行可能コードを含み得る。いくつかの実施形態において、コンピュータ実行可能コードは、一つ以上の汎用コンピュータプロセッサによって実行される。当業者であれば、本開示に照らし、汎用コンピュータにおいて実行されるソフトウェアを使用して実装可能な任意の特徴又は機能が、ハードウェア、ソフトウェア又はファームウェアの異なる組み合わせを使用しても実装可能であることがわかる。例えば、かかるモジュールは、集積回路の組み合わせを使用して完全にハードウェアに実装することができる。代替的に又は付加的に、かかる特徴又は機能は、汎用コンピュータによらず、ここに記載される特定の機能を実行するべく設計された専用コンピュータを使用して完全に又は部分的に実装可能である。

【0092】

多重分散されたコンピューティング装置を、ここに記載される任意の一つのコンピューティングデバイスの代わりに用いることができる。かかる分散された実施形態において、分散されたコンピューティングデバイスのそれぞれにおいていくつかの機能が行われるよう、一つのコンピューティングデバイスの機能が（例えばネットワークを介して）分散される。

【0093】

いくつかの実施形態は、式、アルゴリズム、及び／又はフローチャートの例示を参照して記載することができる。当該方法は、一つ以上のコンピュータにおいて実行可能なコンピュータプログラム命令を使用して実装することができる。当該方法はまた、別個に又は装置若しくはシステムの一コンポーネントとしてのいずれかでコンピュータプログラム製品として実装することができる。この点において、式、アルゴリズム、ブロック、又はフローチャートのステップ、及びこれらの組み合わせのそれぞれを、コンピュータ可読プログラムコード論理に具体化された一つ以上のコンピュータプログラム命令を含むハードウェア、ファームウェア及び／又はソフトウェアによって実装することができる。わかることだが、かかるコンピュータプログラム命令はいずれも、コンピュータ又は他のプログラム可能処理デバイスにおいて実行されるコンピュータプログラム命令が、式、アルゴリズム及び／又はフローチャートに特定される機能を実装するよう、制約なしに汎用コンピュータ若しくは専用コンピュータ、又は機械をもたらす他のプログラム可能処理装置を含む一つ以上のコンピュータにロードすることができる。またも理解されことだが、式、アルゴリズム、及び／又はフローチャートのブロックの例示、並びにこれらの組み合わせのそれぞれは、特定の機能若しくはステップ、又は、専用ハードウェアとコンピュータ可読プログラムコード論理手段との組み合わせを行う専用ハードウェア系コンピュータシステムによって実装することができる。

【0094】

10

20

30

40

50

さらに、コンピュータ可読プログラムコード論理に具体化されるコンピュータプログラム命令はまた、コンピュータ可読メモリ（例えば非一時的コンピュータ可読媒体）に記憶させることができる。当該コンピュータ可読メモリは、コンピュータ可読メモリに記憶された命令がフローチャート（複数可）のブロック（複数可）に特定された機能（複数可）を実装するように、一つ以上のコンピュータ又は他のプログラム可能処理デバイスを特定の態様で機能させることができる。コンピュータプログラム命令はまた、一つ以上のコンピュータ又は他のプログラム可能コンピューティングデバイスにロードされて当該一以上のコンピュータ又は他のプログラム可能コンピューティングデバイスにおいて一連の動作ステップを実行させることにより、当該コンピュータ又は他のプログラム可能処理装置において実行される命令が、式、アルゴリズム、及び／又はフローチャートブロックに特定される機能を実装するためのステップを与えるようにコンピュータ実装プロセスをもたらすことができる。10

【0095】

ここに記載される方法及びタスクのいくつか又はすべては、コンピュータシステムによって行われ及び完全に自動化することができる。コンピュータシステムは、いくつかの場合において、記載の機能を行うべくネットワークを介して通信し及び相互運用される多数の別個のコンピュータ又はコンピューティングデバイス（例えば物理的サーバ、ワークステーション、記憶アレイ等）を含み得る。かかるコンピューティングデバイスはそれぞれが典型的に、メモリ又は他の非一時的コンピュータ可読記憶媒体若しくは装置に記憶されたプログラム命令又はモジュールを実行するプロセッサ（又は多重プロセッサ）を含む。ここに開示の様々な機能は、かかるプログラム命令に具体化することができる。ただし、代替的に、開示の機能のいくつか又はすべてを、コンピュータシステムの特定用途向け回路（例えばA S I C 又はF P G A）に実装してよい。コンピュータシステムが多数のコンピューティングデバイスを含む場合、当該デバイスは共通位置に配置してよいが、必ずしもその必要はない。開示の方法及びタスクの結果は、半導体メモリチップ及び／又は磁気ディスクのような物理的記憶デバイスを異なる状態に変換することによって永続的に記憶することができる。20

【0096】

本明細書及び特許請求の範囲全体にわたり、文脈上そうでないことが明らかでない限り、「含む」等の用語は、排他的又は網羅的な意味とは反対の包括的意味に、すなわち「～を含むがこれらに限られない」との意味に解釈すべきである。ここで一般に使用される用語「結合」は、直接接続されるか又は一つ以上の中間要素を介して接続されるかいずれかとなり得る2つ以上の要素を言及する。加えて、用語「ここ」、「上」、「下」及び同様の趣旨の用語は、本願において使用される場合、本願全体を言及し、本願の任意の特定部分を言及するわけではない。文脈が許容する場合、単数又は複数を使用する上述の詳細な説明における用語はそれぞれ、複数又は単数をも含み得る。2つ以上の項目のリストを参照する用語「又は」及び「若しくは」について、当該用語は以下の解釈のすべてをカバーする。すなわち、当該リストの任意の項目、当該リストのすべての項目、及び当該リストの項目の任意の組み合わせである。用語「代表的」は、ここでは専ら「一例又は一例示として機能する」ことを意味するべく使用される。「代表的」としてここに記載される任意の実装は必ずしも、他の実装に対して好ましい又は有利として解釈されるわけではない。3040

【0097】

本開示は、ここに示される実装に制限されることを意図しない。本開示に記載される実装に対する様々な修正は、当業者にとって容易にわかるものであり、ここに画定される一般的な原理は、本開示の要旨又は範囲を逸脱することなく他の実装に対しても適用することができる。ここに与えられる本発明の教示は、他の方法及びシステムに対しても適用可能であり、上述の方法及びシステムに制限されるわけではなく、上述の様々な実施形態の要素及び行為は、さらなる実施形態を与えるべく組み合わせることができる。したがって、ここに記載される新規な方法及びシステムは、様々な他の形態で具体化することができる。さらに、ここに記載される方法及びシステムの形態における様々な省略、置換及び変50

更が、本開示の要旨から逸脱することなくなし得る。添付の特許請求の範囲及びその均等物が、本開示の範囲及び要旨に収まるかかる形態又は修正をカバーすることが意図される。

【図1】

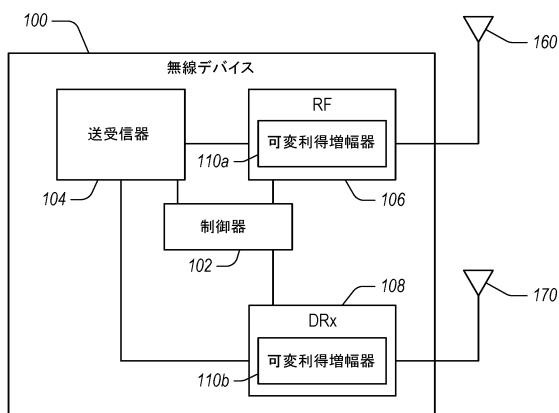


FIG. 1

【図2】

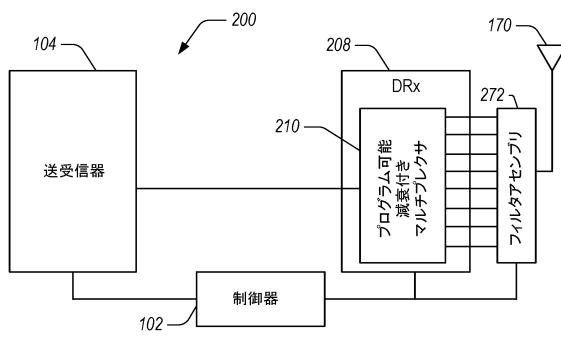
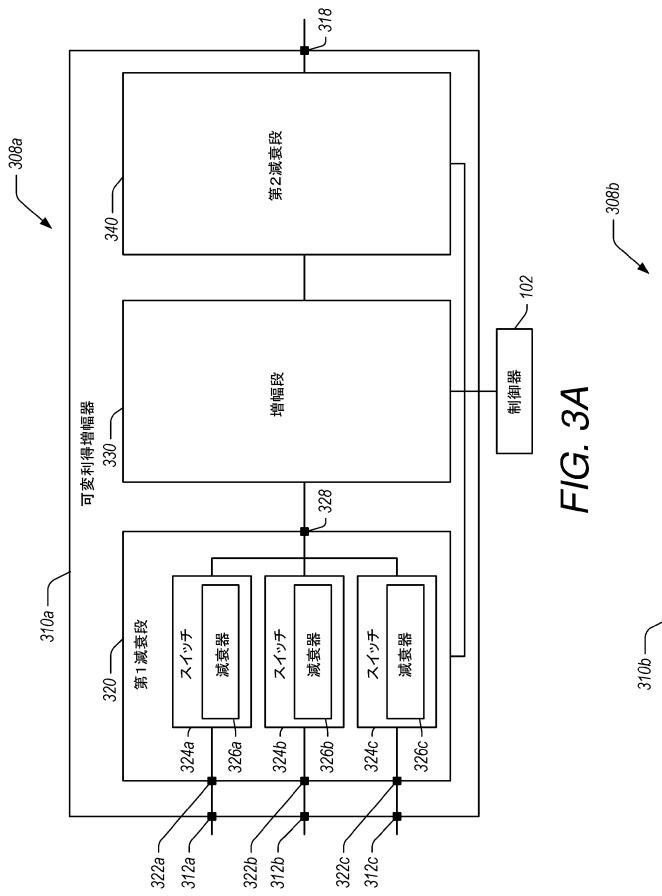


FIG. 2

【図 3 A】



【図 3 B】

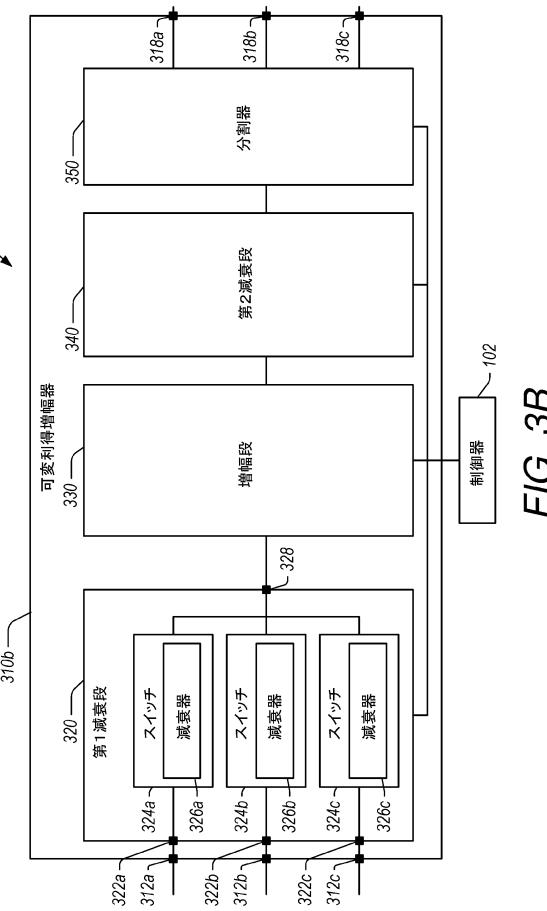


FIG. 3A

FIG. 3B

【図 4】

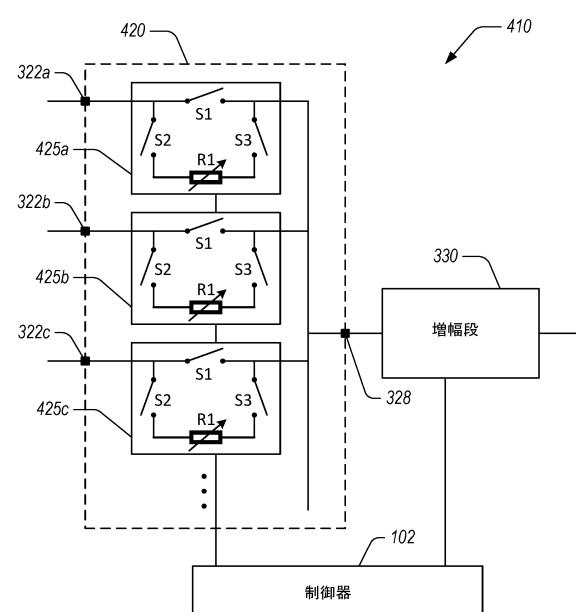


FIG. 4

【図 5】

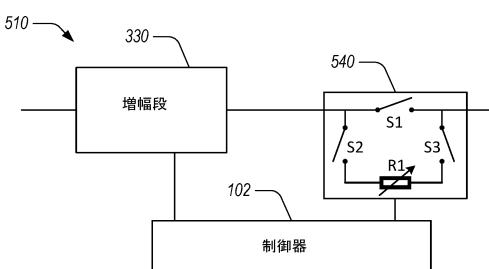


FIG. 5

【図 6】

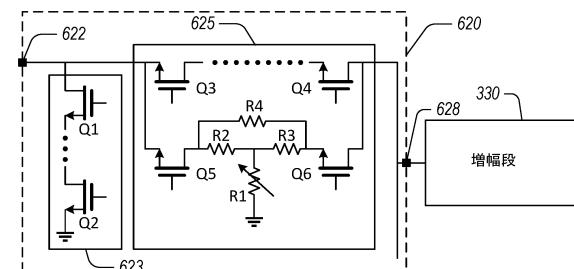
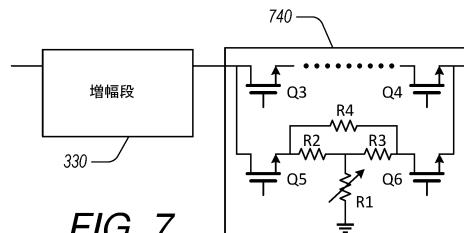


FIG. 6

【図7】



【図 8 A】

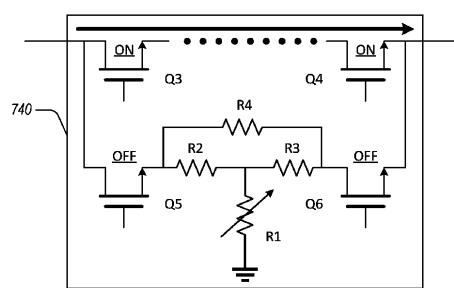


FIG. 8A

【図8B】

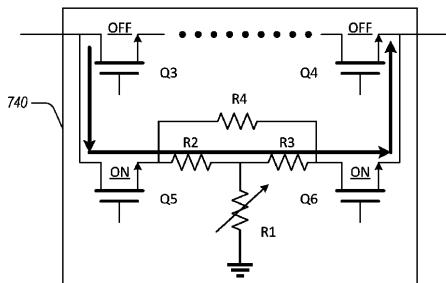


FIG. 8B

【図9A】

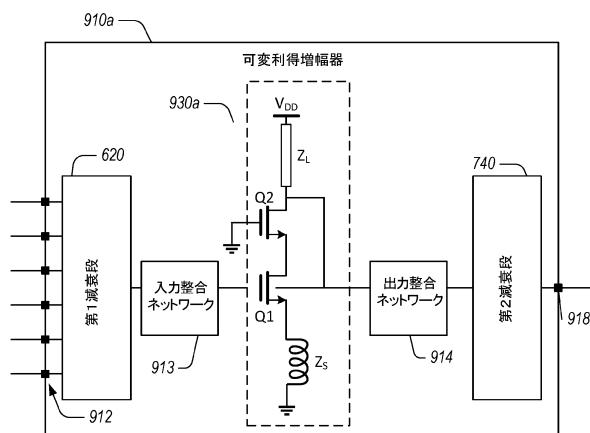


FIG. 9A

【 図 9 B 】

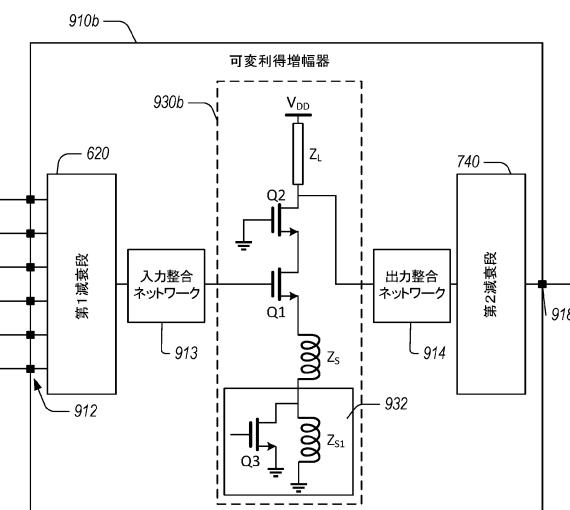
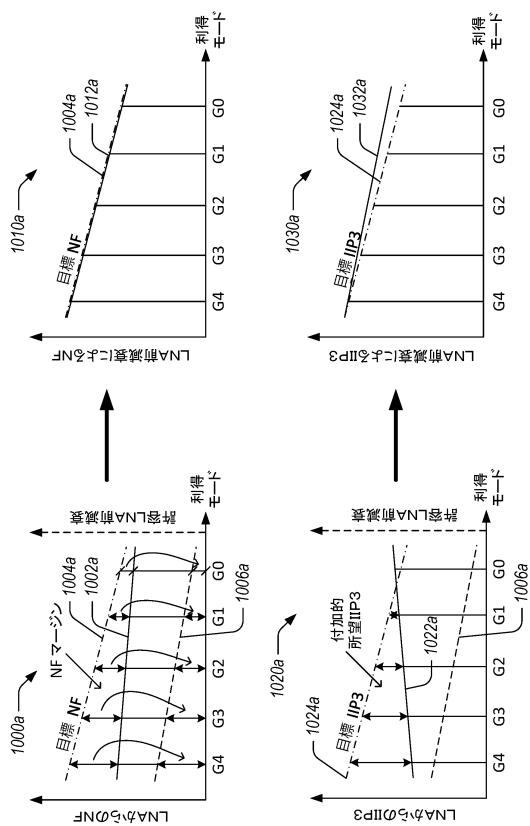


FIG. 9B

【図 10A】



【図 10B】

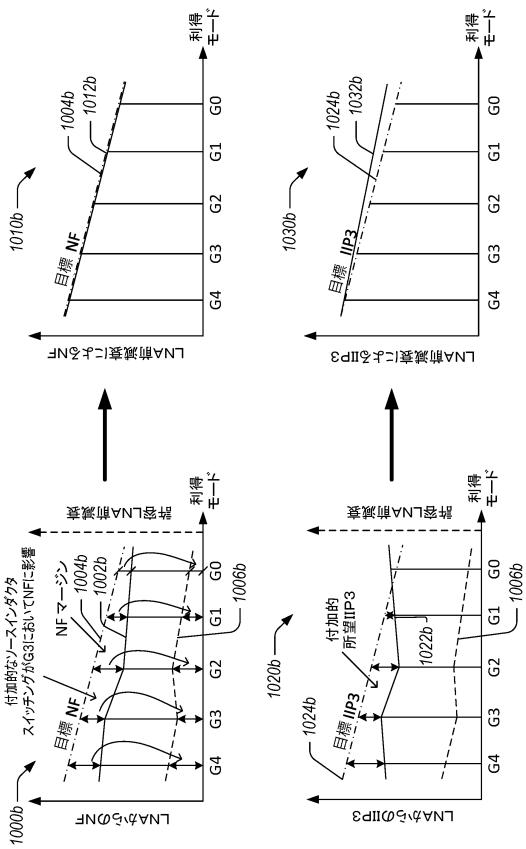


FIG. 10A

FIG. 10B

【図 11】

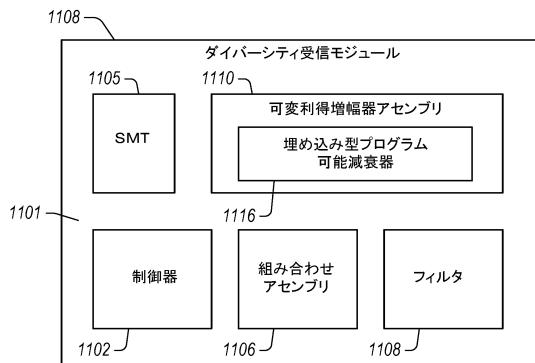


FIG. 11

【図 12】

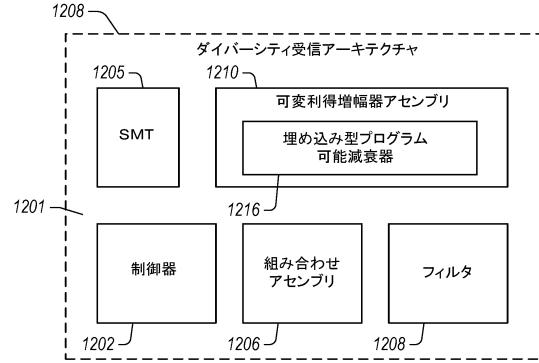


FIG. 12

【図13】

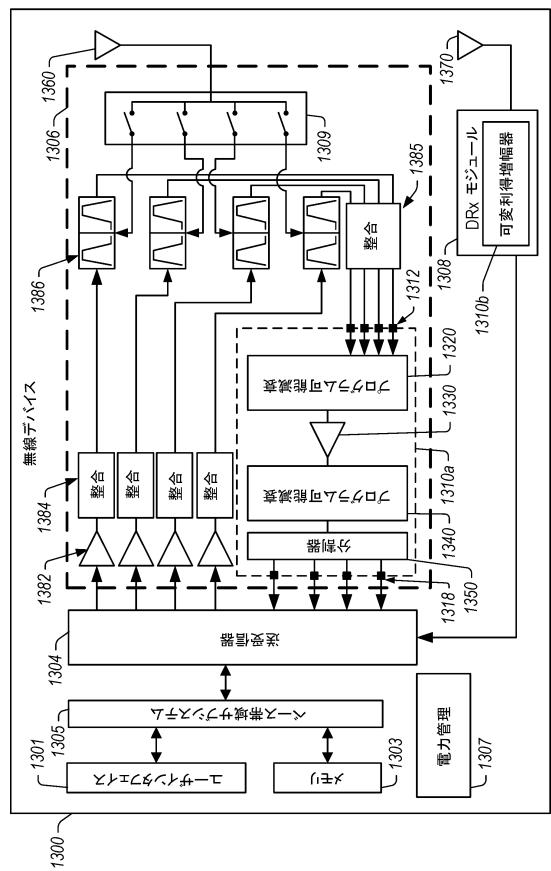


FIG. 13

フロントページの続き

(72)発明者 イ、 ジュンヒョン
アメリカ合衆国 92618 カリフォルニア州 アーバイン スモールホイール 110

(72)発明者 シン、 リマル ディープ
アメリカ合衆国 92602 カリフォルニア州 アーバイン ナショナル プレース 19

(72)発明者 ハゲラーツ、 ヨハネス ヤコブス エミール マリア
アメリカ合衆国 96743 ハワイ州 カムエラ カ ナニ プレース 59-127

(72)発明者 チョ、 ジョシュア ヘソク
アメリカ合衆国 92603 カリフォルニア州 アーバイン ブレアン レーン 5065

(72)発明者 アガーワル、 ピブル
アメリカ合衆国 92602 カリフォルニア州 アーバイン クロスウィンズ 123

(72)発明者 パディヤナ、 アラビンド クマル
アメリカ合衆国 92626 カリフォルニア州 コスタメサ アベニュー オブ ジ アーツ
3400 アパートメント イ-215

審査官 渡井 高広

(56)参考文献 特開平09-312539 (JP, A)
特開2003-324327 (JP, A)
特開2004-328425 (JP, A)
国際公開第2014/080586 (WO, A1)
特開2015-171081 (JP, A)
特開平11-312938 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03G 3/10