

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年4月16日(16.04.2015)



(10) 国際公開番号

WO 2015/053142 A1

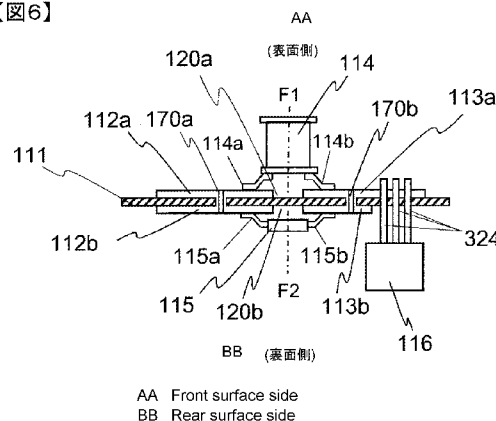
- (51) 国際特許分類:
H02M 1/08 (2006.01) H02M 7/48 (2007.01)
- (21) 国際出願番号: PCT/JP2014/076242
- (22) 国際出願日: 2014年10月1日(01.10.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-211800 2013年10月9日(09.10.2013) JP
- (71) 出願人: 日立オートモティブシステムズ株式会社 (HITACHI AUTOMOTIVE SYSTEMS, LTD.) [JP/JP]; 〒3128503 茨城県ひたちなか市高場2520番地 Ibaraki (JP).
- (72) 発明者: 加藤 剛(KATO Takeshi); 〒3128503 茨城県ひたちなか市高場2520番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP). 辻雅薫(TSUJI Masashige); 〒3128503 茨城県ひたちなか市高場2520番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP). 平沼 聡(HIRANUMA Satoshi); 〒3128503 茨城県ひたちなか市高場2520番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP).
- (74) 代理人: 井上 学, 外(INOUE Manabu et al.); 〒1008220 東京都千代田区丸の内一丁目6番1号 株式会社日立製作所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: DRIVER SUBSTRATE AND POWER CONVERSION DEVICE

(54) 発明の名称: ドライバ基板および電力変換装置

【図6】



(57) Abstract: Provided is a driver substrate that makes it possible to decrease size while maintaining withstand voltage performance. A primary side terminal (114a) is connected to a primary side circuit (112a) and a secondary side terminal (114b) is connected to a secondary side circuit (113a) so that a transformer (114) spans a first insulating area (120a) on the driver substrate. A primary side terminal (115a) is connected to a primary side circuit (112b) and a secondary side terminal (115b) is connected to a secondary side circuit (113b) so that a power source control IC (115) spans an insulating area (120b). The insulating area (120a) and the insulating area (120b) are formed so as to face one another at least partially with an insulating substrate (111) therebetween such that the primary side circuit (112a) and the secondary side circuit (113b) do not face one another with the insulating substrate therebetween and the primary side circuit (112b) and the secondary side circuit (113a) do not face one another with the insulating substrate therebetween.

(57) 要約:

[続葉有]



WO 2015/053142 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

絶縁耐圧性能を確保しつつ小型化を図ることができるドライバ基板の提供。ドライバ基板においては、トランス 114 は、第 1 絶縁領域 120 a を跨ぐように、一次側端子 114 a が一次側回路 112 a に接続されると共に、二次側端子 114 b が二次側回路 113 a に接続され、電源制御 IC 115 は、絶縁領域 120 b を跨ぐように、一次側端子 115 a が一次側回路 112 b に接続されると共に、二次側端子 115 b が二次側回路 113 b に接続され、絶縁領域 120 a および絶縁領域 120 b は、一次側回路 112 a と二次側回路 113 b とが絶縁基板を挟んで対向せず、かつ、一次側回路 112 b と二次側回路 113 a とが絶縁基板を挟んで対向しないように、少なくとも一部が絶縁基板 111 を挟んで互いに対向するように形成されている。

明 細 書

発明の名称：ドライバ基板および電力変換装置

技術分野

[0001] 本発明は、スイッチング素子を駆動するドライバ回路が実装されるドライバ基板、およびそのドライバ基板を備える電力変換装置に関する。

背景技術

[0002] 三相インバータ装置においては、相毎に上アーム用半導体スイッチング素子および下アーム用半導体スイッチング素子を有し、半導体スイッチング素子を駆動するためのドライバ回路を半導体スイッチング素子毎に備えている（例えば、特許文献1参照）。各ドライバ回路には、多出力型のトランスから制御電力が給電される。これらのドライバ回路やトランスを絶縁基板上に実装することにより、ドライバ基板が構成される。

先行技術文献

特許文献

[0003] 特許文献1：特開2008-118815号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、ドライバ回路には半導体スイッチング素子の制御端子が接続されるため、半導体スイッチング素子のスイッチング毎にドライバ回路の電圧は変化する。そのため、ドライバ回路に制御指令を出力する制御回路とドライバ回路との間の信号ラインには、電氣的絶縁を取るためにフォトプラ等が用いられている。このように、ドライバ基板においては異なる電位の回路部品が混在し、それらの部品間には、絶縁耐圧性能を考慮した絶縁領域が設けられるので、ドライバ基板が大きくなる傾向があった。ドライバ基板が大きくなるとインバータ装置の大型化を招くため、絶縁耐圧性能を確保しつつドライバ基板の小型化を図ることが要求されている。

課題を解決するための手段

[0005] 請求項 1 の発明は、電力変換装置のスイッチング素子を駆動するドライバ回路が実装されたドライバ基板であって、平板状の絶縁基板と、入力される一次側電圧を、スイッチング素子を駆動するための二次側電圧に変換するトランスと、トランスに入力される電流を制御する電源制御 IC と、絶縁基板の一方の面の第 1 回路領域、および、絶縁基板の他方の面に設けられて該絶縁基板を挟んで第 1 回路領域と対向する第 2 回路領域のそれぞれに実装され、一次側電圧を電源とする一次側回路と、前記一方の面において第 1 絶縁領域を介して第 1 回路領域と隣接する第 3 回路領域、および前記他方の面において第 2 絶縁領域を介して前記第 2 回路領域と隣接する第 4 回路領域のそれぞれに実装され、ドライバ回路を含み二次側電圧を電源とする二次側回路と、絶縁基板を貫通し、第 1 回路領域の一次側回路と第 2 回路領域の前記一次側回路とを電氣的に接続する第 1 スルーホールと、絶縁基板を貫通し、第 3 回路領域の二次側回路と第 4 回路領域の二次側回路とを電氣的に接続する第 2 スルーホールと、を備え、トランスは、第 1 絶縁領域を跨ぐように、一次側端子が第 1 回路領域に設けられた一次側回路に接続されると共に、二次側端子が第 3 回路領域に設けられた二次側回路に接続され、電源制御 IC は、第 2 絶縁領域を跨ぐように、一次側端子が第 2 回路領域に設けられた前記一次側回路に接続されると共に、二次側端子が前記第 4 回路領域に設けられた前記二次側回路に接続され、第 1 絶縁領域および第 2 絶縁領域は、第 1 回路領域と第 4 回路領域とが絶縁基板を挟んで対向せず、かつ、第 2 回路領域と第 3 回路領域とが絶縁基板を挟んで対向しないように、少なくとも一部が絶縁基板を挟んで互いに対向するように形成されている。

発明の効果

[0006] 本発明によれば、絶縁耐圧性能を確保しつつドライバ基板の小型化を図ることができる。

図面の簡単な説明

[0007] [図1]図 1 は、インバータ装置の全体構成を示す分解斜視図である。

[図2]図 2 は、インバータ装置の回路構成を示す図である。

[図3]図3は、パワーモジュールを説明する図である。

[図4]図4は、ドライバ基板101の構成を示す回路ブロック図である。

[図5]図5は、ドライバ基板101のトランス114、一次側回路112および二次側回路113が設けられている部分の平面図である。

[図6]図6は図5のA-B断面図である。

[図7]図7は図5のC-D断面図である。

[図8]図8は、絶縁領域120aの中央と絶縁領域120bの中央とが対向しない場合の例を示す図である。

[図9]図9は、他の配置例を示す平面図である。

[図10]図10は図9のG-H断面図である。

[図11]図11は比較例を示す図である。

[図12]図12は、一次側回路および複数の二次側回路の配置例を示す図である。

[図13]図13は、一次側回路および複数の二次側回路の他の配置例を示す図である。

[図14]図14は、一次側回路および複数の二次側回路の他の配置例を示す図である。

発明を実施するための形態

[0008] 以下、図を参照して本発明を実施するための形態について説明する。図1は、電力変換装置の一例を示す図であり、回転電機を駆動するインバータ装置の全体構成を示す分解斜視図である。インバータ装置10は、U相、V相、W相の三相に対応した3つの半導体モジュール701a、701b、701c、平滑用のキャパシタ601、バスバーモジュール400、ドライバ基板101、冷却ケース801等を備えている。なお、冷却ケース801には、装置の側面および上面を覆う筐体に取り付けられるが、図1では図示を省略した。

[0009] 各半導体モジュール701a、701b、701cは、後述するように直列接続された一対の半導体スイッチング素子を備えており、モジュールケー

スの上方に突出するように正極および負極入力端子、出力端子、複数の制御端子がそれぞれ設けられている。また、キャパシター601の上面にも、正極端子および負極端子が複数設けられている。

[0010] バスバーモジュール400は、正極入力バスバー301a、正極入力バスバー301b、U相出力バスバー501a、V相出力バスバー501b、W相出力バスバー501c、および、それらを保持する絶縁構造体401を備えている。各半導体モジュール701a、701b、701cの正極入力端子は正極入力バスバー301aに接続され、負極入力端子は負極入力バスバー301bに接続される。半導体モジュール701aの出力端子は、U相出力バスバー501aに接続される。半導体モジュール701bの出力端子は、V相出力バスバー501bに接続される。半導体モジュール701cの出力端子は、W相出力バスバー501cに接続される。絶縁構造体401は、バスバー301a、301b、501a～501cを保持する機能と、それらの間の絶縁を保つ機能とを担っている。

[0011] ドライバ基板101には、表裏両面に電子部品が実装されている。ドライバ基板101の図示右側には、制御回路を構成する素子が実装されている。一方、ドライバ基板101の図示左側には、半導体モジュール701a、701b、701cに設けられた半導体スイッチング素子を駆動するためのドライバ回路を構成する素子が実装されている。トランス114の一方の側にはドライバ回路を含む二次側回路素子122が実装され、トランス114の他方の側には一次側回路素子123が実装されている。ドライバ基板101は、絶縁構造体401に取り付けられる基板固定構造体201に保持されている。

[0012] なお、図1に示す例では、ドライバ回路側の素子と制御回路側の素子とが同一の基板（ドライバ基板101）に実装されているが、それぞれを個別の基板に実装する構成であっても、本発明は適用できる。本実施の形態は、トランス114およびその電源制御IC（後述する）と一次側回路112および二次側回路113の配置に特徴を有している。

[0013] 図2は、インバータ装置10の回路構成を示す図である。各半導体モジュール701a, 701b, 701cに設けられた半導体スイッチング素子116a, 116bは上下アーム直列回路を構成している。各上下アーム直列回路を正極入力バスバー301aと負極入力バスバー301bとの間に並列接続することにより、3相ブリッジ回路のインバータ回路141が構成される。各半導体スイッチング素子116a, 116bには、環流用のダイオードD1, D2が設けられている。

[0014] U相出力バスバー510aは、U相用半導体モジュール701aの上下アーム直列回路の midpoint 部分に接続される。V相出力バスバー510bは、V相用半導体モジュール701bの上下アーム直列回路の midpoint 部分に接続される。W相出力バスバー510cは、W相用半導体モジュール701cの上下アーム直列回路の midpoint 部分に接続される。各出力バスバー510a~510cを流れる電流は電流センサ180により検出され、その検出信号は制御回路172に入力される。各出力バスバー510a~510cは、回転電機MGのU相端子、V相端子およびW相端子にそれぞれ接続される。なお、図2に示す例では、3相の電流値を検出する場合を示したが、2相分の電流値を検出する構成でも構わない。

[0015] 上述した半導体モジュール701a, 701b, 701cの制御端子には、ゲート制御端子117a, 117bが含まれている。これらのゲート制御端子117a, 117bを介して、ドライバ回路140から各半導体スイッチング素子116a, 116bにゲート駆動信号を入力することで、各半導体スイッチング素子116a, 116bがオンオフ制御される。ドライバ回路140は、制御回路172からの制御信号に基づいてゲート駆動信号を出力する。

[0016] 図3は、パワーモジュール701a~701cの内部構成を示す図である。パワーモジュール701a~701cは全て同一構成となっている。半導体スイッチング素子116a, 116bおよびダイオードD1, D2は板状の扁平構造を成し、それらの各電極は表裏面に形成されている。導体板31

5 には、上アーム側の半導体スイッチング素子 116 a のコレクタ電極と上アーム側のダイオード D 1（不図示）のカソード電極が接続される。一方、導体板 320 には、下アーム側の半導体スイッチング素子 116 b のコレクタ電極と下アーム側のダイオード D 2（不図示）のカソード電極が接続される。

[0017] 半導体スイッチング素子 116 a およびダイオード D 1 上には導体板 318 が配置され、半導体スイッチング素子 116 a のエミッタ電極とダイオード D 1 のアノード電極が接続される。半導体スイッチング素子 116 b およびダイオード D 2 上には導体板 319 が配置され、半導体スイッチング素子 116 b のエミッタ電極とダイオード D 2 のアノード電極が接続される。また、導体板 320 と導体板 318 は中間電極を介して接続され、上下アーム直列回路が形成される。

[0018] 導体板 315 には、正極入力端子 315 A が接続されている。導体板 319 には、負極入力端子 319 A が接続されている。導体板 320 には、出力端子 320 A が接続されている。また、半導体スイッチング素子 116 a には、複数の制御端子 324 U が接続されている。同様に、半導体スイッチング素子 116 b には、複数の制御端子 324 L が接続されている。

[0019] 図 2 に示したようにインバータ装置には、U、V、W 相の 3 相合わせて 6 つの半導体スイッチング素子 116 a、116 b が設けられている。そして、ドライバ基板 101 上には、半導体スイッチング素子 116 a、116 b 毎に、トランス 114、一次側回路および二次側回路等が設けられている。

[0020] 図 4 は、ドライバ基板 101 の構成を示す回路ブロック図である。なお、図 4 は、上下アーム合わせて 6 つある半導体スイッチング素子の内の一つ分に関する回路構成を示したものであって、各半導体スイッチング素子に対して同様の回路がそれぞれ設けられている。ここでは、半導体スイッチング素子 116 a、116 b を代表して符号 116 で表すことにする。また、以下では、1 アーム分の半導体スイッチング素子 116 を駆動するための回路を例に、ドライバ基板 101 の特徴を説明する。

[0021] ドライバ基板 101 は、トランス 114 と、電源制御 IC 115 と、一次側回路 112 と二次側回路 113 とを備えている。図 4 に示す例では、フライバック式の電源回路を構成し、二次側回路に半導体スイッチング素子 116 が接続される。なお、本発明は、フライバック式に限らず適用できる。

[0022] トランス 114 は、互いが絶縁された一次側巻き線と二次側巻き線を有する。一次側巻き線の入力側には一次側入力電圧のプラス電位側が接続され、一次側巻き線の出力側には半導体スイッチ T1 を経由して一次側入力電圧のグラウンド電位側 Gnd1 が接続される。一次側巻き線には、平滑コンデンサ C1 が並列接続される。一次側巻き線の出力側には、トランス 114 に印加される一次側入力電圧 V_{cc1} をオンオフ（導通・非導通）するための半導体スイッチ T1 が接続されている。半導体スイッチ T1 のオンオフは電源制御 IC 115 により制御され、それによりトランス 114 に入力される電流が制御される。半導体スイッチ T1 は、コレクタが一次側巻き線の出力側に接続され、エミッタが一次側入力電圧のグラウンド電位側 Gnd1 に接続され、ベースが電源制御 IC 115 に接続される。なお、半導体スイッチ T1 は電源制御 IC 115 に内蔵される場合もある。

[0023] トランス 114 の二次側巻き線の出力側には整流ダイオード D3 が接続され、その整流ダイオード D3 のカソードは二次側電圧のプラス電位側 V_{cc2} に接続される。二次側巻き線の入力側は二次側電圧のグラウンド電位側 Gnd2 に接続される。二次側巻き線には平滑コンデンサ C2 が並列接続される。トランス 114 は、半導体スイッチ T1 のスイッチ動作とトランス 114 における相互誘導により、一次側回路 112 とは絶縁された電圧をトランス 114 の二次側に出力する。

[0024] 電源制御 IC 115 の内部には、互いに絶縁分離された一次側の半導体回路 1151 と二次側の半導体回路 1152 が設けられている。電源制御 IC 115 にはフォトカプラが内蔵されており、それによって一次側と二次側との間で信号伝達が行なわれる。電源制御 IC 115 には、動作電源として一次側入力電圧が入力される。また、電源制御 IC 115 は、半導体スイッ

チT 1のベースにスイッチングを制御するための制御信号を入力する。さらに、電源制御IC 115は、二次側の出力電圧を検出するために、二次側電圧のプラス電位側V_{cc2}とグランド電位側Gnd2に接続されている。電源制御IC 115は、二次側の出力電圧を検出して、出力電圧が目的の電圧になるように半導体スイッチT 1のスイッチ動作をフィードバック制御している。

[0025] 図4では図示していないが、一次側回路112には、低電圧の電源電圧回路（電位がV_{cc1}, Gnd1）およびPWM信号生成回路が設けられている。PWM信号生成回路からのPWM信号は電源制御IC 115を介して二次側に伝達される。図4においてP_{WMin}は電源制御IC 115に入力される一次側のPWM信号であり、P_{WMout}は、電源制御IC 115から出力される二次側のPWM信号である。電源制御IC 115の内部には、PWM信号を一次側から二次側に電圧するための回路が設けられている。

[0026] 二次側回路113は、トランス114の二次側から出力される電圧電源により動作する回路であって、PWM信号（P_{WMout}）を受けて半導体スイッチング素子116を駆動するドライバ回路を含む。例えば、一次側電圧は12V程度であるが、二次側電圧は420V程度と一次側に比べて高電圧となる。

[0027] 図5は、ドライバ基板101のトランス114、一次側回路112および二次側回路113が設けられている部分の平面図である。また、図6は図5のA-B断面図であり、図7は図5のC-D断面図である。ドライバ基板101は、平板状の絶縁基板111の表裏両面に配置された一次側回路112および二次側回路113と、表面側に配置されたトランス114と、裏面側に配置された電源制御IC 115（破線で示す）を備えている。

[0028] 一次側回路112には、図4に示した半導体スイッチT 1や平滑コンデンサC 1等の回路素子が複数設けられ、それらは絶縁基板111に形成された配線パターンにより接続されている。同様に、二次側回路113には、ドライバ回路等の回路素子と、それらを接続する配線パターンが設けられている。

- [0029] 一次側回路 1 1 2 および二次側回路 1 1 3 は、絶縁基板 1 1 1 の表裏両面に設けられている。符号 1 1 2 a は表面側に設けられた一次側回路の配置領域を、符号 1 1 2 b は裏面側に設けられた一次側回路の配置領域を、符号 1 1 3 a は表面側に設けられた二次側回路の配置領域を、符号 1 1 3 b は裏面側に設けられた二次側回路の配置領域を示している。各配置領域の外側の絶縁基板 1 1 1 の領域は、回路素子や配線パターンは設けられていない絶縁領域を形成している。
- [0030] 本実施の形態では、一次側回路 1 1 2 a と称した場合には、符号 1 1 2 a で示した領域に配置される一次側回路を構成する回路素子および配線パターンの全てを表すとともに、一次側回路が設けられている領域（図 5 に示す矩形領域）を表す。
- [0031] 図 5 は、絶縁基板 1 1 1 の表面側を示す平面図であって、表面側に設けられた一次側回路 1 1 2 a と二次側回路 1 1 3 a との間には、絶縁領域 1 2 0 a が設けられている。トランス 1 1 4 は、絶縁領域 1 2 0 a を跨ぐように配置され、一次側端子 1 1 4 a が一次側回路 1 1 2 a の配線パターンに接続され、二次側端子 1 1 4 b が二次側回路 1 1 3 a の配線パターンに接続されている。
- [0032] また、図 6，7 に示すように、絶縁基板 1 1 1 の裏面側には、絶縁領域 1 2 0 b を介して一次側回路 1 1 2 b と二次側回路 1 1 3 b とが隣接して配置されている。なお、図 6 では、一次側回路 1 1 2 a，1 1 2 b および二次側回路 1 1 3 a，1 1 3 b の例として配線パターンが図示されている。表面側の一次側回路 1 1 2 a の配線パターンは、スルーホール 1 7 0 a により裏面側の一次側回路 1 1 2 b の配線パターンと接続されている。同様に、表面側の二次側回路 1 1 3 a の配線パターンは、スルーホール 1 7 0 b により裏面側の二次側回路 1 1 3 b の配線パターンと接続されている。スルーホール 1 7 0 a，1 7 0 b は、絶縁基板 1 1 1 を貫通する導電性スルーホール配線であって、表面側の配線パターンと裏面側の配線パターンとを電氣的に接続するために複数配置されている。

[0033] 裏面側に設けられた電源制御 IC 115 は、絶縁領域 120b を跨ぐように配置され、一次側端子 115a が一次側回路 112b の配線パターンに接続され、二次側端子 115b が二次側回路 113b の配線パターンに接続されている。半導体スイッチング素子 116 は、ドライバ基板 101 に対して裏面側に配置される（図 4 参照）。半導体スイッチング素子 116 の制御端子 324 は、絶縁基板 111 を裏面側から表面側に貫通し、表面側に設けられた二次側回路 113a の配線パターンに接続される。

[0034] 上述のように、二次側回路 113 には、半導体スイッチング素子 116 の制御端子 324 が接続される。一般に、 V_{cc1} は CD 12V、 V_{cc2} は DC 15V に設定されるが、互いが絶縁された V_{cc1} と V_{cc2} との間の電位差は、半導体スイッチング素子 116 の電源電圧（420V）または、それ以上になる。そのため、一次側回路 112a と二次側回路 113a との間の絶縁距離、すなわち絶縁領域 120a の幅 W は、電位差に応じた所定の絶縁耐圧性能を満たすように設定される。裏面側の一次側回路 112b と二次側回路 113b に関しても同様である。ここでは、一次側回路 112b と二次側回路 113b との電位差は一次側回路 112a と二次側回路 113a との電位差と同じなので、絶縁領域 120b の幅は絶縁領域 120a の幅 W と同一に設定されている。そして、絶縁領域 120a を跨ぐようにトランス 114 が配置され、絶縁領域 120b を跨ぐように電源制御 IC 115 が配置される。

[0035] このように、本実施の形態では、絶縁領域を跨ぐようにして、表面側にトランス 114 を、裏面側に電源制御 IC 115 をそれぞれ配置し、また、一次側回路 112 および二次側回路 113 を絶縁基板 111 の表裏両面に分けて配置したことにより、トランス 114 および、電源制御 IC 115 から二次側回路に至るまでの配線を最小にできる。そのため、ドライバ基板 101 の小型化を図ることができる。

[0036] その際に、絶縁領域 120a および絶縁領域 120b は、一次側回路 112a と二次側回路 113b とが絶縁基板 111 を挟んで対向せず、かつ、一次側回路 112b と二次側回路 113a とが絶縁基板 111 を挟んで対向し

ないように、少なくとも一部が絶縁基板 111 を挟んで互いに対向するように形成されている。そのため、絶縁耐圧性能の低下を防止することができる。特に、図 6 に示すように、絶縁領域 120a および絶縁領域 120b を、絶縁領域 120a の幅方向中央位置 F1 と絶縁領域 120b の幅方向中央位置 F2 とが絶縁基板 111 を挟んで対向するように配置するのが好ましい。このような配置とすることによって、表裏面の一次側回路と二次側回路とが最も遠ざかった配置とすることができ、絶縁基板 111 を挟んだ表裏面間の耐電圧性能の向上を図ることができる。

[0037] 図 8 は、比較例を示す図である。図 8 では、裏面側の一次側回路 112b と表面側の二次側回路 113b とは、一部（寸法 d2 で示す部分）が絶縁基板 111 を挟んで対向している。このような配置とした場合、表面側の二次側回路 113a と裏面側の一次側回路 112b とが近づくことで、二次側回路 113a で発生したノイズ（半導体スイッチング素子 116 のスイッチングに伴うノイズ）が一次側回路 112b に飛び込んできたり、絶縁距離不足により絶縁耐圧性能が低下する。また、図 8 から分かるように、図 6 に示した場合に比べて面積の大きな絶縁基板 111 が必要となり、装置小型化の妨げとなる。

[0038] 図 9、10 は、他の配置例を示す図である。図 9 はドライバ基板 101 の表面側を示す平面図であり、図 10 は図 9 の G-H 断面図である。図 9、10 に示す例では、表面側の一次側回路 112a と裏面側の一次側回路 112b とは、一次側回路 112 および二次側回路 113 の離間方向（x 方向）に対して直交する方向（y 方向）、すなわち絶縁領域 120 の幅方向に対して直交する方向に、 Δy だけ位置ずれている。

[0039] 例えば、部品配置の関係で、トランス 114 と電源制御 IC 155 とを y 方向にずらして配置した場合、一次側回路 112a、112b および二次側回路 113a、113b の配置は、図 9 に示すような配置となる。このように表裏面の一次側回路 112a、120b を y 方向にずらして配置した場合でも、表面側の絶縁領域 120a と裏面側の絶縁領域 120b とが、互いの

中央位置が一致するように対向配置されているので、一次側回路 112 と二次側回路 113 との絶縁距離が確保され、絶縁耐圧性能を良好に保つことができる。

[0040] 図 11 は比較例を示す図であり、一次側回路 112a, 112b および二次側回路 113a, 113b のそれぞれにおいて、互いに対向する部分がない場合を示す。このように配置した場合、トランス 114、電源制御 IC 155、一次側回路 112 および二次側回路 113 の全てを絶縁基板の片側の面に配置する構成と比較して、絶縁基板 111 の大きさ（面積）が同等またはより大きくなってしまう。また、裏面側に回路部品を配置する必要性がなくなる。

[0041] 一方、図 9 に示すように、絶縁基板 111 の一方の面に設けられた一次側回路 112a と他方の面に設けられた一次側回路 112b とを、互いの一部が絶縁基板 111 を挟んで対向するように配置し、絶縁基板 111 の一方の面に設けられた二次側回路 113a と他方の面に設けられた二次側回路 113b とを、互いの一部が絶縁基板 111 を挟んで対向するように配置することで、一次側回路 112 および二次側回路 113 の全てを絶縁基板 111 の片面に配置する構成に比べて、絶縁基板 111 の面積をより小さくすることができ、ドライバ基板 101 の小型化を図ることができる。

[0042] 図 12～14 は、インバータ回路 141 の U 相、V 相及び W 相を構成する上下アームに関する、トランス 114、電源制御 IC 155、一次側回路 112 および二次側回路 113 の配置例を示す図である。図 12～14 のいずれの場合も、トランス 114 が実装されている絶縁基板表面側からドライバ基板 101 を見た平面図である。

[0043] 図 12 に示す例では、絶縁基板 111 の中央部に縦長の一次側回路 112a が形成されている。一次側回路 112a の図示左側には、絶縁領域 120a を介して、上から順に U 相上アームの半導体スイッチング素子 116UU に対応する二次側回路 113UU、V 相上アームの半導体スイッチング素子 116VU に対応する二次側回路 113VU、W 相上アームの半導体スィ

チング素子 116WU に対応する二次側回路 113WU が配置されている。一方、一次側回路 112a の図示右側には、絶縁領域 120a を介して、上から順に U 相下アームの半導体スイッチング素子 116UL に対応する二次側回路 113UL、V 相下アームの半導体スイッチング素子 116VL に対応する二次側回路 113VL、W 相下アームの半導体スイッチング素子 116WL に対応する二次側回路 113WL が配置されている。

[0044] U 相、V 相および W 相の各々の上アームおよび下アームに対応して設けられた 6 つのトランス 114 は、絶縁領域 120a を跨ぐように、一次側回路 112a と各二次側回路 113UU ~ 113WL との間に設けられている。なお、裏面側の一次側回路および 6 つの二次側回路は図示していないが、表面側の一次側回路 112a および二次側回路 113UU ~ 113WL と同一形状の一次側回路および二次側回路が、絶縁基板 111 を挟んで対向するように裏面側に配置されている。その結果、図示はしていないが、表面側の絶縁領域 120a と同一形状の絶縁領域 120b が、絶縁基板 111 を挟んで対向配置されている。そして、それらの絶縁領域 120b を跨ぐように電源制御 IC 115 が裏面側に設けられている。このように、図 12 の配置例では、ドライバ基板 101 の中央に一次側回路 112 を配置して、複数の二次側回路 113 を一次側回路 112 の周囲へ左右対称に配置する。

[0045] 図 12 に示すように、一方の面に複数の二次側回路を配置する場合、一次側回路 112a と二次側回路 113UU ~ 113WL との間に絶縁耐圧性能を満足する絶縁領域 120a を設ける。さらに、半導体スイッチング素子 116 のスイッチング動作に伴って二次側回路 113UU ~ 113WL 間に電位差が生じるので、二次側回路 113UU ~ 113WL 間にも、それらの電位差に対応した絶縁領域 120c を設ける必要がある。一方、一次側回路に関しては、U 相、V 相および W 相の各々の上アームおよび下アームのいずれの場合も同電位であるため、図 12 に示すように一つの一次側回路とすることができる。

[0046] 図 12 の配置例では、一次側回路 112a を絶縁基板 111 に設定された

中央領域 R 0 に配置し、中央領域 R 0 の図示左側に設けられた周辺領域 R 1 に上アームの二次側回路 1 1 3 U U, 1 1 3 V U, 1 1 3 W U をまとめて配置し、中央領域 R 0 の図示右側に設けられた周辺領域 R 2 に下アームの二次側回路 1 1 3 U L, 1 1 3 V L, 1 1 3 W L をまとめて配置し、絶縁領域を跨ぐようにして、表面側にトランス 1 1 4 を、裏面側に電源制御 I C 1 1 5 をそれぞれ配置することで、絶縁耐電圧特性を確保しつつドライバ基板 1 0 1 の小型化を図ることができる。例えば、二次側回路間に一次側回路の領域が割り込むような配置であった場合、二次側回路間の距離がより大きくなりドライバ基板 1 0 1 が大型化してしまうが、図 1 2 のような配置を採用することで、そのような不都合が生じるのを避けることができる。

[0047] 図 1 3 は、第 2 の配置例を示す図である。第 2 の配置例では、二次側回路を絶縁基板 1 1 1 の中央領域 R 0 にまとめて配置し、図示上側から順に U 相に関する二次側回路 1 1 3 U U, 1 1 3 U L、V 相に関する二次側回路 1 1 3 V U, 1 1 3 V L、W 相に関する二次側回路 1 1 3 W U, 1 1 3 W L を配置した。そして、一次側回路 1 1 2 a は、中央領域 R 0 の図示右側、下側および左側に亘る周辺領域 R 3 に配置されている。

[0048] また、図 1 4 に示す第 3 の配置例では、第 2 の配置例とは逆に中央領域 R 0 に一次側回路 1 1 2 a を配置し、その周囲の周辺領域 R 3 に二次側回路 1 1 3 U U ~ 1 1 3 W L を配置した。図 1 3, 1 4 に示す配置例の場合も、複数の二次側回路 1 1 3 U U ~ 1 1 3 W L を一つの領域にまとめて配置するようにしているので、二次側回路間に一次側回路が割り込むような配置とならず、絶縁耐圧性能を確保しつつドライバ基板 1 0 1 の小型化を図ることができる。

[0049] さらに、U 相、V 相および W 相の各々の上アームおよび下アームを構成する複数の半導体スイッチング素子 1 1 6 を有する電力変換回路（インバータ回路 1 4 1）と、ドライバ基板 1 0 1 に実装されて、複数の半導体スイッチング素子 1 1 6 を駆動するドライバ回路 1 4 0 にスイッチング駆動制御指令を出力する制御回路 1 7 2 と、を備える電力変換装置において、上述したド

ライバ基板 101 の構成を採用することにより、電力変換装置の小型化を図ることができる。

[0050] 上述した各実施形態はそれぞれ単独に、あるいは組み合わせて用いても良い。それぞれの実施形態での効果を単独あるいは相乗して奏することができるからである。また、本発明の特徴を損なわない限り、本発明は上記実施の形態に何ら限定されるものではない。例えば、上述した実施の形態ではインバータ装置を例に説明したが、DC-DCコンバータ装置等にも適用することができる。

符号の説明

[0051] 10 : インバータ装置、101 : ドライバ基板、111 : 絶縁基板、112, 112a, 112b : 一次側回路、113, 113a, 113b : 二次側回路、114 : トランス、115 : 電源制御IC、116, 116a, 116b, 116UU~116WU, 116UL~116WL : 半導体スイッチング素子、140 : ドライバ回路、172 : 制御回路、701a~701c : 半導体モジュール

請求の範囲

- [請求項1] 電力変換装置のスイッチング素子を駆動するドライバ回路が実装されたドライバ基板であって、
- 平板状の絶縁基板と、
- 入力される一次側電圧を、前記スイッチング素子を駆動するための二次側電圧に変換するトランスと、
- 前記トランスに入力される電流を制御する電源制御ICと、
- 前記絶縁基板の一方の面の第1回路領域、および、前記絶縁基板の他方の面に設けられて該絶縁基板を挟んで前記第1回路領域と対向する第2回路領域のそれぞれに実装され、前記一次側電圧を電源とする一次側回路と、
- 前記一方の面において第1絶縁領域を介して前記第1回路領域と隣接する第3回路領域、および前記他方の面において第2絶縁領域を介して前記第2回路領域と隣接する第4回路領域のそれぞれに実装され、前記ドライバ回路を含み前記二次側電圧を電源とする二次側回路と、
- 前記絶縁基板を貫通し、前記第1回路領域の前記一次側回路と前記第2回路領域の前記一次側回路とを電氣的に接続する第1スルーホールと、
- 前記絶縁基板を貫通し、前記第3回路領域の前記二次側回路と前記第4回路領域の前記二次側回路とを電氣的に接続する第2スルーホールと、を備え、
- 前記トランスは、前記第1絶縁領域を跨ぐように、一次側端子が前記第1回路領域に設けられた前記一次側回路に接続されると共に、二次側端子が前記第3回路領域に設けられた前記二次側回路に接続され、
- 前記電源制御ICは、前記第2絶縁領域を跨ぐように、一次側端子が前記第2回路領域に設けられた前記一次側回路に接続されると共に

、二次側端子が前記第4回路領域に設けられた前記二次側回路に接続され、

前記第1絶縁領域および前記第2絶縁領域は、前記第1回路領域と前記第4回路領域とが前記絶縁基板を挟んで対向せず、かつ、前記第2回路領域と前記第3回路領域とが前記絶縁基板を挟んで対向しないように、少なくとも一部が前記絶縁基板を挟んで互いに対向するように形成されている、ドライバ基板。

[請求項2]

請求項1に記載のドライバ基板において、

前記第1絶縁領域は前記第1回路領域と前記第3回路領域との間に第1の幅で設けられ、

前記第2絶縁領域は前記第2回路領域と前記第4回路領域との間に第2の幅で設けられ、

前記第1絶縁領域および前記第2絶縁領域は、前記第1絶縁領域の幅方向中央位置と前記第2絶縁領域の幅方向中央位置とが前記絶縁基板を挟んで対向するように配置されている、ドライバ基板。

[請求項3]

請求項1または2に記載のドライバ基板において、

前記一方の面に設けられた第1回路領域と前記他方の面に設けられた第2回路領域とは、互いの一部が前記絶縁基板を挟んで対向するように配置され、

前記一方の面に設けられた第3回路領域と前記他方の面に設けられた第4回路領域とは、互いの一部が前記絶縁基板を挟んで対向するように配置されているドライバ基板。

[請求項4]

請求項1または2に記載のドライバ基板において、

前記スイッチング素子、前記ドライバ回路、前記トランス、前記電源制御ICおよび前記二次側回路は、前記電力変換装置のU相、V相およびW相の各々の上アームおよび下アームに対応してそれぞれ複数設けられ、

前記複数の二次側回路に対応して、前記第3回路領域および前記第

4 回路領域はそれぞれ分離して複数設けられ、

前記トランスの各々は、対応する前記第3回路領域と前記第1回路領域との間に設けられた前記第1絶縁領域を跨ぐように、一次側端子が前記第1回路領域に設けられた前記一次側回路に接続されると共に、二次側端子が前記対応する第3回路領域に設けられた前記二次側回路に接続され、

前記電源制御ICの各々は、対応する前記第4回路領域と前記第2回路領域との間に設けられた前記第2絶縁領域を跨ぐように、一次側端子が前記第2回路領域に設けられた前記一次側回路に接続されると共に、二次側端子が前記対応する第4回路領域に設けられた前記二次側回路に接続され、

前記トランスが跨いでいる前記第1絶縁領域と、該トランスに対応して設けられた前記電源制御ICが跨いでいる前記第2絶縁領域とは、前記絶縁基板を挟んで対向している、ドライバ基板。

[請求項5]

請求項4に記載のドライバ基板において、

前記第1および第2回路領域は、前記絶縁基板の周辺部に設定された周辺領域に設けられ、

前記複数の第3および第4回路領域は、前記周辺領域よりも絶縁基板中央側に設定された中央領域に設けられている、ドライバ基板。

[請求項6]

請求項4に記載のドライバ基板において、

前記複数の第3および第4回路領域は、前記絶縁基板の周辺部に設定された周辺領域に設けられ、

前記第1および第2回路領域は、前記周辺領域よりも絶縁基板中央側に設定された中央領域に設けられている、ドライバ基板。

[請求項7]

請求項4乃至6のいずれか一項に記載のドライバ基板と、

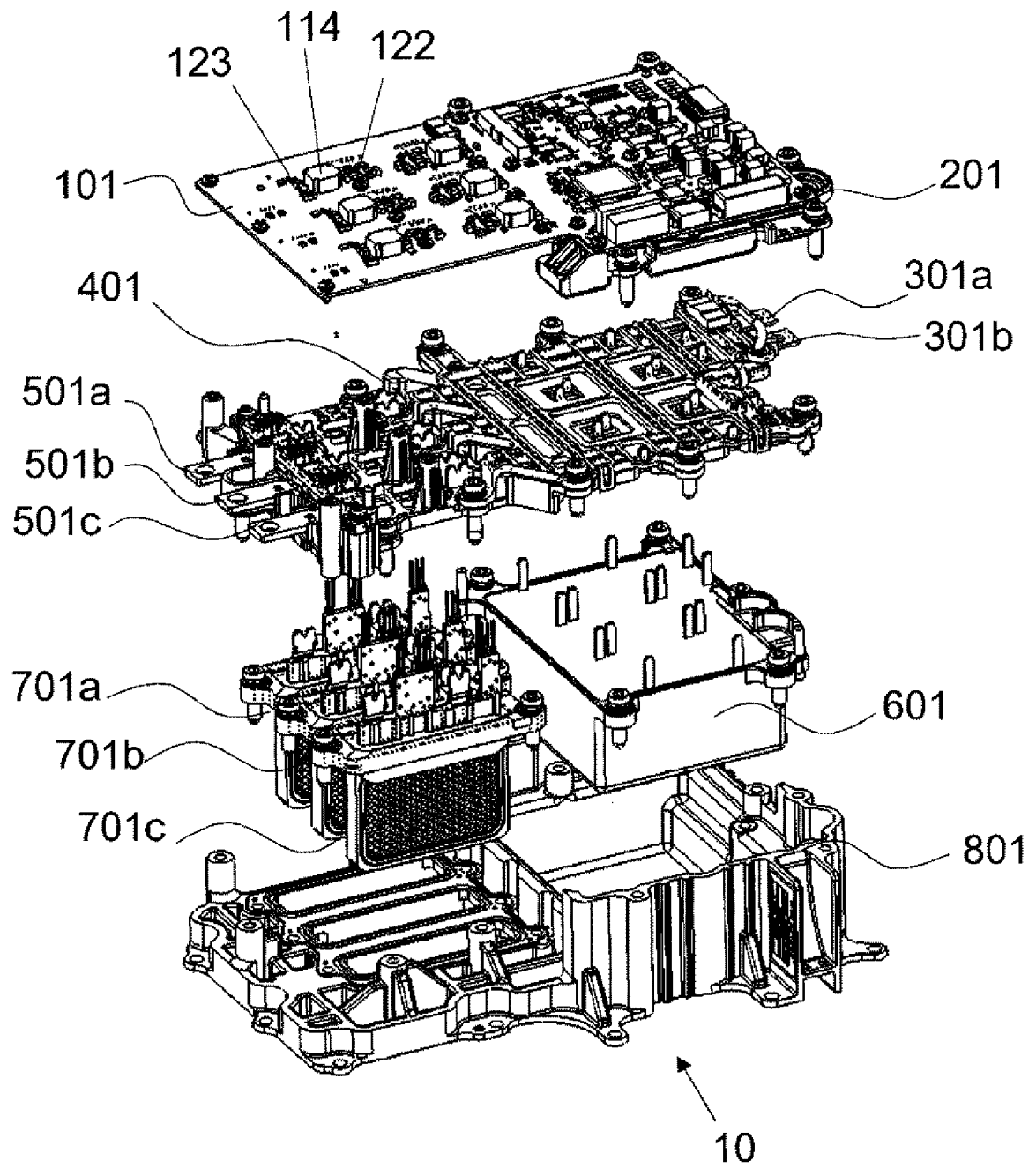
U相、V相およびW相の各々の上アームおよび下アームを構成する複数のスイッチング素子を有する電力変換回路と、

前記ドライバ基板に実装されて、前記複数のスイッチング素子を駆

動する前記ドライバ回路にスイッチング駆動制御指令を出力する制御回路と、を備える電力変換装置。

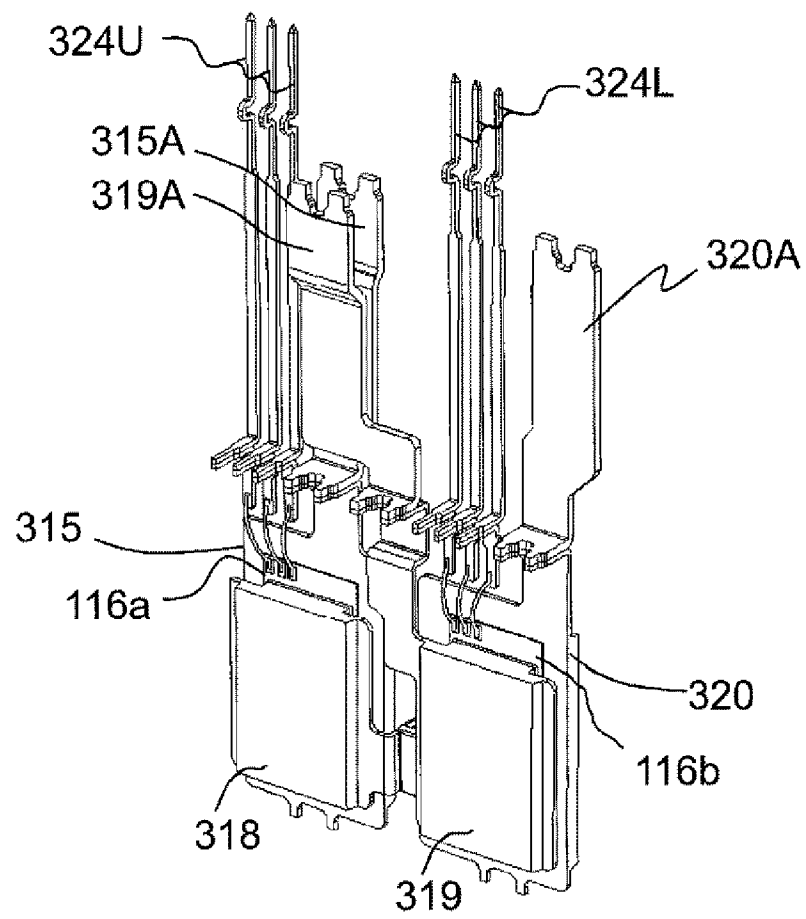
[図1]

【図1】

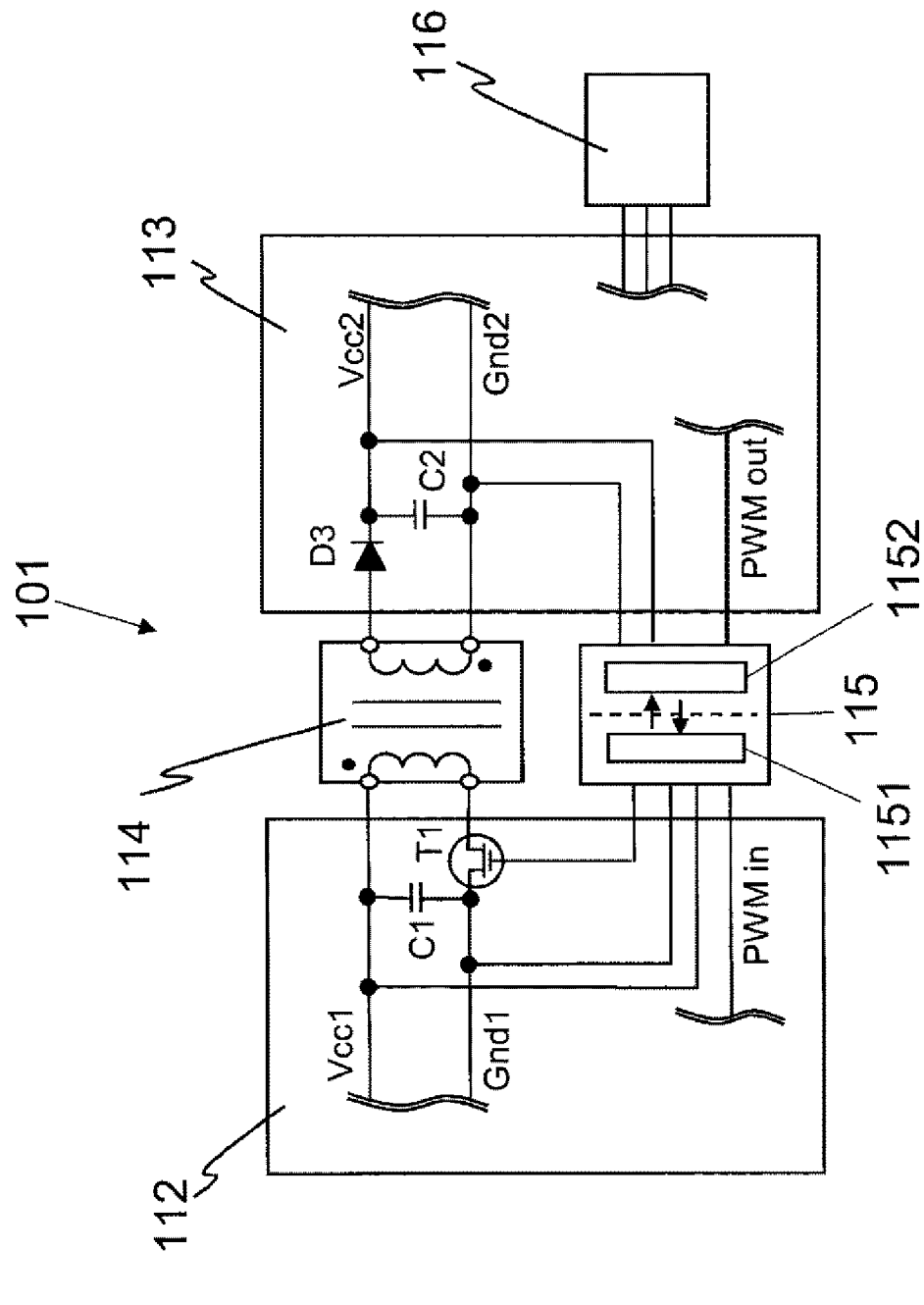


[図3]

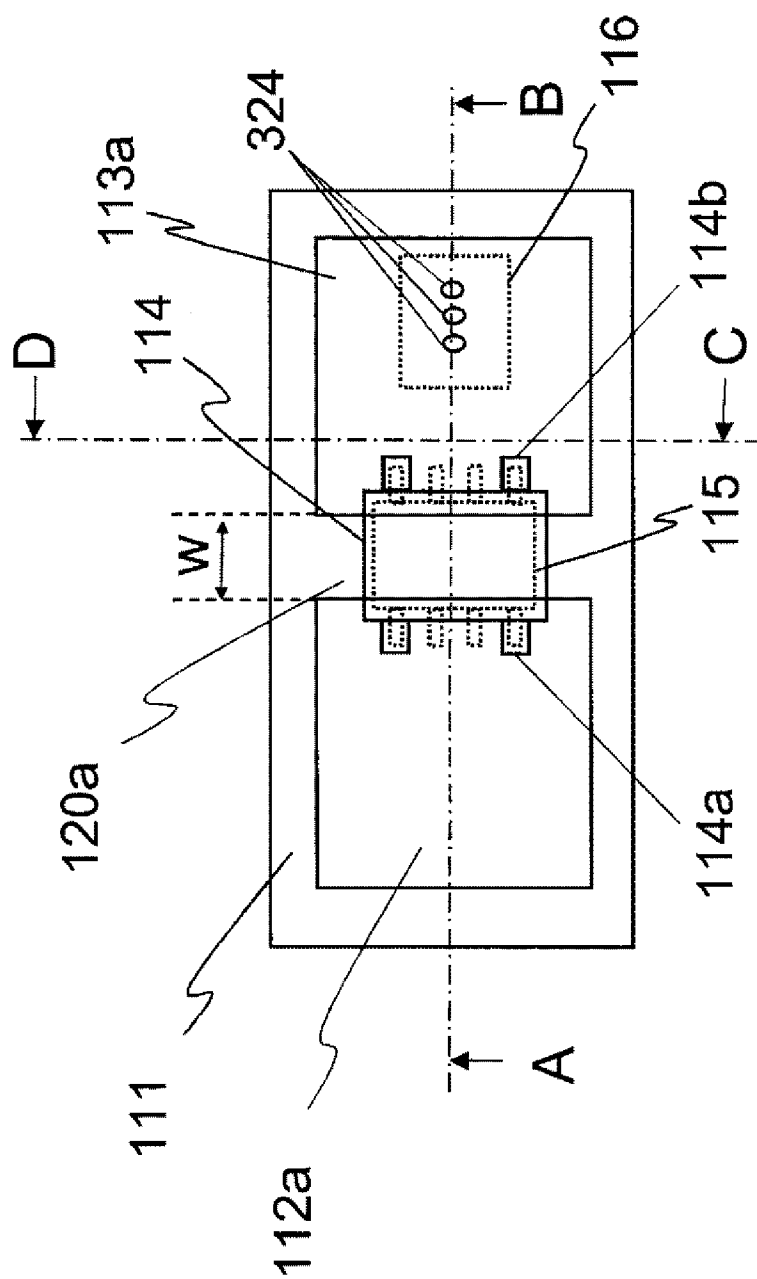
【図3】



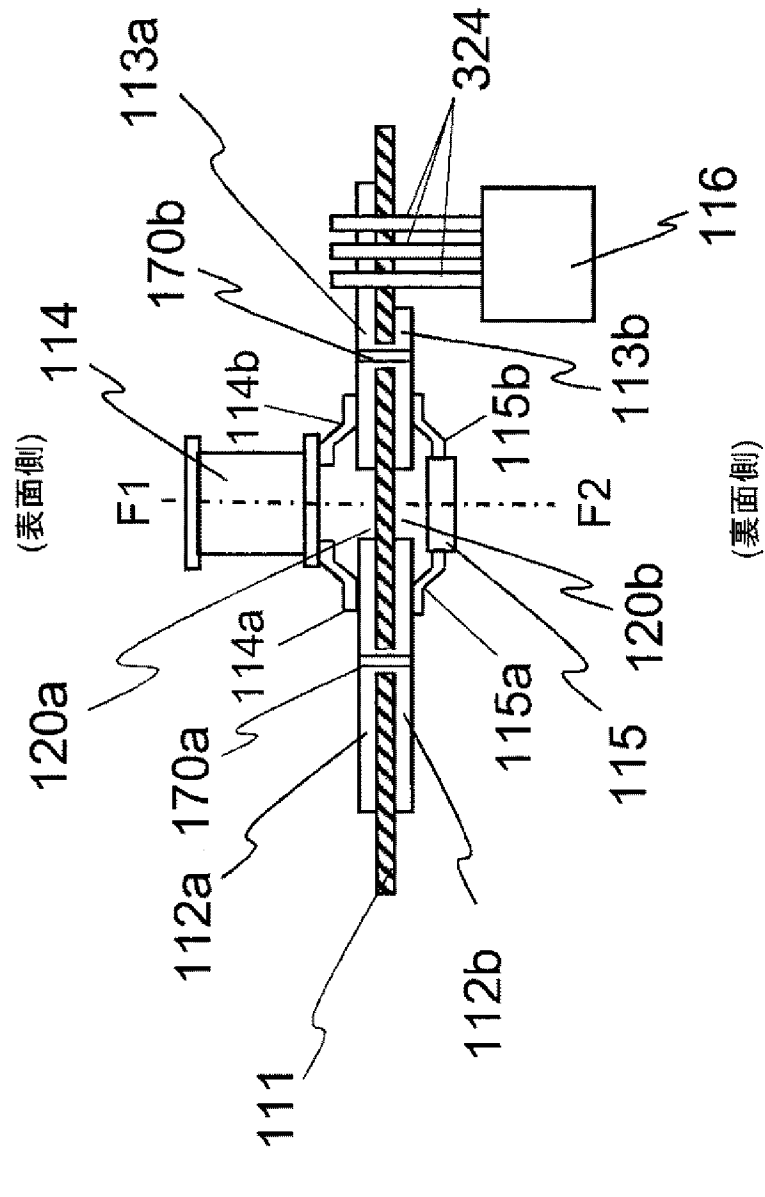
[図4]



【5】

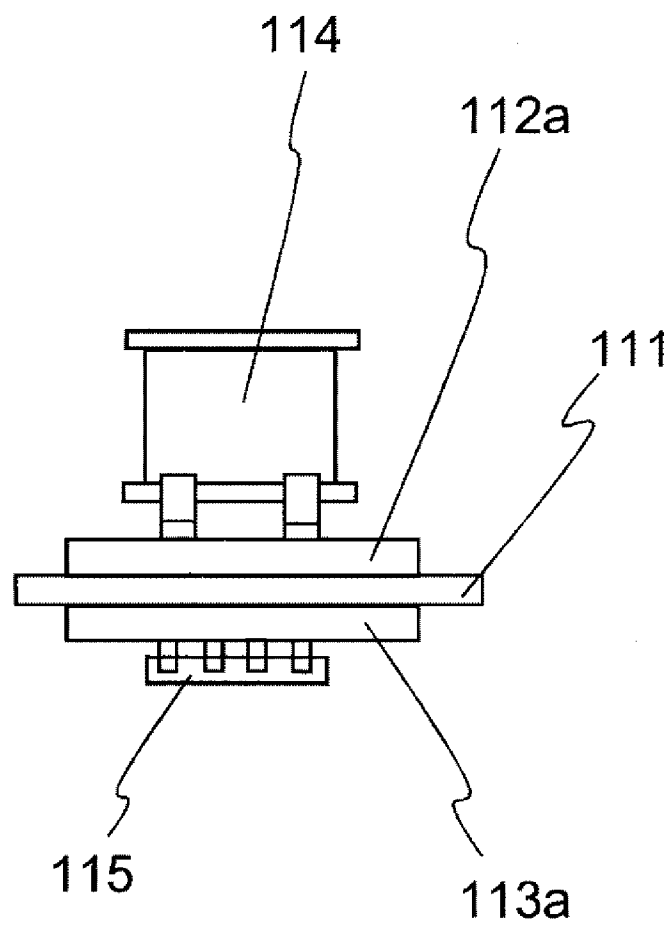


【図6】



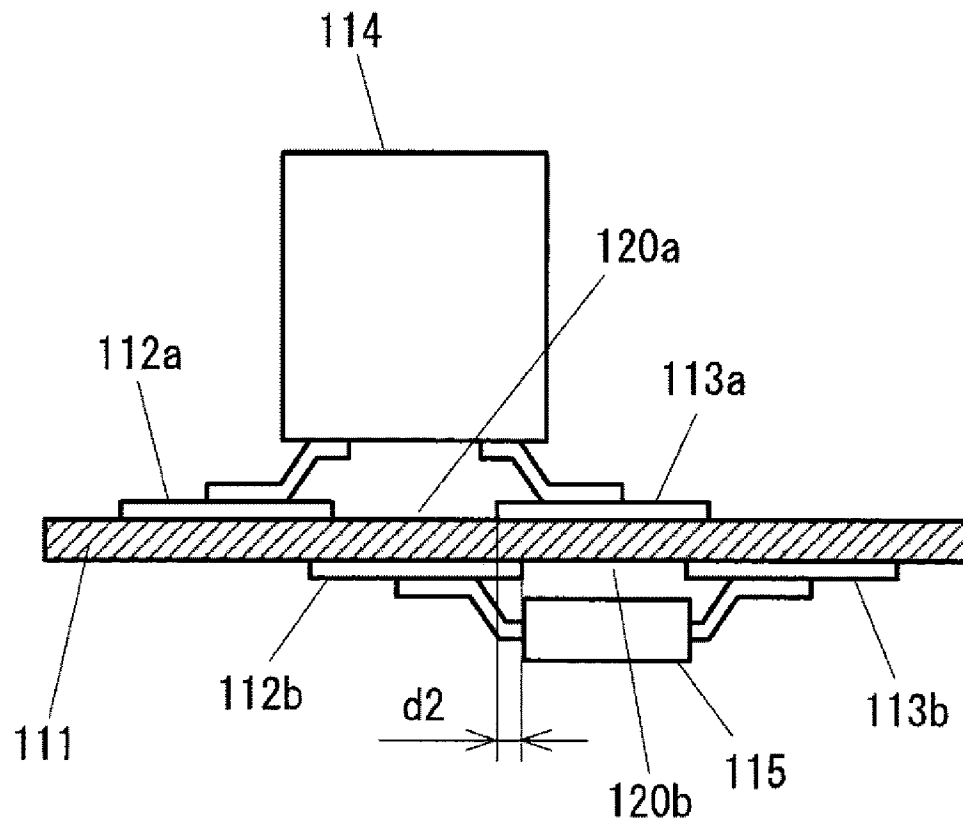
[図7]

【図7】



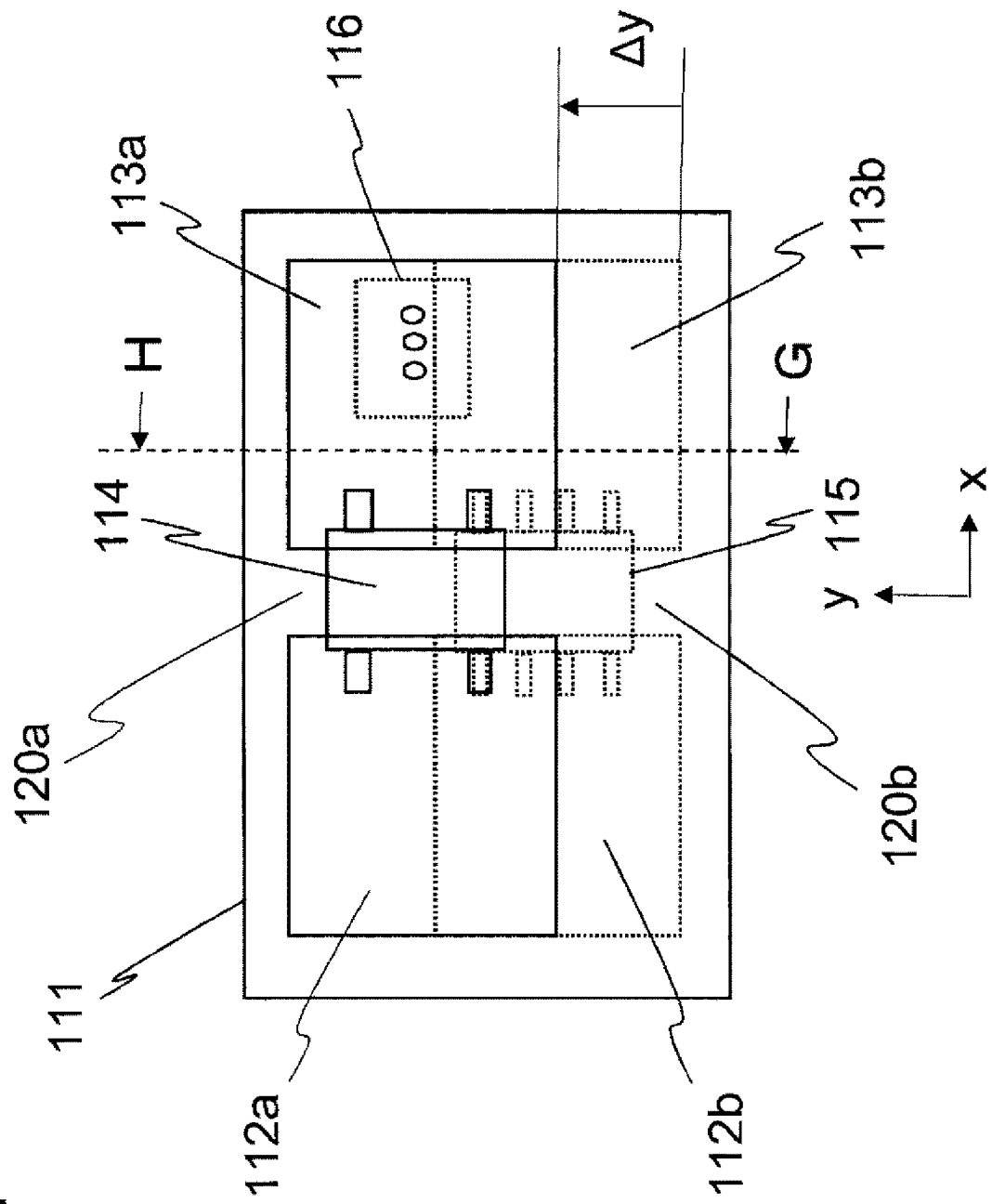
[図8]

【図 8】



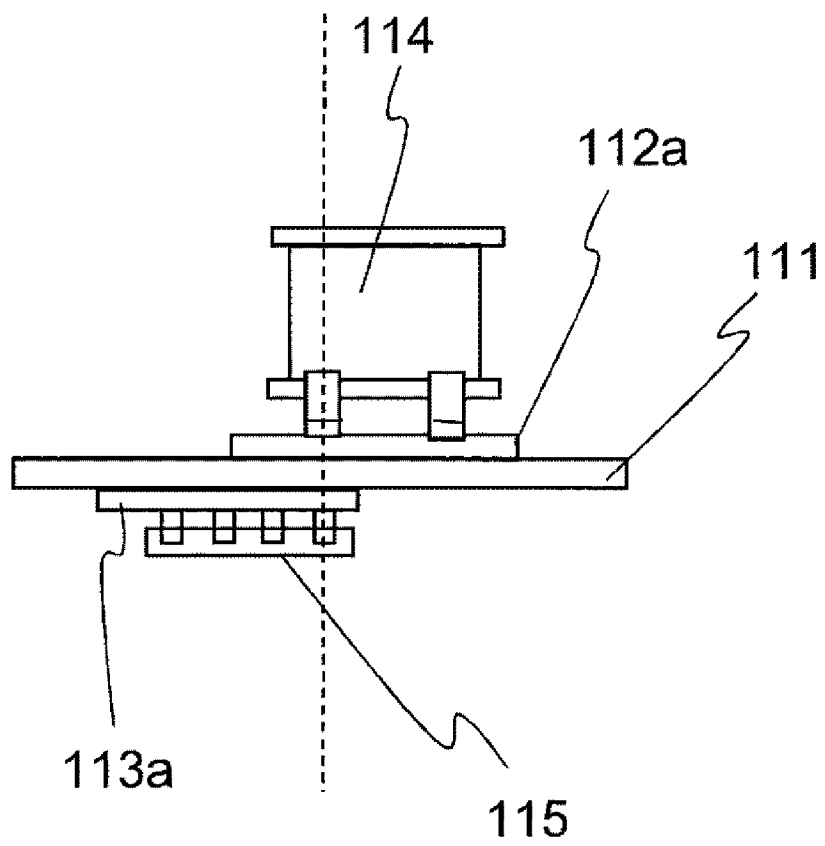
【図9】

【図9】



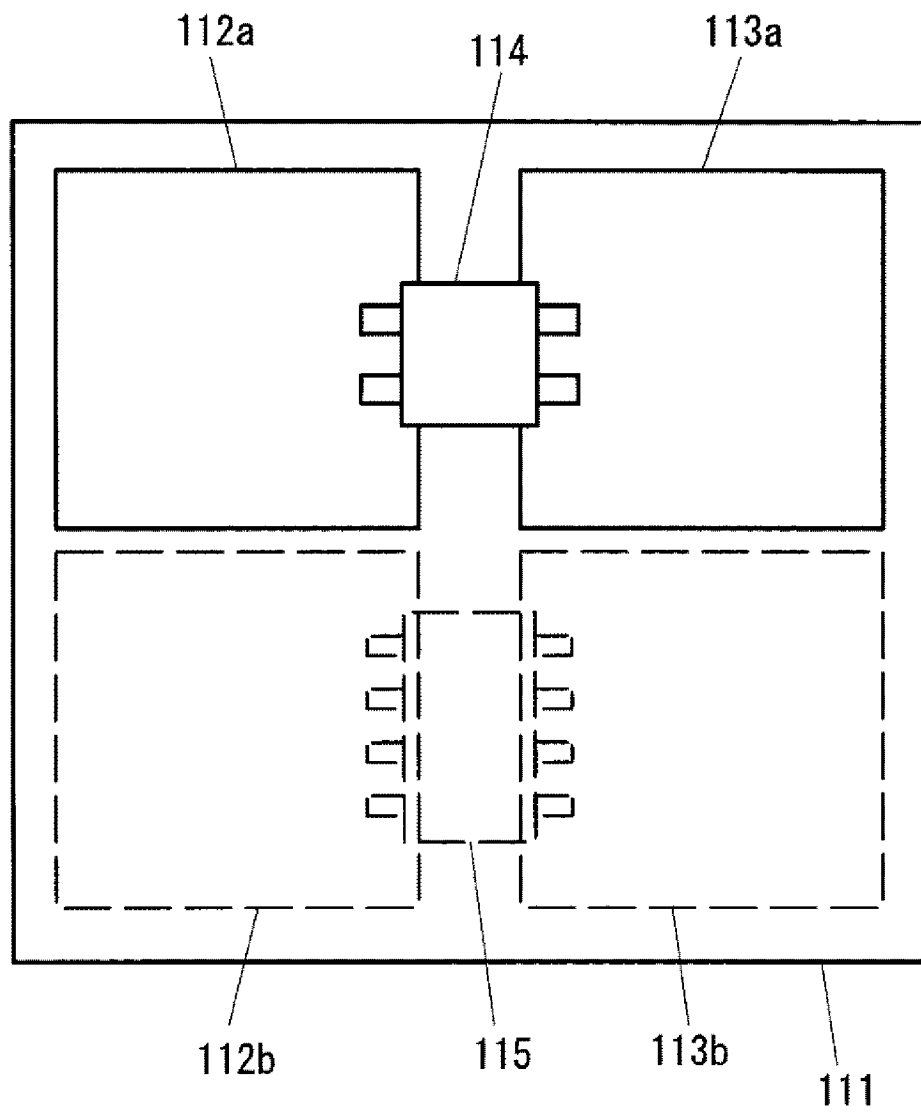
[図10]

【図10】



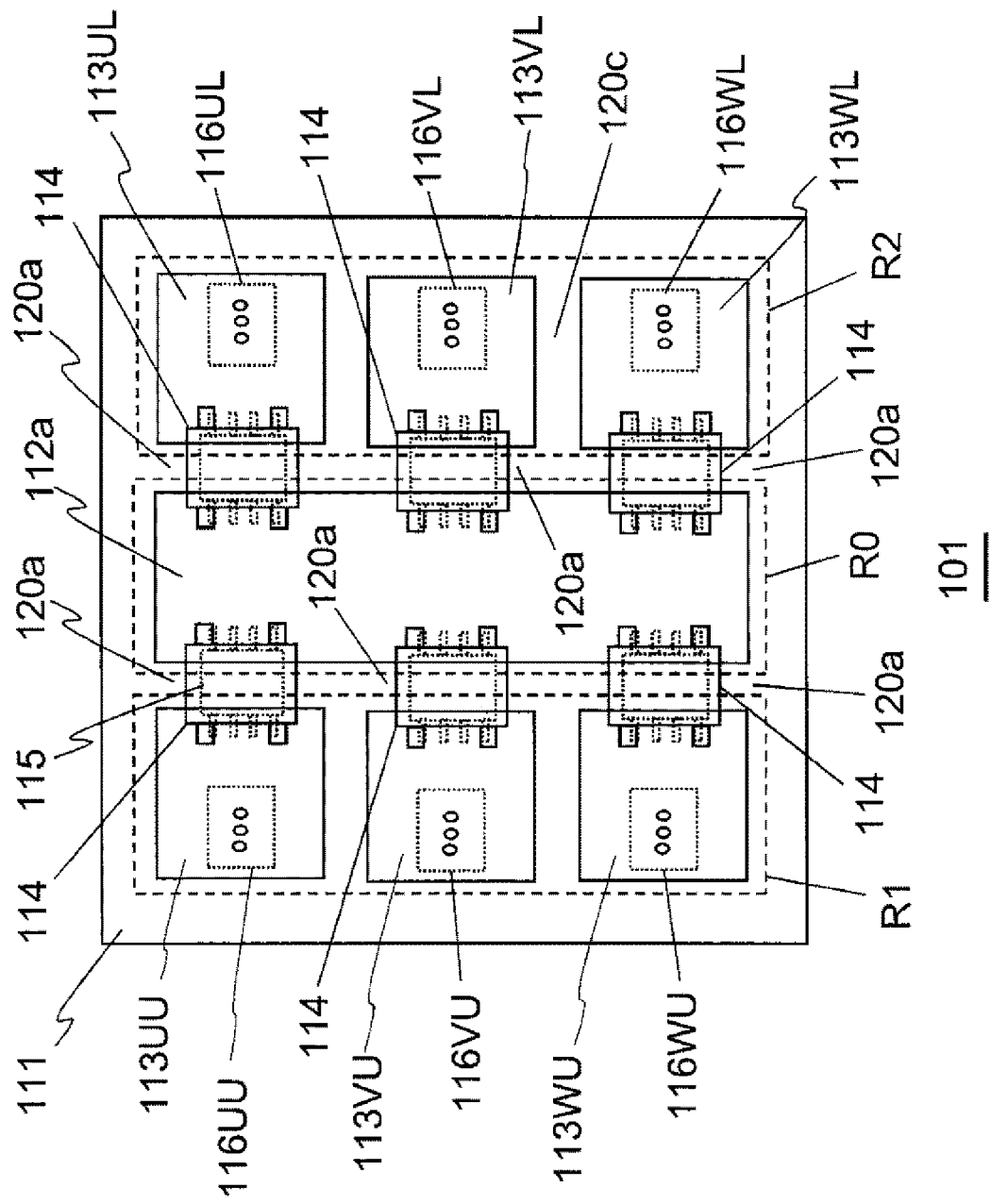
[図11]

【図 1 1】



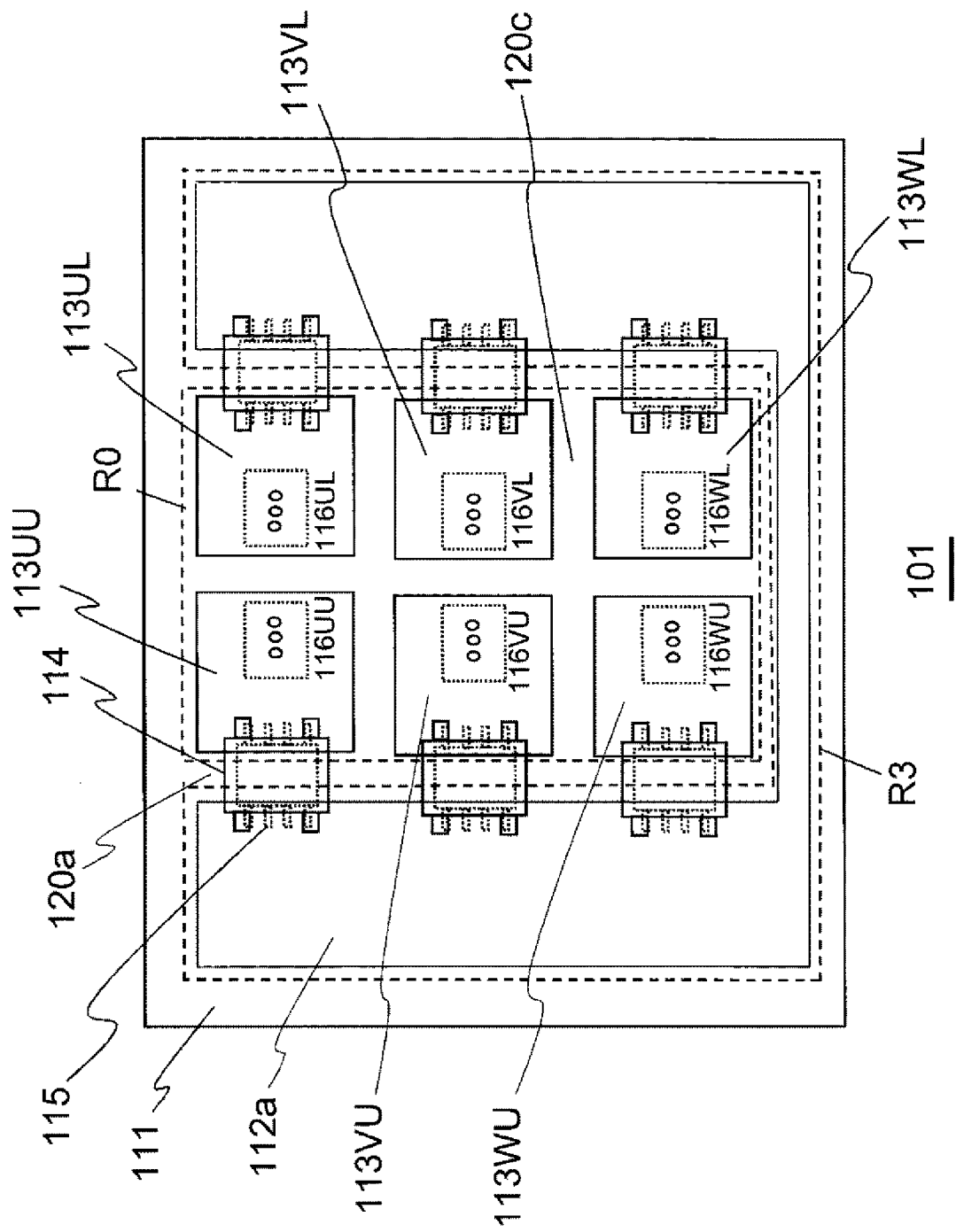
[図12]

【図12】



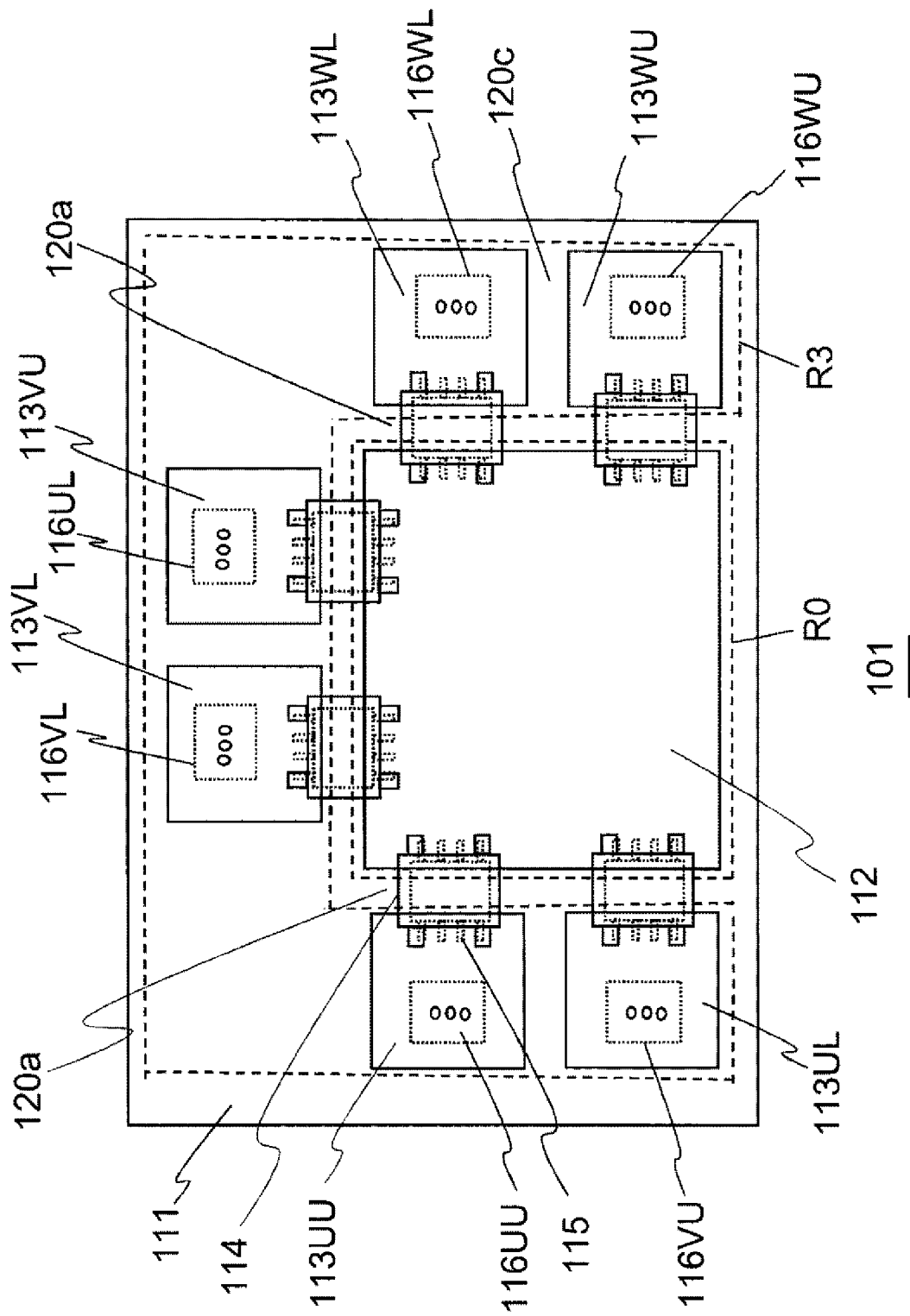
[図13]

【図13】



[図14]

【図14】



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/076242

A. CLASSIFICATION OF SUBJECT MATTER H02M1/08(2006.01)i, H02M7/48(2007.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H02M1/08, H02M7/48		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014 Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-269667 A (Sumitomo Wiring Systems, Ltd.), 29 September 2000 (29.09.2000), entire text; all drawings & US 6388889 B1 & EP 1039790 A2	1-7
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 46038/1986(Laid-open No. 158880/1987) (Canon Inc.), 08 October 1987 (08.10.1987), entire text; all drawings (Family: none)	1-7
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 17 December 2014 (17.12.14)		Date of mailing of the international search report 06 January 2015 (06.01.15)
Name and mailing address of the ISA/ Japan Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/076242

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-250890 A (Fuji Electric Co., Ltd.), 14 September 2001 (14.09.2001), entire text; all drawings (Family: none)	1-7
A	JP 10-98887 A (Hitachi, Ltd.), 14 April 1998 (14.04.1998), entire text; all drawings & CN 1179028 A	1-7
A	JP 2010-104135 A (Hitachi, Ltd.), 06 May 2010 (06.05.2010), entire text; all drawings & US 2011/0221268 A1 & WO 2010/047366 A1	1-7

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H02M1/08(2006.01)i, H02M7/48(2007.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H02M1/08, H02M7/48			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y	JP 2000-269667 A (住友電装株式会社) 2000.09.29, 全文, 全図 & US 6388889 B1 & EP 1039790 A2	1-7	
Y	日本国実用新案登録出願 61-46038 号(日本国実用新案登録出願公開 62-158880 号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (キヤノン株式会社) 1987.10.08, 全文, 全図 (ファミリーなし)	1-7	
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 17.12.2014		国際調査報告の発送日 06.01.2015	
国際調査機関の名称及びあて先 日本国特許庁 (I S A / J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 下原 浩嗣 電話番号 03-3581-1101 内線 3357	3V 9179

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-250890 A (富士電機株式会社) 2001. 09. 14, 全文, 全図 (ファミリーなし)	1-7
A	JP 10-98887 A (株式会社日立製作所) 1998. 04. 14, 全文, 全図 & CN 1179028 A	1-7
A	JP 2010-104135 A (株式会社日立製作所) 2010. 05. 06, 全文, 全図 & US 2011/0221268 A1 & WO 2010/047366 A1	1-7