



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I850134 B

(45)公告日：中華民國 113 (2024) 年 07 月 21 日

(21)申請案號：112140126 (22)申請日：中華民國 106 (2017) 年 06 月 13 日

(51)Int. Cl. : *H01L21/84 (2006.01)* *H01L21/20 (2006.01)*
 H01L21/30 (2006.01) *C23C16/24 (2006.01)*
 C23C16/30 (2006.01) *C23C16/34 (2006.01)*
 C30B29/06 (2006.01) *B23B9/00 (2006.01)*

(30)優先權：2016/06/24 美國 62/354,623

(71)申請人：美商克若密斯股份有限公司 (美國) QROMIS, INC. (US)
 美國

(72)發明人：歐迪諾布魯朵夫 弗拉基米爾 ODNOLYUDOV, VLADIMIR (US) ；巴斯賽利
 山姆 BASCERI, CEM (US) ；法倫斯 薛瑞 FARRENS, SHARI (US)

(74)代理人：李世章；彭國洋

(56)參考文獻：

 US 8,927,346B2 US 9,082,692B2
 US 2007-0269604A1

審查人員：湯欽全

申請專利範圍項數：20 項 圖式數：6 共 55 頁

(54)名稱
工程基板結構之製造方法

(57)摘要

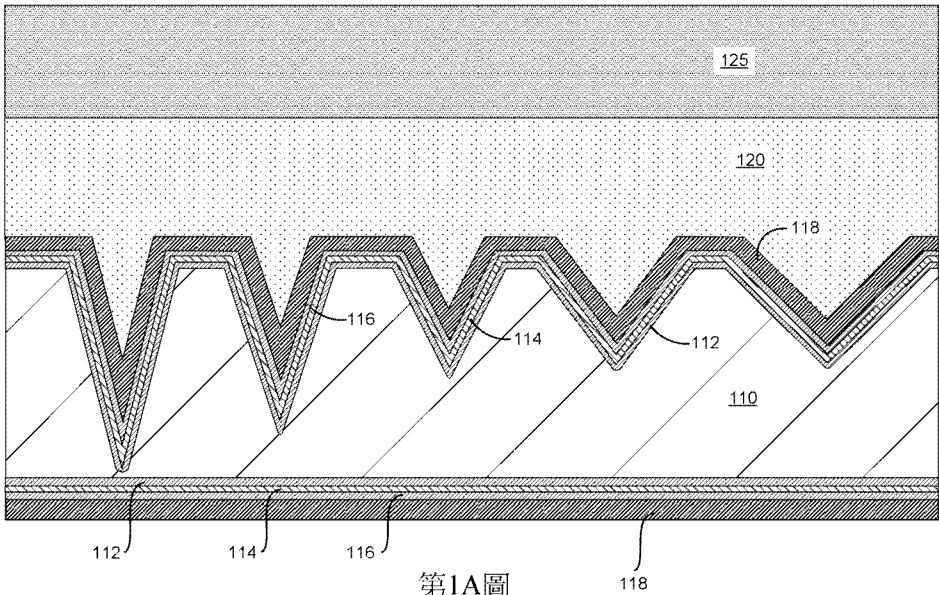
一種製造陶瓷基板結構的方法包括提供陶瓷基板、將該陶瓷基板包封在阻障層中、以及形成與該阻障層耦接的結合層。該方法還包括移除該結合層之一部分以暴露該阻障層之至少一部分並界定填充區域、及在暴露的該阻障層之該至少一部分和該等填充區域上沉積第二結合層。

A method of fabricating a ceramic substrate structure includes providing a ceramic substrate, encapsulating the ceramic substrate in a barrier layer, and forming a bonding layer coupled to the barrier layer. The method further includes removing a portion of the bonding layer to expose at least a portion of the barrier layer and define fill regions, and depositing a second bonding layer on the at least a portion of the exposed barrier layer and the fill regions.

指定代表圖：

符號簡單說明：

- 110: 芯
- 112: 黏合層
- 114: 導電層
- 116: 第二黏合層
- 118: 阻障層
- 120: 結合層
- 125: 實質單晶層





I850134

【發明摘要】

【中文發明名稱】工程基板結構之製造方法

【英文發明名稱】METHODS OF FABRICATING ENGINEERED SUBSTRATE
STRUCTURE

【中文】

一種製造陶瓷基板結構的方法包括提供陶瓷基板、將該陶瓷基板包封在阻障層中、以及形成與該阻障層耦接的結合層。該方法還包括移除該結合層之一部分以暴露該阻障層之至少一部分並界定填充區域、及在暴露的該阻障層之該至少一部分和該等填充區域上沉積第二結合層。

【英文】

A method of fabricating a ceramic substrate structure includes providing a ceramic substrate, encapsulating the ceramic substrate in a barrier layer, and forming a bonding layer coupled to the barrier layer. The method further includes removing a portion of the bonding layer to expose at least a portion of the barrier layer and define fill regions, and depositing a second bonding layer on the at least a portion of the exposed barrier layer and the fill regions.

【指定代表圖】第（1A）圖。

【代表圖之符號簡單說明】

1 1 0 芯

1 1 2 黏合層

PI-26287.4_202403

第 1 頁(發明摘要)

1 1 4 導 電 層

1 1 6 第 二 黏 合 層

1 1 8 阻 障 層

1 2 0 結 合 層

1 2 5 實 質 單 晶 層

【特徵化學式】

無

【發明說明書】

【中文發明名稱】工程基板結構之製造方法

【英文發明名稱】METHODS OF FABRICATING ENGINEERED SUBSTRATE
STRUCTURE

【技術領域】

【0001】 本專利申請案主張於2016年6月24日提出申請、標題為「多晶陶瓷基板及其製造方法（POLYCRYSTALLINE CERAMIC SUBSTRATE AND METHOD OF MANUFACTURE）」的美國臨時專利申請案第62/354,623號的優先權權益，為了所有的目的將該申請案之揭示內容以引用方式全部併入本文中。

【0002】 以下美國專利申請案與本申請案同時提出申請，並且為了所有的目的將本申請案的揭示內容以引用方式全部併入本文中：

【0003】 申請號15/621,235，於2017年6月13日提出申請，標題為「多晶陶瓷基板及其製造方法（POLYCRYSTALLINE CERAMIC SUBSTRATE AND METHOD OF MANUFACTURE）」。

【0004】 本發明大體而言係關於工程基板結構。更具體言之，本發明係關於適用於磊晶生長製程的方法和系統。

【先前技術】

【0005】發光二極體（LED）的結構通常是磊晶生長在藍寶石基板上。目前有許多產品使用LED元件，包括照明、電腦監視器及其他顯示裝置。

【0006】在藍寶石基板上生長氮化鎵系列LED結構是一種異質磊晶生長製程，因為基板和磊晶層是由不同的材料所組成。由於異質磊晶生長製程，磊晶生長的材料會表現出各種不利的影響，包括降低的均勻度及與磊晶層的電子/光學特性相關的度量降低。因此，所屬技術領域中需要有與磊晶生長製程和基板結構相關的改良方法和系統。

【發明內容】

【0007】本發明大體而言係關於工程基板結構。更具體言之，本發明係關於適用於磊晶生長製程的方法和系統。僅為舉例，本發明已被應用於提供適於磊晶生長的基板結構的方法和系統，該基板結構之特徵在於大體上與其上生長的磊晶層匹配的熱膨脹係數（CTE）。該等方法和技術可被應用於各式各樣的半導體處理操作。

【0008】依據一實施例，一種製造陶瓷基板結構的方法包括提供陶瓷基板、將該陶瓷基板包封在阻障層中、以及形成與該阻障層耦接的結合層。該方法還包括移除該結合層之一部分以暴露該阻障層之至少一部分並界定填充區域、及在暴露的該阻障層之該至少一部分和該等填充區域上沉積第二結合層。在其他實施例中，該阻障層在該移除製程期間不暴露。

【0009】 依據另一個實施例，一種製造陶瓷基板結構的方法包括提供陶瓷基板、形成與該陶瓷基板之前表面耦接的結合層、進行化學機械拋光（CMP）製程以移除該結合層之一部分並暴露該陶瓷基板的該前表面之至少一部分、以及將該陶瓷基板包封在阻障層中。在一些實施例中，該阻障層可以包括氮化矽。該陶瓷基板的該前表面之特徵可以在於在50-600 nm範圍中的RMS粗糙度，並且該阻障層之特徵可以在於在0.5-2 nm範圍中的RMS粗糙度。該陶瓷基板的該前表面之特徵可以在於複數個空隙，並且該結合層可以填充該複數個空隙。

【0010】 經由本發明實現了許多優於傳統技術的效益。例如，本發明的實施例提供適於磊晶生長的基板結構，該基板結構之特徵在於大體上與其上生長的磊晶層匹配的熱膨脹係數（CTE）。使生長基板的熱膨脹特性與磊晶層匹配減少了磊晶層及/或工程基板中的應力。應力是幾種類型的缺陷形成的原因。例如，應力可能提高磊晶層中的錯位密度，從而損害磊晶層的電氣和光學性質。應力也可能導致磊晶層或基板中的殘餘應變，從而可能導致後續步驟的額外處理問題，例如應力破裂、錯位滑移、滑動、彎曲及翹曲。熱膨脹引起的基板彎曲和翹曲可能會使自動化設備中的材料處理發生問題，並限制進行為了元件製造、基板破裂及材料潛變所需的附加微影步驟的能力。此外，在處於應力的材料中元件的工作壽命會縮短。應力鬆弛和應力引起的裂紋延伸、錯位滑移、及其他由熱不匹

配所造成的晶格移動可能導致一定範圍的模式中之早期失效，從元件效能降低到元件和元件層斷裂或剝離。元件被製造在磊晶層中。

【0011】 結合下文和附圖來更詳細地描述本發明的此等和其他實施例及其許多優點和特徵。

【圖式簡單說明】

【0012】 第1A圖為圖示依據本發明之一實施例的工程基板結構之簡化示意圖。

【0013】 第1B圖為圖示依據本發明之一實施例製造工程基板的方法之簡化流程圖。

【0014】 第1C圖為圖示依據本發明之一實施例包括磊晶層的工程基板結構之簡化示意圖。

【0015】 第2圖為圖示依據本發明之一實施例在沉積結合層之後的工程基板結構之簡化示意圖。

【0016】 第3A圖為圖示依據本發明之一實施例在薄化結合層之後的工程基板結構之簡化示意圖。

【0017】 第3B圖為圖示依據本發明之一實施例在拋光至蝕刻終止層之後的工程基板結構之簡化示意圖。

【0018】 第3C圖為圖示依據本發明之一實施例在再沉積結合層之後的工程基板結構之簡化示意圖。

【0019】 第4圖為圖示依據本發明之一實施例在形成一個或更多個工程層之後的工程基板結構之簡化示意圖。

【0020】 第5圖為圖示依據本發明之一實施例包括剝離層的工程基板結構之簡化示意圖。

【0021】 第6A圖為圖示依據本發明之一實施例的多晶陶瓷芯和平坦化材料之簡化示意圖。

【0022】 第6B圖為圖示依據本發明之一實施例在CMP製程之後的多晶陶瓷芯和平坦化材料之簡化示意圖。

【0023】 第6C圖為圖示依據本發明之一實施例被包封在阻障殼中的平坦化多晶陶瓷芯之簡化示意圖。

【0024】 第6D圖為圖示依據本發明之一實施例被包封在具有剝離的單晶Si層的阻障殼中的平坦化多晶陶瓷芯之簡化示意圖。

【0025】 第6E圖為圖示依據本發明之一實施例被包封在頂部具有沉積氧化物和剝離的單晶Si層的阻障殼中的平坦化多晶陶瓷芯之簡化示意圖。

【0026】 第6F圖為圖示依據本發明之一實施例在包封和平坦化的多晶陶瓷芯上形成工程層之簡化示意圖。

【0027】 第6G圖為圖示依據本發明之一實施例在包封和平坦化的多晶陶瓷芯上的工程層之頂部上的剝離Si層之簡化示意圖。

【0028】 第6H圖為圖示依據本發明之一實施例在包封和平坦化的多晶陶瓷芯上的工程層上形成結合層之簡化示意圖。

【0029】 第6I圖為圖示依據本發明之一實施例在包封和平坦化多晶陶瓷芯上的工程層上形成結合層且頂部上具有剝離Si層之簡化示意圖。

【實施方式】

【0030】 本發明之實施例係關於工程基板結構。更具體言之，本發明係關於適用於磊晶生長製程的方法和系統。僅為舉例，本發明已被應用於提供適於磊晶生長的基板結構的方法和系統，該基板結構之特徵在於大體上與其上生長的磊晶層匹配的熱膨脹係數（CTE）。該等方法和技術可被應用於各式各樣的半導體處理操作。

【0031】 第1A圖為圖示依據本發明之一實施例的工程基板結構之簡化示意圖。如第1A圖所圖示，第1A圖圖示的工程基板結構適用於各式各樣的電子和光學應用。工程基板結構包括芯110（例如AlN基板），芯110可以具有與將被生長在工程基板結構上（例如在剝離矽（111）層上）的磊晶材料之熱膨脹係數（CTE）大體上匹配的CTE。如本文中更全面討論的，磊晶材料可以包括其他元素半導體材料（包括具有（111）矽以外的不同晶體方向的矽層）及/或化合物半導體材料（包括氮化鎵（GaN）系列材料）。此等變化包括結晶生長面等。所屬技術領域中具有通常知識者將認識到許多的變化、修改及替代。

【0032】 對於包括氮化鎵（GaN）系列材料（包括GaN系列層的磊晶層）的生長的應用來說，芯110可以是多晶

陶瓷材料，例如多晶氮化鋁（ AlN ），多晶氮化鋁（ AlN ）可以包括諸如氧化鈮的結合材料。可以將其他材料用於芯，包括多晶氮化鎵（ GaN ）、多晶氮化鎵鋁（ AlGaIn ）、多晶碳化矽（ SiC ）、多晶氧化鋅（ ZnO ）、多晶三氧化鎵（ Ga_2O_3 ）及類似物。

【0033】 芯的厚度可以在 $100\ \mu\text{m}$ 至 $1,500\ \mu\text{m}$ 的等級，例如 $725\ \mu\text{m}$ 。芯被包封在黏合層 112（標記為 TEOS）中，可將黏合層 112 稱為殼或包封殼。第 1A 圖（僅圖示出工程基板結構的中心部分並未圖示出邊緣）藉由將黏合層 112 圖示為存在於芯 110 的上方和下方來說明此包封，而且將理解的是，黏合層 112 也將存在於芯 110 的邊緣上，為了清楚起見此未被圖示出。類似地，對於下文更充分討論的導電層 114、第二黏合層 116 及阻障層 118，將此等包封層圖示為存在於芯的上方和下方，但將理解的是，此等層亦將存在於邊緣上。所屬技術領域中具有通常知識者將認識到許多的變化、修改及替代。

【0034】 在一實施例中，黏合層 112 包含厚度在 $1,000\ \text{\AA}$ 等級的正矽酸四乙酯（TEOS）氧化物層。在其他實施例中，黏合層的厚度例如從 $100\ \text{\AA}$ 至 $2,000\ \text{\AA}$ 變化。儘管在一些實施例中將 TEOS 氧化物用於黏合層，但依據本發明之一實施例，可以利用其他材料在後續沉積層與下方層或材料（例如陶瓷，特別是多晶陶瓷）之間提供黏合。例如， SiO_2 或其他矽氧化物（ Si_xO_y ）良好地黏附於陶瓷材料，並提供用於後續沉積（例如導電材料）的適當表

面。在一些實施例中，黏合層 112 完全包圍芯 110 以形成完全包封的芯，並且可以使用 LPCVD 製程或其他適當的沉積製程形成，該沉積製程可以與半導體處理相容，特別是與多晶或複合基板和層相容。黏合層提供一個表面，後續層黏附於該表面上以形成工程基板結構的元件。

【0035】除了使用 LPCVD 製程、旋塗玻璃/介電質、基於爐的製程等來形成包封的黏合層之外，依據本發明的實施例可以使用其他的半導體製程，包括 CVD 製程或類似的沉積製程。作為實例，可以使用塗覆芯的一部分的沉積製程、可以將芯翻轉、而且可以重複沉積製程來塗覆芯的其他部分。因此，儘管在一些實施例中使用 LPCVD 技術來提供完全包封的結構，但可以視特定應用使用其他的膜形成技術。

【0036】形成包圍黏合層 112 的導電層 114。在一實施例中，導電層是形成在黏合層周圍的多晶矽（即多結晶矽）殼，因為多晶矽會對陶瓷材料表現出差的黏合。在其中導電層為多晶矽的實施例中，多晶矽層的厚度可以在 500-5,000 Å 的數量級，例如 2,500 Å。在一些實施例中，可以將多晶矽層形成為完全包圍黏合層（例如 TEOS 氧化物層）的殼，從而形成完全包封的黏合層，並且可以使用 LPCVD 製程形成。在其他實施例中，如以下所討論的，可以將導電材料形成在黏合層的一部分上，例如基板結構的下半部上。在一些實施例中，可以將導電材料形成

為完全包封層，並於隨後移除在基板結構的一側上的導電材料。

【0037】 在一實施例中，導電層114可以是被摻雜以提供高導電材料的多晶矽層，例如摻雜硼以提供p型多晶矽層。在一些實施例中，用硼摻雜是在 $1 \times 10^{19} \text{ cm}^{-3}$ 至 $1 \times 10^{20} \text{ cm}^{-3}$ 的水平以提供高導電性。可以利用不同摻雜劑濃度的其他摻雜劑（例如，摻雜劑濃度範圍從 $1 \times 10^{16} \text{ cm}^{-3}$ 至 $5 \times 10^{18} \text{ cm}^{-3}$ 的磷、砷、銻等）來提供適用於導電層的n型或p型半導體材料。所屬技術領域中具有通常知識者將認識到許多的變化、修改及替代。

【0038】 在將工程基板靜電夾持於半導體處理工具（例如具有靜電夾盤（ESC或電子夾盤）的工具）的過程中，導電層114的存在是有用的。在半導體處理工具中處理之後，導電層能夠快速解除夾持。在本發明的實施例中，導電層能夠在未來的處理（包括結合）期間與夾盤電接觸或與靜電夾盤（ESC或電子夾盤）電容耦合。因此，本發明的實施例提供可被以傳統矽晶圓使用的方式處理的基板結構。所屬技術領域中具有通常知識者將認識到許多的變化、修改及替代。另外，具有高導熱性的基板結構與ESD夾持的組合可以為後續工程層和磊晶層的形成以及隨後的元件製造步驟提供更好的沉積條件。例如，可以提供理想的熱分佈，從而可以在後續的層形成期間產生較低的應力、更均勻的沉積厚度、及更佳的化學計量控制。

【0039】 形成包圍導電層114的第二黏合層116（例如厚度在1000 Å等級的TEOS氧化物層）。在一些實施例中，第二黏合層116完全包圍導電層以形成完全包封的結構，並且可以使用LPCVD製程、CVD製程或任何其他適當的沉積製程形成，包括旋塗介電質的沉積。

【0040】 形成包圍第二黏合層116的阻障層118，例如氮化矽層。在一實施例中，阻障層118係厚度在2,000 Å至5,000 Å等級的氮化矽層。在一些實施例中，阻障層完全包圍第二黏合層116以形成完全包封的結構，並且可以使用LPCVD製程形成。除了氮化矽層之外，可以使用非晶形材料（包括SiCN、SiON、AlN、SiC等）作為阻障層。在一些實施方案中，阻障層由被建造以形成阻障層的數個子層組成。因此，用語阻障層無意表示單層或單一材料，而是涵括以複合方式分層的一種或更多種材料。所屬技術領域中具有通常知識者將認識到許多的變化、修改及替代。

【0041】 在一些實施例中，阻障層118（例如氮化矽層）防止存在於芯110內的元素（例如鈮（元素）、鈮氧化物（即氧化鈮）、氧、金屬雜質、其他微量元素等）擴散及/或出氣進入其中可能存在工程基板的半導體處理腔室的環境中，例如在高溫（例如1,000 °C）磊晶生長製程期間。利用本文所述的包封層，可以在半導體製程流程和潔淨室環境中使用陶瓷材料，包括為非潔淨室環境設計的多晶AlN。

【0042】 通常，用於形成芯的陶瓷材料係在 1800°C 範圍中的溫度下焙燒。可預期此製程將驅除存在於陶瓷材料中的大量雜質。此等雜質可以包括由於使用氧化鋇作為燒結劑所生成的鋇、鈣及其他元素和化合物。隨後，在 800°C 至 1100°C 範圍內的遠較低溫度下進行的磊晶生長製程期間，可預期此等雜質的後續擴散將是不明顯的。然而，與傳統的預期相反，本發明人確定的是，即使在遠比陶瓷材料的焙燒溫度更低的溫度下的磊晶生長製程期間也會發生元素大量擴散通過工程基板的層。因此，本發明的實施例將阻障層整合到工程基板結構中來防止此種不理想的擴散。

【0043】 再次參照第1A圖，在阻障層118的一部分（例如阻障層的頂表面）上沉積結合層120（例如氧化矽層），並且隨後在實質單晶層125（例如單晶矽層，諸如剝離的矽（111）層）的結合過程中使用該結合層120。在一些實施例中，結合層120的厚度可以為約 $1.5\text{ }\mu\text{m}$ 。在一些實施例中，結合層的厚度為 20 nm 或更厚，用於結合誘導的空隙減少。在一些實施例中，結合層的厚度在 $0.75 - 1.5\text{ }\mu\text{m}$ 的範圍內。

【0044】 實質單晶層125（例如剝離的 $\text{Si}(111)$ ）適用於在磊晶生長製程期間用作生長層，用於形成磊晶材料。在一些實施例中，磊晶材料可以包括厚度 $2\text{ }\mu\text{m}$ 至 $10\text{ }\mu\text{m}$ 的 GaN 層， GaN 層可被用作光電子、RF及功率元件

中使用的複數個層中的一個層。在一實施例中，實質單晶層包括使用層轉移製程黏附於結合層的單晶矽層。

【0045】 第1B圖為圖示依據本發明之一實施例製造工程基板的方法之簡化流程圖。該方法可用於製造與在基板上生長的一個或更多個磊晶層CTE匹配的基板。方法150包括藉由提供多晶陶瓷芯（160）形成支撐結構，該多晶陶瓷芯可以是已經清潔和檢查過的氮化鋁（AlN）基板。可以如以上所討論使用其他的多晶陶瓷芯。

【0046】 該方法還包括將多晶陶瓷芯包封在形成殼（例如厚度約為80 nm的正矽酸四乙酯（TEOS）氧化物殼）的第一黏合層中（162），並將第一黏合層包封在導電殼（例如厚度約為300 nm的多晶矽殼）中（164）。可以將第一黏合層形成為TEOS氧化物的單層。可以將導電殼形成為多晶矽的單層。

【0047】 該方法還包括將導電殼包封在第二黏合層（例如厚度約為80 nm的第二TEOS氧化物殼）中（166），並將第二黏合層包封在阻障層殼中（168）。第二黏合層可被形成為TEOS氧化物的單層。可以將阻障層殼形成為氮化矽的單層，例如厚度約為400 nm。有關工程基板結構的其他描述被提供於2016年6月14日提出申請的美國臨時專利申請案第62/350084號（代理人案號098825-1011030-001100US）中，為了所有的目的將該申請案之揭示內容以引用方式全部併入本文中。如本文所述，本發明的實施例可以將各種材料用於黏合層和擴

散阻障層，包括各種介電質，例如 Si_xO_y 、 Si_xN_y 、 $\text{Si}_x\text{O}_y\text{N}_z$ 、類金剛石碳（DLC）、上述之組合等。還可以使用被包封在介電質中的其他材料，例如 Ti、TiW、Ta 及 TiN。所屬技術領域中具有通常知識者將認識到許多的變化、修改及替代。

【0048】 一旦藉由製程 160-168 形成了包括芯、黏合層、導電層及擴散阻障層的支撐結構，該方法還包括在支撐結構上沉積結合層（例如 PECVD 氧化矽層）（170），並將實質單晶層（例如單晶矽層）結合於結合層（172）。依據本發明的實施例，可以使用其他的實質單晶層，包括 SiC、藍寶石、GaN、AlN、SiGe、Ge、金剛石、 Ga_2O_3 、ZnO 等。結合層的沉積可以包括沉積結合材料，隨後如本文所述進行平坦化製程。在如下所述的實施例中，將實質單晶層（例如單晶矽層）結合於結合層係使用層轉移製程，其中該實質單晶層係轉移自矽晶圓的單晶矽層。

【0049】 參照第 1A 圖，結合層 120 可以藉由沉積（例如 PECVD）厚的（例如 4 μm 厚）氧化物層隨後進行化學機械拋光（CMP）製程以將氧化物薄化至厚度約 1.5 μm （如以下結合第 3A 圖進一步討論的）來形成。厚的初始氧化物用以填充存在於支撐結構上的空隙和表面特徵，該等空隙和表面特徵可能在製造多晶芯之後存在，並在形成第 1A 圖圖示的包封層時繼續存在。CMP 製程提供沒有空隙、顆粒或其他特徵的大體平坦表面，隨後可以在晶圓轉移製程期間使用該平坦表面來將由第 1A 圖圖示的

剝離單晶矽（111）層表示的實質單晶層結合於結合層。將理解的是，結合層之特徵不必在於原子級平坦的表面，而是應提供將以期望的可靠度支撐結合實質單晶層（例如單晶矽層）的大體平坦表面。

【0050】 可用於將實質單晶層結合於結合層的層轉移製程之實例為將佈植氫的施體晶圓（例如包括實質單晶層（例如單晶矽層）的矽晶圓，該實質單晶層被佈植而形成分裂面）結合於結合層。隨後將結合對在退火溫度（例如200℃）下退火持續一段退火時間（例如4小時），以將佈植物種（例如氫）群集成泡。在退火之後，施體晶圓沿著分裂面斷裂，並使一層實質單晶材料剝離到結合層上。如第1A圖所圖示，Si（111）層被剝離到PECVD結合層上。所屬技術領域中具有通常知識者將認識到許多的變化、修改及替代。

【0051】 第1B圖圖示的方法還可以包括平滑化實質單晶層（174）。參照第1A圖，實質單晶層125可以是轉移到結合層120上的單晶矽（例如Si（111）層）。可以改變實質單晶層125的厚度來滿足各種應用的規格。此外，可以改變實質單晶層125的晶體方向來滿足應用的規格。另外，可以改變實質單晶層125中的摻雜水平和分佈來滿足特定應用的規格。關於元件符號174所示的平滑化還可以包括薄化實質單晶層作為平滑化製程的組成部分。

【0052】 在一些實施例中，可以進一步修改實質單晶層125的厚度和表面粗糙度以獲得高品質的磊晶生長。關於

實質單晶層 125 的厚度和表面平滑度，不同的元件應用可以具有略微不同的規格。分裂處理使實質單晶層 125 在佈植離子分佈的峰值處從塊體單晶矽晶圓分層。在分裂之後，實質單晶層 125 可以在幾個方面進行調整或修改，然後用作其他材料（例如氮化鎵）的磊晶生長的生長表面。

【0053】 第一，轉移的實質單晶層 125 可能含有少量的殘餘氫濃度，並且可能具有來自佈植物的一些晶體損傷。因此，移除轉移的實質單晶層 125 中晶格受損的薄的部分可能是有益的。在一些實施例中，可以將佈植物的深度調整為大於實質單晶層 125 的期望最終厚度。額外的厚度允許移除轉移的實質單晶層被損壞的薄的部分，從而留下所需最終厚度的未損傷部分。

【0054】 第二，可能需要調整實質單晶層 125 的總厚度。一般來說，可能希望使實質單晶層 125 足夠厚以提供高品質的晶格模板用於隨後生長一個或更多個磊晶層、但又足夠薄以具有高度順應性。當實質單晶層 125 相對較薄時，可以將實質單晶層 125 稱為「順應的」，使得實質單晶層 125 的物理性質（例如 CTE）與周圍材料的物理性質密切相似。實質單晶層 125 的順應性可與實質單晶層 125 的厚度成反比。較高的順應性可在模板上生長的磊晶層中產生較低的缺陷密度，並能夠生長較厚的磊晶層。在一些實施例中，可以藉由在剝離的矽層上磊晶生長矽來增加實質單晶層 125 的厚度。

【0055】 第三，提高實質單晶層125的平滑度可能是有益的。層的平滑度可能與總氫劑量、任何共佈植物種的存在、以及用以形成氫基分裂面的退火條件相關。從層轉移（即分裂步驟）產生的初始粗糙度可以藉由熱氧化和氧化物剝除來減小，如以下所討論的。

【0056】 在一些實施例中，移除損傷層並調整實質單晶層125的最終厚度可以透過熱氧化剝離矽層的頂部部分、隨後使用氟化氫（HF）酸進行氧化物層剝除來實現。例如，可以將初始厚度為 $0.5\ \mu\text{m}$ 的剝離矽層熱氧化以產生約 $420\ \text{nm}$ 厚的二氧化矽層。移除生長的熱氧化物之後，轉移層中剩餘的矽厚度可以為約 $53\ \text{nm}$ 。在熱氧化期間，佈植的氫可能往表面遷移。因此，隨後的氧化物層剝除可以移除一些損傷。並且，熱氧化通常在 $1000\ ^\circ\text{C}$ 或更高的溫度下進行。升高的溫度也可以修復晶格損傷。

【0057】 在熱氧化期間形成在實質單晶層的頂部部分上的氧化矽層可以使用HF酸蝕刻剝除。可以藉由調整HF溶液的溫度和濃度以及氧化矽的化學計量和密度來調整HF酸對氧化矽和矽（ $\text{SiO}_2:\text{Si}$ ）的蝕刻選擇率。蝕刻選擇率是指一種材料相對於另一種材料的蝕刻速率。HF溶液對於（ $\text{SiO}_2:\text{Si}$ ）的選擇率可以在約 $10:1$ 至約 $100:1$ 的範圍內。高的蝕刻選擇率可以藉由與初始表面粗糙度相似的因子來降低表面粗糙度。然而，所得實質單晶層125的表面粗糙度仍可能大於所需的。例如，在附加處理之前藉由 $2\ \mu\text{m} \times 2\ \mu\text{m}$ 原子力顯微鏡（AFM）掃描測定，

塊體 Si (1 1 1) 表面可能具有小於 0.1 nm 的均方根 (R M S) 表面粗糙度。在一些實施例中，在 Si (1 1 1) 上磊晶生長氮化鎵材料所需的表面粗糙度可以例如為在 30 μ m $\times$ 30 μ m 的 A F M 掃描區域上小於 1 nm、小於 0.5 nm、或小於 0.2 nm。

【0058】 假使實質單晶層 125 在熱氧化和氧化物層剝除之後的表面粗糙度超過所需的表面粗糙度，則可以進行另外的表面平滑化。有幾種將矽表面平滑化的方法。此等方法可以包括氫退火、雷射修整、電漿平滑化、及接觸拋光（例如化學機械拋光或 C M P）。此等方法可能涉及優先侵蝕高深寬比的表面峰。因此，表面上的高深寬比特徵可以比低深寬比特徵更快被移除，從而產生更平滑的表面。

【0059】 第 1 C 圖為圖示依據本發明之一實施例包括磊晶層的工程基板結構之簡化示意圖。如第 1 C 圖所圖示，在生長製程中利用平坦化層 705（可以是實質單晶層 125 的平坦化形式）來形成磊晶層 710。可以使用本文討論的一種或更多種平坦化技術來製造平坦化層 705。在一些實施例中，磊晶層 710 包括厚度為 2 μ m 至 10 μ m 或更厚的 G a N 系列層，G a N 系列層可被用作光電子元件中使用的複數個層中之一層。

【0060】 應當理解的是，第 1 B 圖圖示的具體步驟提供了依據本發明之一實施例製造工程基板的特定方法。還可以依據替代實施例來執行其他的步驟順序。例如，本發明

的替代實施例可以以不同的順序執行上述步驟。此外，第 1 B 圖圖示的各個步驟可以包括可以以各個步驟適合的各種順序執行的多個子步驟。另外，可以視特定應用來添加或移除附加步驟。所屬技術領域中具有通常知識者將認識到許多的變化、修改及替代。

【0061】 第 2 圖為圖示依據本發明之一實施例在沉積結合層之後的工程基板結構之簡化示意圖。如第 2 圖所圖示，結合層 120（例如 PECVD 氧化物）的頂部表面 121 天生是粗糙的，且表面輪廓在一定程度上是由下方層和材料的表面粗糙度決定。如關於第 1 B 圖所討論的，結合層的初始厚度可以在幾微米（例如 4 μm ）的數量級上以使結合層填充存在於多晶陶瓷芯 110 中的孔隙。結合層可以單步驟製程或多步驟製程形成，多步驟製程例如重複的沉積 / 移除循環。作為實例，沉積結合層材料之後可以拋光結合層來減小厚度並提高平坦度。隨後可以重複此沉積 / 拋光循環幾次以提供表面粗糙度小於表徵原始多晶陶瓷芯表面的表面粗糙度的結合層。此外，可將不同的材料用於不同的循環，從而提供具有多種材料的分層結構。所屬技術領域中具有通常知識者將認識到許多的變化、修改及替代。

【0062】 第 3 A 圖為圖示依據本發明之一實施例在薄化結合層之後的工程基板結構之簡化示意圖。發明人已經確定，影響切換速度等的熱傳和電容作用對於元件應用來說被改善了，或者可以藉由將結合層（例如 PECVD 氧化物

層) 從幾個微米的初始值薄化到在 100 Å 至 $1.5\text{ }\mu\text{m}$ 範圍內的值來針對元件應用進行客製化。

【0063】 如第3A圖所圖示，可以使用CMP製程來減小結合層120的厚度。然而，假使結合層的初始厚度在幾微米（例如 $4\text{ }\mu\text{m}$ ）的數量級（這適合讓結合層填充存在於多晶陶瓷芯中的孔隙），則CMP製程可能無法撫平存在於結合層中的所有缺陷。此外，CMP襯墊的順應性、漿料管理、及在設備上的各個區域中向下力的控制會對實現整個基板的平整度帶來挑戰，從而提供平滑和平坦的結合層。例如，在基板邊緣的輥軋會導致邊緣的膜厚度小於（即更薄）或大於（即更厚）平均層厚度。

【0064】 儘管第3A圖圖示出平坦的頂部表面310，但對於實際的製程流程來說，結合層120的厚度變化將在 $4,000\text{ Å}$ 的範圍內，導致厚度變化在層厚度減小到 $1.5\text{ }\mu\text{m}$ 以下時佔層厚度的相當大百分比。

【0065】 第3B圖為圖示依據本發明之一實施例在拋光至蝕刻終止層之後的工程基板結構之簡化示意圖。如第3B圖所圖示，當暴露出阻障層118（例如氮化矽）時CMP製程即終止。阻障層材料可以提供天然的CMP終止層，因為阻障層材料的硬度可遠大於結合層，結合層相較之下是柔軟的。

【0066】 參照第3B圖，藉由使用阻障層118（例如LPCVD氮化物）作為CMP終止層的CMP製程來薄化結合層120（例如PECVD氧化物）。移除率的差異在CMP

工具上被觸發，而且在與厚度反饋系統組合之下CMP製程將在阻障（例如氮化物）層上停止。應當注意的是，在第3B圖中，為了說明的目的，將存在於多晶芯中的孔之量誇大。在實施中，暴露的阻障層（即共面氮化物區域）的相對表面積遠大於由PECVD氧化物表示的結合層的表面積。

【0067】如第3B圖所圖示，基板結構的頂部表面320包括結合層材料120（例如PECVD氧化物）的區域和阻障層材料118（例如LPCVD氮化物）的區域。電絕緣的頂部表面320可以提供用於結合施體晶圓的適當結合表面，如以上所討論的。在此實例中，可以將單晶矽層結合到氧化物和氮化物區域的拼塊。可以將存在於多晶陶瓷芯中的相鄰峰之間的谷或空隙稱為填充區域305，因為填充區域305被填充結合層材料。所屬技術領域中具有通常知識者將認識到許多的變化、修改及替代。

【0068】在一些實施例中，不使用阻障層118作為CMP終止層，而是在沉積結合層之前沉積附加的CMP終止層。參照第2圖，可將附加的CMP終止層形成在阻障層118（例如氮化物層）與PECVD結合層120之間。因此，CMP製程隨後將在附加的CMP終止層終止，從而保護阻障層免於被移除或過度薄化而可能損害其阻障性質。阻障層防止雜質擴散的能力取決於阻障層的厚度和擴散速率。假使阻障層太薄，則阻障層可能無法提供足夠的阻障功能。

【0069】 第3C圖為圖示依據本發明之一實施例在再沉積結合層320之後的工程基板結構之簡化示意圖。作為第3B圖圖示的結合表面的替代物，可以在CMP製程之後沉積結合材料的薄層。參照第3B圖，在使用CMP製程移除結合層材料、在阻障層118停止之後，可以在拋光結構上再沉積非常均勻的結合材料（例如PECVD氧化物）的薄層（例如200 Å）。可將結合層320稱為再沉積層。因為與沒有終止層的薄化相比，使用終止層（阻障層或附加的CMP終止層）可在表面平坦度方面提供更好的控制，所以如第3B圖所圖示在CMP製程之後的結合層表面可以是相對平坦的。由於結合層320與結合層的平坦化表面共形，並且結合層320的表面均勻度是結合層320的總厚度的一定百分比，所以薄結合層320的表面可以是相當均勻的。因此，與應用CMP於厚結合層而不使用終止層可實現的相比，結合層320可提供具有優異的表面平坦度的連續結合表面。儘管將PECVD氧化物圖示為第3C圖中的結合材料，但此並非本發明所必需的，可以再沉積其他的材料，例如氮化矽。因此，本發明的實施例提供薄且可控的結合層，該結合層之性質與用以提高多晶陶瓷芯之平坦度的結合材料無關。所屬技術領域中具有通常知識者將認識到許多的變化、修改及替代。

【0070】 在一些實施例中，CMP終止層可以是多晶陶瓷芯110（例如芯中的AlN材料）。在此等實施例中，阻

障層以及下方黏合層和導電層將被移除以暴露出芯材的頂部表面。

【0071】 利用本文描述的製程，可實質提高從多晶陶瓷芯到再沉積層320的平坦度。例如，在一實施例中，對於 $50\text{ }\mu\text{m} \times 50\text{ }\mu\text{m}$ 面積的AFM掃描來說，陶瓷基板的生長表面之特徵可以在於在 $50\text{ - }600\text{ nm RMS}$ 範圍內的RMS粗糙度，該RMS粗糙度可以用傳統的晶圓拋光技術實現。利用本文描述的製程，對於 $30\text{ }\mu\text{m} \times 30\text{ }\mu\text{m}$ 面積的AFM掃描來說，再沉積層之特徵可以在於在 $0.5\text{ - }2\text{ nm RMS}$ 範圍內的RMS粗糙度，該RMS粗糙度提供了2-3個數量級的表面粗糙度改良。CMP前層(pre-CMP layer)的平坦度可高達層的總厚度的30%。對於 $4\text{ }\mu\text{m}$ 的層來說，可能是 $1.2\text{ }\mu\text{m}$ 。在終止層上CMP之後表面的平坦度通常 $<2\%$ 或平坦度改善約10倍。

【0072】 第4圖為圖示依據本發明之一實施例在形成一個或更多個工程層之後的工程基板結構之簡化示意圖。在薄化第3A圖或第3B圖圖示的結合層之後從工程基板結構開始，在薄化的工程基板結構上形成或沉積一個或更多個工程層（可以包括一個或更多個介電質層）。如第4圖所圖示，可以沉積對阻障層118和結合層120材料（例如PECVD氧化物）提供良好黏合的工程層410，使得工程層410覆蓋暴露的阻障層部分和填充區域。

【0073】 可以使用各種材料形成工程層。作為實例，介電質材料可以包括氮化矽、氮氧化物、氮氧化矽、旋塗玻

璃 / 介電質、DLC、上述之組合、及類似物。工程層的厚度範圍可以從在 100 Å 至 200 Å 等級的非常薄層到在幾微米（例如 2 μm）數量級的厚層，取決於特定的元件規格，包括熱傳、電容、及崩潰電壓特性。在一些實施方案中，不沉積介電質，而是沉積導電層（包括耐火金屬）作為工程層。在其他的實施方案中，製造可以包括一個或更多個介電質層和一個或更多個導電層的多層結構來提供期望的熱、機械、及電性質。

【0074】 與使用結合層 320（使用與結合層 120 相同的材料形成）相比，第 4 圖圖示的工程層 410 能夠實現擴展的處理能力。因此，與第 3C 圖圖示的實施例相比，第 4 圖圖示的實施例提供了擴展的替代結合能力。

【0075】 第 5 圖為圖示依據本發明之一實施例包括剝離層 510 的工程基板結構之簡化示意圖。第 5 圖圖示的結構使用第 4 圖圖示的一個或更多個工程層來提供工程層與實質單晶層 510 之間的結合界面，實質單晶層 510 可以是剝離的單晶矽（111）層。

【0076】 可以改變剝離層 510 的厚度來滿足各種應用的規格。此外，可以改變剝離層的晶體方向來滿足應用的規格。作為實例，可以控制晶體方向而在製造第 5 圖圖示的結構之後生長的隨後磊晶層中提供應變。此外，可以改變剝離層中的摻雜水平和分佈來滿足特定應用的規格。應當注意的是，可以將剝離層與本文所述的其他工程基板結

構整合，包括第 1 A 圖、第 3 A 圖、第 3 B 圖、第 3 C 圖、及第 4 圖圖示的工程基板結構。

【0077】 作為以上討論的製程流程和結構的替代物，本發明的一些實施例在沉積導電層和阻障層之前提高多晶陶瓷芯的平坦度。因此，一些實施例在形成本文所述的工程疊層之前為多晶陶瓷芯提供表面處理製程，以便在形成導電層、阻障層及其他層之前提高多晶陶瓷芯表面的平坦度。

【0078】 第 6 A 圖為圖示依據本發明之一實施例的多晶陶瓷芯和平坦化材料之簡化示意圖。將多晶陶瓷芯 110 圖示為 A1N 基板。在多晶陶瓷芯的一側或更多側上形成黏合促進層 610，並在黏合促進層 610 上沉積平坦化材料 620（例如 PECVD 氧化物填充層）。黏合促進層可以是如本文所討論的 TEOS 氧化物，例如 100 Å 至 1,000 Å 的 TEOS 氧化物或其他適當的材料。平坦化材料 620 可以是氧化物、氮化物、旋塗玻璃（SOG）、或其他適當的材料。在平坦化材料良好黏附於多晶陶瓷芯的一些實施例中，移除黏合促進層。選擇平坦化材料的厚度以對存在於多晶陶瓷芯中的空隙和表面特徵提供填充，並且厚度可以在幾微米的數量級上。所屬技術領域中具有通常知識者將認識到許多的變化、修改及替代。

【0079】 第 6 B 圖為圖示依據本發明之一實施例在 CMP 製程之後的多晶陶瓷芯和平坦化材料之簡化示意圖。在沉積平坦化材料 620 之後使用 CMP 製程，其中多

晶陶瓷芯 110 (AlN 基板) 是 CMP 終止層，從而拋除平坦化材料的過多負載。如第 6B 圖所圖示，存在多晶陶瓷芯材料作為 CMP 終止層導致空隙外的平坦化材料量 (例如僅有 50 Å - 100 Å) 可忽略。氧化物或其他隔熱材料的此種量減少可提高完成的基板結構及在該基板結構上製造的最終元件之導熱度。由於多晶陶瓷芯具有高的導熱度，所以減小氧化物或其他隔熱層的厚度會對整體熱效能有重大的影響。在一些實施例中，在 CMP 製程完成之後沉積薄的介電質層 (例如氧化物或氮化物)。

【0080】 第 6C 圖為圖示依據本發明之一實施例被包封在阻障殼中的平坦化多晶陶瓷芯之簡化示意圖。沉積阻障層 630 (例如氮化矽)，而且如第 6C 圖所示，阻障層 630 包封多晶陶瓷芯 110 並且可以由一種或更多種材料製成，包括 Si₃N₄、氮氧化物、類金剛石碳 (DLC)、其他適當的材料、上述之組合、及類似物。在一實施例中，利用 LPCVD 製程或適當的爐製程來完全包封多晶陶瓷芯。

【0081】 在多晶陶瓷芯周圍形成阻障層 630，例如氮化矽層。在一實施例中，阻障層是厚度在 2,000 Å 至 5,000 Å 的數量級上的氮化矽層。在一些實施例中，阻障層完全包圍多晶陶瓷芯以形成完全包封的結構。除了氮化矽層之外，可以使用非晶形材料 (包括 SiCN、SiON、AlN、SiC 等) 作為阻障層。在一些實施方案中，阻障層 630 由被建造以形成阻障層的數個子層組成。因此，用語阻障層

無意表示單層或單一材料，而是涵括以複合方式分層的一種或更多種材料。所屬技術領域中具有通常知識者將認識到許多的變化、修改及替代。

【0082】 在一些實施例中，阻障層630（例如氮化矽層）防止存在於多晶陶瓷芯內的元素（例如鉕（元素）、鉕氧化物（即氧化鉕）、氧、金屬雜質、其他微量元素等）擴散及/或出氣進入其中可能存在工程基板的半導體處理腔室的環境中，例如在高溫（例如1,000 °C）磊晶生長製程期間。利用本文所述的包封層，可以在半導體製程流程和潔淨室環境中使用陶瓷材料，包括為非潔淨室環境設計的多晶AlN。

【0083】 第6D圖為圖示依據本發明之一實施例被包封在具有剝離的單晶矽層的阻障殼中的平坦化多晶陶瓷芯之簡化示意圖。在阻障層630（例如氮化矽層）上形成剝離層640（例如單晶矽層）。可以改變剝離層640的厚度來滿足各種應用的規格。此外，可以改變剝離層640的晶體方向來滿足應用的規格。另外，可以改變剝離層中的摻雜水平和分佈來滿足特定應用的規格。剝離的單晶矽層（例如剝離的Si(111)）適用於在磊晶生長製程期間用作生長層，用於磊晶材料的形成。在一些實施例中，磊晶材料可以包括厚度2 μm至10 μm的GaN層，GaN層可被用作光電子、RF及功率元件中使用的複數個層中的一個層。儘管第6D圖中圖示出單晶矽層，但依據本發明的實施例可以使用其他的實質單晶層。

【0084】 第6E圖為圖示依據本發明之一實施例被包封在頂部具有沉積氧化物和剝離的單晶矽層的阻障殼中的平坦化多晶陶瓷芯之簡化示意圖。在此實施例中，氧化物層642（例如氧化矽層）被沉積在阻障層630上。氧化物層642可以充當阻障層630與剝離層640之間的結合界面，剝離層640可以是單晶矽層。依據一些實施例，氧化物層可以具有幾百埃的厚度。儘管第6E圖中圖示出單晶矽層，但依據本發明的實施例可以使用其他的實質單晶層。

【0085】 第6F圖為圖示依據本發明之一實施例在包封和平坦化的多晶陶瓷芯上形成工程層之簡化示意圖。第6F圖圖示沉積導電層650用於夾持，包括金屬層（例如W、Ti、或類似物）、多晶矽層、上述之組合、或類似物。除了導電層之外，可以沉積熱管理層652（例如DLC、SiON、氮化矽、或類似物）以在基板各處提供高熱導率。

【0086】 儘管在第6F圖中僅將阻障層630圖示為包封多晶陶瓷芯，但此舉並非本發明所要求的。可以將其他層形成為殼，包括導電層和熱管理層。在一些實施方案中，將導電層650形成在基板結構適於夾持的底部或背側651上，並將熱管理層形成在基板結構的頂部或前側上，以橫向傳導元件中產生的熱。因此，無論是否將層形成為包封殼，依據本發明的實施例，可以相對於多晶陶瓷芯改

變層的位置。另外，可以插入適於特定應用的黏合促進層和其他適當的層。

【0087】 第6G圖為圖示依據本發明之一實施例在包封和平坦化的多晶陶瓷芯上的工程層之頂部上的剝離Si層654之簡化示意圖。可以改變剝離層654的厚度來滿足各種應用的規格。此外，可以改變剝離層的晶體方向來滿足應用的規格。另外，可以改變剝離層中的摻雜水平和分佈來滿足特定應用的規格。作為實例，剝離的單晶矽層（例如剝離的Si（111））適用於在磊晶生長製程期間用作生長層用於形成磊晶材料。在一些實施例中，磊晶材料（未圖示）可以包括厚度2 μm 至10 μm 的GaN層，GaN層可被用作光電子、RF及功率元件中使用的複數個層中的一個層。儘管第6G圖中圖示出單晶矽層，但依據本發明的實施例可以使用其他的實質單晶層。

【0088】 第6H圖為圖示依據本發明之一實施例在包封和平坦化的多晶陶瓷芯上的工程層上形成結合層660之簡化示意圖。為了在第6F圖圖示的工程層（例如導電層650和熱管理層652）不適於結合的情況下提供適當的結合表面，可以沉積氧化矽層（例如10 nm-20 nm的PECVD氧化物）、其他介電質、或其他適當的結合材料作為結合層660來促進結合。或者，氧化物可以在施體晶圓上。

【0089】 應當注意的是，第6H圖圖示的層可以以幾種方式進行修改，包括沉積的順序（例如導電/熱/結合或熱

/導電/結合)，可以在沉積一個或更多個導電層和熱層之後形成阻障殼等等。在一些實施例中，從基板結構移除一個或更多個層。此外，每個層皆可包括子層。儘管僅將導電層和熱層圖示在基板的一側上，但也可以將彼等形成在其他側上，取決於特定的應用。所屬技術領域中具有通常知識者將認識到許多的變化、修改及替代。

【0090】 第6I圖為圖示依據本發明之一實施例在包封和平坦化多晶陶瓷芯上的工程層上形成結合層660且頂部上具有剝離層670（例如Si）之簡化示意圖。可以改變剝離層的厚度來滿足各種應用的規格。此外，可以改變剝離層670的晶體方向來滿足應用的規格。另外，可以改變剝離層中的摻雜水平和分佈來滿足特定應用的規格。剝離的單晶矽層（例如剝離的Si（111））適用於在磊晶生長製程期間用作生長層用於形成磊晶材料。在一些實施例中，磊晶材料（未圖示）可以包括厚度2 μm至10 μm的GaN層，GaN層可被用作光電子、RF及功率元件中使用的複數個層中的一個層。儘管第6I圖中圖示出單晶矽層，但依據本發明的實施例可以使用其他的實質單晶層。

【0091】 還應當理解的是，本文描述的實例和實施例僅用於說明的目的，而且鑒於該等實例和實施例，各種修改或變化將是所屬技術領域中具有通常知識之人士可聯想到的，而且將被包括在本申請的精神和範圍及所附申請專利範圍的範疇內。

【符號說明】

【 0 0 9 2 】

1 1 0 芯

1 1 2 黏 合 層

1 1 4 導 電 層

1 1 6 第 二 黏 合 層

1 1 8 阻 障 層

1 2 0 結 合 層

1 2 1 頂 部 表 面

1 2 5 實 質 單 晶 層

1 5 0 方 法

3 0 5 填 充 區 域

3 1 0 頂 部 表 面

3 2 0 結 合 層

4 1 0 工 程 層

5 1 0 剝 離 層 / 實 質 單 晶 層

6 1 0 黏 合 促 進 層

6 2 0 平 坦 化 材 料

6 3 0 阻 障 層

6 4 0 剝 離 層

6 4 2 氧 化 物 層

6 5 0 導 電 層

6 5 1 底 部 或 背 側

6 5 2 熱 管 理 層

6 5 4 剝 離 S i 層 / 剝 離 層

6 6 0 結 合 層

6 7 0 剝 離 層

7 0 5 平 坦 化 層

7 1 0 磊 晶 層

【生物材料寄存】

【 0 0 9 3 】 國內寄存資訊 (請依寄存機構、日期、號碼順序註記)

無

【 0 0 9 4 】 國外寄存資訊 (請依寄存國家、機構、日期、號碼順序註

記)

無

【發明申請專利範圍】

【請求項1】 一種製造基板結構之方法，該方法包含：

提供一陶瓷基板，該陶瓷基板具有一前表面，該前表面之特徵在於複數個空隙，該陶瓷基板包含一多晶材料；

將該陶瓷基板包封於一阻障層內，該阻障層界定對應於該複數個空隙之複數個谷；

形成一結合層，該結合層包含一結合層材料且在該陶瓷基板的該前表面上耦接至該阻障層；

移除該結合層之一部分，以暴露該阻障層之至少一部分並界定複數個填充區域，該等填充區域係由對應於該複數個空隙之複數個谷中的結合層材料所填充；
以及

於被暴露的該阻障層之該至少一部分與該複數個填充區域上沉積一第二結合層。

【請求項2】 如請求項1所述之方法，其中該陶瓷基板包含多晶氮化鋁。

【請求項3】 如請求項1所述之方法，其中移除該結合層之該部分的步驟包含一化學機械拋光(CMP)製程。

【請求項4】 如請求項1所述之方法，其中該阻障層包含氮化矽。

【請求項5】 如請求項1所述之方法，其中該陶瓷基板

的該前表面之特徵在於在 50-600 nm 範圍內的一 RMS 粗糙度，且該第二結合層之特徵在於在 0.5-5 nm 範圍內的一 RMS 粗糙度。

【請求項 6】 如請求項 1 所述之方法，其中該結合層包含氧化矽，且該第二結合層包含厚度介於 100 nm 與 1,000 nm 之間的一氧化矽層。

【請求項 7】 如請求項 1 所述之方法，進一步包含在移除該結合層之一部分之後，形成一第二阻障殼，該第二阻障殼包封被暴露的該阻障層及該複數個填充區域。

【請求項 8】 如請求項 1 所述之方法，進一步包含：

將一實質單晶層結合於該第二結合層，其中該實質單晶層之特徵在於一第一表面粗糙度；

處理該實質單晶層以形成一生長表面，該生長表面之特徵在於一第二表面粗糙度，該第二表面粗糙度小於該第一表面粗糙度；以及

形成一磊晶層，該磊晶層係耦接至該生長表面。

【請求項 9】 一種製造基板結構之方法，該方法包含：

提供一陶瓷基板，該陶瓷基板具有一前表面，該前表面之特徵在於複數個峰，該陶瓷基板包含一多晶材料；

形成一結合層，該結合層包含一結合層材料且耦接

至該陶瓷基板的該前表面；

進行一化學機械拋光（CMP）製程來移除該結合層之一部分，以暴露該陶瓷基板的該前表面之至少一部分並界定複數個填充區域，該等填充區域係由位於該陶瓷基板之該前表面上的複數個峰的相鄰峰之間的結合層材料所填充；以及

將該陶瓷基板包封於一阻障層內。

【請求項10】如請求項9所述之方法，進一步包含於該陶瓷基板之該前表面與該結合層之間沉積一黏合促進層。

【請求項11】如請求項9所述之方法，其中該陶瓷基板包含多晶氮化鋁。

【請求項12】如請求項9所述之方法，進一步包含沉積一導電層，該導電層係耦接至該阻障層之至少一部分。

【請求項13】如請求項9所述之方法，進一步包含沉積一導熱層，該導熱層係耦接至該阻障層之至少一部分。

【請求項14】一種製造基板結構之方法，該方法包含：

提供一陶瓷基板，該陶瓷基板具有一前表面，該前表面之特徵在於複數個空隙，該陶瓷基板包含一多晶材料；

形成一結合層，該結合層包含一結合層材料且耦接至該陶瓷基板的該前表面；

移除該結合層之一部分，以暴露該陶瓷基板的該前表面之至少一部分並界定複數個填充區域，該等填充區域係由該複數個空隙中的結合層材料所填充；

將該陶瓷基板與該結合層包封於一阻障層內；以及
形成一實質單晶氧化鎵層，該實質單晶氧化鎵層係耦接至該阻障層。

【請求項15】如請求項14所述之方法，進一步包含：

在形成該結合層之前，形成耦接至該陶瓷基板的該前表面之一黏合層；且

其中該結合層係透過該黏合層耦接至該陶瓷基板的該前表面。

【請求項16】如請求項14所述之方法，其中該陶瓷基板包含氮化鋁。

【請求項17】如請求項14所述之方法，其中該阻障層包含氮化矽。

【請求項18】如請求項14所述之方法，其中該實質單晶氧化鎵層包含一剝離單晶氧化鎵層。

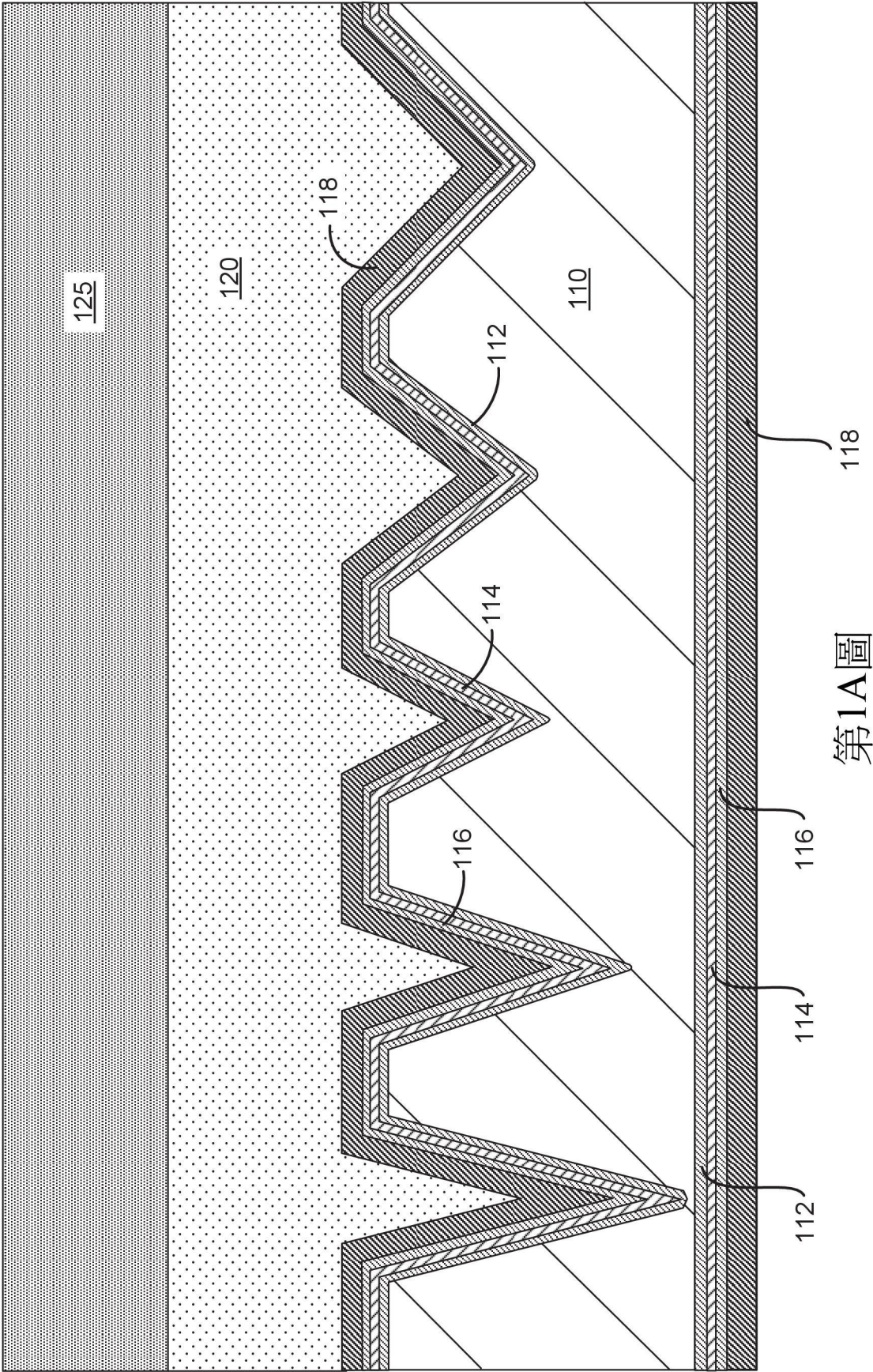
【請求項19】如請求項14所述之方法，進一步包含：

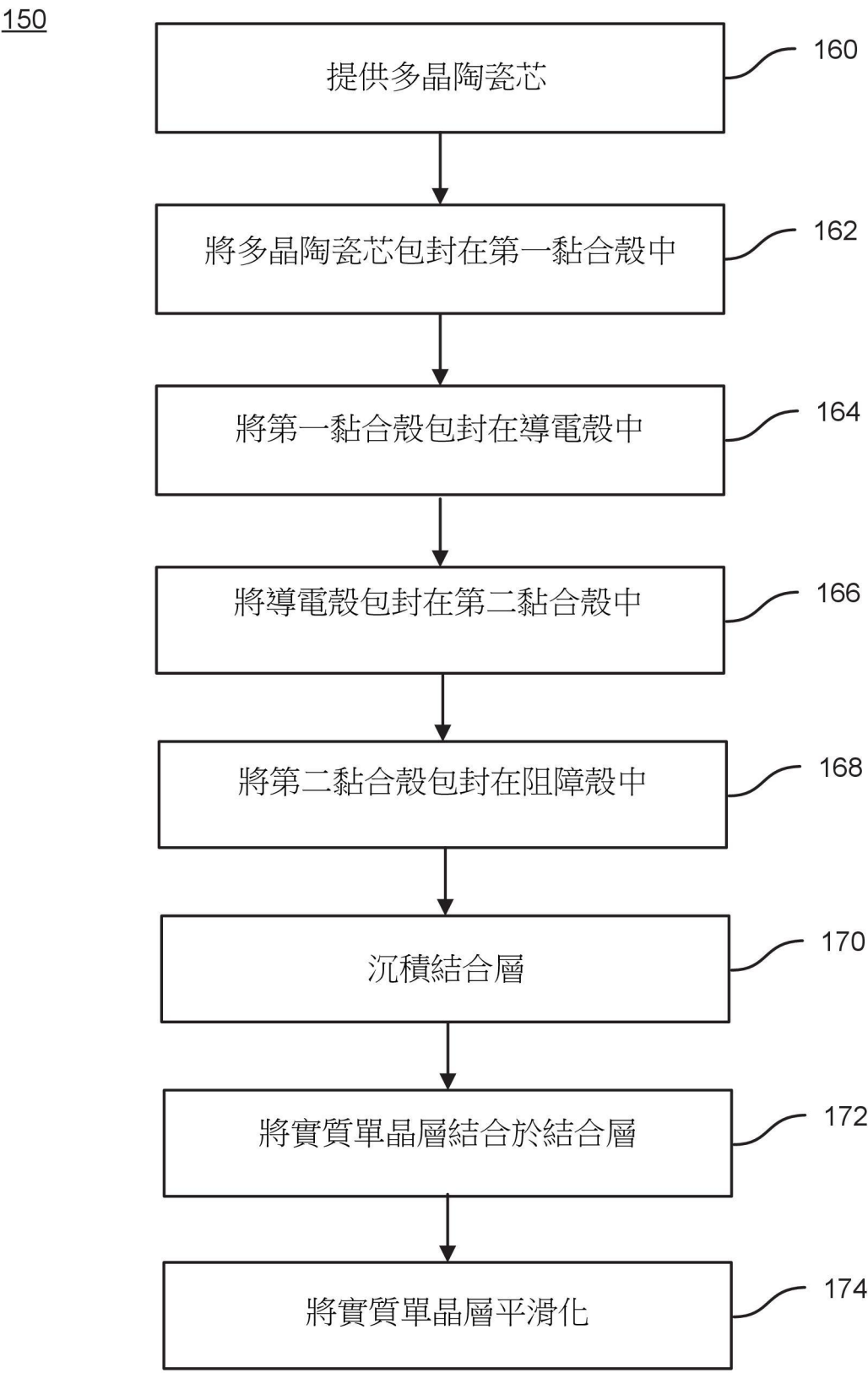
一磊晶層，該磊晶層係耦接至實質單晶氧化鎵層。

【請求項20】如請求項19所述之方法，其中該磊晶層包

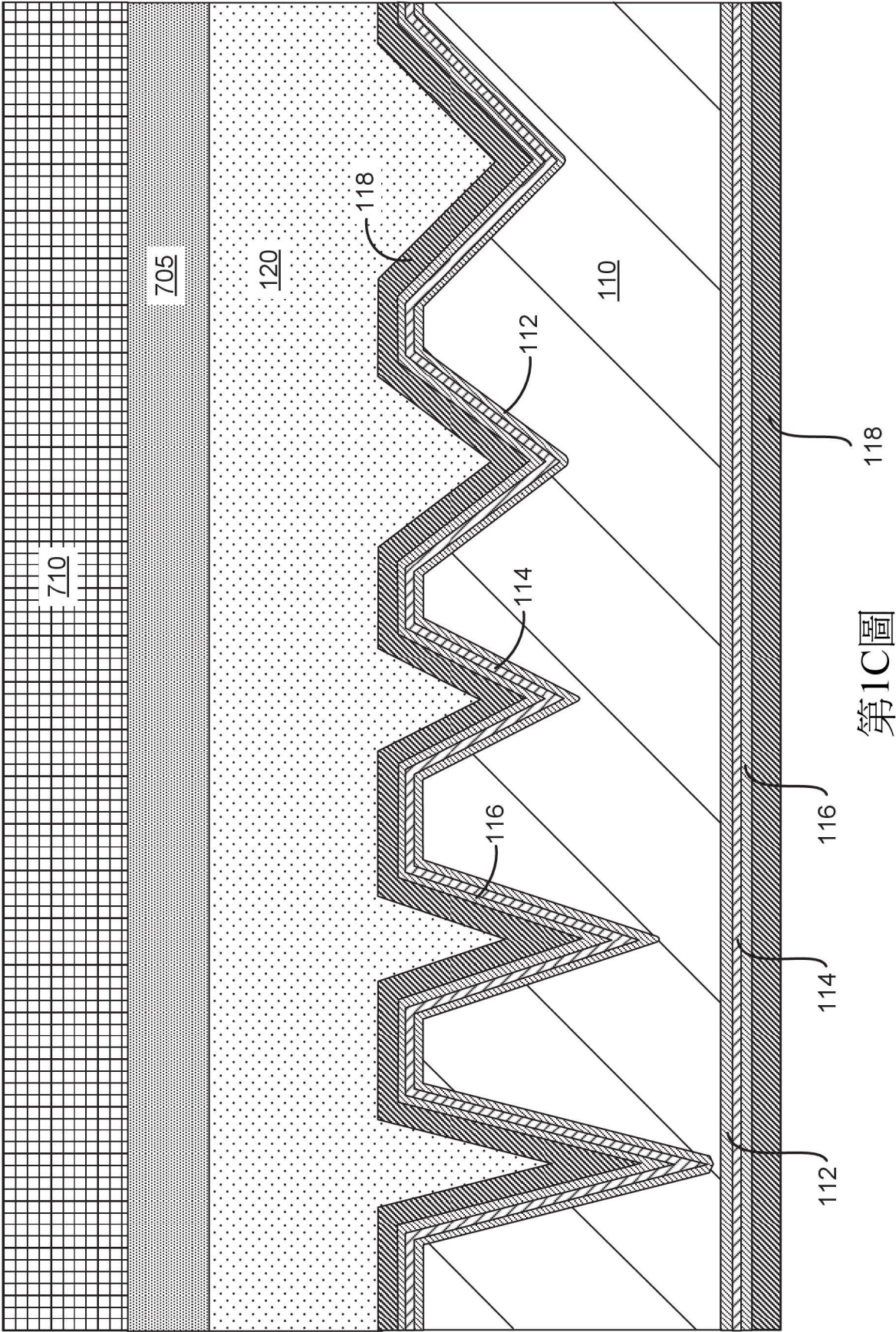
含一磊晶 III-V 層。

【發明圖式】

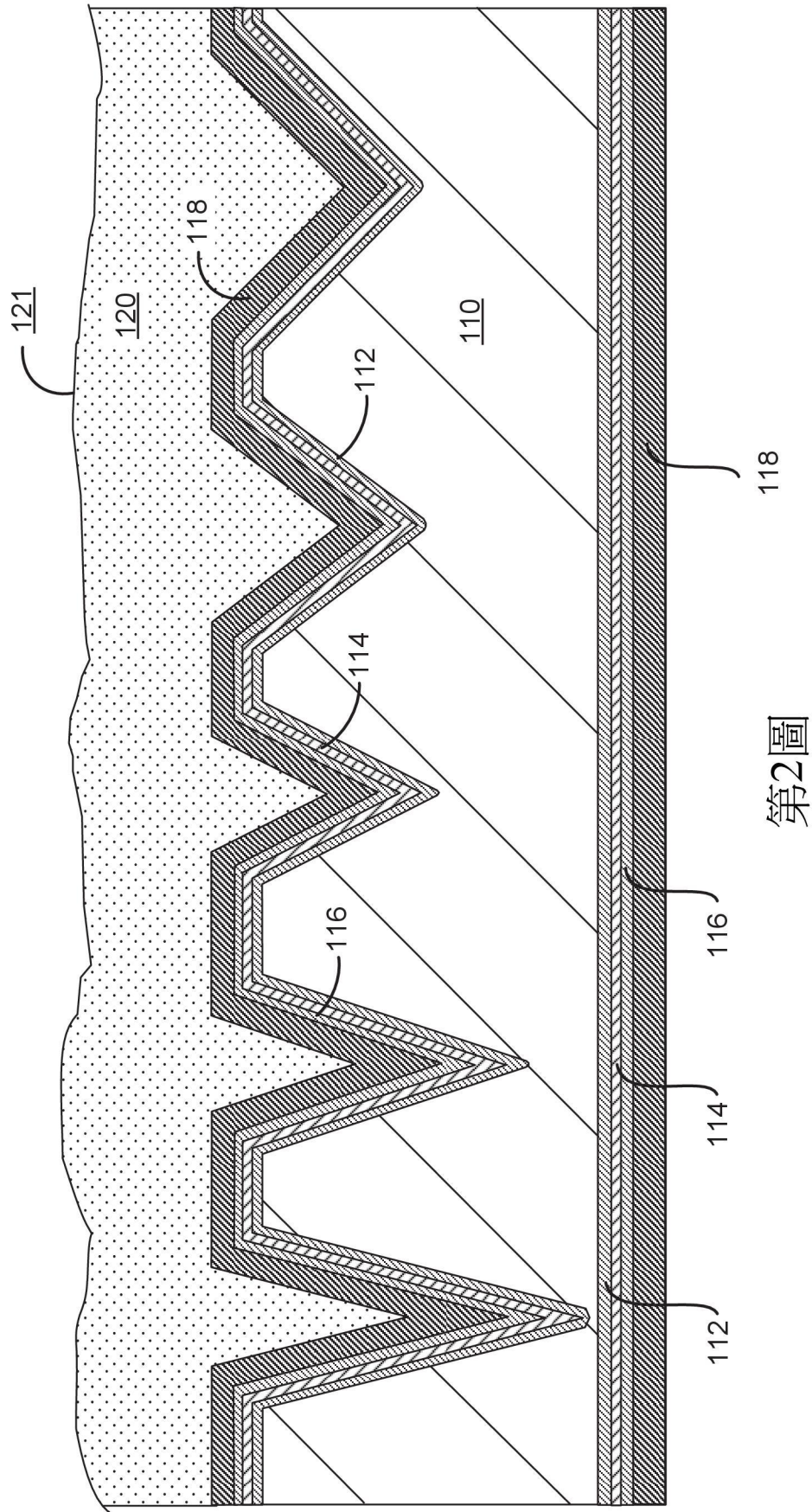




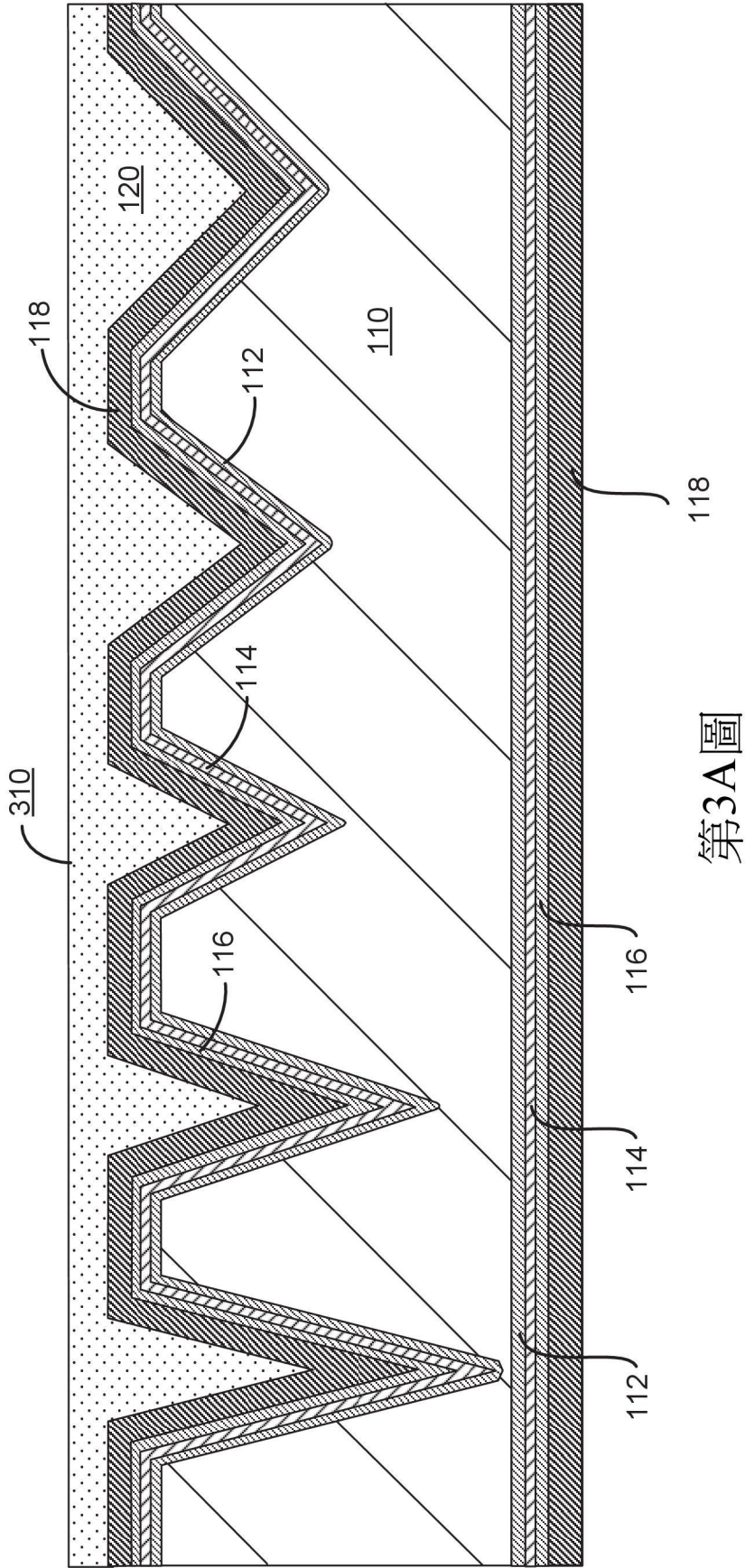
第1B圖



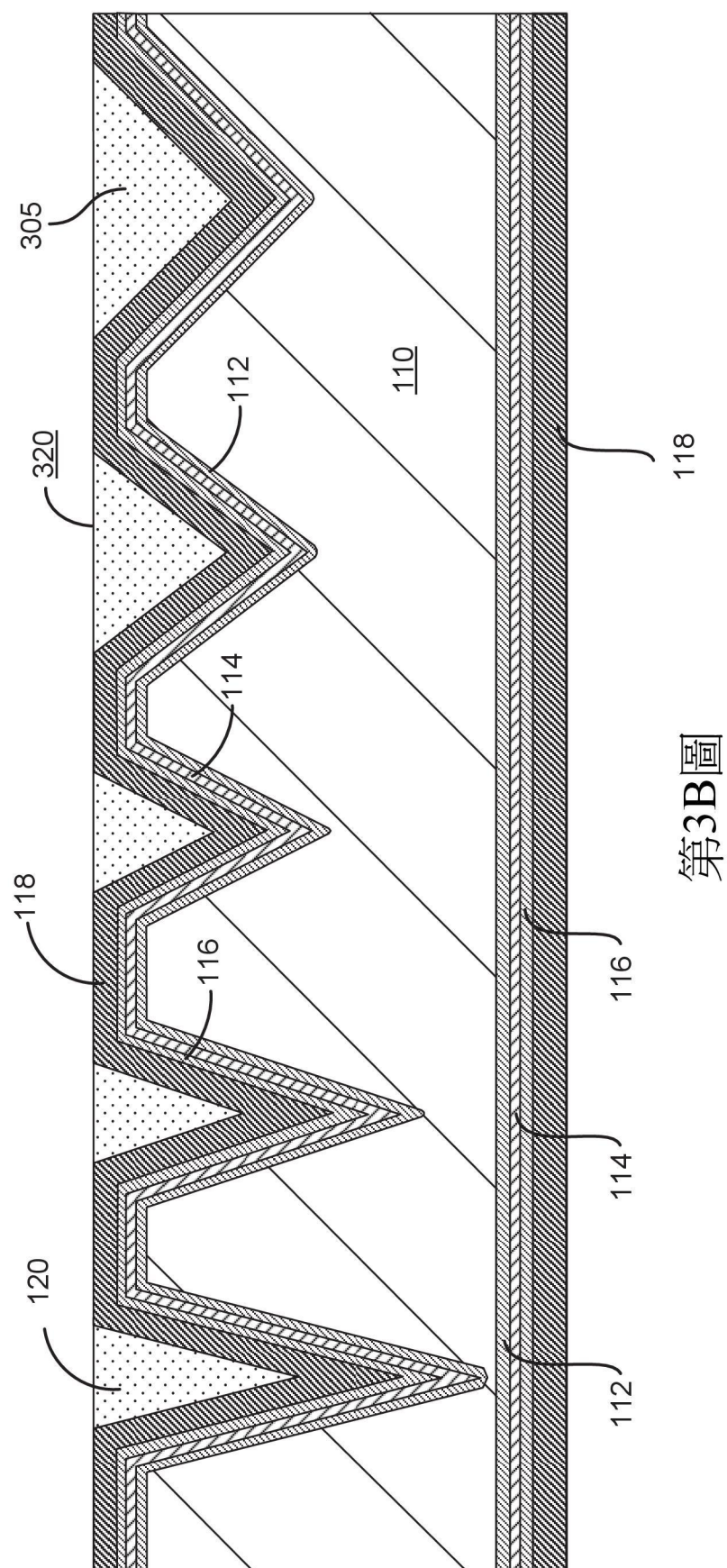
第1C圖

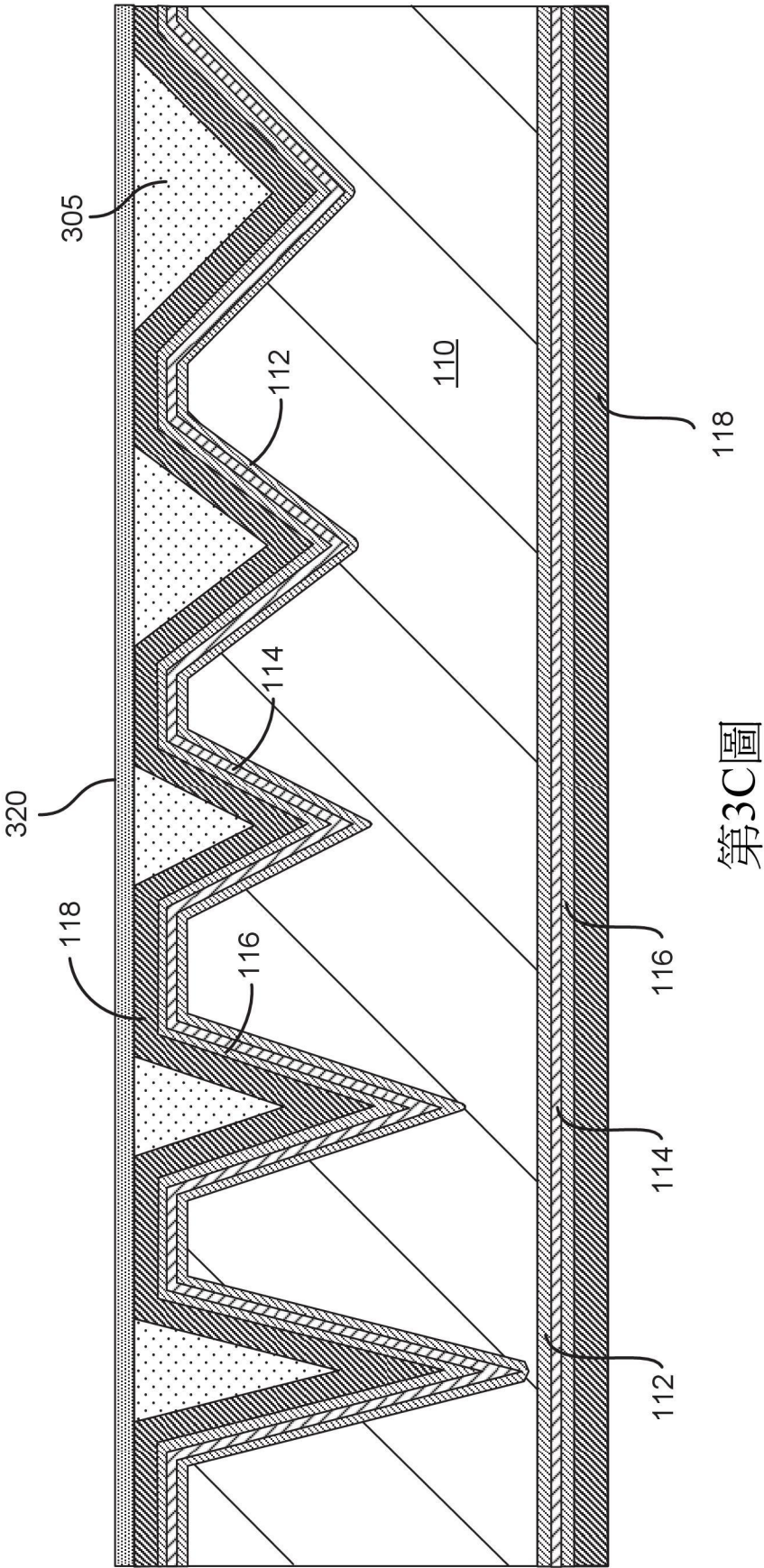


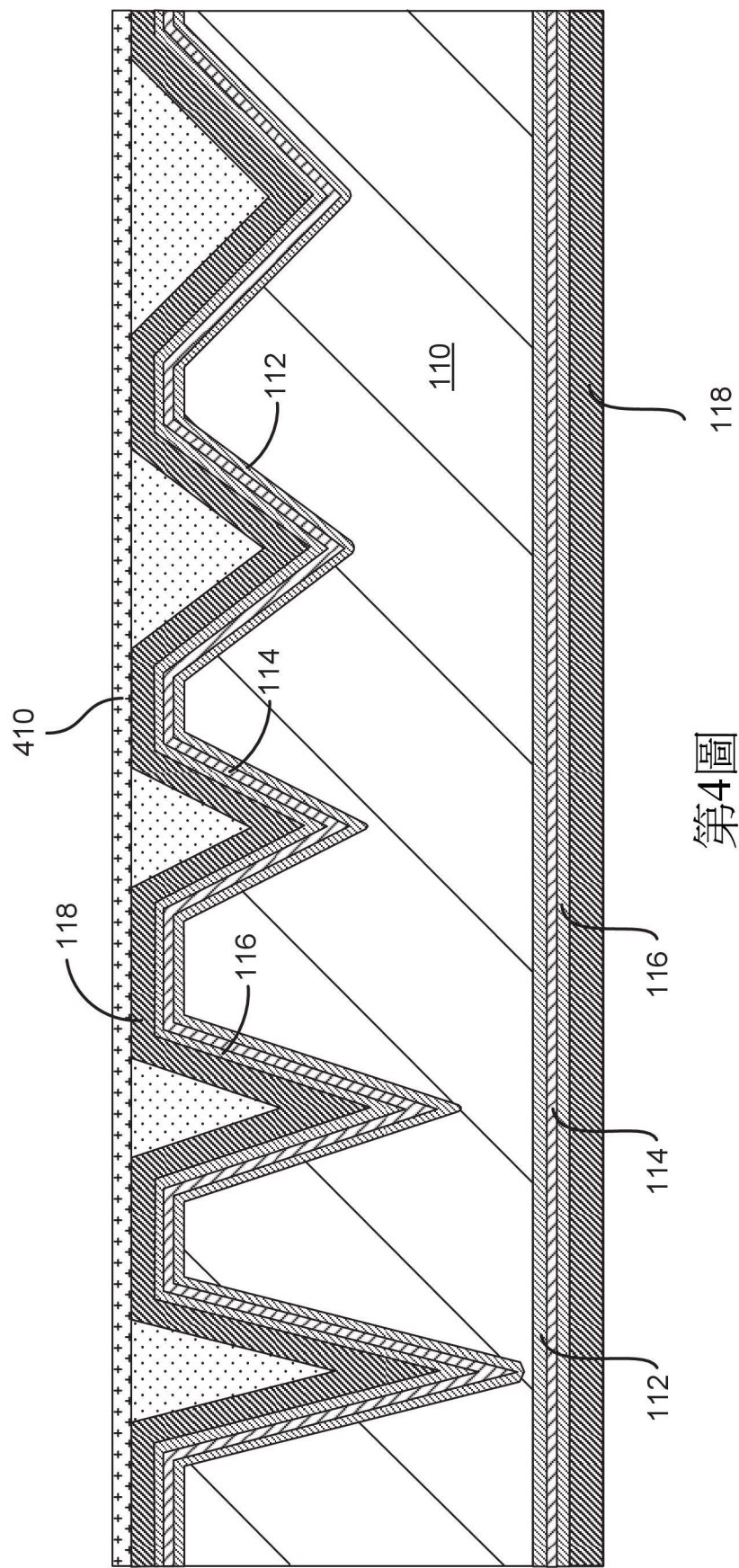
第2圖

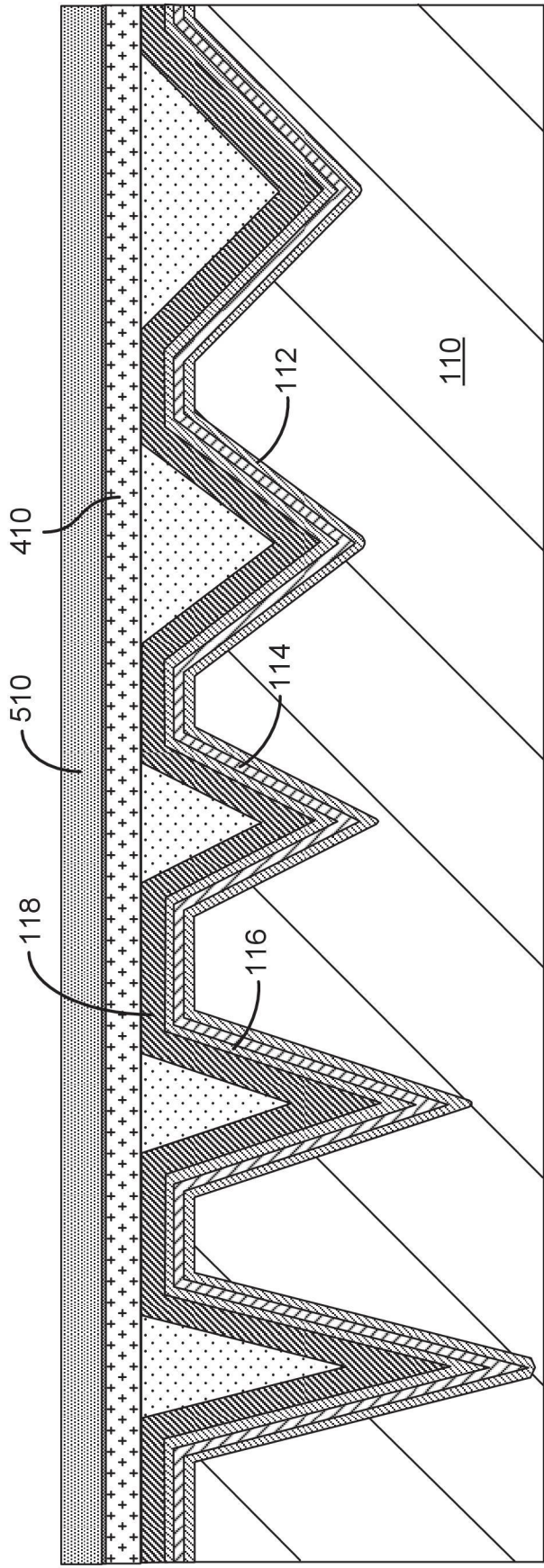


第3A圖

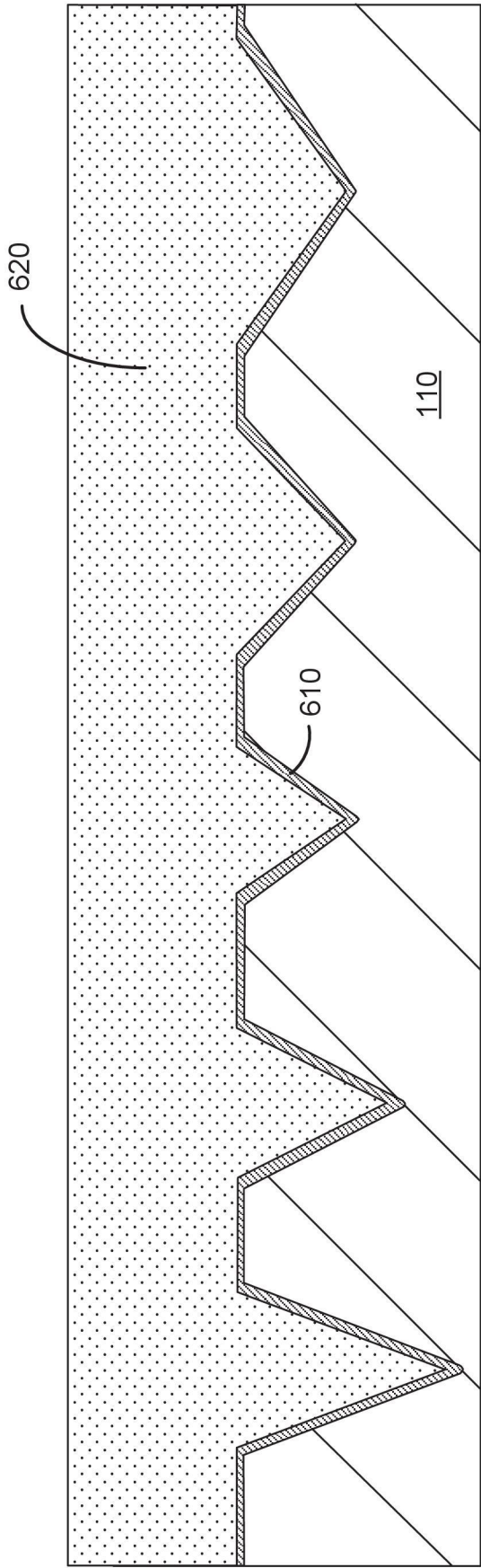




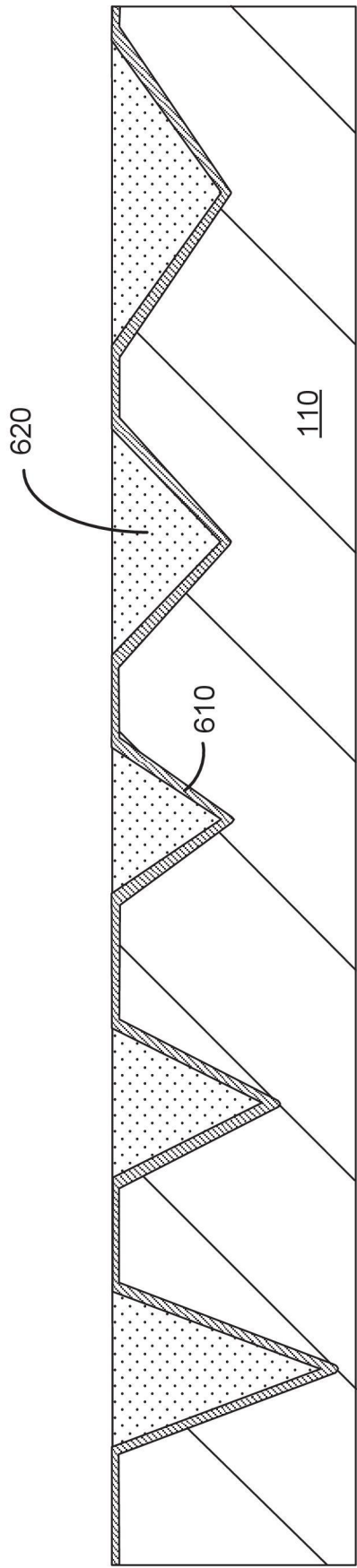




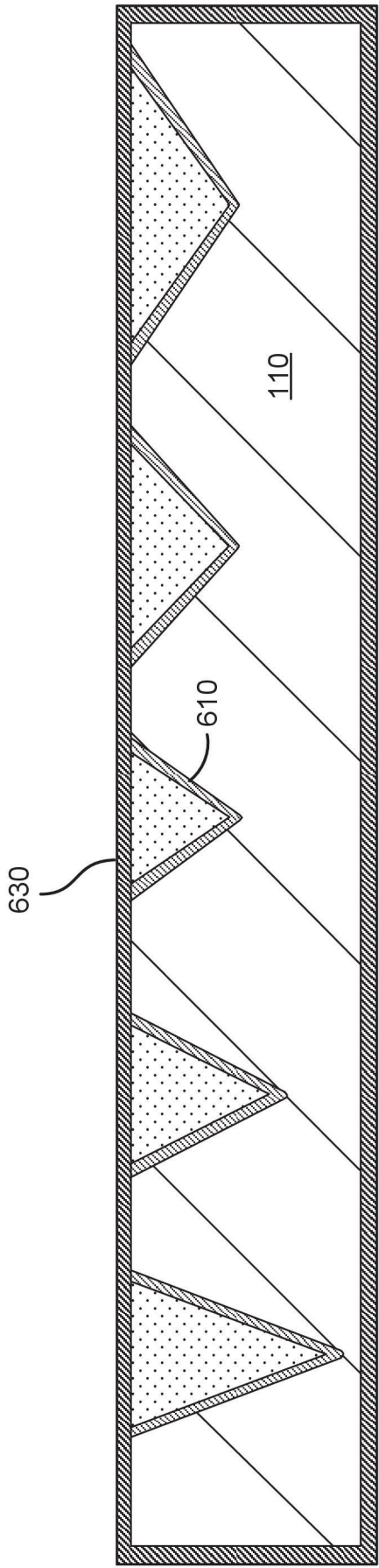
第5圖



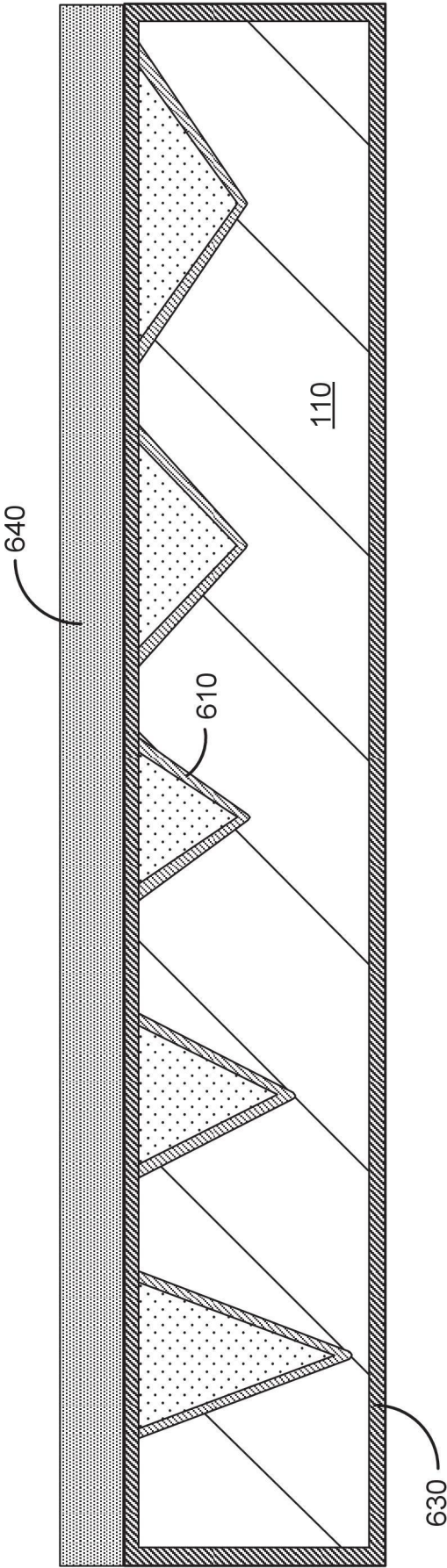
第6A圖



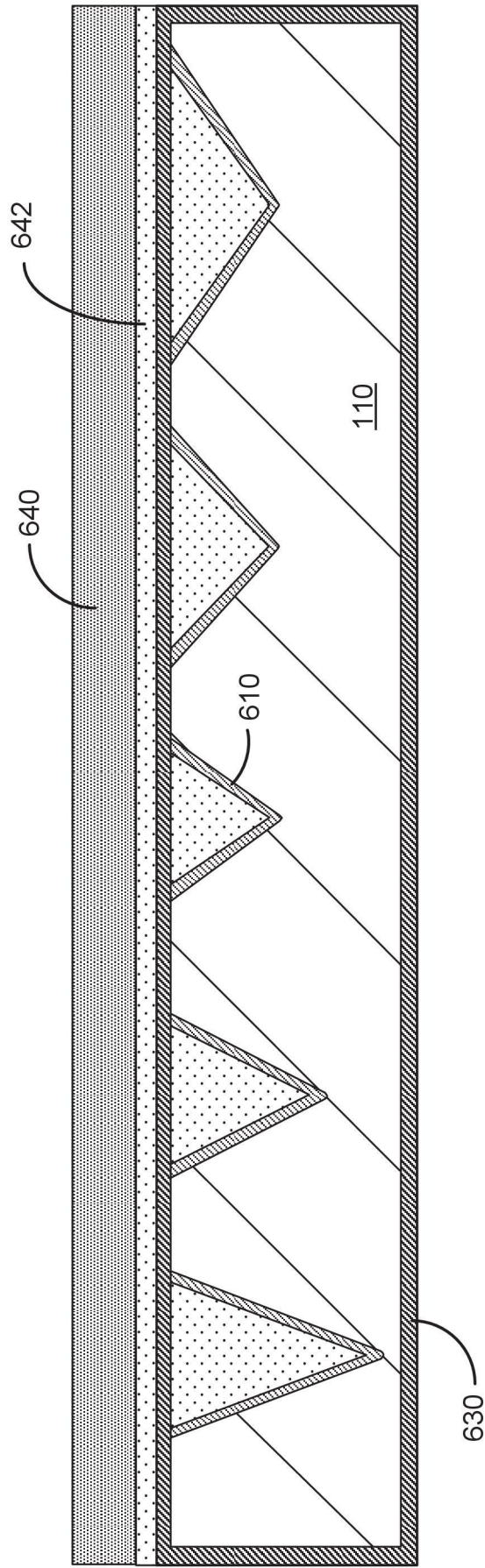
第6B圖



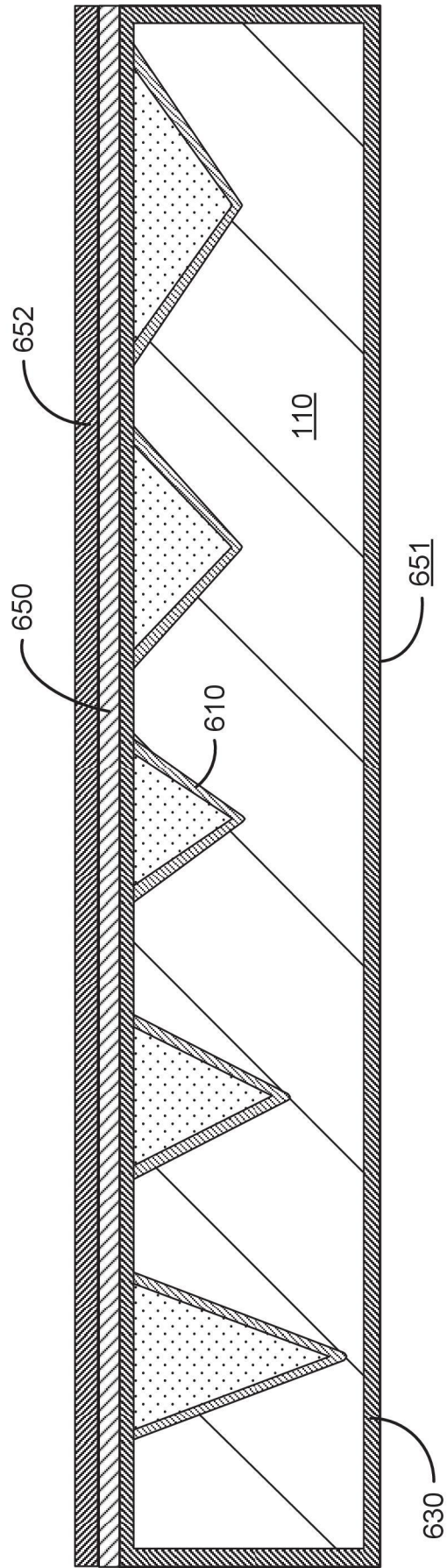
第6C圖



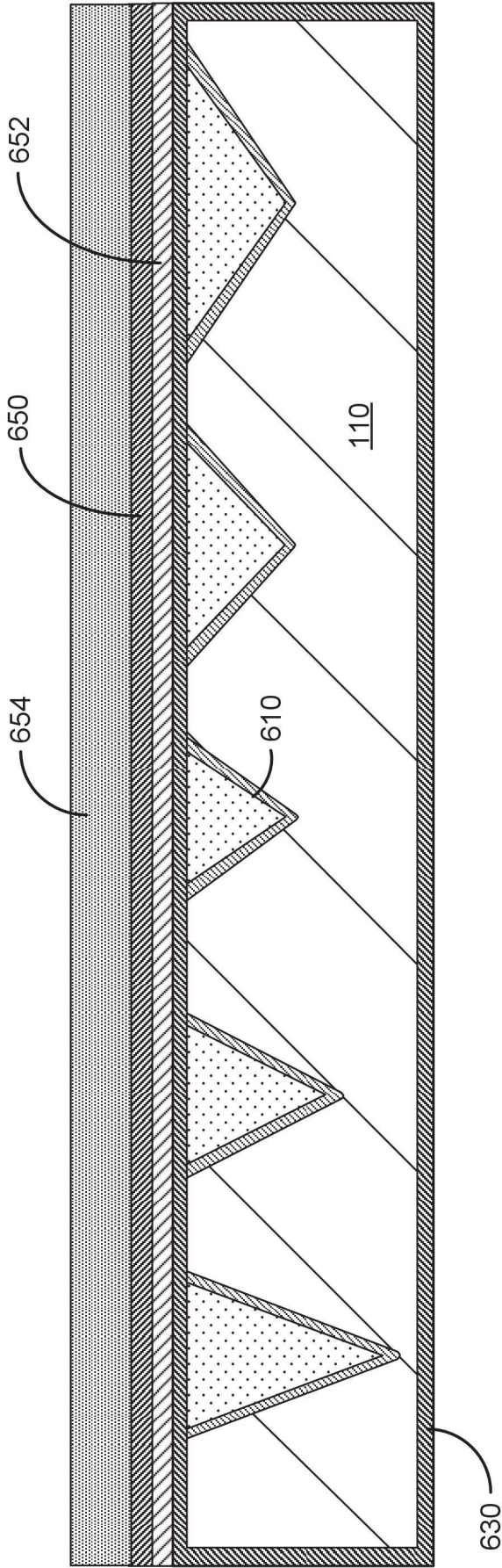
第6D圖



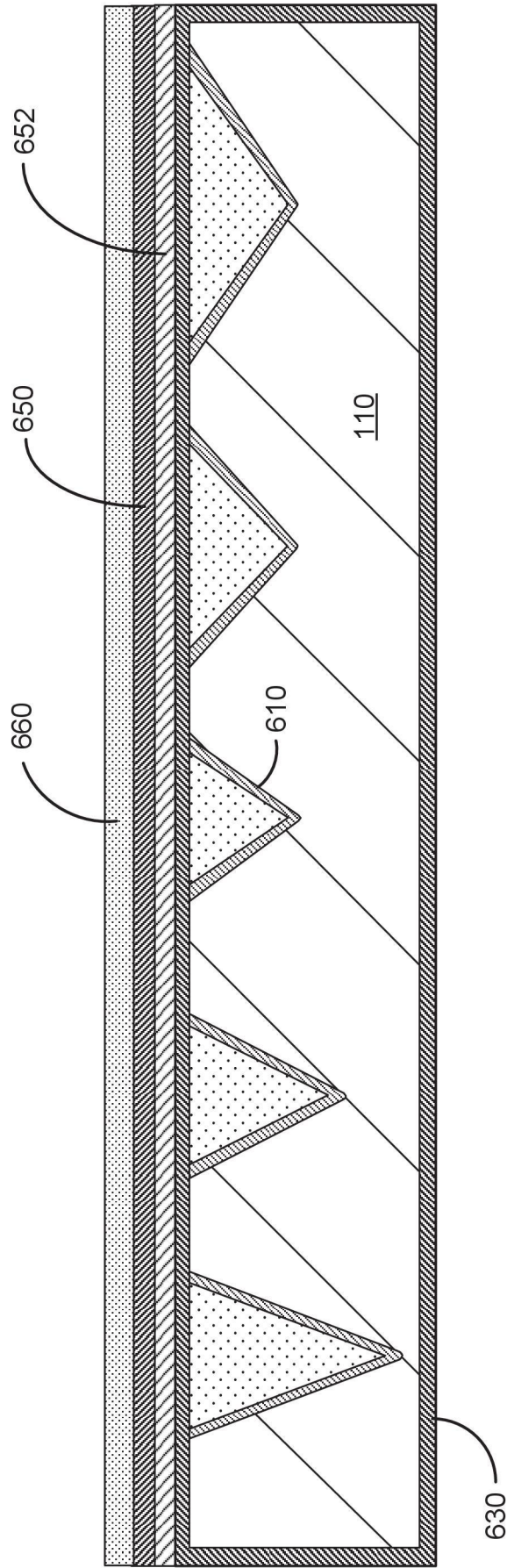
第6E圖



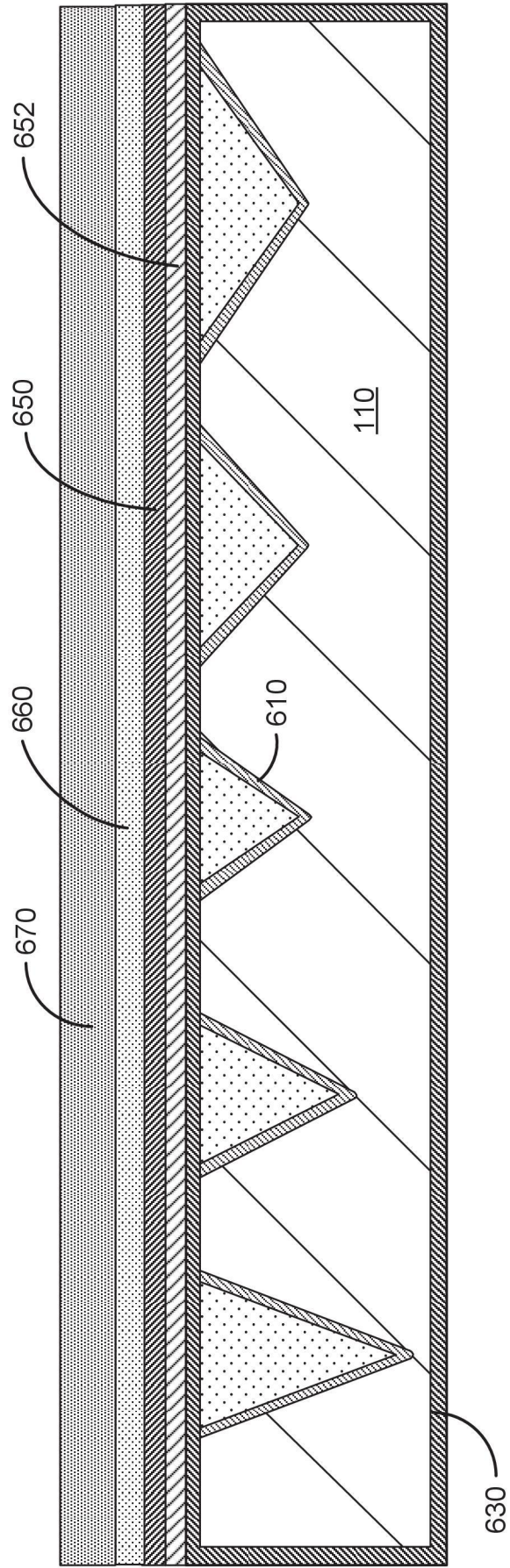
第6F圖



第6G圖



第6H圖



第6I圖