

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 11 月 17 日 (17.11.2016)



(10) 国际公布号
WO 2016/179853 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01) G06F 3/041 (2006.01)
H01L 21/77 (2006.01)
- (21) 国际申请号: PCT/CN2015/079661
- (22) 国际申请日: 2015 年 5 月 25 日 (25.05.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510233736.8 2015 年 5 月 8 日 (08.05.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (72) 发明人: 虞晓江 (YU, Xiaojang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。杜海波 (DU, Haibo); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: ARRAY SUBSTRATE STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 阵列基板结构及其制作方法

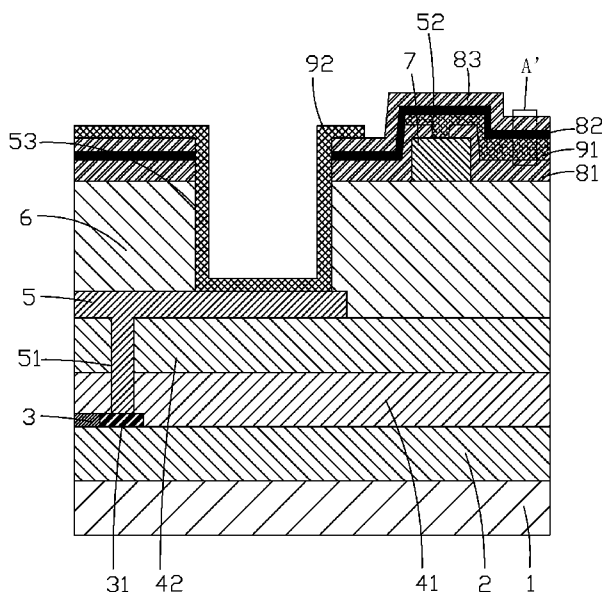


图3

(57) Abstract: An array substrate structure and a manufacturing method therefor. In the method, after a common electrode (91) is formed and before a second insulating layer (83) is deposited, an anti-reduction layer (82) is formed on the common electrode (91), such that the film quality of the common electrode (91) is prevented from being changed by a reducing atmosphere generated in a process of directly depositing the second insulating layer (83) on the common electrode (91), influence on the penetration rate of the common electrode (91) caused in the process of depositing the second insulating layer (83) on the common electrode (91) is reduced, it is ensured that the common electrode (91) has a relatively high penetration rate, and the display effect is improved.

(57) 摘要: 一种阵列基板结构及其制作方法, 该方法通过在形成公共电极(91)后, 沉积第二绝缘层(83)前, 在公共电极(91)上形成一抗还原层(82), 避免了在公共电极(91)上直接沉积第二绝缘层(83)的过程中, 产生的还原性气氛改变公共电极(91)的膜层质量, 减少了在公共电极(91)上沉积第二绝缘层(83)时对公共电极(91)透过率的影响, 保证了公共电极(91)具有较高的透过率, 提升了显示效果。



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

阵列基板结构及其制作方法

技术领域

本发明涉及显示技术领域，尤其涉及一种阵列基板结构及其制作方法。

5

背景技术

触摸屏显示器（Touch Screen）可以让使用者只要用手指轻轻地碰计算机显示屏上的图符或文字就能实现对主机操作，这样摆脱了键盘和鼠标操作，使人机交互更为直截了当。主要应用于公共场所大厅信息查询、领导办公、电子游戏、点歌点菜、多媒体教学、机票、火车票预售等。产品主要分为电容式触控屏、电阻式触控屏和表面声波触摸屏三类。

阵列基板（Array substrate）是触控显示面板中的重要组成部分。

请参阅图 1，为一种现有的用于触控显示面板的阵列基板结构的剖面示意图。所述阵列基板包括基板 100、设于所述基板 100 上的缓冲层 200、设于所述缓冲层 200 上的半导体层 300、设于所述缓冲层 200 与半导体层 300 上的栅极绝缘层 410、设于所述栅极绝缘层 410 上的层间介电层 420、设于所述层间介电层 420 上的源/漏极 500、设于所述源/漏极 500 与层间介电层 420 上的平坦层 600、设于所述平坦层 600 上的第二金属层 700、设于所述第二金属层 700 与平坦层 600 上的第一绝缘层 810、设于所述第一绝缘层 810 上的公共电极 910、设于所述公共电极 910 与第一绝缘层 810 上的第二绝缘层 820、及设于所述第二绝缘层 820 上的像素电极 920；

所述栅极绝缘层 410、及层间介电层 420 上对应所述半导体层 300 上方设有第一过孔 510，所述第一绝缘层 810 上对应所述第二金属层 700 上方设有第二过孔 520，所述平坦层 600、第一绝缘层 810、及第二绝缘层 820 上对应所述源/漏极 500 上方设有第三过孔 530；

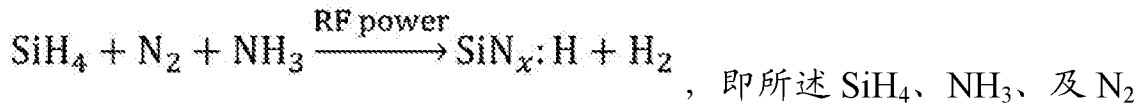
所述半导体层 300 上设有源/漏极接触区 310，所述源/漏极 500 经由所述第一过孔 510 与所述半导体层 300 的源/漏极接触区 310 相接触，所述公共电极 910 经由所述第二过孔 520 与所述第二金属层 700 相接触，所述像素电极 920 经由所述第三过孔 530 与所述源/漏极 500 相接触。

其中，所述第二金属层 700 用于连接触控感应电极。

具体的，所述第二绝缘层 820 的材料为 SiN_x ，所述公共电极 910 的材料为 ITO（氧化铟锡）。

具体的，通过等离子体增强化学气相沉积法来制备所述第二绝缘层 820

(SiN_x 层), 其反应原理如下:



在射频电源 (RF power, radio frequency power) 产生的电磁场作用下反应生成 $\text{SiN}_x\text{:H}$ 及 H_2 , 反应产生的 H_2 气氛具有还原性, 很容易使得所述公共电极 910 的表层区域被还原, 如图 2 所示, 在所述公共电极 910 表面形成一还原 ITO 层 912, 所述还原 ITO 层 912 下方为 ITO 层 914, 由于所述还原 ITO 层 912 的透光性差, 从而使得所述公共电极 910 的整体透光性大大降低, 进而使得触控显示面板的整体光线透过率变低, 影响了面板的显示效果 (如亮度等)。

因此, 有必要提供一种阵列基板结构及其制作方法, 以解决上述问题。

发明内容

本发明的目的在于提供一种阵列基板结构, 公共电极的膜层质量较好, 具有较高的透过率。

本发明的目的还在于提供一种阵列基板结构的制作方法, 可减少在公共电极上沉积绝缘层时对公共电极透过率的影响, 保证公共电极具有较高的透过率, 提升显示效果。

为实现上述目的, 本发明提供一种阵列基板结构, 包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的半导体层、设于所述缓冲层与半导体层上的栅极绝缘层、设于所述栅极绝缘层上的层间介电层、设于所述层间介电层上的源/漏极、设于所述源/漏极与层间介电层上的平坦层、设于所述平坦层上的第二金属层、设于所述第二金属层与平坦层上的第一绝缘层、设于所述第一绝缘层上的公共电极、设于所述公共电极与第一绝缘层上的抗还原层、设于所述抗还原层上的第二绝缘层、及设于所述第二绝缘层上的像素电极;

所述栅极绝缘层、及层间介电层上对应所述半导体层上方设有第一过孔, 所述第一绝缘层上对应所述第二金属层上方设有第二过孔, 所述平坦层、第一绝缘层、抗还原层、及第二绝缘层上对应所述源/漏极上方设有第三过孔;

所述半导体层上设有源/漏极接触区, 所述源/漏极经由所述第一过孔与所述半导体层的源/漏极接触区相接触, 所述公共电极经由所述第二过孔与所述第二金属层相接触, 所述像素电极经由所述第三过孔与所述源/漏极相

接触。

所述抗还原层的材料为成分渐变的 SiN_xO_y , $x \geq 0$, $0 \leq y \leq 2$, 从公共电极至第二绝缘层的方向上, x 从 0 开始逐渐增大, y 从 2 开始逐渐减小至 0。

所述第一绝缘层、及第二绝缘层的材料均为 SiN_x , $x > 0$ 。

5 所述半导体层的源/漏极接触区的材料为 N 型重掺杂硅; 所述公共电极、及像素电极的材料均为 ITO。

本发明还提供一种阵列基板结构, 包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的半导体层、设于所述缓冲层与半导体层上的栅极绝缘层、设于所述栅极绝缘层上的层间介电层、设于所述层间介电层上的源/漏极、设于所述源/漏极与层间介电层上的平坦层、设于所述平坦层上的第二金属层、设于所述第二金属层与平坦层上的第一绝缘层、设于所述第一绝缘层上的公共电极、设于所述公共电极与第一绝缘层上的抗还原层、设于所述抗还原层上的第二绝缘层、及设于所述第二绝缘层上的像素电极;

10 所述栅极绝缘层、及层间介电层上对应所述半导体层上方设有第一过孔, 所述第一绝缘层上对应所述第二金属层上方设有第二过孔, 所述平坦层、第一绝缘层、抗还原层、及第二绝缘层上对应所述源/漏极上方设有第三过孔;

所述半导体层上设有源/漏极接触区, 所述源/漏极经由所述第一过孔与所述半导体层的源/漏极接触区相接触, 所述公共电极经由所述第二过孔与所述第二金属层相接触, 所述像素电极经由所述第三过孔与所述源/漏极相接触;

其中, 所述抗还原层的材料为成分渐变的 SiN_xO_y , $x \geq 0$, $0 \leq y \leq 2$, 从公共电极至第二绝缘层的方向上, x 从 0 开始逐渐增大, y 从 2 开始逐渐减小至 0;

25 其中, 所述第一绝缘层、及第二绝缘层的材料均为 SiN_x , $x > 0$;

其中, 所述半导体层的源/漏极接触区的材料为 N 型重掺杂硅; 所述公共电极、及像素电极的材料均为 ITO。

本发明还提供一种阵列基板结构的制作方法, 其包括如下步骤:

步骤 1、提供基板, 在所述基板上沉积缓冲层;

30 步骤 2、在所述缓冲层上沉积半导体层, 对其进行图案化后, 对所述半导体层上的部分区域进行 N 型重掺杂, 形成设计与源/漏极相接触的源/漏极接触区;

步骤 3、在所述半导体层上依次沉积栅极绝缘层、及层间介电层, 同时对栅极绝缘层、及层间介电层进行图案化, 在所述栅极绝缘层、及层间介

电层上对应所述半导体层的源/漏极接触区上方形成第一过孔；

步骤 4、在所述层间介电层上方沉积第一金属层，并对其进行图案化，形成源/漏极，所述源/漏极经由所述第一过孔与所述半导体层的源/漏极接触区相接触；

5 步骤 5、在所述源/漏极、及层间介电层上方沉积平坦层；

步骤 6、在所述平坦层上方沉积第二金属层，并对其进行图案化；

步骤 7、在所述第二金属层、及平坦层上方沉积第一绝缘层，并对其进行图案化，在所述第一绝缘层上对应所述第二金属层上方形成第二过孔；

10 步骤 8、在所述第一绝缘层上方沉积第一氧化物导电层，并对其进行图案化，形成公共电极，所述公共电极经由所述第二过孔与所述第二金属层相接触；

步骤 9、在所述公共电极、及第一绝缘层上方沉积抗还原层；

15 步骤 10、在所述抗还原层上沉积第二绝缘层，同时对所述第二绝缘层、抗还原层、第一绝缘层、及平坦层进行图案化，在所述第二绝缘层、抗还原层、第一绝缘层、及平坦层对应所述源/漏极上方形成第三过孔；

步骤 11、在所述第二绝缘层上沉积第二氧化物导电层，并对其进行图案化，形成像素电极，所述像素电极经由所述第三过孔与所述源/漏极相接触。

所述步骤 9 采用等离子体增强化学气相沉积法形成所述抗还原层。

20 所述步骤 9 具体包括：

步骤 91、在所述公共电极表面通入沉积 SiO_2 的气体，生成一 SiO_2 薄层；

25 步骤 92、缓慢关闭沉积 SiO_2 的气体的同时逐渐通入沉积 SiN_x 的气体，所述沉积 SiO_2 的气体通入的量逐渐减少至零，同时沉积 SiN_x 的气体通入的量逐渐增多，从而在所述公共电极上得到成分渐变的 SiN_xO_y 层， $x \geq 0$ ， $0 \leq y \leq 2$ ，从公共电极开始向上生长的方向上， x 从 0 开始逐渐增大， y 从 2 开始逐渐减小至 0，所述成分渐变的 SiN_xO_y 层即为抗还原层。

所述沉积 SiO_2 的气体为 TEOS 和 O_2 ，所述沉积 SiN_x 的气体为 SiH_4 、 NH_3 、及 N_2 。

所述第一绝缘层、及第二绝缘层的材料均为 SiN_x ， $x > 0$ 。

30 所述半导体层的源/漏极接触区的材料为 N 型重掺杂硅；所述公共电极、及像素电极的材料均为 ITO。

本发明的有益效果：本发明的阵列基板结构，公共电极上设有抗还原层，避免了在公共电极上直接沉积第二绝缘层的过程中，产生的还原性气氛改变公共电极的膜层质量，使公共电极具有较高的透过率。本发明的阵

列基板结构的制作方法，在形成公共电极后，沉积第二绝缘层前，在公共电极上形成一抗还原层，避免了在公共电极上直接沉积第二绝缘层的过程中，产生的还原性气氛改变公共电极的膜层质量，减少了在公共电极上沉积第二绝缘层时对公共电极透过率的影响，保证了公共电极具有较高的透过率，提升了显示效果。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

10 附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

图 1 为一种现有的用于触控显示面板的阵列基板结构的剖面示意图；

15 图 2 为图 1 中的区域 A 的局部放大示意图；

图 3 为本发明的阵列基板结构的剖面示意图；

图 4 为图 3 中的区域 A' 的局部放大示意图；

图 5 为本发明的阵列基板结构的制作方法步骤 1 的示意图；

图 6 为本发明的阵列基板结构的制作方法步骤 2 的示意图；

20 图 7 为本发明的阵列基板结构的制作方法步骤 3 的示意图；

图 8 为本发明的阵列基板结构的制作方法步骤 4 的示意图；

图 9 为本发明的阵列基板结构的制作方法步骤 5 的示意图；

图 10 为本发明的阵列基板结构的制作方法步骤 6 的示意图；

图 11 为本发明的阵列基板结构的制作方法步骤 7 的示意图；

25 图 12 为本发明的阵列基板结构的制作方法步骤 8 的示意图；

图 13 为本发明的阵列基板结构的制作方法步骤 9 的示意图；

图 14 为本发明的阵列基板结构的制作方法步骤 10 的示意图。

具体实施方式

30 为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 3 和图 4，本发明提供一种用于触控显示面板的阵列基板结构，其包括基板 1、设于所述基板 1 上的缓冲层 2、设于所述缓冲层 2 上的半导体层 3、设于所述缓冲层 2 与半导体层 3 上的栅极绝缘层 41、设于所

述栅极绝缘层 41 上的层间介电层 42、设于所述层间介电层 42 上的源/漏极 5、设于所述源/漏极 5 与层间介电层 42 上的平坦层 6、设于所述平坦层 6 上的第二金属层 7、设于所述第二金属层 7 与平坦层 6 上的第一绝缘层 81、设于所述第一绝缘层 81 上的公共电极 91、设于所述公共电极 91 与第一绝缘层 81 上的抗还原层 82、设于所述抗还原层 82 上的第二绝缘层 83、及设于所述第二绝缘层 83 上的像素电极 92；

所述栅极绝缘层 41、及层间介电层 42 上对应所述半导体层 3 上方设有第一过孔 51，所述第一绝缘层 81 上对应所述第二金属层 7 上方设有第二过孔 52，所述平坦层 6、第一绝缘层 81、抗还原层 82、及第二绝缘层 83 上对应所述源/漏极 5 上方设有第三过孔 53；

所述半导体层 3 上设有源/漏极接触区 31，所述源/漏极 5 经由所述第一过孔 51 与所述半导体层 3 的源/漏极接触区 31 相接触，所述公共电极 91 经由所述第二过孔 52 与所述第二金属层 7 相接触，所述像素电极 92 经由所述第三过孔 53 与所述源/漏极 5 相接触。

具体的，所述第一绝缘层 81、及第二绝缘层 83 的材料均为 SiN_x ， $x > 0$ 。

所述抗还原层 82 的材料为成分渐变的 SiN_xO_y （氮氧化硅）， $x \geq 0$ ， $0 \leq y \leq 2$ ，从公共电极 91 至第二绝缘层 83 的方向上， x 从 0 开始逐渐增大， y 从 2 开始逐渐减小至 0，即抗还原层 82 的成分由公共电极 91 的界面开始逐步改变至和第二绝缘层 83 的成分相同，有利于提升抗还原层 82 和第二绝缘层 83 之间的结合力。

所述半导体层 3 的源/漏极接触区 31 的材料为 N 型重掺杂硅（N+Si）。

所述公共电极 91、及像素电极 92 的材料均为 ITO（氧化铟锡）。

具体的，所述第二金属层 7 用于连接触控感应电极。

上述阵列基板结构，公共电极上沉积第二绝缘层之前沉积一抗还原层，避免了在公共电极上直接沉积第二绝缘层的过程中，产生的还原性气氛改变公共电极的膜层质量，使公共电极具有较高的透过率。

请参阅图 3，结合图 5-图 14，本发明还提供一种阵列基板结构的制作方法，包括如下步骤：

步骤 1、如图 5 所示，提供基板 1，在所述基板 1 上沉积缓冲层 2。

步骤 2、如图 6 所示，在所述缓冲层 2 上沉积半导体层 3，对其进行图案化后，对所述半导体层 3 上的部分区域进行 N 型重掺杂，形成设计与源/漏极相接触的源/漏极接触区 31。

具体的，所述半导体层 3 的源/漏极接触区 31 的材料为 N 型重掺杂硅（N+Si）。

步骤 3、如图 7 所示，在所述半导体层 3 上依次沉积栅极绝缘层 41、及层间介电层 42，同时对栅极绝缘层 41、及层间介电层 42 进行图案化，在所述栅极绝缘层 41、及层间介电层 42 上对应所述半导体层 3 的源/漏极接触区 31 上方形成第一过孔 51。

5 步骤 4、如图 8 所示，在所述层间介电层 42 上方沉积第一金属层，并对其进行图案化，形成源/漏极 5，所述源/漏极 5 经由所述第一过孔 51 与所述半导体层 3 的源/漏极接触区 31 相接触。

步骤 5、如图 9 所示，在所述源/漏极 5、及层间介电层 42 上方沉积平坦层 6。

10 步骤 6、如图 10 所示，在所述平坦层 6 上方沉积第二金属层 7，并对其进行图案化。

具体的，所述第二金属层 7 用于连接触控感应电极。

步骤 7、如图 11 所示，在所述第二金属层 7、及平坦层 6 上方沉积第一绝缘层 81，并对其进行图案化，在所述第一绝缘层 81 上对应所述第二金属层 7 上方形成第二过孔 52。

15 具体的，采用等离子体增强化学气相沉积法（PECVD）形成所述第一绝缘层 81。

具体的，所述第一绝缘层 81 的材料为 SiN_x ， $x > 0$ 。

20 步骤 8、如图 12 所示，在所述第一绝缘层 81 上方沉积第一氧化物导电层，并对其进行图案化，形成公共电极 91，所述公共电极 91 经由所述第二过孔 52 与所述第二金属层 7 相接触。

具体的，所述公共电极 91 的材料为 ITO（氧化铟锡）。

步骤 9、如图 13 所示，在所述公共电极 91、及第一绝缘层 81 上方沉积抗还原层 82。

25 具体的，采用等离子体增强化学气相沉积法形成所述抗还原层 82。

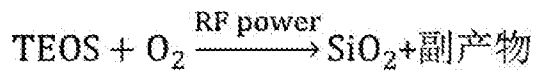
具体的，所述步骤 9 包括以下步骤：

步骤 91、在所述公共电极 91 表面通入沉积 SiO_2 的气体，生成一 SiO_2 薄层；

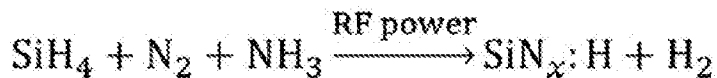
30 步骤 92、缓慢关闭沉积 SiO_2 的气体的同时逐渐通入沉积 SiN_x 的气体，所述沉积 SiO_2 的气体通入的量逐渐减少至零，同时沉积 SiN_x 的气体通入的量逐渐增多，从而在所述公共电极 91 上得到成分渐变的 SiN_xO_y 层， $x \geq 0$ ， $0 \leq y \leq 2$ ，从公共电极 91 开始向上生长的方向上， x 从 0 开始逐渐增大， y 从 2 开始逐渐减小至 0，所述成分渐变的 SiN_xO_y 层即为抗还原层 82。

具体地，所述沉积 SiO_2 的气体为 TEOS（正硅酸乙酯）和 O_2 （氧气），

所述 TEOS 和 O_2 在射频电源 (RF power, radio frequency power) 产生的电磁场作用下反应生成 SiO_2 的反应原理如下:



具体的, 所述沉积 SiN_x 的气体为 SiH_4 (甲硅烷)、 NH_3 (氨气)、及 N_2 (氮气), 所述 SiH_4 、 NH_3 、及 N_2 在射频电源 (RF power, radio frequency power) 产生的电磁场作用下反应生成 SiN_x 的反应原理如下:



步骤 10、如图 14 所示, 在所述抗还原层 82 上沉积第二绝缘层 83, 同时对所述第二绝缘层 83、抗还原层 82、第一绝缘层 81、及平坦层 6 进行图案化, 在所述第二绝缘层 83、抗还原层 82、第一绝缘层 81、及平坦层 6 对应所述源/漏极 5 上方形成第三过孔 53。

具体的, 采用等离子体增强化学气相沉积法形成所述第二绝缘层 83。

具体地, 所述第二绝缘层 83 的材料为 SiN_x , $x > 0$ 。

值得一提的是, 所述第二绝缘层 83 也可以和所述抗还原层 82 一次性制备完成, 有利于获得高的生产效率。

步骤 11、如图 3 所示, 在所述第二绝缘层 83 上沉积第二氧化物导电层, 并对其进行图案化, 形成像素电极 92, 所述像素电极 92 经由所述第三过孔 53 与所述源/漏极 5 相接触。

具体的, 所述像素电极 92 的材料为 ITO (氧化铟锡)。

上述阵列基板结构的制作方法, 在形成公共电极后, 沉积第二绝缘层前, 在公共电极上形成一抗还原层, 避免了在公共电极上沉积第二绝缘层的过程中, 产生的还原性气氛改变公共电极的膜层质量, 减少了在公共电极上沉积绝缘层时对公共电极透过率的影响, 保证了公共电极具有较高的透过率, 提升了显示效果。

综上所述, 本发明的阵列基板结构, 公共电极上设有抗还原层, 避免了在公共电极上直接沉积第二绝缘层的过程中, 产生的还原性气氛改变公共电极的膜层质量, 使公共电极具有较高的透过率。本发明的阵列基板结构的制作方法, 在形成公共电极后, 沉积第二绝缘层前, 在公共电极上形成一抗还原层, 避免了在公共电极上直接沉积第二绝缘层的过程中, 产生的还原性气氛改变公共电极的膜层质量, 减少了在公共电极上沉积第二绝缘层时对公共电极透过率的影响, 保证了公共电极具有较高的透过率, 提

升了显示效果。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种阵列基板结构，包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的半导体层、设于所述缓冲层与半导体层上的栅极绝缘层、设于所述栅极绝缘层上的层间介电层、设于所述层间介电层上的源/漏极、设于所述源/漏极与层间介电层上的平坦层、设于所述平坦层上的第二金属层、设于所述第二金属层与平坦层上的第一绝缘层、设于所述第一绝缘层上的公共电极、设于所述公共电极与第一绝缘层上的抗还原层、设于所述抗还原层上的第二绝缘层、及设于所述第二绝缘层上的像素电极；

所述栅极绝缘层、及层间介电层上对应所述半导体层上方设有第一过孔，所述第一绝缘层上对应所述第二金属层上方设有第二过孔，所述平坦层、第一绝缘层、抗还原层、及第二绝缘层上对应所述源/漏极上方设有第三过孔；

所述半导体层上设有源/漏极接触区，所述源/漏极经由所述第一过孔与所述半导体层的源/漏极接触区相接触，所述公共电极经由所述第二过孔与所述第二金属层相接触，所述像素电极经由所述第三过孔与所述源/漏极相接触。

2、如权利要求1所述的阵列基板结构，其中，所述抗还原层的材料为成分渐变的 SiN_xO_y ， $x \geq 0$ ， $0 \leq y \leq 2$ ，从公共电极至第二绝缘层的方向上， x 从 0 开始逐渐增大， y 从 2 开始逐渐减小至 0。

3、如权利要求1所述的阵列基板结构，其中，所述第一绝缘层、及第二绝缘层的材料均为 SiN_x ， $x > 0$ 。

4、如权利要求1所述的阵列基板结构，其中，所述半导体层的源/漏极接触区的材料为 N 型重掺杂硅；所述公共电极、及像素电极的材料均为 ITO。

5、一种阵列基板结构，包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的半导体层、设于所述缓冲层与半导体层上的栅极绝缘层、设于所述栅极绝缘层上的层间介电层、设于所述层间介电层上的源/漏极、设于所述源/漏极与层间介电层上的平坦层、设于所述平坦层上的第二金属层、设于所述第二金属层与平坦层上的第一绝缘层、设于所述第一绝缘层上的公共电极、设于所述公共电极与第一绝缘层上的抗还原层、设于所述抗还原层上的第二绝缘层、及设于所述第二绝缘层上的像素电极；

所述栅极绝缘层、及层间介电层上对应所述半导体层上方设有第一过孔，所述第一绝缘层上对应所述第二金属层上方设有第二过孔，所述平坦

层、第一绝缘层、抗还原层、及第二绝缘层上对应所述源/漏极上方设有第三过孔；

所述半导体层上设有源/漏极接触区，所述源/漏极经由所述第一过孔与所述半导体层的源/漏极接触区相接触，所述公共电极经由所述第二过孔与
5 所述第二金属层相接触，所述像素电极经由所述第三过孔与所述源/漏极相接触；

其中，所述抗还原层的材料为成分渐变的 SiN_xO_y ， $x \geq 0$ ， $0 \leq y \leq 2$ ，从公共电极至第二绝缘层的方向上， x 从 0 开始逐渐增大， y 从 2 开始逐渐减小至 0；

10 其中，所述第一绝缘层、及第二绝缘层的材料均为 SiN_x ， $x > 0$ ；

其中，所述半导体层的源/漏极接触区的材料为 N 型重掺杂硅；所述公共电极、及像素电极的材料均为 ITO。

6、一种阵列基板结构的制作方法，包括如下步骤：

步骤 1、提供基板，在所述基板上沉积缓冲层；

15 步骤 2、在所述缓冲层上沉积半导体层，对其进行图案化后，对所述半导体层上的部分区域进行 N 型重掺杂，形成设计与源/漏极相接触的源/漏极接触区；

步骤 3、在所述半导体层上依次沉积栅极绝缘层、及层间介电层，同时对栅极绝缘层、及层间介电层进行图案化，在所述栅极绝缘层、及层间介
20 电层上对应所述半导体层的源/漏极接触区上方形成第一过孔；

步骤 4、在所述层间介电层上方沉积第一金属层，并对其进行图案化，形成源/漏极，所述源/漏极经由所述第一过孔与所述半导体层的源/漏极接触区相接触；

步骤 5、在所述源/漏极、及层间介电层上方沉积平坦层；

25 步骤 6、在所述平坦层上方沉积第二金属层，并对其进行图案化；

步骤 7、在所述第二金属层、及平坦层上方沉积第一绝缘层，并对其进行图案化，在所述第一绝缘层上对应所述第二金属层上方形成第二过孔；

步骤 8、在所述第一绝缘层上方沉积第一氧化物导电层，并对其进行图案化，形成公共电极，所述公共电极经由所述第二过孔与所述第二金属层
30 相接触；

步骤 9、在所述公共电极、及第一绝缘层上方沉积抗还原层；

步骤 10、在所述抗还原层上沉积第二绝缘层，同时对所述第二绝缘层、抗还原层、第一绝缘层、及平坦层进行图案化，在所述第二绝缘层、抗还原层、第一绝缘层、及平坦层对应所述源/漏极上方形成第三过孔；

步骤 11、在所述第二绝缘层上沉积第二氧化物导电层，并对其进行图案化，形成像素电极，所述像素电极经由所述第三过孔与所述源/漏极相接触。

7、如权利要求 6 所述的阵列基板结构的制作方法，其中，所述步骤 9 采用等离子体增强化学气相沉积法形成所述抗还原层。

8、如权利要求 7 所述的阵列基板结构的制作方法，其中，所述步骤 9 具体包括：

步骤 91、在所述公共电极表面通入沉积 SiO_2 的气体，生成一 SiO_2 薄层；

步骤 92、缓慢关闭沉积 SiO_2 的气体的同时逐渐通入沉积 SiN_x 的气体，所述沉积 SiO_2 的气体通入的量逐渐减少至零，同时沉积 SiN_x 的气体通入的量逐渐增多，从而在所述公共电极上得到成分渐变的 SiN_xO_y 层， $x \geq 0$ ， $0 \leq y \leq 2$ ，从公共电极开始向上生长的方向上， x 从 0 开始逐渐增大， y 从 2 开始逐渐减小至 0，所述成分渐变的 SiN_xO_y 层即为抗还原层。

9、如权利要求 8 所述的阵列基板结构的制作方法，其中，所述沉积 SiO_2 的气体为 TEOS 和 O_2 ，所述沉积 SiN_x 的气体为 SiH_4 、 NH_3 、及 N_2 。

10、如权利要求 6 所述的阵列基板结构的制作方法，其中，所述第一绝缘层、及第二绝缘层的材料均为 SiN_x ， $x > 0$ 。

11、如权利要求 6 所述的阵列基板结构的制作方法，其中，所述半导体层的源/漏极接触区的材料为 N 型重掺杂硅；所述公共电极、及像素电极的材料均为 ITO。

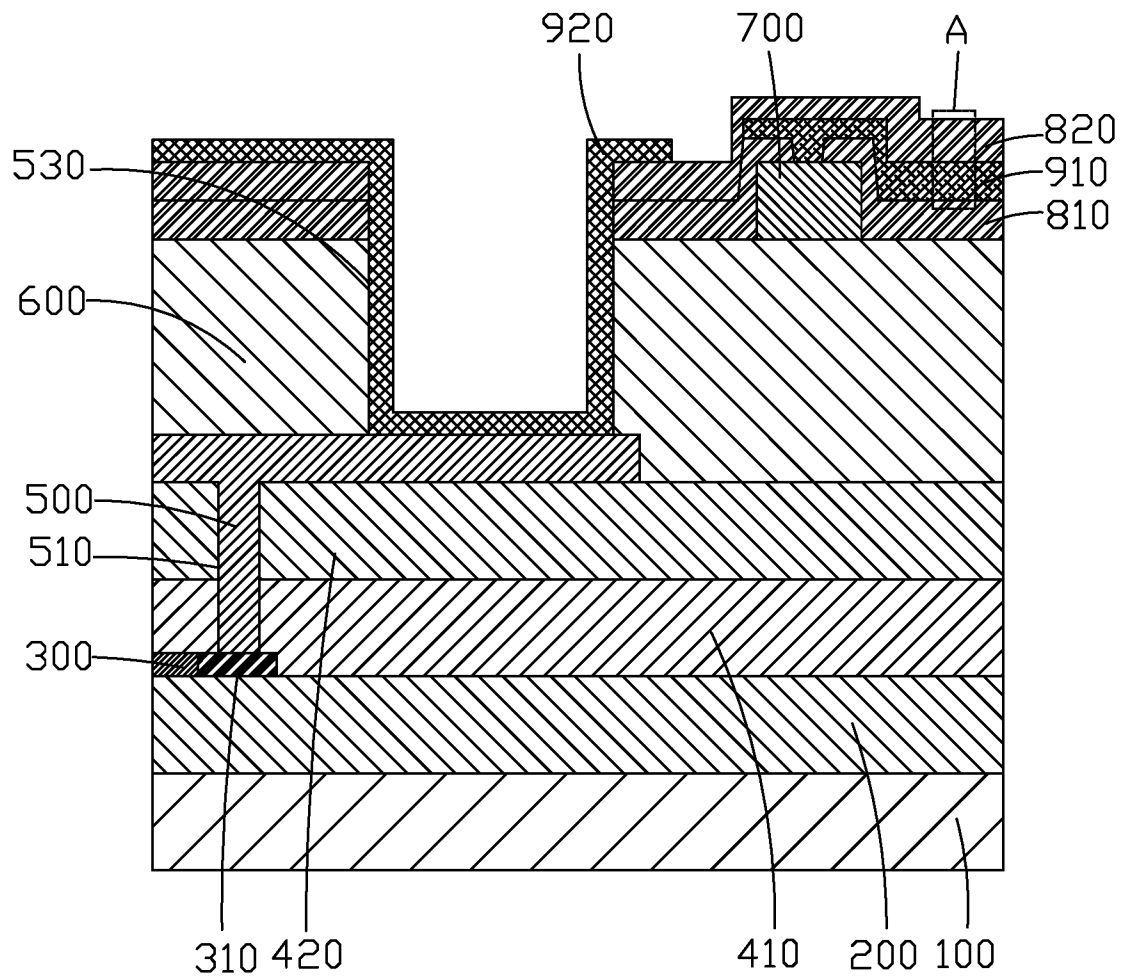


图 1

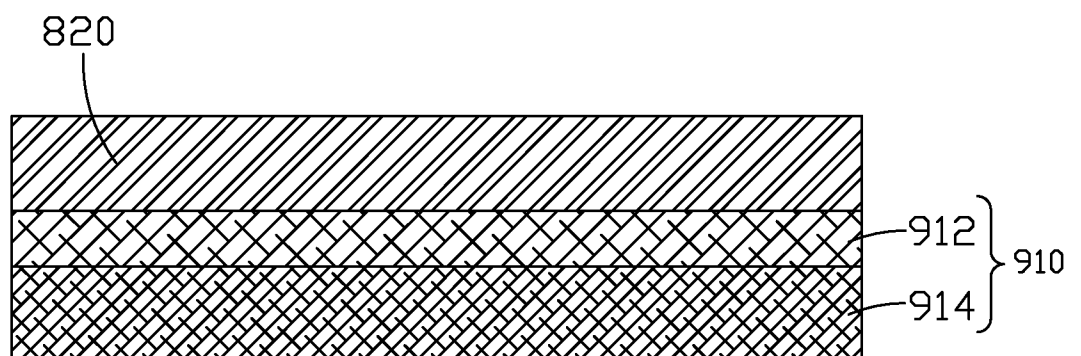


图2

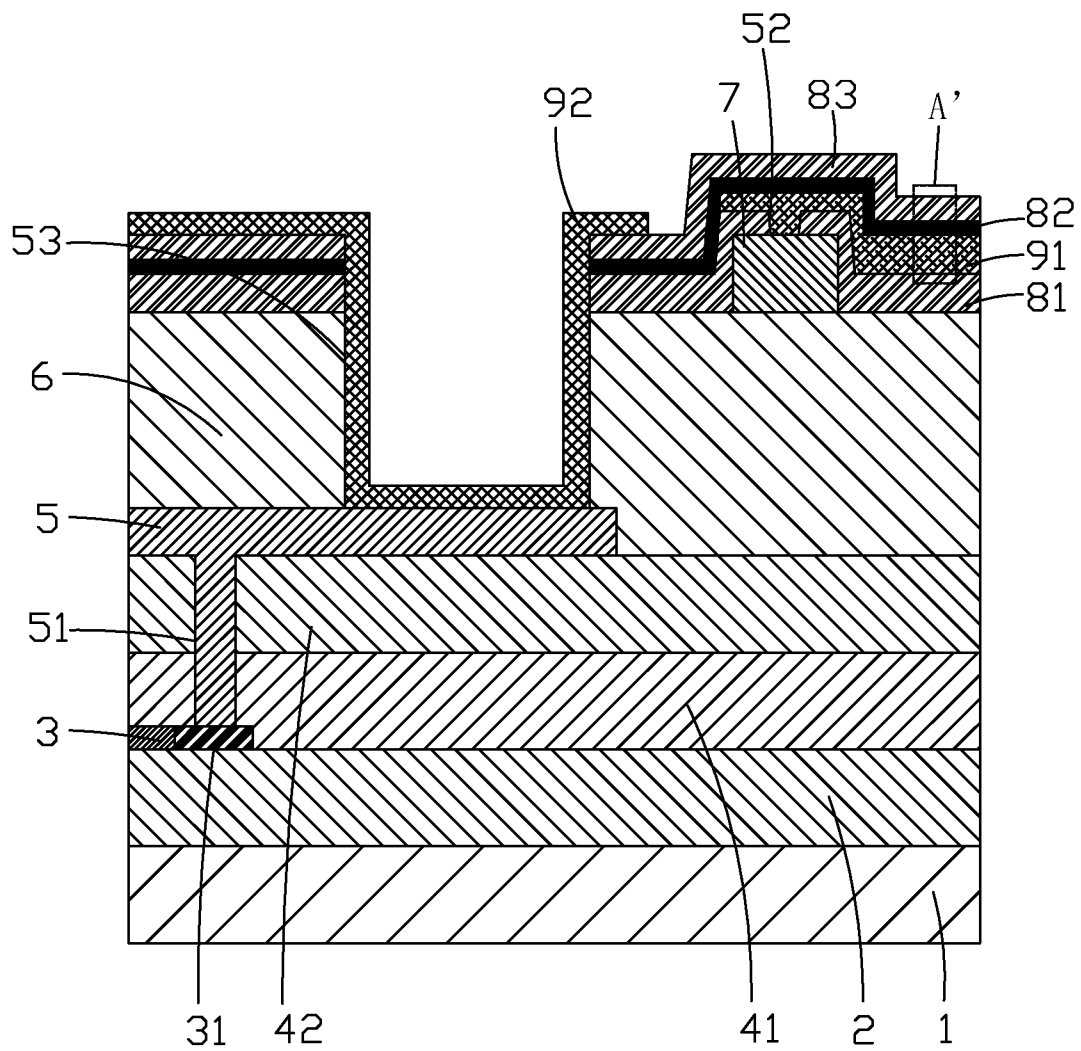


图3

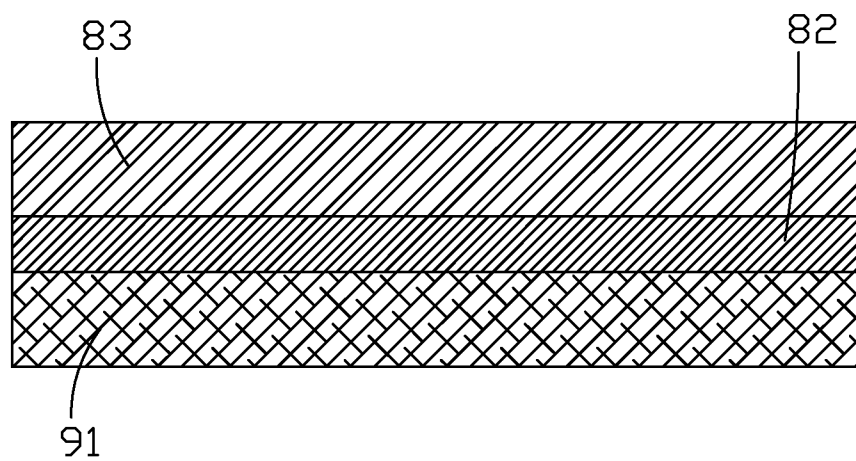


图4

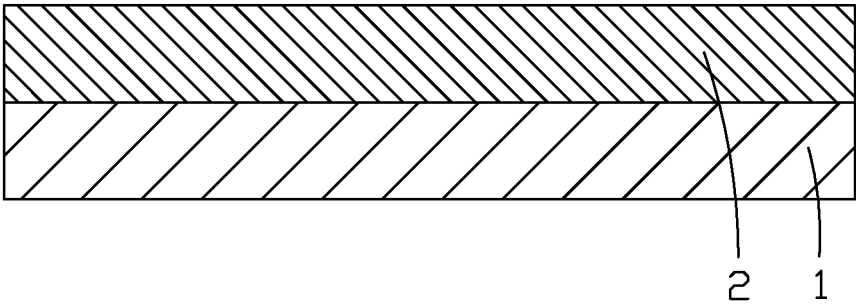


图5

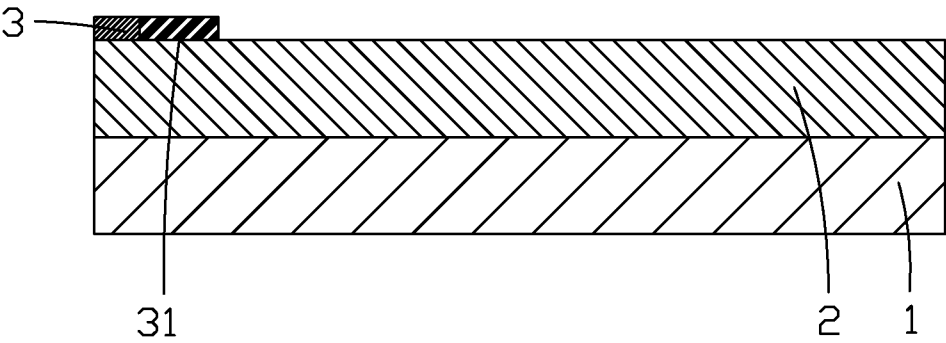


图6

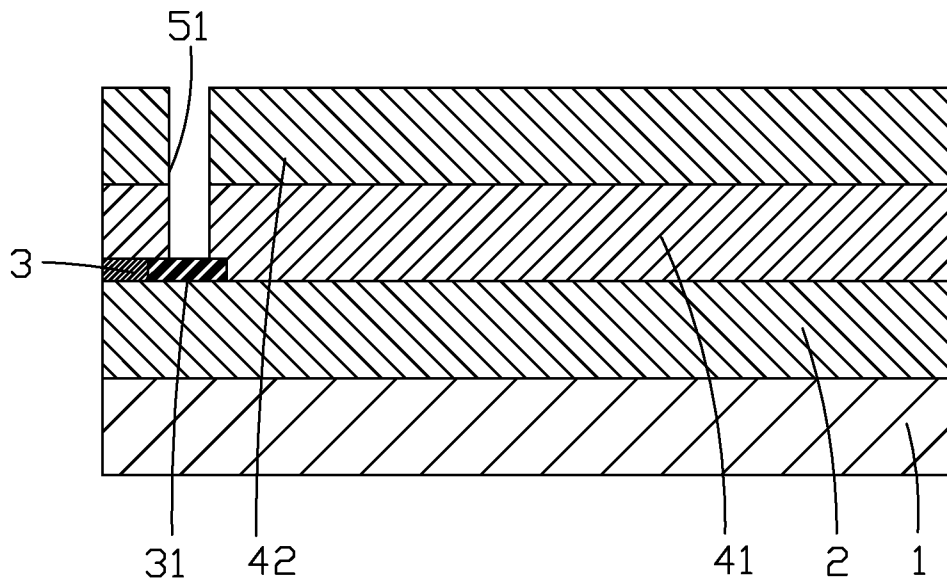


图7

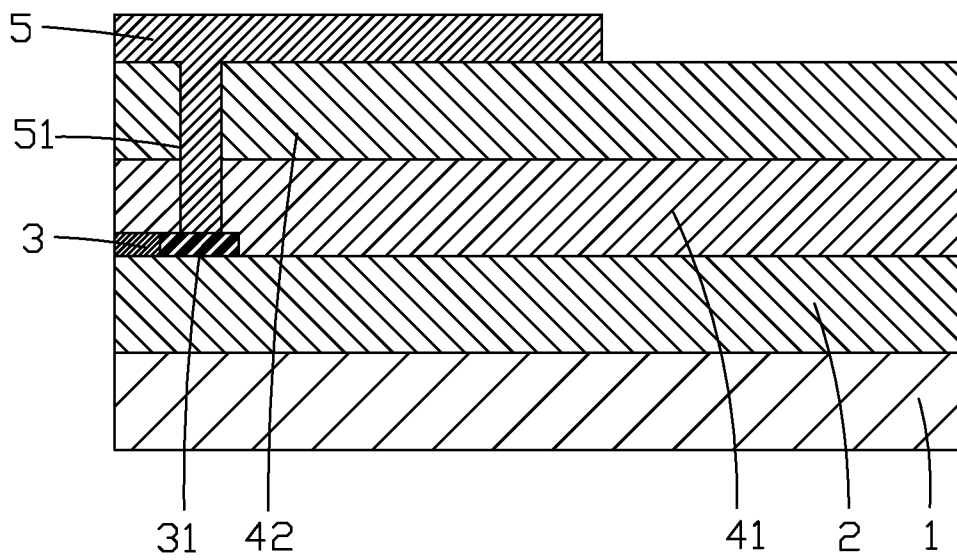


图8

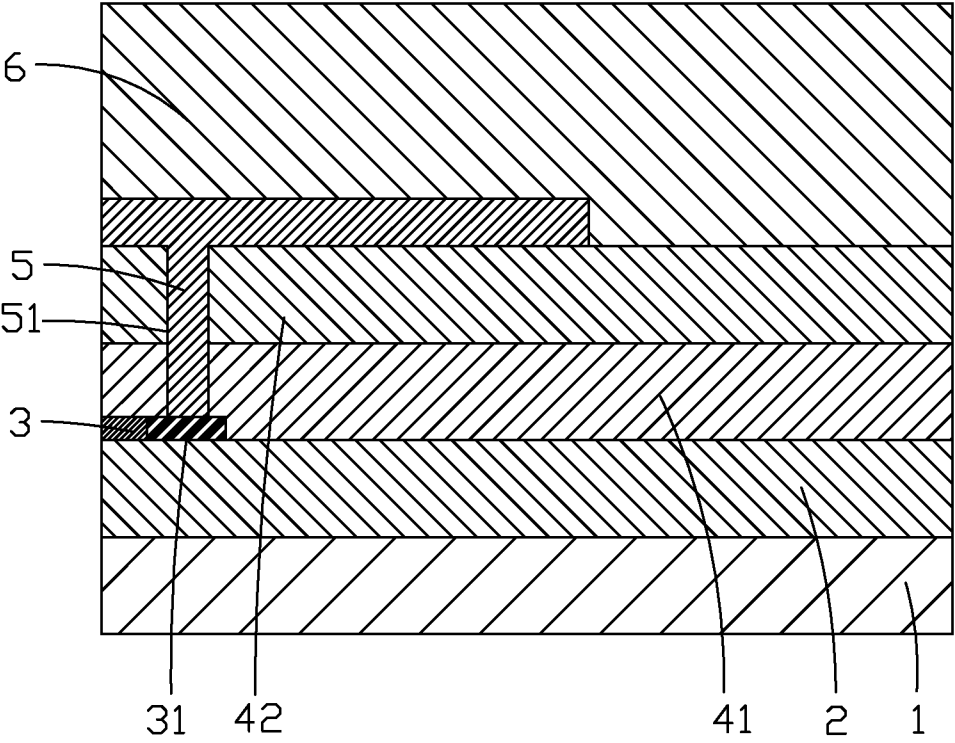


图9

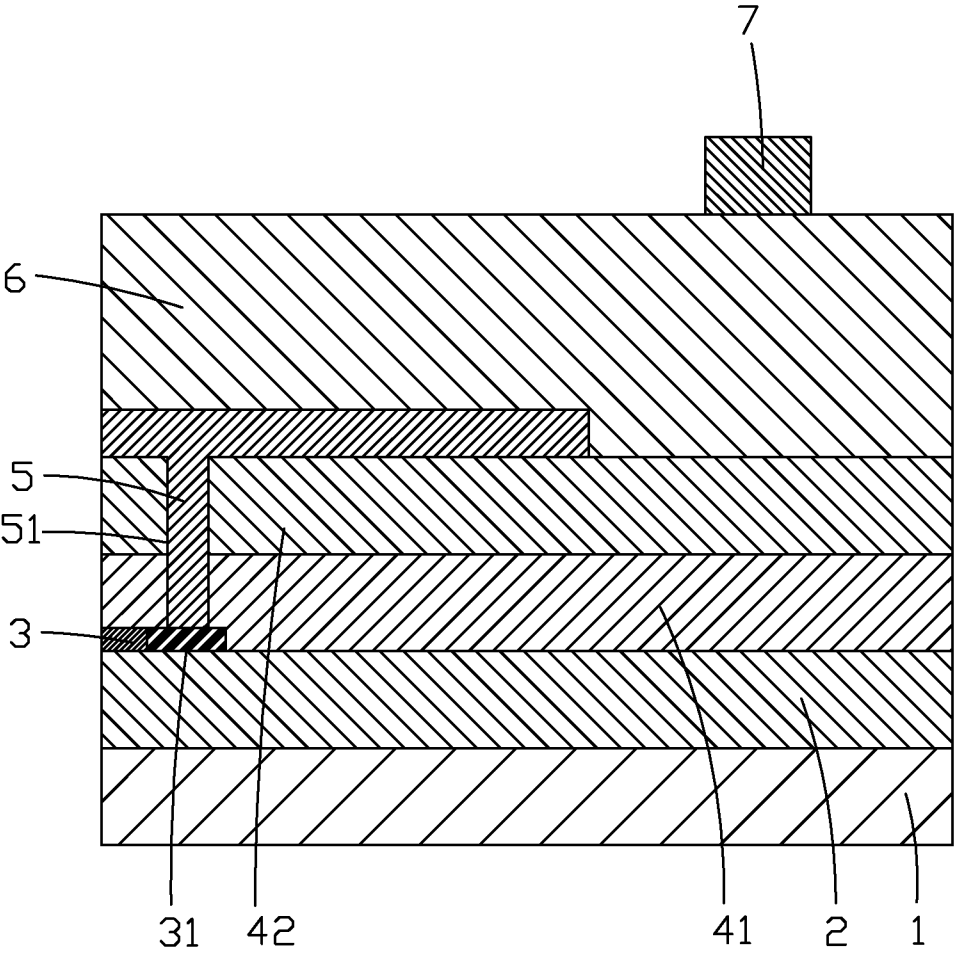


图10

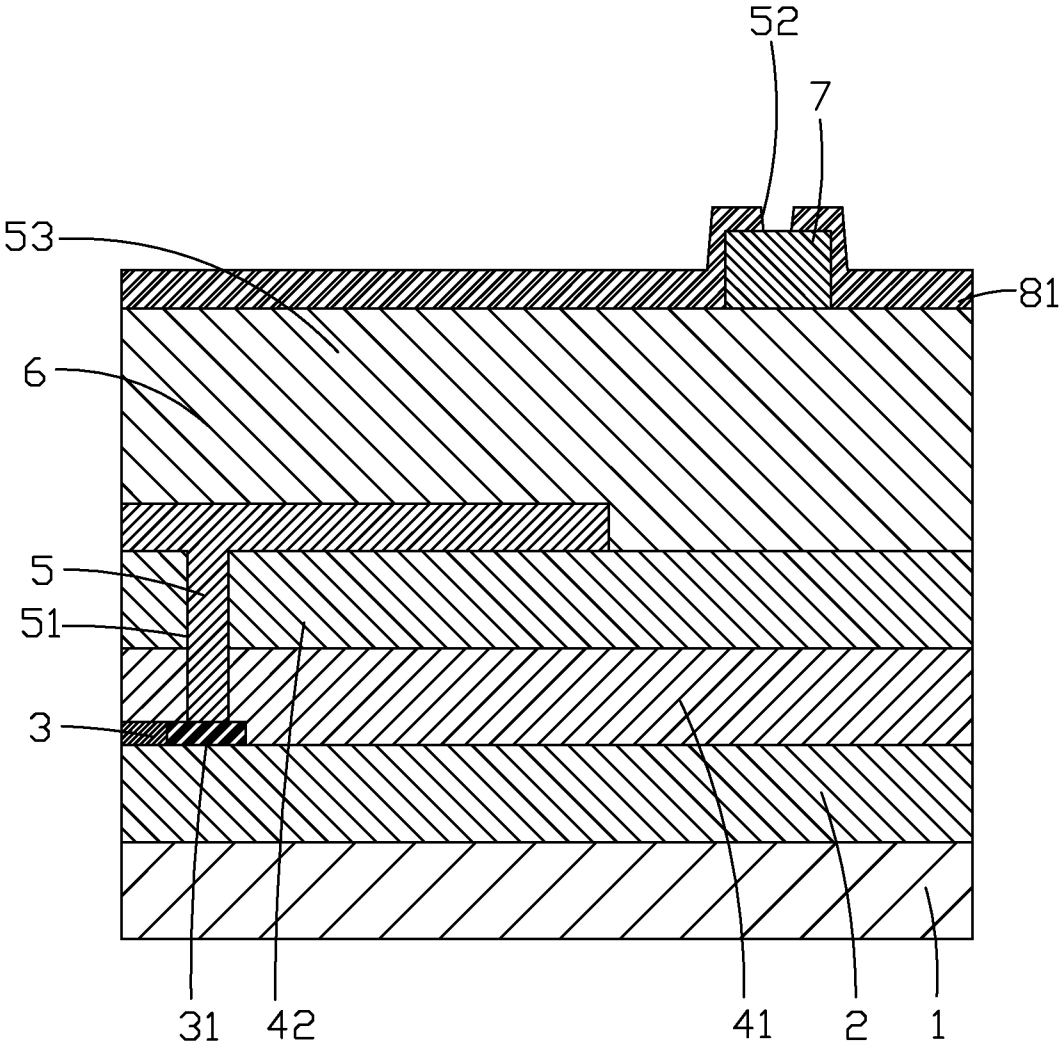


图11

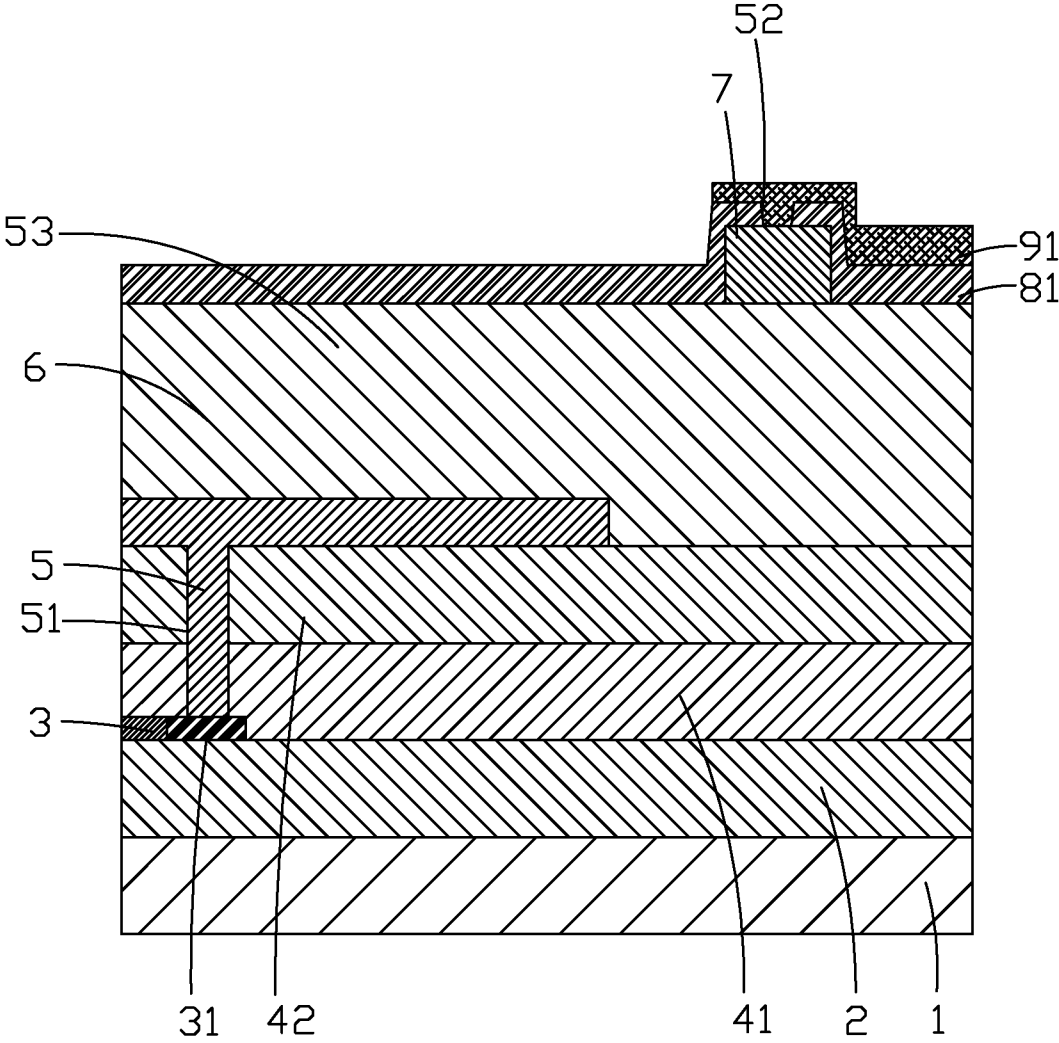


图12

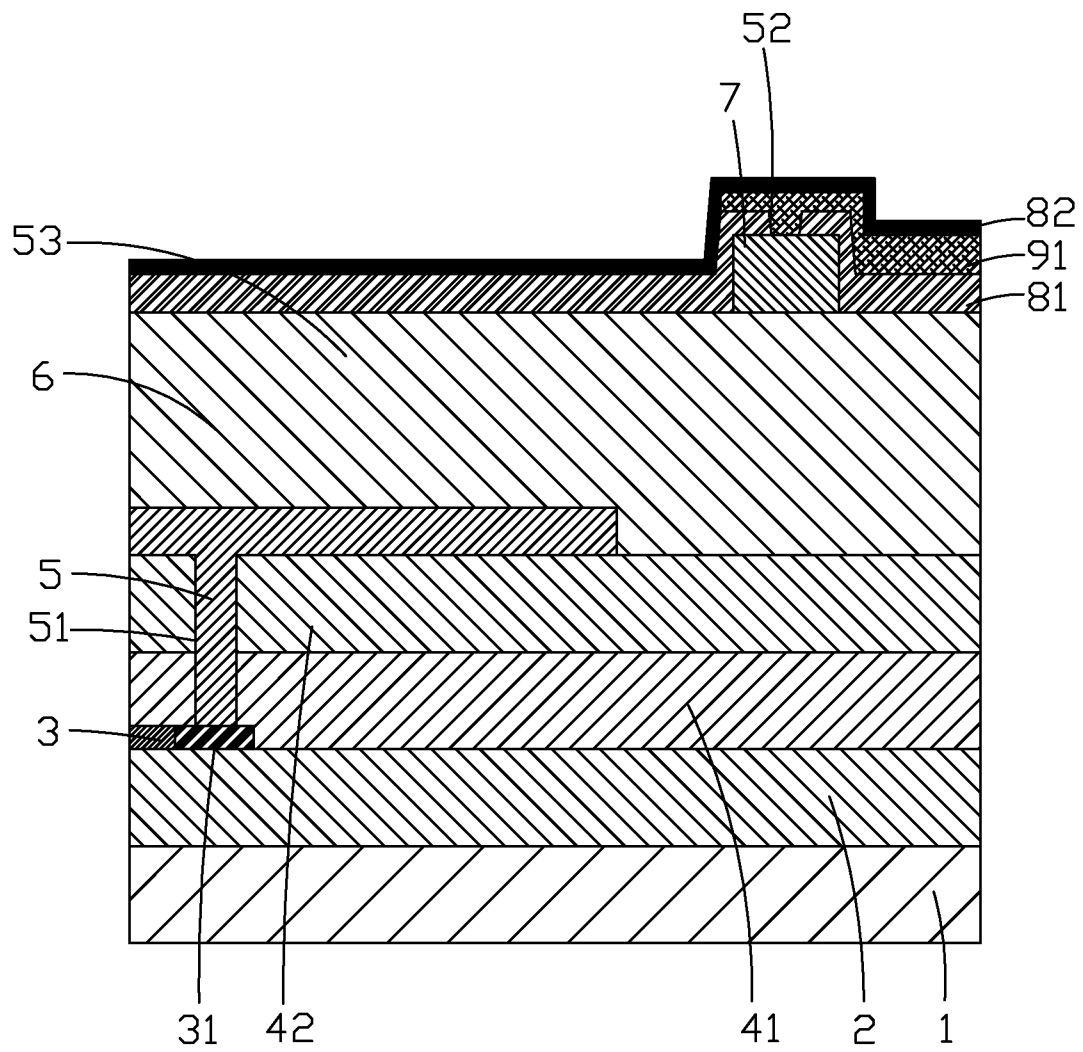


图13

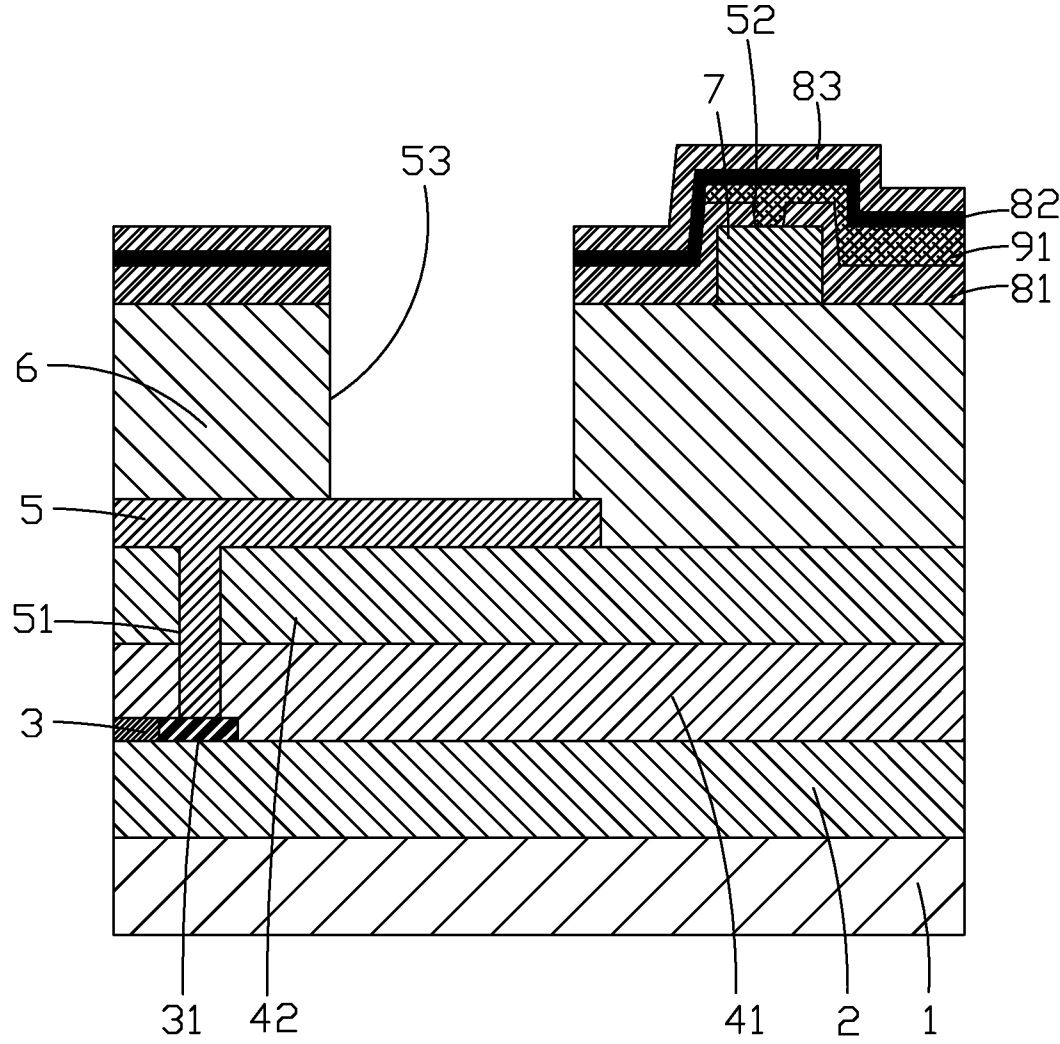


图14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/079661

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; H01L 21/77 (2006.01) i; G06F 3/041(2006.01) n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F; G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, EPODOC, WPI, CNKI, IEEE: common electrode, pixel electrode, ITO, silicon nitride, silicon oxynitride, silicon oxygen nitrogen, Si3N4, SiN, SiON, array, substrate, gate, source, drain, insulation, dielectric, common, electrode, pixel, transparent, silicon, nitride, oxide, hydrogen, reducing, deoxidation, hole, via, contact, touch, top-gate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 20130020485 A (LG DISPLAY CO., LTD.), 27 February 2013 (27.02.2013), description, paragraphs [0012]-[0022], and figures 1-2	1-11
A	JP 2001033818 A (SHARP KK.), 09 February 2001 (09.02.2001), the whole document	1-11
A	CN 104460165 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 25 March 2015 (25.03.2015), the whole document	1-11
A	CN 104022126 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 03 September 2014 (03.09.2014), the whole document	1-11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 14 July 2015 (14.07.2015)	Date of mailing of the international search report 30 July 2015 (30.07.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer MA, Zeyu Telephone No.: (86-10) 82245893

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/079661

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
KR 20130020485 A	27 February 2013	None	
JP 2001033818 A	09 February 2001	KR 20010015383 A	26 February 2001
		KR 100380893 B	21 April 2003
		US 7038740 B1	02 May 2006
		JP 3796070 B2	12 July 2006
		TW I253519 B	21 April 2006
CN 104460165 A	25 March 2015	None	
CN 104022126 A	03 September 2014	None	

国际检索报告

国际申请号

PCT/CN2015/079661

A. 主题的分类

H01L 27/12(2006.01)i; H01L 21/77(2006.01)i; G06F 3/041(2006.01)n

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L; G02F; G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, EPDOC, WPI, CNKI, IEEE: 阵列, 基板, 栅, 源, 漏, 绝缘, 介质, 公共电极, 像素电极, 透明, ITO, 氮化硅, 氮氧化硅, 硅氧氮, Si₃N₄, SiN, SiON, 氢, 还原, 孔, 接触, 触摸, 顶栅, array, substrate, gate, source, drain, insulation, dielectric, common, electrode, pixel, transparent, silicon, nitride, oxide, hydrogen, reducing, deoxidation, hole, via, contact, touch, top-gate

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	KR 20130020485 A (LG DISPLAY CO. LTD.) 2013年 2月 27日 (2013 - 02 - 27) 说明书第[0012]-[0022]段, 图1-2	1-11
A	JP 2001033818 A (SHARP KK.) 2001年 2月 9日 (2001 - 02 - 09) 全文	1-11
A	CN 104460165 A (深圳市华星光电技术有限公司) 2015年 3月 25日 (2015 - 03 - 25) 全文	1-11
A	CN 104022126 A (京东方科技集团股份有限公司 等) 2014年 9月 3日 (2014 - 09 - 03) 全文	1-11

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 7月 14日

国际检索报告邮寄日期

2015年 7月 30日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

马泽宇

电话号码 (86-10)82245893

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/079661

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
KR	20130020485	A	2013年 2月 27日	无			
JP	2001033818	A	2001年 2月 9日	KR	20010015383	A	2001年 2月 26日
				KR	100380893	B	2003年 4月 21日
				US	7038740	B1	2006年 5月 2日
				JP	3796070	B2	2006年 7月 12日
				TW	I253519	B	2006年 4月 21日
CN	104460165	A	2015年 3月 25日	无			
CN	104022126	A	2014年 9月 3日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)