



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0022540
(43) 공개일자 2013년03월07일

(51) 국제특허분류(Int. Cl.)
G11C 16/26 (2006.01) **G11C 16/32** (2006.01)
(21) 출원번호 10-2011-0085146
(22) 출원일자 2011년08월25일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김찬경
경기도 화성시 반송동 시범한빛마을한화꿈에그린
아파트 233-804
황홍선
경기도 수원시 영통구 영통로173번길 37, 쌍용아
파트 106동 303호 (망포동)
(뒷면에 계속)
(74) 대리인
리앤목특허법인

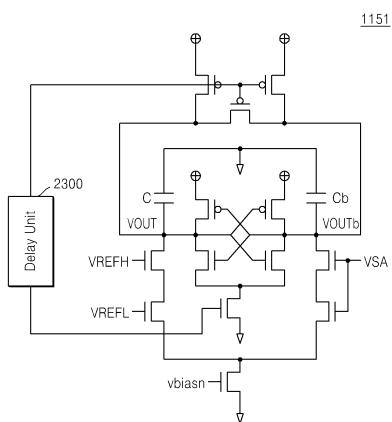
전체 청구항 수 : 총 29 항

(54) 발명의 명칭 데이터 리드회로, 이를 포함하는 불휘발성 메모리 장치 및 불휘발성 메모리 장치의 데이터 리드 방법

(57) 요 약

다수의 기준전압들을 이용하여 데이터 리드동작을 수행하는 데이터 리드회로, 이를 포함하는 불휘발성 메모리 장치 및 불휘발성 메모리 장치의 데이터 리드 방법이 개시된다. 본 발명의 일실시예에 따른 불휘발성 메모리 장치는, 불휘발성 메모리 셀을 포함하는 셀 어레이와, 상기 불휘발성 메모리 셀에 연결되어 데이터 전압을 전달하는 비트라인 및 제1 입력부를 통해 상기 데이터 전압을 수신하고, 제2 입력부를 통해 적어도 두 개의 기준전압을 수신하며, 데이터 리드 동작시 상기 제1 및 제2 입력부로 제공되는 입력 신호들을 차동 증폭하여 리드 데이터를 발생하는 센스앰프 회로를 구비하는 것을 특징으로 한다.

대 표 도 - 도7



(72) 발명자

박철우

경기도 용인시 기흥구 흥덕중앙로105번길 41, 흥덕
마을 경남아너스빌 1101동 101호 (영덕동)

강상범

경기도 화성시 동탄지성로 333, 삼성래미안1차아파
트 103동 301호 (기산동)

오형록

경기도 용인시 수지구 성복2로 174, 111동 206호
(성복동, 성동마을수지자이아파트)

특허청구의 범위

청구항 1

불휘발성 메모리 셀을 포함하는 셀 어레이;

상기 불휘발성 메모리 셀에 연결되어 데이터 전압을 전달하는 비트라인; 및

제1 입력부를 통해 상기 데이터 전압을 수신하고, 제2 입력부를 통해 적어도 두 개의 기준전압을 수신하며, 데이터 리드 동작시 상기 제1 및 제2 입력부로 제공되는 입력 신호들을 차동 증폭하여 리드 데이터를 발생하는 센스앰프 회로를 구비하는 불휘발성 메모리 장치.

청구항 2

제1항에 있어서,

상기 제1 입력부는, 각각 상기 데이터 전압을 수신하는 제1 및 제2 입력단자를 포함하고,

상기 제2 입력부는, 제1 기준전압을 수신하는 제3 입력단자와 제2 기준전압을 수신하는 제4 입력단자를 포함하는 불휘발성 메모리 장치.

청구항 3

제2항에 있어서, 상기 센스앰프 회로는,

상기 제1 및 제2 기준전압들 중 어느 하나와 상기 데이터 전압을 차동 증폭하여 상기 리드 데이터를 발생하는 불휘발성 메모리 장치.

청구항 4

제1항에 있어서, 상기 센스앰프 회로는,

상기 제1 및 제2 입력부로 제공되는 입력 신호들을 차동 증폭하여 차동 출력 신호를 발생하는 제1 센스 앰프; 및

상기 차동 출력 신호를 센싱 및 증폭하여 상기 리드 데이터를 발생하는 제2 센스앰프를 구비하는 불휘발성 메모리 장치.

청구항 5

제4항에 있어서, 상기 제1 센스앰프는,

상기 제1 및 제2 입력부로 제공되는 입력 신호들의 전압 레벨 차이를 적분하는 적분 회로를 포함하는 불휘발성 메모리 장치.

청구항 6

제4항에 있어서, 상기 제2 센스앰프는,

상기 제1 센스앰프의 차동 출력단을 통해 상기 차동 출력 신호를 수신하고, 상기 증폭 신호를 상기 차동 출력단을 통해 출력하는 래치 형태의 센스앰프인 불휘발성 메모리 장치.

청구항 7

제1항에 있어서,

상기 셀 어레이는, 제1 상태의 데이터를 저장하며 제1 라인을 통해 상기 제2 입력부에 연결되는 제1 기준 셀과, 제2 상태의 데이터를 저장하며 제2 라인을 통해 상기 제2 입력부에 연결되는 제2 기준 셀을 더 포함하고,

상기 제1 및 제2 기준 셀로부터의 전압들을 각각 제1 및 제2 기준전압으로서 상기 제2 입력부로 제공하

는 불휘발성 메모리 장치.

청구항 8

제1항에 있어서,

전원전압을 이용하여 제1 및 제2 기준전압을 발생하는 기준전압 발생부를 더 구비하고,

상기 기준전압 발생부는, 상기 제1 및 제2 기준전압을 상기 제2 입력부로 제공하는 불휘발성 메모리 장치.

청구항 9

제1항에 있어서,

상기 불휘발성 메모리 셀은 MRAM(Magnetic Random Access Memory), RRAM(Resistive Random Access Memory), PRAM(Phase change Random Access Memory), FRAM(Ferroelectric Random Access Memory) 중 어느 하나인 불휘발성 메모리 장치.

청구항 10

불휘발성 메모리 셀로부터 데이터 전압을 수신하는 제1 입력부와, 제1 및 제2 기준전압을 수신하는 제2 입력부를 포함하며, 상기 제1 및 제2 입력부로 제공되는 입력 신호들을 차동 증폭하여 차동 출력 신호를 발생하는 제1 센스앰프; 및

상기 차동 출력 신호를 센싱 및 증폭하여 증폭 신호를 발생하는 제2 센스앰프를 구비하는 데이터 리드 회로.

청구항 11

제10항에 있어서,

상기 제2 센스앰프의 센싱 타이밍을 제어하기 위하여, 상기 제2 센스앰프의 인에이블을 제어하는 딜레이부를 더 구비하는 데이터 리드 회로.

청구항 12

제11항에 있어서, 상기 딜레이부는,

제1 센스앰프의 차동 출력단을 프리차지 하기 위한 프리차지 제어신호를 수신하고, 상기 프리차지 제어 신호를 딜레이한 신호를 상기 제2 센스앰프로 제공하는 데이터 리드 회로.

청구항 13

제10항에 있어서,

상기 제1 입력부는 직렬하게 스택된 제1 및 제2 MOS 트랜지스터를 포함하고, 상기 제2 입력부는 직렬하게 스택된 제3 및 제4 MOS 트랜지스터를 포함하며,

상기 데이터 전압은 상기 제1 및 제2 MOS 트랜지스터 각각의 게이트 전극으로 제공되고,

상기 제1 및 제2 기준전압은 상기 제3 및 제4 MOS 트랜지스터 각각의 게이트 전극으로 제공되는 데이터 리드 회로.

청구항 14

제10항에 있어서, 상기 제1 센스앰프는,

제1 차동 출력단을 통해 상기 제1 입력부에 연결되는 제1 커패시터; 및

제2 차동 출력단을 통해 상기 제2 입력부에 연결되는 제2 커패시터를 더 구비하는 데이터 리드 회로.

청구항 15

제14항에 있어서,

상기 제1 및 제2 기준전압 중 어느 하나의 기준전압과 상기 데이터 전압을 차동 증폭한 차동 출력 신호가 상기 제1 및 제2 커패시터에 저장되는 데이터 리드 회로.

청구항 16

제10항에 있어서, 상기 제2 센스앰프는,

상기 제1 센스앰프의 차동 출력단을 통해 상기 차동 출력 신호를 수신하고, 상기 증폭 신호를 상기 차동 출력단을 통해 출력하는 래치 형태의 센스앰프인 데이터 리드 회로.

청구항 17

제10항에 있어서,

상기 데이터 전압과 제3 기준전압을 수신하며, 상기 제3 기준전압을 이용하여 상기 데이터 전압을 센싱 및 증폭하는 제3 센스앰프;

제1 제어신호에 응답하여 상기 제1 및 제2 센스앰프의 선택을 제어하는 제1 제어회로; 및

제2 제어신호에 응답하여 상기 제3 센스앰프의 선택을 제어하는 제2 제어회로를 더 구비하는 데이터 리드 회로.

청구항 18

다수의 메모리 셀과 제1 및 제2 상태의 데이터를 각각 저장하는 제1 및 제2 기준 셀을 포함하는 셀 어레이;

상기 다수의 메모리 셀 각각에 연결된 제1 비트라인;

상기 제1 및 제2 기준 셀에 각각 연결된 제2 및 제3 비트라인; 및

상기 다수의 메모리 셀에 대응하여 배치되는 다수의 센스앰프 회로들을 포함하고, 각각의 센스앰프 회로는 상기 제1 비트라인을 통해 데이터 전압을 수신하고 상기 제2 및 제3 비트라인을 통해 제1 및 제2 기준전압을 수신하며, 상기 제1 및 제2 기준전압을 이용하여 상기 데이터 전압을 센싱 및 증폭하는 센스앰프 회로를 더 구비하는 불휘발성 메모리 장치.

청구항 19

제18항에 있어서,

상기 제1 상태의 데이터는 로직 하이의 데이터이며, 상기 제2 상태의 데이터는 로직 로우의 데이터인 불휘발성 메모리 장치.

청구항 20

제18항에 있어서, 상기 각각의 센스앰프 회로는,

제1 입력부를 통해 상기 데이터 전압을 수신하고, 제2 입력부를 통해 상기 제1 및 제2 기준전압을 수신하며, 상기 제1 및 제2 입력부로 제공되는 입력 신호들을 차동 증폭하여 차동 출력 신호를 발생하는 제1 센스앰프; 및

상기 차동 출력 신호를 센싱 및 증폭하여 증폭 신호를 발생하는 제2 센스앰프를 더 구비하는 불휘발성 메모리 장치.

청구항 21

제20항에 있어서,

상기 제1 센스앰프는, 상기 제1 및 제2 기준전압 중 적어도 하나와 상기 데이터 신호의 전압 레벨 차이를 적분하여 차동 출력 신호를 발생하는 적분 회로를 포함하며,

상기 제2 센스앰프는, 상기 차동 출력 신호를 센싱 및 증폭하는 증폭 회로를 포함하는 불휘발성 메모리 장치.

청구항 22

제20항에 있어서,

상기 제1 입력부는 상기 데이터 전압을 공통하게 수신하며 직렬하게 연결된 다수 개의 제1 MOS 트랜지스터를 포함하고, 상기 제2 입력부는 상기 제1 및 제2 기준전압을 수신하며 직렬하게 연결된 다수 개의 제2 MOS 트랜지스터를 포함하며,

상기 제1 센스앰프는,

상기 제1 입력부의 일 전극에 연결되고, 제1 차동 출력단의 전압을 저장하는 제1 커페시터;

상기 제2 입력부의 일 전극에 연결되고, 제2 차동 출력단의 전압을 저장하는 제2 커페시터; 및

제1 제어신호에 응답하여 상기 제1 및 제2 차동 출력단을 프리차지하기 위한 프리차지부를 더 포함하는 불휘발성 메모리 장치.

청구항 23

제22항에 있어서, 상기 제2 센스앰프는,

상기 제1 및 제2 차동 출력단을 통해 상기 차동 출력 신호를 수신하고, 상기 차동 출력 신호를 센싱 및 증폭하여 상기 차동 출력단을 통해 출력하는 래치 회로; 및

제2 제어신호에 응답하여 상기 래치 회로의 센싱 및 증폭 동작을 활성화하는 바이어스부를 포함하는 불휘발성 메모리 장치.

청구항 24

제23항에 있어서, 상기 센스앰프 회로는,

상기 제1 제어신호를 수신하고 이를 딜레이하며, 딜레이된 상기 제1 제어신호를 상기 제2 제어신호로서 상기 제2 센스앰프로 제공하는 딜레이부를 더 포함하는 포함하는 불휘발성 메모리 장치.

청구항 25

제18항에 있어서,

상기 제1 및 제2 상태의 데이터가 상기 제1 및 제2 기준 셀에 각각 주기적으로 재 라이트되는 불휘발성 메모리 장치.

청구항 26

제1 센스앰프의 차동 출력단을 프리차지하는 단계;

데이터 전압, 제1 및 제2 기준전압을 상기 제1 센스앰프로 제공하는 단계;

상기 데이터 전압과 상기 제1 및 제2 기준전압을 이용한 차동 증폭 동작을 수행하여 차동 출력 신호를 발생하는 단계;

소정의 지연시간 후 제2 센스앰프를 인에이블하는 단계; 및

상기 제2 센스앰프에서 상기 차동 출력 신호를 센싱 및 증폭하여 리드 데이터를 발생하는 단계를 구비하는 불휘발성 메모리 장치의 데이터 리드 방법.

청구항 27

제26항에 있어서,

상기 제1 및 제2 기준전압은, 제1 및 제2 상태의 데이터를 각각 저장하는 제1 및 제2 기준 셀로부터 발생되는 불휘발성 메모리 장치의 데이터 리드 방법.

청구항 28

제26항에 있어서, 상기 차동 출력 신호를 발생하는 단계는,

상기 제1 및 제2 기준전압 중 적어도 하나와 상기 데이터 전압과의 레벨 차이를 적분하는 동작을 포함하는 불휘발성 메모리 장치의 데이터 리드 방법.

청구항 29

제26항에 있어서,

상기 제2 센스앰프는, 상기 제1 센스앰프의 차동 출력단을 프리차지한 이후 상기 소정의 지연시간 후에 인에이블되는 불휘발성 메모리 장치의 데이터 리드 방법.

명세서**기술 분야**

[0001]

본 발명은 데이터 리드회로에 관한 것으로서, 자세하게는 다수의 기준전압들을 이용하여 데이터 리드동작을 수행하는 데이터 리드회로, 이를 포함하는 불휘발성 메모리 장치 및 불휘발성 메모리 장치의 데이터 리드 방법에 관한 것이다.

배경기술

[0002]

정보를 저장하기 위한 장치로서, 반도체 메모리 장치는 휘발성 메모리 장치와 불휘발성 메모리 장치로 분류될 수 있다. 불휘발성 메모리 장치는, PRAM(Phase change Random Access Memory)이나, 전이금속산화물(Complex Metal Oxides) 등의 가변저항 특성 물질을 이용한 RRAM(Resistive Random Access Memory), 및 강자성체 물질을 이용한 MRAM(Magnetic Random Access Memory), 강 유전체 커패시터를 이용한 FRAM(Ferroelectric Random Access Memory) 등의 메모리 장치를 포함한다.

[0003]

반도체 메모리 장치 분야에서, 집적도 증가, 동작 속도의 증가 및 데이터 신뢰성 확보 등의 성능(performance) 향상을 위한 다양한 연구가 시도되고 있다. 그러나, 반도체 메모리 장치의 공정 상의 편차(variation)나 반도체 메모리 장치를 동작하기 위한 각종 회로(예컨대, 데이터 기록이나 독출을 위한 회로)로 제공되는 신호의 편차 등 여러 요인들에 의한 성능 저하의 문제가 발생할 수 있다. 이러한 각종 요인에 기인한 성능 저하를 방지할 수 있는 반도체 메모리 장치의 설계가 필요하다.

발명의 내용**해결하려는 과제**

[0004]

본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 각종 요인의 편차에 대응하여 데이터의 신뢰성을 확보하는 등 성능을 향상할 수 있는 데이터 리드회로, 이를 포함하는 불휘발성 메모리 장치 및 불휘발성 메모리 장치의 데이터 리드 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0005]

상기와 같은 목적을 달성하기 위하여, 본 발명의 일실시예에 따른 불휘발성 메모리 장치는, 불휘발성 메모리 셀을 포함하는 셀 어레이와, 상기 불휘발성 메모리 셀에 연결되어 데이터 전압을 전달하는 비트라인 및 제1 입력부를 통해 상기 데이터 전압을 수신하고, 제2 입력부를 통해 적어도 두 개의 기준전압을 수신하며, 데이터 리드 동작시 상기 제1 및 제2 입력부로 제공되는 입력 신호들을 차동 증폭하여 리드 데이터를 발생하는 센스앰프 회로를 구비하는 것을 특징으로 한다.

[0006]

한편, 본 발명의 일실시예에 따른 데이터 리드 회로는, 불휘발성 메모리 셀로부터 데이터 전압을 수신하는 제1 입력부와, 제1 및 제2 기준전압을 수신하는 제2 입력부를 포함하며, 상기 제1 및 제2 입력부로 제공되는 입력 신호들을 차동 증폭하여 차동 출력 신호를 발생하는 제1 센스앰프 및 상기 차동 출력 신호를 센싱 및 증폭하여 증폭 신호를 발생하는 제2 센스앰프를 구비하는 것을 특징으로 한다.

[0007]

한편, 본 발명의 다른 실시예에 따른 불휘발성 메모리 장치는, 다수의 메모리 셀과 제1 및 제2 상태의

데이터를 각각 저장하는 제1 및 제2 기준 셀을 포함하는 셀 어레이와, 상기 다수의 메모리 셀 각각에 연결된 제1 비트라인과, 상기 제1 및 제2 기준 셀에 각각 연결된 제2 및 제3 비트라인 및 상기 다수의 메모리 셀에 대응하여 배치되는 다수의 센스앰프 회로들을 포함하고, 각각의 센스앰프 회로는 상기 제1 비트라인을 통해 데이터 전압을 수신하고 상기 제2 및 제3 비트라인을 통해 제1 및 제2 기준전압을 수신하며, 상기 제1 및 제2 기준전압을 이용하여 상기 데이터 전압을 센싱 및 증폭하는 센스앰프 회로 블록을 구비하는 것을 특징으로 한다.

[0008] 한편, 본 발명의 일실시예에 따른 불휘발성 메모리 장치의 데이터 리드 방법은, 제1 센스앰프의 차동 출력단을 프리차지하는 단계와, 데이터 전압, 제1 및 제2 기준전압을 상기 제1 센스앰프로 제공하는 단계와, 상기 데이터 전압과 상기 제1 및 제2 기준전압을 이용한 차동 증폭 동작을 수행하여 차동 출력 신호를 발생하는 단계와, 소정의 지연시간 후 제2 센스앰프를 인에이블하는 단계 및 상기 제2 센스앰프에서 상기 차동 출력 신호를 센싱 및 증폭하여 리드 데이터를 발생하는 단계를 구비하는 것을 특징으로 한다.

발명의 효과

[0009] 상기한 바와 같은 본 발명의 데이터 리드회로, 이를 포함하는 불휘발성 메모리 장치 및 불휘발성 메모리 장치의 데이터 리드 방법에 따르면, 불휘발성 메모리 장치에서 발생할 수 있는 각종 편차(variation)에도 불구하고 리드 데이터의 신뢰성을 향상할 수 있는 효과가 있다.

[0010] 또한, 본 발명의 데이터 리드회로, 이를 포함하는 불휘발성 메모리 장치 및 불휘발성 메모리 장치의 데이터 리드 방법에 따르면, 저장된 데이터의 억세스 타임을 감소시킬 수 있으므로 상기 불휘발성 메모리 장치를 대용량의 정보를 저장하는 용도 이외에 빠른 억세스를 요하는 메모리 용도로 사용될 수 있으며, 하나의 비트라인에 연결된 메모리 셀이 증가하더라도 억세스 타임이 증가하는 것을 방지할 수 있는 효과가 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 일실시예에 따른 메모리 시스템을 나타내는 블록도이다.

도 2a,b,c는 도 1의 불휘발성 메모리 장치의 일 구현예를 나타내는 블록도 및 회로도이다.

도 3은 본 발명의 불휘발성 메모리 장치에 구비되는 데이터 리드 회로의 일 구현예를 나타내는 회로도이다.

도 4는 불휘발성 메모리 장치의 일예로서 MRAM 장치의 다른 구현예를 나타내는 블록도이다.

도 5는 도 4의 불휘발성 메모리 장치의 데이터 리드 회로의 일 구현예를 나타내는 회로도이다.

도 6은 본 발명의 일실시예에 따른 데이터 리드 회로에 구비되는 센스앰프 회로의 일 구현예를 나타내는 블록도이다.

도 7 및 도 8은 도 6의 센스앰프 회로의 일 구현예를 나타내는 회로도이다.

도 9 및 도 10은 도 6의 센스앰프 회로의 입출력 파형의 예를 나타내는 그래프이다.

도 11a는 기존의 데이터 리드 회로의 데이터 신호 파형과 본 발명의 실시예에 데이터 리드 회로의 데이터 신호 파형을 비교하여 나타낸 그래프이다.

도 11b는 기존의 경우와 본 발명의 실시예에 따른 리드 동작 시 억세스 타임을 비교하여 나타낸 그래프이다.

도 12 및 도 13은 본 발명의 일실시예에 따른 불휘발성 메모리 장치의 데이터 리드 방법을 나타내는 플로우차트이다.

도 14는 본 발명의 다른 실시예에 따른 데이터 리드 회로의 일 구현예를 나타내는 회로도이다.

도 15는 본 발명의 다른 실시예에 따른 데이터 리드 회로의 일 구현예를 나타내는 블록도이다.

도 16 및 도 17은 본 발명의 일실시예에 따른 불휘발성 메모리 장치의 레이아웃의 일예를 나타내는 블록도이다.

도 18은 본 발명의 다른 실시예에 따른 불휘발성 메모리 장치의 데이터 리드회로의 일예를 나타내는 회로도이다.

도 19는 본 발명의 실시예에 따른 불휘발성 메모리 장치를 구비하는 전자 시스템의 응용예를 도시한 블록도이다.

도 20은 본 발명의 불휘발성 메모리 장치를 구비하는 단일 칩 마이크로 컴퓨터의 응용예를 도시한 블록도이다. 도 21은 본 발명에 따른 불휘발성 메모리 장치가 장착된 정보 처리 시스템의 일 예를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시 예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- [0013] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- [0014] 불휘발성 메모리 장치로서 PRAM(Phase change Random Access Memory)이나, RRAM(Resistive Random Access Memory), 및 MRAM(Magnetic Random Access Memory), FRAM(Ferroelectric Random Access Memory) 등의 메모리를 포함할 수 있다. 전술한 PRAM, RRAM 및 MRAM 등의 불휘발성 메모리 장치는 DRAM의 저비용, 고용량, SRAM의 동작 속도, 플래시 메모리의 불휘발성 특성을 모두 갖는 메모리이다. 일예로서, MRAM의 일종으로서 STT(Spin Torque Transfer)-MRAM의 리드 액세스 타임(Read Access Time)은 최근 10ns 이내로 감소하고 있다.
- [0015] 퍼포먼스 향상을 위하여, 메모리의 다양한 요인에 기인한 편차(variation)를 극복하는 것이 이슈로 제기되고 있다. 불휘발성 메모리 장치는 메모리 셀의 데이터를 리드하기 위한 리드 회로를 포함하며, 리드 회로는 메모리 셀의 디벨로프 전압을 기준전압과 비교하는 센스 앰프를 포함한다. MRAM, PRAM 및 RRAM 등의 비휘발성 메모리 장치에서, 데이터를 저장하는 셀 저항(resistance) 값이나, 전류 소스의 바이어스 전류값, 및 비트라인 저항 성분 등의 편차가 발생할 수 있으며, 또한 외부에서 인가되는 기준전압 또한 메모리 영역 전체에 걸쳐 글로벌하게 전달되기 때문에 편차가 발생할 수 있다. 이와 같은 편차에 따른 성능 저하의 문제가 발생할 수 있으므로, 이러한 각종 요인에 기인한 성능 저하를 방지할 수 있는 반도체 메모리 장치의 설계가 필요하다.
- [0016] 도 1은 본 발명의 일실시예에 따른 메모리 시스템을 나타내는 블록도이다. 도 1에 도시된 바와 같이, 메모리 시스템(1000)은 불휘발성 메모리 장치(1100)와 콘트롤러(1200)를 포함할 수 있다. 불휘발성 메모리 장치(1100)는 다수의 불휘발성 메모리 셀을 포함하는 메모리 셀 어레이와, 상기 메모리 셀 어레이의 리드/라이트 동작 등을 수행하기 위한 주변회로(Peripheral circuit)를 포함할 수 있다. 콘트롤러(1200)는 불휘발성 메모리 장치(1100)를 제어하기 위하여 커맨드/어드레스(CMD/ADD)를 발생하며, 또한 라이트 데이터(DATA)를 불휘발성 메모리 장치(1100)로 제공하거나, 리드 데이터(DATA)를 불휘발성 메모리 장치(1100)로부터 수신한다.
- [0017] 콘트롤러(1200)는 호스트(HOST)와의 인터페이스를 위한 호스트 인터페이스부(1210) 및 불휘발성 메모리 장치(1100)와의 인터페이스를 위한 메모리 인터페이스부(1230)를 포함할 수 있다. 또한, 콘트롤러(1200)의 전반적인 동작을 제어하기 위한 콘트롤 로직(1220)이 콘트롤러(1200)에 더 구비될 수 있다. 일예로서, 콘트롤 로직(1220)은 호스트(HOST)로부터 입력되는 명령에 따라 불휘발성 메모리 장치(1100)의 리드/라이트를 위한 각종 제어신호들을 메모리 인터페이스부(1230)를 통해 불휘발성 메모리 장치(1100)로 제공한다. 콘트롤 로직(1220)의 내부나 콘트롤 로직(1220)의 외부에는 램(RAM)이 배치될 수 있으며, 데이터 라이트 동작시 라이트 데이터를 램(RAM)에 일시 저장하거나, 데이터 리드 동작시 리드 데이터를 램(RAM)에 일시 저장할 수 있다.
- [0018] 상기와 같은 구성들의 명칭은 본 발명에 적용될 수 있는 하나의 예를 나타낸 것으로서, 상기 불휘발성 메모리 장치(1100)와 콘트롤러(1200)는 별도의 반도체 칩으로 구현될 수 있으며, 또는 별도의 반도체 패키지로 구현될 수 있다. 또한, 상기 불휘발성 메모리 장치(1100)와 콘트롤러(1200)는 동일한 칩에 집적되거나, 또는 하나의 반도체 패키지 내에 집적될 수 있으며, 이 경우 불휘발성 메모리 장치(1100)는 일종의 메모리 시스템으로서 메모리 장치와 콘트롤러를 포함하는 개념으로 정의되어도 무방하다. 또한 불휘발성 메모리 장치(1100)와 콘트롤러(1200)를 포함하는 메모리 시스템은 SD, MMC 등의 메모리 카드로 구현될 수 있다.
- [0019] 도 2a,b,c는 도 1의 불휘발성 메모리 장치의 일 구현예를 나타내는 블록도 및 회로도이다. 도 2a는 불휘발성 메모리 장치(1100)의 일 예로서 MRAM 장치의 일 구현예를 나타내는 블록도이며, 도 2b는 도 2a의 단위 셀을 나타내는 회로도이며, 도 2c는 도 2b의 단위 셀의 MTJ(Magnetic Tunnel Junction)의 구조를 나타내는 단면도이다.
- [0020] 도 2a,b,c를 참조하여 불휘발성 메모리 장치(1100)의 동작을 설명하면 다음과 같다. 도 2a에 도시된 바와 같이, 불휘발성 메모리 장치(1100)는, 다수의 메모리 셀을 포함하는 셀 어레이(1110), 셀 어레이(1110)의 워드라인을 선택하기 위한 로우 디코더(1120), 셀 어레이(1110)의 비트라인을 선택하기 위한 칼럼 디코더(1130), 상기 비트라인에 대해 프리차지 동작을 수행하는 프리차지 회로부(1140) 및 메모리 셀의 비트라인의 데이터를 센싱/증폭하는 센스앰프 회로 블록(1150)을 구비할 수 있다. 또한, 불휘발성 메모리 장치(1100)는, 워드라인 및/또는 비

트라인으로 공급되는 전류를 생성하는 전류 생성부(1160) 및 데이터 센싱을 위한 각종 기준전압들(VREFL, VREFH)을 발생하는 기준전압 발생부(1171, 1172)를 구비할 수 있다. 도 2a에서는, 그 일예로서, 하이 레벨을 갖는 기준전압(VREFH)을 발생하는 제1 기준전압 발생부(1171)와, 로우 레벨을 갖는 기준전압(VREFL)을 발생하는 제2 기준전압 발생부(1172)가 도시된다.

[0021] 셀 어레이(1110)는 워드라인 및 비트라인의 교차점 영역에 형성되는 다수의 메모리 셀(MRAM 셀, 1111)을 포함한다. 메모리 셀(1111)은 하나의 셀 트랜지스터(CT)와 하나의 MTJ를 포함할 수 있다. 도 2a에 도시되지는 않았으나, 데이터 라이트 동작시, MTJ에 형성되는 자계의 방향을 가변하기 위한 디지트 라인들 및 디지트라인 디코더가 불휘발성 메모리 장치(1100)에 더 구비될 수 있다.

[0022] 한편, 로우 디코더(1120) 및 칼럼 디코더(1130)는 각각 MOS 트랜지스터 기반의 다수의 스위치들을 포함하고, 로우 디코더(1120)는 로우 어드레스에 응답하여 워드라인들(WL)을 선택하며, 칼럼 디코더(1130)는 칼럼 어드레스(미도시)에 응답하여 비트라인들(BL)을 선택한다. 프리차지 회로부(1140)는 비트라인들(BL)을 소정의 프리차지 레벨로 프리차지하며, 이후 데이터 리드시 메모리 셀(1111)에 저장된 데이터 값에 따라 비트라인들(BL)의 전압이 디벨로프된다. 센스앰프 회로 블록(1150)은 비트라인들(BL)에 대응하여 다수 개의 센스앰프 회로를 포함하며, 디벨로프된 비트라인들(BL)의 전압을 센싱 및 증폭한다.

[0023] 또한, 전류 생성부(1160)에서 생성된 전류는 일정한 값으로서 비트라인들(BL)로 제공된다. 비트라인들(BL)의 전압 레벨은 상기 전류 생성부(1160)에서 생성된 전류 값 및 메모리 셀(1111)에 저장된 데이터 값에 기반하는 레벨을 가질 수 있다. 예를 들면, 메모리 셀(1111)의 MTJ는 라이트 된 데이터 값에 따라 상대적으로 큰 저항값이나 작은 저항값을 가지며, 상기 저항값의 변동에 따라 서로 다른 레벨을 갖는 전압이 비트라인들(BL)을 통해 데이터 전압으로서 센스앰프 회로 블록(1150)으로 제공된다.

[0024] 한편, 본 발명의 실시예에 따르면, 적어도 두 개 이상의 기준전압(VREFL, VREFH)이 센스앰프 회로 블록(1150)으로 제공된다. 도 2a에서는 제1 및 제2 기준전압(VREFL, VREFH)이 각각 불휘발성 메모리 장치(1100) 내의 제1 및 제2 기준전압 발생부(1171, 1172)에서 각각 생성되는 것으로 도시되었으나, 상기 제1 및 제2 기준전압(VREFL, VREFH)은 컨트롤러(1200)에서 생성되어 불휘발성 메모리 장치(1100)로 제공되어도 무방하다. 센스앰프 회로 블록(1150)은 비트라인들(BL)에 대응하여 다수 개의 센스앰프 회로(미도시)를 포함하며, 각각의 센스앰프 회로는 데이터 전압 및 제1 및 제2 기준전압(VREFL, VREFH)을 입력단을 통해 수신한다.

[0025] 또한, 센스앰프 회로는 데이터 전압과 제1 및 제2 기준전압(VREFL, VREFH) 사이의 전압 차이에 따라 디벨로프되는 차동 출력 신호를 발생한다. 즉, 단일 신호로서 입력된 데이터 전압을 차동 증폭하여 상기 차동 출력 신호를 발생한다. 또한, 상기 차동 출력 신호는, 데이터 전압과 제1 및 제2 기준전압(VREFL, VREFH)의 레벨 차이에 상응하는 전압을 저장하기 위한 커페시터(미도시)에 의해 생성될 수 있으며, 이에 따라 상기 센스앰프 회로는 소정의 커페시터를 이용하여 전압을 누적하는 적분(integrating) 회로를 포함할 수 있다. 또한 상기 차동 출력 신호를 소정의 시점에서 센싱/증폭함에 의하여 리드 데이터를 발생한다. 상기와 같은 센스앰프 회로 블록(1150)의 자세한 동작은 후술한다.

[0026] 도 2b는 도 2a의 단위 셀을 나타내는 회로도로서, 도 2b에 도시된 바와 같이 상기 메모리 셀(1111)은 MTJ(Magnetic Tunnel Junction) 및 셀 트랜지스터(CT)를 포함할 수 있다. 셀 트랜지스터(CT)의 게이트는 워드라인(예컨대, 제1 워드라인 WL0)에 연결되고, 셀 트랜지스터(CT)의 일 전극은 MTJ를 통해 비트라인(예컨대, 제1 비트라인 BL0)에 연결된다. 또한, 셀 트랜지스터(CT)의 다른 일 전극은 소스 라인(예컨대, 제1 소스라인 SL0)에 연결된다. 데이터를 라이트하기 위한 전류는 비트라인에서 소스라인 방향으로 전달되거나, 또는 소스라인에서 비트라인 방향으로 전달될 수 있다. 전류가 전달되는 방향에 따라 MTJ 내에 형성되는 백터의 방향이 결정되며, 이후 리드 동작시 상기 결정된 백터의 방향에 따라 MTJ에 형성되는 저항 값은 서로 다른 값을 갖는다.

[0027] 도 2c는 도 2b의 메모리 셀의 MTJ(Magnetic Tunnel Junction)의 구조의 일예를 나타내는 단면도로서, 도 2c에 도시된 바와 같이 상기 MTJ는 고정층(fixed layer, 1111_1), 자유층(free layer, 1111_2) 및 이들 사이에 배치되는 터널층(tunnel layer, 1111_3)을 포함할 수 있다. 또한, 고정층(1111_1)에 접촉된 제1 전극(E1)과 자유층(1111_2)에 접촉된 제2 전극(E2)이 더 구비될 수 있다. 도 2c에 도시되지는 않았으나, 고정층(1111_1)의 자화 방향을 고정시키기 위하여, 예컨대 제1 전극(E1)과 고정층(1111_1) 사이에 반 강자성층(anti-ferromagnetic layer, 미도시)이 더 구비될 수 있다.

[0028] 고정층(1111_1)의 자화 방향은 고정되어 있으며, 자유층(1111_2)의 자화 방향은 고정층(1111_1)과 동일한 자화 방향을 갖거나 또는 반대의 방향을 가질 수 있다. 제1 전극(E1)과 제2 전극(E2) 사이에 라이트 전류(WC1, WC2)

가 인가될 수 있으며, 상기 라이트 전류(WC1, WC2)의 방향에 따라 자유층(1111_2)의 자화 방향이 결정된다. 예컨대, 제2 전극(E2)에서 제1 전극(E1)으로 라이트 전류(WC1)를 인가하면, 자유층(1111_2)은 고정층(1111_1)과 동일한 자화 방향으로 자화될 수 있다.

[0029] MTJ의 저항 값은 자유층(1111_2)의 자화 방향에 따라 다른 값을 갖는다. 예컨대, 자유층(1111_2)의 자화 방향이 고정층(1111_1)의 자화 방향과 동일한 경우, MTJ의 저항 값은 낮은 값을 가지며 이는 데이터 '0'을 저장한 것에 대응할 수 있다. 반면에, 자유층(1111_2)의 자화 방향이 고정층(1111_1)의 자화 방향과 반대의 방향을 갖는 경우, MTJ의 저항 값은 높은 값을 가지며 이는 데이터 '1'을 저장한 것에 대응할 수 있다.

[0030] 도 3은 본 발명의 불휘발성 메모리 장치에 구비되는 데이터 리드 회로의 일 구현예를 나타내는 회로도이다. 데이터 리드 회로는 리드 패스(read path) 상에 배치되어 데이터의 리드 동작에 관여하는 회로들을 포함하는 개념으로 정의될 수 있다. 상기 데이터 리드 회로(1300)는, 도 2a에 도시된 각종 구성들의 적어도 일부나 또는 도 2a에 도시되지 않은 다른 구성을 더 포함할 수 있다. 또한, 도 3에서는 어느 하나의 메모리 셀(1111)의 데이터를 리드하기 위한 데이터 리드 회로(1300)가 도시되었으나, 다수의 메모리 셀들의 데이터를 병렬하게 리드하기 위한 다수의 데이터 리드 회로들이 불휘발성 메모리 장치(1100) 내에 구비될 수 있다.

[0031] 도 1 및 도 3을 참조하여 상기 데이터 리드 회로(1300)의 구체적인 구성 및 동작을 설명하면 다음과 같다.

[0032] 도 3에 도시된 바와 같이, 데이터 리드 회로(1300)는 비트라인에 연결되어 비트라인을 소정의 레벨로 프리차지하기 위한 프리차지 회로(1141), 비트라인을 선택하기 위한 비트라인 선택 회로(1131), 비트라인을 클램핑하기 위한 클램핑 회로(1191), 비트라인으로 전류를 제공하는 전류원(1161) 및 데이터 전압(VSA)과 적어도 두 개의 기준전압(VREFH, VREFL)을 수신하고 센싱/증폭 동작을 수행하는 센스앰프 회로(1151)를 포함할 수 있다. 또한 도 3에 도시된 저항(Rb1)은 비트라인 자체에 기인한 저항 성분을 나타내며, 센스앰프 회로(1151)의 출력(VOUT)은 소정의 래치 회로(미도시)에 의해 래치되어 리드 데이터로서 외부로 제공될 수 있다.

[0033] 한편, 프리차지 회로(1141)는 비트라인 각각에 대응하여 배치될 수 있으며, 도 2a의 프리차지 회로부(1140)에 포함될 수 있다. 또한, 비트라인 선택 회로(1131)는 칼럼 어드레스의 디코딩 결과에 응답하여 온/오프가 제어되는 회로로서, 도 2a의 칼럼 디코더(1130)에 포함될 수 있다. 이와 유사하게 클램핑 회로(1191) 또한 비트라인 각각에 대응하여 배치될 수 있으며, 센스앰프 회로(1151)는 비트라인들 각각의 데이터 전압(VSA)을 센싱 및 증폭하기 위한 것으로서 도 2a의 센스앰프 회로 블록(1150)에 포함될 수 있다.

[0034] 한편, 전류원(1161)은 도 2a의 전류 생성부(1160)에 포함되는 구성일 수 있으며, 또는 전류 생성부(1160)에서 생성되는 전류가 다수의 비트라인들로 공통하게 제공될 수도 있다. 또한, 도 3에는 도시되지 않았으나, 상기 메모리 셀(1111)과 비트라인 선택 회로(1131) 사이의 노드로 소정 레벨의 전압을 제공하기 위한 추가의 프리차지 회로(미도시)가 데이터 리드 회로(1300)에 더 구비될 수 있다. 상기 추가의 프리차지 회로(미도시)의 동작에 기반하여, 선택되지 않은 비트라인으로 상기 소정 레벨의 전압의 제공을 유지하고, 선택된 비트라인으로는 상기 소정 레벨의 전압의 제공을 차단할 수 있다.

[0035] 본 발명의 실시예에 따르면, 불휘발성 메모리 장치(1100)는 데이터 전압(VSA)을 리드함에 있어서 적어도 두 개의 기준전압(VREFH, VREFL)을 이용한 센싱/증폭 동작을 수행한다. 또한, 데이터 전압(VSA)과 적어도 두 개의 기준전압(VREFH, VREFL) 사이의 전압 레벨 차이에 따른 적분(integrating) 동작을 수행하고, 상기 적분 동작에 기반하여 하나의 데이터 전압(VSA)을 차동 증폭한 차동 출력 신호(미도시)를 발생한다. 또한, 상기 차동 출력 신호에 대한 센싱/증폭 동작을 수행함으로써 상기 출력(VOUT)을 발생시킨다. 이를 위하여, 센스앰프 회로(1151)는 데이터 전압(VSA)에 응답하여 차동 출력 신호를 발생하는 제1 센스앰프와 상기 차동 출력 신호를 센싱/증폭하여 상기 출력(VOUT)을 발생시키는 제2 센스앰프(이상, 미도시)를 포함할 수 있다. 또한, 제1 센스앰프는 데이터 전압(VSA)과 적어도 두 개의 기준전압(VREFH, VREFL)을 포함하는 입력 신호들의 차동 증폭 동작을 수행하는 적분 회로로 구현될 수 있다.

[0036] 도 3에 도시된 데이터 리드 회로(1300)의 구체적인 동작을 설명하면 다음과 같다. 상기 적어도 두 개의 기준전압(VREFH, VREFL)은 제1 및 제2 기준전압(VREFH, VREFL)인 것으로 가정한다.

[0037] 메모리 셀(1111)에 연결되는 비트라인이 소정의 레벨로 프리차지 되며, 이후 메모리 셀(1111)의 데이터를 리드하기 위하여 비트라인 선택 회로(1131)가 선택된다. 클램핑 회로(1191)의 게이트로는 일정한 전압이 제공되며, 또한 전류원(1161)은 일정한 레벨을 갖는 전류를 센스앰프 회로(1151)의 제1 입력단(데이터 전압(VSA))을 수신하는 입력단으로 제공한다. 또한, 메모리 셀(1111)의 MTJ는 저장된 데이터에 따라 서로 다른 저항값을 가지며, 상기 MTJ의 저항값에 따라 센스앰프 회로(1151)의 제1 입력단의 데이터 전압(VSA)이 디벨로프된다.

- [0038] 한편, 센스앰프 회로(1151)의 제2 및 제3 입력단은 각각 제1 및 제2 기준전압(VREFH, VREFL)을 수신한다. 전술한 바와 같이, 제1 및 제2 기준전압(VREFH, VREFL)은 외부로부터의 소정의 전원전압을 이용하여 불휘발성 메모리 장치(1100) 내에서 생성될 수 있으며, 또는 제1 및 제2 기준전압(VREFH, VREFL)은 외부로부터 직접 제공될 수 있다.
- [0039] 센스앰프 회로(1151) 내에서, 데이터 전압(VSA) 레벨은 제1 및 제2 기준전압(VREFH, VREFL)의 레벨과 각각 비교되며, 전압 레벨 차이에 따른 적분 동작을 수행함으로써 차동 출력 신호를 발생시킨다. 또한, 차동 출력 신호가 발생되는 도중 특정한 시점에서 상기 차동 출력 신호를 센싱, 증폭함으로써 출력(VOUT)을 발생시킨다. 제1 및 제2 기준전압(VREFH, VREFL)은 일정한 전압레벨을 가질 수 있으며, 데이터 전압(VSA)이 디벨로프됨에 따라 데이터 전압(VSA)과 제1 및 제2 기준전압(VREFH, VREFL) 사이의 전압 레벨의 차이가 발생한다.
- [0040] 도 4는 불휘발성 메모리 장치의 일예로서 MRAM 장치의 다른 구현예를 나타내는 블록도이며, 도 5는 도 4의 불휘발성 메모리 장치의 데이터 리드 회로의 일 구현예를 나타내는 회로도이다. 도 4 및 도 5의 불휘발성 메모리 장치의 구성 및 동작을 설명함에 있어서 도 2a,b,c에 도시된 구성과 동일한 구성에 대해서는 자세한 설명을 생략한다.
- [0041] 도 4에 도시된 바와 같이, 상기 불휘발성 메모리 장치(1100)는 데이터를 저장하는 셀 어레이(1110)와 워드라인을 선택하기 위한 로우 디코더(1120) 및 비트라인을 선택하기 위한 칼럼 디코더(1130)를 포함한다. 또한, 상기 불휘발성 메모리 장치(1100)는 비트라인을 소정의 레벨로 프리차지하기 위한 프리차지 회로(1140), 메모리 셀의 비트라인의 데이터를 센싱/증폭하는 센스앰프 회로 블록(1150) 및 워드라인 및/또는 비트라인으로 공급되는 전류를 생성하는 전류 생성부(1160)를 더 구비한다. 셀 어레이(1110)는 데이터를 저장하는 다수의 메모리 셀(예컨대 MRAM 셀, 1111)을 포함한다.
- [0042] 도 4에 도시된 불휘발성 메모리 장치(1100)는, 데이터를 리드하기 위한 기준전압들(예컨대, 제1 및 제2 기준전압, VREFH, VREFL)을 MRAM 셀로부터 생성한다. 이를 위하여, 상기 불휘발성 메모리 장치(1100)는 기준 셀 어레이(1180)를 더 구비하며, 기준 셀 어레이(1180)는 제1 및 제2 기준전압(VREFH, VREFL)을 제공하는 다수 개의 기준 셀(reference cell)을 포함한다. 데이터를 저장하는 셀 어레이(1110)의 메모리 셀(1111)과 기준 셀 어레이(1180)의 기준 셀은 동일한 셀 구조를 가질 수 있다.
- [0043] 기준 셀 어레이(1180)의 기준 셀(1181, 1182)에 대해서는 로직 하이나 로직 로우에 해당하는 데이터가 저장될 수 있다. 예컨대, 기준 셀 어레이(1180)의 일부 셀(제1 셀, 1181)에는 로직 하이의 데이터가 라이트되고, 나머지 일부 셀(제2 셀, 1182)에는 로직 로우의 데이터가 라이트된다. 기준 셀 어레이(1180)는 워드라인들의 적어도 일부에 대응하여 제1 기준 셀(1181) 및 제2 기준 셀(1182)이 배치될 수 있으며, 또는 모든 워드라인들 각각에 대하여 제1 기준 셀(1181) 및 제2 기준 셀(1182)이 배치될 수 있다. 이에 따라, 셀 어레이(1110)에 대한 리드 동작시, 기준 셀 어레이(1180)의 제1 및 제2 기준 셀(1181, 1182)에 기록된 정보가 함께 리드된다.
- [0044] 기준 셀(1181, 1182)에 대한 라이트 동작은 메모리 셀(1111)에 대한 라이트동작시 함께 수행될 수 있다. 기준 셀(1181, 1182)에 대한 라이트 동작은 최초 1 회 수행될 수 있으며, 상기 1 회 라이트 동작이 수행된 기준 셀(1181, 1182)을 반복적으로 리드함으로써 제1 및 제2 기준전압(VREFH, VREFL)을 얻을 수 있다. 또한, 셀 어레이(1110)의 워드라인 선택시 기준 셀(1181, 1182)이 함께 선택되고, 상기 셀 어레이(1110)의 해당 워드라인에 대한 라이트 동작시 기준 셀(1181, 1182)을 함께 라이트할 수 있다. 즉, 데이터가 갱신될 때마다 기준 셀(1181, 1182)에 대한 라이트 동작이 반복적으로 수행될 수 있다. 또한, MRAM 등과 같은 메모리가 적용되는 경우, 메모리 셀(1111)이나 기준 셀(1181, 1182)에 저장된 데이터 값(예컨대, MTJ의 저항값)은 시간이 지날수록 그 값이 변동할 수 있다. 이에 따라, 메모리 셀(1111)에 대하여 소정의 시간 주기에 따라 데이터를 재-라이트하는 동작이 수행될 수 있으며, 상기 메모리 셀(1111)에 대한 재-라이트 동작시 기준 셀(1181, 1182)에 대해서도 재-라이트 동작이 수행되도록 할 수 있다.
- [0045] 상기 기준 셀 어레이(1180)에 대응하여 비트라인이 추가로 배치되며, 상기 비트라인에 대한 프리차지 동작 및 선택 동작은 데이터를 저장하는 셀 어레이(1110)에 대응하는 비트라인과 동일 또는 유사하게 수행된다. 데이터 리드시, 칼럼 디코더(1130)는 제1 기준 셀(1181) 및 제2 기준 셀(1182)에 연결된 비트라인을 선택한다. 제1 기준 셀(1181) 및 제2 기준 셀(1182)에 연결된 비트라인의 전압들이 디벨로프되며, 디벨로프된 전압들은 각각 제1 및 제2 기준전압(VREFH, VREFL)으로서 센스앰프 회로 블록(1150)으로 제공된다. 센스앰프 회로 블록(1150)은 다수 개의 센스앰프 회로들을 구비하며, 각각의 센스앰프 회로는 이에 대응하는 데이터 전압(VSA)과 함께 상기 제1 및 제2 기준전압(VREFH, VREFL)을 수신한다.

- [0046] 메모리 셀(1111)에는 로직 하이 및 로직 로우 중 어느 하나의 데이터가 저장되며, 제1 기준 셀(1181)은 로직 하이의 데이터를 저장하고, 제2 기준 셀(1182)은 로직 로우의 데이터를 저장한다. 메모리 셀(1111)에 저장된 데이터에 따라, 데이터 전압(VSA)은 제1 및 제2 기준전압(VREFH, VREFL) 중 어느 하나와 대략 동일한 레벨을 가지며, 나머지 하나와는 서로 다른 레벨을 갖는다. 데이터 전압(VSA)과 제1 및 제2 기준전압(VREFH, VREFL) 사이의 레벨 차이에 따른 차동 증폭 동작을 수행함에 있어서, 예컨대 메모리 셀(1111)에 로직 하이의 데이터가 저장된 경우에는 데이터 전압(VSA)과 제2 기준전압(VREFL) 사이의 레벨 차이에 따른 차동 출력 신호가 발생된다.
- [0047] 한편, 도 5의 데이터 리드 회로(1300)의 구성 및 동작을 설명하면 다음과 같다. 데이터 리드 회로(1300)는, 메모리 셀(1111)에 저장된 데이터에 따라 데이터 전압(VSA)을 발생하는 리드 패스(VSA Path) 회로와 함께, 제1 기준전압(VREFH)을 발생하는 제1 기준 패스(VREFH Path) 회로 및 제2 기준전압(VREFL)을 발생하는 제2 기준 패스(VREFL Path) 회로를 포함할 수 있다. 제1 및 제2 기준 패스(VREFH Path, VREFL Path)에는 데이터 패스(VSA Path)에 구비되는 각종 회로들이 동일하게 배치될 수 있다. 예컨대, 도 5에 도시된 바와 같이, 제1 기준 패스(VREFH Path) 회로는 제1 기준 셀(1181)에 연결된 프리차지 회로(1142), 비트라인 선택 회로(1132), 클램핑 회로(1192) 및 전류원(1162)을 포함할 수 있으며, 제2 기준 패스(VREFL Path) 회로 또한 이와 유사하게 제2 기준 셀(1182)에 연결된 프리차지 회로(1143), 비트라인 선택 회로(1133), 클램핑 회로(1193) 및 전류원(1163)을 포함할 수 있다. 각각의 전류원들(1161~1163)이 서로 다른 전류원인 것으로 도시되었으나, 어느 하나의 공통한 전류원으로부터의 전류가 이용되어도 무방하다.
- [0048] 메모리 셀(1111)에 연결되는 비트라인(이하, 제1 비트라인)을 통해, 데이터 전압(VSA)이 센스앰프 회로(1151)의 제1 입력단으로 제공된다. 또한, 제1 및 제2 기준 셀(1181, 1182)에 각각 연결되는 비트라인들(이하, 제1 및 제2 기준 비트라인)을 통해, 제1 및 제2 기준전압(VREFH, VREFL)이 센스앰프 회로(1151)의 제2 및 제3 입력단으로 각각 제공된다. 센스앰프 회로(1151)는 전술한 바와 같은 적분 및 센싱/증폭 동작에 기반하여 출력(VOUT)을 발생한다.
- [0049] 도 5에 도시된 구성에 따르면, 셀 어레이(1110)의 다수의 메모리 셀들에 대응하여 한 쌍의 제1 및 제2 기준 셀(1181, 1182)만이 배치될 수 있으므로 영역 폐널티(Area penalty)가 그리 크지 않다. 예를 들면, 하나의 워드라인에 대응하여 다수 개의 메모리 셀들 및 제1 및 제2 기준 셀(1181, 1182)이 배치될 수 있으며, 상기 메모리 셀들의 데이터를 센싱하기 위한 다수 개의 센스앰프 회로들은 제1 및 제2 기준 셀(1181, 1182)에서 발생되는 제1 및 제2 기준전압(VREFH, VREFL)을 공통하게 이용할 수 있다.
- [0050] 도 6은 본 발명의 일실시예에 따른 데이터 리드 회로에 구비되는 센스앰프 회로의 일 구현예를 나타내는 블록도이다.
- [0051] 도 6에 도시된 바와 같이, 상기 센스앰프 회로(1151)는 비트라인들 각각에 대응하여 배치될 수 있으며, 또한 제1 센스앰프(2100) 및 제2 센스앰프(2200)를 구비할 수 있다. 또한, 제1 센스앰프(2100) 및/또는 제2 센스앰프(2200)의 인에이블 타이밍을 제어하기 위한 딜레이부(2300)가 센스앰프 회로(1151)에 더 구비될 수 있다. 제1 센스앰프(2100)는 데이터 전압(VSA), 제1 및 제2 기준전압(VREFH, VREFL)을 수신하고, 데이터 전압(VSA)과 적어도 두 개의 기준전압(VREFH, VREFL) 사이의 레벨 차이에 따라 디벨로프되는 차동 출력 신호(VOUT, VOUTb)를 발생한다.
- [0052] 일예로서, 제1 및 제2 기준전압(VREFH, VREFL)이 도 4에서와 같이 기준 셀들에 의해 발생되는 경우, 제1 및 제2 기준전압(VREFH, VREFL) 중 어느 하나와 데이터 전압(VSA) 사이의 레벨 차이에 따라 차동 출력 신호(VOUT, VOUTb)가 발생된다. 또한, 제2 센스앰프(2200)는 차동 출력 신호(VOUT, VOUTb)를 센싱/증폭하여 출력한다. 도 6에는 제1 및 제2 센스앰프(2100, 2200)의 출력단이 서로 공유되고, 제2 센스앰프(2200)의 입력단과 출력단이 동일한 것으로 도시되었으나, 본 발명의 실시예는 반드시 이에 국한될 필요는 없다. 예컨대, 제2 센스앰프(2200)는 차동 출력 신호(VOUT, VOUTb)를 센싱 및 증폭한 신호를 다른 출력단을 통해 출력하여도 무방하다.
- [0053] 제1 센스앰프(2100)를 인에이블하기 위한 제어신호(Ctr1)가 제1 센스앰프(2100)로 제공되며, 또한 상기 제어신호(Ctr1)는 딜레이부(2300)를 거쳐 제2 센스앰프(2200)로 제공된다. 이에 따라, 제2 센스앰프(2200)는 소정의 딜레이 후에 인에이블된다. 차동 증폭 동작에 따라 차동 출력 신호(VOUT, VOUTb)가 디벨로프되며, 소정의 딜레이 후에 제2 센스앰프(2200)가 인에이블됨에 따라 차동 출력 신호(VOUT, VOUTb)를 센싱/증폭한다. 이에 따라, 충분히 디벨로프된 차동 출력 신호(VOUT, VOUTb)를 센싱/증폭함으로써 데이터의 정확도를 향상 가능하며, 또한 증폭된 차동 출력 신호(VOUT, VOUTb)를 소정의 시점에서 래치(latch)함으로써, 풀 디지털 전압(full digital voltage) 레벨을 갖는 데이터 신호를 발생할 수 있다.

- [0054] 도 7 및 도 8은 도 6의 센스앰프 회로의 일 구현예를 나타내는 회로도이다. 도 8은 도 7의 제1 및 제2 센스앰프(2100, 2200)를 서로 분리하여 도시한 회로도이다. 도 7 및 도 8을 참조하여, 상기 센스앰프 회로(1151)의 구성 및 동작을 설명하면 다음과 같다.
- [0055] 센스앰프 회로(1151)는 제1 및 제2 센스앰프(2100, 2200)와 딜레이부(2300)를 구비할 수 있다. 제1 센스앰프(2100)는 메모리 셀에 저장된 데이터 값에 따른 데이터 전압(VSA)을 수신하는 제1 입력부(2110), 제1 및 제2 기준전압(VREFH, VREFL)을 수신하는 제2 입력부(2120) 및 제1 센스앰프(2100)를 바이어싱하기 위한 바이어스부(2130)를 구비할 수 있다. 또한, 제1 센스앰프(2100)는 데이터 전압(VSA)과 제1 및 제2 기준전압(VREFH, VREFL)의 차동 증폭 신호를 저장하는 하나 이상의 커페시터들(2141, 2142) 및 차동 출력단을 소정의 레벨로 프리차지하기 위한 프리차지부(2150)를 더 구비할 수 있다.
- [0056] 제1 입력부(2110)는 데이터 전압(VSA)을 수신하는 복수 개의 입력 단자를 구비한다. 일예로서, 제1 입력부(2110)는 스택 구조의 2 개의 MOS 트랜지스터들을 포함하며, 데이터 전압(VSA)은 2 개의 MOS 트랜지스터들의 게이트로 제공된다. 또한, 제2 입력부(2120)는 제1 및 제2 기준전압(VREFH, VREFL)을 수신하는 복수 개의 입력 단자를 구비하며, 일예로서 제2 입력부(2120) 또한 스택 구조의 2 개의 MOS 트랜지스터들을 포함한다. 제1 및 제2 기준전압(VREFH, VREFL)은 제2 입력부(2120)의 2 개의 MOS 트랜지스터들의 게이트로 각각 제공된다. 제1 커페시터(2141)는 제1 차동 출력단을 통해 제1 입력부(2110)와 연결되며, 제2 커페시터(2142)는 제2 차동 출력단을 통해 제2 입력부(2120)와 연결된다.
- [0057] 리드 동작을 수행하기 전에, 제어신호(Ctrl)에 응답하여 제1 센스앰프(2100)의 프리차지부(2150)가 활성화되며, 제1 센스앰프(2100)의 차동 출력단이 소정의 프리차지 전압으로 프리차지된다. 이후, 제1 및 제2 입력부(2110, 2120)로 제공되는 데이터 전압(VSA)과 제1 및 제2 기준전압(VREFH, VREFL)의 레벨 차이에 따라 상기 차동 출력단을 통하는 전류 값에 차이가 발생하며, 또한 이에 따라 차동 출력단에 인가되는 전압의 레벨이 변동된다. 변동된 전압은 제1 및 제2 커페시터(2141, 2142)에 저장된다.
- [0058] 일예로서, 제1 및 제2 기준전압(VREFH, VREFL)이 기준 셀 어레이로부터 발생되고 메모리 셀의 데이터가 로직 하이에 해당하는 값을 갖는 경우, 데이터 전압(VSA)과 제1 기준전압(VREFH)은 실질적으로 동일한 레벨을 가지며, 이에 따라 데이터 전압(VSA)과 제2 기준전압(VREFL)의 레벨 차이에 기반하여 적분 동작이 수행된다. 상기 적분 결과에 따라 차동 출력 신호(VOUT, VOUTb) 사이의 전압차가 점차 증가한다.
- [0059] 제2 센스앰프(2200)는 제1 센스앰프(2100)의 프리차지부(2150)가 인에이블된 시점 이후 소정의 지연시간 후에 인에이블된다. 일예로서, 프리차지부(2150)로 제공되는 제어신호(Ctrl)는 딜레이부(2300)를 거쳐 제2 센스앰프(2200)의 바이어스부(2220)로 제공된다. 즉, 제1 센스앰프(2100)의 적분 동작을 위한 시간을 확보하기 위하여 제2 센스앰프(2200)의 인에이블 시점을 조절한다(또는, 차동 출력 신호(VOUT, VOUTb)의 센싱 시점을 조절한다). 제1 센스앰프(2100)의 출력으로서 차동 출력 신호(VOUT, VOUTb)가 충분히 디벨로프되면 제2 센스앰프(2200)가 인에이블되며, 제2 센스앰프(2200)는 상기 차동 출력 신호(VOUT, VOUTb)를 센싱/증폭하여 증폭된 차동 출력 신호(VOUT, VOUTb)를 발생한다.
- [0060] 도 8의 예에서는 다수의 인버터를 이용하여 딜레이부(2300)를 구현하고, 제1 센스앰프(2100)의 프리차지부(2150)를 제어하는 제어신호(Ctrl)를 지연하여 센싱 시점을 조절하는 예가 도시되었으나 본 발명의 실시예는 이에 국한될 필요는 없다. 일예로서, 제1 센스앰프(2100)의 프리차지부(2150) 제2 센스앰프(2200)의 바이어스부(2220)는 별도의 제어신호에 의해 제어될 수 있으며, 각각의 제어신호의 활성화 타이밍을 조절하는 경우 상기 딜레이부(2300)는 생략될 수 있다. 또한, 입력 신호를 센싱/증폭하는 제1 및 제2 센스앰프(2100, 2200)의 경우, 그 전압 이득은 제1 및 제2 센스앰프(2100, 2200)를 구성하는 MOS 트랜지스터 등의 소자 특성에 따라 변동될 수 있다. 증폭 동작의 전압 이득을 조절함으로써 제1 및 제2 센스앰프(2100, 2200)의 출력 과형을 변동할 수도 있을 것이다.
- [0061] 도 9 및 도 10은 도 6의 센스앰프 회로의 입출력 과형의 예를 나타내는 그래프이다. 도 9는 제1 및 제2 기준전압(VREFH, VREFL)이 기준 셀 어레이로부터 발생되는 경우의 그래프이며, 도 10은 제1 및 제2 기준전압(VREFH, VREFL)이 기준전압 발생부로부터 발생되는 경우의 그래프이다. 도 7 내지 도 10을 참조하여, 상기 센스앰프 회로(1151)의 동작을 설명하면 다음과 같다. 메모리 셀에는 로직 하이의 데이터가 저장되는 것으로 가정한다.
- [0062] 제1 센스앰프(2100)의 차동 출력 신호(VOUT, VOUTb)는 프리차지 레벨(prech)을 유지한다. 이후, 리드 동작을 위하여 메모리 셀이 선택되면 상기 메모리 셀에 연결된 비트라인의 데이터 전압(VSA)이 디벨로프된다. 메모리 셀이 선택됨과 함께 제1 및 제2 기준 셀이 선택됨에 따라 제1 및 제2 기준전압(VREFH, VREFL) 또한 디벨로프된다.

데이터 전압(VSA)은 제1 기준전압(VREFH)과 대략 동일한 값을 갖는다.

[0063] 데이터 전압(VSA)과 제2 기준전압(VREFL)의 레벨 차이의 변화에 따라 차동 출력 신호(VOUT, VOUTb)가 디벨로프되며, 소정의 지연시간 후에 센싱 동작이 수행된다. 센싱 동작은 제2 센스앰프(2200)를 인에이블시킴에 의해 수행될 수 있으며, 상기 센싱에 의하여 차동 출력 신호(VOUT, VOUTb)가 풀 디지털(full digital) 레벨로 증폭된다. 증폭된 차동 출력 신호(VOUT, VOUTb)는 센싱 동작 이후 소정의 시점에서 래치되며, 래치된 정보는 리드 데이터로서 외부로 제공된다.

[0064] 한편, 도 10에 도시된 바와 같이, 기준전압 발생부로부터 발생되는 제1 및 제2 기준전압(VREFH, VREFL)은 일정한 전압레벨을 갖는다. 리드 동작을 위하여 메모리 셀이 선택되면 상기 메모리 셀에 연결된 비트라인의 데이터 전압(VSA)이 디벨로프되며, 데이터 전압(VSA)의 레벨이 점차 증가하여 소정의 시점에서 데이터 전압(VSA)의 레벨은 제1 기준전압(VREFH)의 레벨을 초과한다.

[0065] 한편, 제1 센스앰프(2100)의 차동 출력 신호(VOUT, VOUTb)는 프리차지 레벨(prech)을 유지하며, 데이터 전압(VSA)이 변동함에 따라 차동 출력 신호(VOUT, VOUTb)가 디벨로프된다. 차동 출력 신호(VOUT, VOUTb)가 디벨로프되고 난 후 소정의 지연시간 후에 센싱 동작이 수행되며, 바람직하게는 데이터 전압(VSA)과 제1 기준전압(VREFH)이 동일할 레벨을 갖는 시점부터 일정 시간 이내에 센싱 동작이 수행되도록 한다. 상기 센싱에 의하여 차동 출력 신호(VOUT, VOUTb)가 풀 디지털(full digital) 레벨로 증폭되며, 증폭된 차동 출력 신호(VOUT, VOUTb)는 센싱 동작 이후 소정의 시점에서 래치된다.

[0066] 도 11a는 기존의 데이터 리드 회로의 데이터 신호 파형과 본 발명의 실시예에 데이터 리드 회로의 데이터 신호 파형을 비교하여 나타낸 그래프이며, 도 11b는 기존의 경우와 본 발명의 실시예에 따른 리드 동작 시 억세스 타임을 비교하여 나타낸 그래프이다.

[0067] 도 11a에 도시된 바와 같이, 본 발명의 실시예에 따른 센스앰프 회로에서는, 커패시터(integrating capacitor)에 저장된 차동 출력 신호가 센싱/증폭을 위한 센스앰프의 입력으로 직접 제공되며, 이에 따라 차동 출력 신호가 큰 게인(gain)으로 증폭됨에 따라 바로 풀 디지털(full digital) 레벨로 디벨로프가 가능하다. 이에 따라, 본 발명의 실시예를 적용한 경우 디벨로프 속도와 풀 디지털 전압 복원 능력이 기존 설계의 데이터 리드 회로에 비하여 우수한 특성을 나타낸다.

[0068] 한편, 도 11b에는 기존의 경우의 억세스 타임과 본 발명의 실시예가 적용된 경우 억세스 타임이 도시된다. 억세스 타임은 센스앰프를 인에이블 한 시점으로부터 디벨로프 전압 차이가 100mV 까지 도달하는 시점까지의 시간으로 정의될 수 있다. 비트라인 당 셀 수가 증가하는 경우 전체적으로 억세스 타임이 증가하는 경향이 있다. 그러나, 본 발명의 실시예에 따르면 전체적인 경우에 있어서 억세스 타임을 2ns 이내로 단축시킬 수 있다.

[0069] 도 12 및 도 13은 본 발명의 일실시예에 따른 불휘발성 메모리 장치의 데이터 리드 방법을 나타내는 플로우차트이다.

[0070] 상기 데이터 리드 방법에 따르면, 어느 하나의 메모리 셀에 기인한 데이터 전압과 적어도 두 개의 기준전압이 센스앰프 회로로 제공된다. 센스앰프 회로는, 데이터 전압과 제1 및 제2 기준전압 사이의 전압 차이를 차동 증폭하는 제1 센스앰프와, 상기 제1 센스앰프의 출력을 수신하고 이를 센싱/증폭하는 제2 센스앰프를 포함할 수 있다. 제1 센스앰프는 하나의 데이터 전압에 대응하여 차동 출력 신호를 발생하고 이를 차동 출력단을 통해 출력하는 적분 회로로 구현될 수 있다. 또한, 제2 센스앰프는 상기 차동 출력단을 통해 차동 출력 신호를 수신하고 이를 증폭하며, 증폭 신호를 상기 차동 출력단을 통해 출력하는 앰프 회로로 구현될 수 있다.

[0071] 제1 센스앰프로 소정의 제어신호가 제공됨에 따라 제1 센스앰프가 인에이블된다(S11). 제1 센스앰프는 차동 출력단을 소정의 레벨로 프리차지하기 위한 프리차지부를 구비할 수 있으며, 상기 소정의 제어신호는 프리차지부를 활성화하기 위한 프리차지 제어신호일 수 있다. 또한, 외부로부터 제공된 어드레스를 디코딩 한 결과에 따라 메모리 셀이 선택된다(S12). 상기 선택된 메모리 셀에 저장된 데이터에 대응하는 데이터 전압이 발생되며, 또한 메모리 셀에 저장된 데이터를 판독하기 위하여 제1 및 제2 기준전압이 발생된다(S13). 상기 제1 및 제2 기준전압은 전술한 실시예들에서와 같이 소정의 DC 전압값을 발생하는 기준전압 발생부로부터 발생될 수 있으며, 또는 로직 하이 및 로직 로우에 해당하는 정보를 저장하는 기준 셀에 의해 디벨로프되는 전압일 수 있다.

[0072] 제1 센스앰프는 데이터 전압, 제1 및 제2 기준전압을 수신하고, 상기 데이터 전압과 제1 및 제2 기준전압의 레벨 차이를 증폭한 차동 출력 신호를 발생한다(S14). 제1 센스앰프는 데이터 전압을 공통하게 수신하는 두 개의 입력단과, 상기 제1 및 제2 기준전압을 각각 수신하는 두 개의 입력단을 포함할 수 있다. 또한, 제1 센스앰프는 적어도 두 개의 커패시터를 이용하여 적분 동작을 수행하는 적분 회로로 구현될 수 있으며, 적분 동작에 따른

전압을 상기 적어도 두 개의 커패시터에 저장한다. 데이터 전압 및 제1 및 제2 기준전압 사이의 레벨 차이에 따라 상기 적어도 두 개의 커패시터 각각에 저장되는 전압 레벨이 달라지며, 예컨대 제1 및 제2 커패시터가 제1 센스앰프에 구비되는 경우 제1 커패시터의 일 노드의 전압과 제2 커패시터의 일 노드의 전압을 차동 출력 신호로서 발생할 수 있다.

[0073] 소정의 지연 시간이 경과한 후 제2 센스앰프가 인에이블된다(S15). 상기 지연 시간은 인버터 체인 등과 같은 딜레이 수단에 의해 조절될 수 있다. 또한 상기 지연 시간은 제1 센스앰프가 인에이블되는 시점(또는, 제1 센스앰프의 프리차지부가 활성화되는 시점)으로부터 제2 센스앰프로 바이어스 전압이 인가되는 시점 사이의 시간일 수 있다. 이 경우, 상기 프리차지 제어신호를 딜레이한 신호를 제2 센스앰프의 바이어스를 제어하기 위한 제어신호로서 이용할 수 있다.

[0074] 제2 센스앰프는 제1 센스앰프의 차동 출력단에 연결되어 상기 차동 출력 신호를 수신한다. 또한, 제2 센스앰프가 인에이블되는 시점에서 상기 차동 출력 신호를 센싱하고, 증폭된 차동 출력 신호를 리드 데이터로서 발생한다(S16). 제2 센스앰프의 출력단은 상기 제1 센스앰프의 차동 출력단에 공통하게 연결될 수 있으며, 이에 따라 상기 리드 데이터는 상기 차동 출력단을 통해 출력될 수 있다.

[0075] 도 13은 도 12의 제1 및 제2 센스앰프의 구체적인 동작을 나타내는 플로우차트이다. 도 13에 도시된 바와 같이, 프리차지 제어신호에 의해 제1 센스앰프의 프리차지 동작을 수행한다(S21). 상기 프리차지 동작은 차동 출력단의 레벨을 소정의 레벨로 프리차지 함에 의해 수행될 수 있다.

[0076] 제1 센스앰프로 데이터 전압 및 제1 및 제2 기준전압이 제공됨에 따라, 데이터 전압과 제1 및 제2 기준전압 사이의 레벨 차이를 적분하는 동작이 수행된다(S22). 제1 및 제2 기준전압이 기준 셀들로부터 발생되는 경우, 어느 하나의 기준전압의 레벨은 데이터 전압의 레벨과 대략 동일한 값을 가지며, 다른 하나의 기준전압의 레벨은 데이터 전압의 레벨과 다른 값을 갖는다. 예컨대, 메모리 셀에 로직 하이에 해당하는 데이터가 저장된 경우, 데이터 전압은 제1 기준전압과 그 레벨이 대략 동일하며, 데이터 전압과 제2 기준전압의 레벨 차이가 적분된다. 제1 센스앰프는 상기 적분 동작에 따른 차동 출력 신호를 발생한다(S23).

[0077] 상기 프리차지 시점 이후 소정의 지연시간 후에 제2 센스앰프가 활성화된다(S24). 제2 센스앰프는 제1 센스앰프로부터의 차동 출력 신호를 수신하고, 상기 소정의 지연시간 후의 차동 출력 신호를 센싱하여 증폭된 차동 출력 신호를 발생한다(S25). 증폭 동작의 개시 후 소정의 시점에서 상기 증폭된 차동 출력 신호를 래치하며(S26), 상기 래치된 차동 출력 신호는 리드 데이터로서 출력된다(S27).

[0078] 도 14는 본 발명의 다른 실시예에 따른 데이터 리드 회로의 일 구현예를 나타내는 회로도이다. 도 14에 도시된 바와 같이, 상기 데이터 리드 회로(3100)는 불휘발성 메모리 장치에 구비되는 다수의 비트라인 각각에 대응하여 배치될 수 있다.

[0079] 데이터 리드 회로(3100)는 메모리 셀(3110)의 데이터를 리드하기 위한 각종 회로들로서, 예컨대 비트라인에 연결되어 비트라인을 소정의 레벨로 프리차지 하기 위한 프리차지 회로(3130), 비트라인을 선택하기 위한 비트라인 선택 회로(3120), 비트라인을 클램핑하기 위한 클램핑 회로(3140) 및 비트라인으로 전류를 제공하는 전류원(3150)을 포함할 수 있다. 도 14에는 메모리 셀(3110)은 MTJ를 포함하는 MRAM 셀인 예가 도시된다.

[0080] 또한, 상기 데이터 리드 회로(3100)는 전술한 본 발명의 실시예에 따른 다수의 기준전압들을 이용하여 적분 동작에 기인한 센싱/증폭 동작을 수행하는 제1 센스앰프 회로(3160)와, 노멀한 센싱/증폭 동작을 수행하는 제2 센스앰프 회로(3170)를 구비할 수 있다. 또한, 제1 및 제2 센스앰프 회로(3160, 3170) 각각을 선택적으로 데이터 리드 회로(3100)에 포함되도록 하기 위하여, 데이터 리드 회로(3100)는 제1 제어신호(Ctrl_11)에 응답하여 제1 센스앰프 회로(3160)의 선택을 제어하기 위한 제1 제어회로(3161)와, 제2 제어신호(Ctrl_12)에 응답하여 제2 센스앰프 회로(3170)의 선택을 제어하기 위한 제2 제어회로(3171)를 더 구비할 수 있다.

[0081] 제1 및 제2 제어회로(3161)는 각각 제1 및 제2 제어신호(Ctrl_11, Ctrl_12)를 게이트 전극을 통해 수신하는 MOS 트랜지스터로 구현될 수 있다. 또한, 제1 제어회로(3161)의 제1 및 제2 전극은 각각 제1 센스앰프 회로(3160)의 입력단(예컨대, 데이터 전압(VSA))을 수신하는 제1 입력단)과 출력단에 연결된다. 또한, 제2 제어회로(3171)의 제1 및 제2 전극은 각각 제2 센스앰프 회로(3170)의 입력단(예컨대, 제1 제어회로의 출력(VOUT1)을 수신하는 제1 입력단)과 출력단에 연결된다. 제1 센스앰프 회로(3160)는 제2 및 제3 입력단을 통해 각각 제1 및 제2 기준전압(VREFH, VREFL)을 수신한다. 제1 및 제2 기준전압(VREFH, VREFL)은 전술한 바와 같이 외부로부터의 전압을 이용하여 불휘발성 메모리 장치 내에서 생성된 DC 전압이거나 또는 외부에서 직접 제공되는 DC 전압일 수 있다. 또는 상기 제1 및 제2 기준전압(VREFH, VREFL)은, 로직 하이 또는 로직 로우에 해당하는 정보를 저장하는 기준

셀에 의해 디벨로프되는 전압일 수 있다.

[0082] 한편, 제2 센스앰프 회로(3170)는 제2 입력단을 통해 기준전압(VREF)을 수신한다. 상기 기준전압(VREF)은 불휘발성 메모리 장치 내에서 생성되거나 또는 외부에서 직접 제공되는 DC 전압일 수 있다. 또한, 상기 기준전압(VREF)은 대략 제1 및 제2 기준전압(VREFH, VREFL)의 중간 값에 해당하는 레벨을 가질 수 있다.

[0083] 도 14에 도시된 실시예에 따르면, 데이터 리드 회로(3100)가 단일 기준전압(VREF)을 이용한 증폭 동작을 수행하는 제2 센스앰프 회로(3170) 이외에도, 듀얼 기준전압(VREFH, VREFL)을 이용한 적분 회로 기반의 제1 센스앰프 회로(3160)를 더 구비한다. 불휘발성 메모리 장치의 테스트 모드에서 제1 및 제2 제어신호(Ctrl1_11, Ctrl1_12)가 각각 제1 및 제2 센스앰프 회로(3160, 3170)로 제공될 수 있으며, 이에 따라 제1 및 제2 센스앰프 회로(3160, 3170) 각각을 이용한 출력 파형의 특성을 판별할 수 있다. 제2 센스앰프 회로(3170)가 선택되는 경우, 비트라인을 통한 데이터 전압(VSA)은 제1 제어회로(3161)를 거쳐 제2 센스앰프 회로(3170)의 제1 입력단으로 제공된다. 제2 센스앰프 회로(3170)는 데이터 전압(VSA)과 기준전압(VREF)의 레벨을 비교하고 그 결과에 해당하는 증폭 신호(VOUT2)를 출력한다.

[0084] 반면에, 제1 센스앰프 회로(3160)가 선택되는 경우, 데이터 전압(VSA)은 제1 센스앰프 회로(3160)의 제1 입력단으로 제공되며, 전술한 실시예에서 설명된 바와 같이 데이터 전압(VSA)과 제1 및 제2 기준전압(VREFH, VREFL) 사이의 레벨 차이에 따른 적분 동작이 수행되고, 상기 적분 결과에 따른 차동 출력 신호가 발생된다. 이후, 소정의 시점에서 상기 차동 출력 신호가 센싱/증폭됨에 따라 증폭 신호(VOUT1)가 제1 센스앰프 회로(3160)로부터 출력된다. 상기 제1 센스앰프 회로(3160)의 출력단은 제2 제어회로(3171)를 거쳐 제2 센스앰프 회로(3170)의 출력단에 전기적으로 연결될 수 있다.

[0085] 테스트 모드에서, 상기 제1 및 제2 센스앰프 회로(3160, 3170)로부터 출력되는 증폭 신호들(VOUT1, VOUT2)을 이용하여 데이터 신호의 파형을 분석할 수 있다. 상기 분석 결과를 참조하여 제1 및 제2 센스앰프 회로(3160, 3170) 중 어느 하나가 불휘발성 메모리 장치의 정상 동작시 이용되도록 설정할 수 있다. 예컨대, 제2 센스앰프 회로(3170)로부터의 증폭 신호(VOUT1)가 풀 디지털 레벨로 디벨로프되기까지 많은 시간이 소요되는 경우, 불휘발성 메모리 장치의 정상 동작시 제1 센스앰프 회로(3160)가 인애이블되도록 설정한다. 불휘발성 메모리 장치는 동작 모드를 설정하기 위한 모드 레지스터 세트(Mode Register Set, 미도시)를 구비할 수 있으며, 상기 불휘발성 메모리 장치의 초기 구동시 제1 및 제2 제어회로(3161, 3171)가 MRS 코드에 의해 제어될 수 있다.

[0086] 도 15는 본 발명의 다른 실시예에 따른 데이터 리드 회로의 일 구현예를 나타내는 블록도이다. 설명의 편의상 전술한 데이터 리드 회로에 포함되는 구성들 중 센스앰프 회로 만이 도시된다.

[0087] 도 15에서는, 2 비트 이상의 데이터를 저장하는 단위 셀의 데이터를 리드하기 위한 데이터 리드 회로(4100)가 도시된다. 일예로서, 불휘발성 메모리 장치는 하나의 메모리 셀(또는, 단위 셀(unit cell)) 당 2 비트의 데이터를 저장할 수 있다. 멀티레벨 셀(multi-level cell)을 이용하여 하나의 2 비트의 데이터를 저장하는 단위 셀을 구현할 수 있으며, 또는 두 개의 싱글레벨 셀(single-level cell)을 이용하여 2 비트의 데이터를 저장하는 하나의 단위 셀을 구현할 수 있다.

[0088] 단위 셀에 2 비트의 데이터가 저장되는 경우, 상기 단위 셀에 연결된 비트라인을 통해 전달되는 데이터 전압(VSA)은 4 개의 레벨 상태 중 어느 하나를 갖는다. 또한, 다수 개의 기준전압들이 단위 셀에 저장된 데이터를 리드하기 위해 이용되며, 예컨대 4 개의 기준전압들(VREFH, VREFL, VREFHM, VREFLM)이 이용된다. 상기 기준전압들(VREFH, VREFL, VREFHM, VREFLM)은 전술한 실시예들에서와 유사하게 4 가지 데이터 상태 각각을 저장하는 기준 셀들로부터 생성될 수 있다. 또는, 상기 기준전압들(VREFH, VREFL, VREFHM, VREFLM)은 외부로부터의 전압을 이용하여 불휘발성 메모리 장치 내에서 생성되거나, 또는 외부로부터 직접 제공되는 DC 전압일 수도 있다.

[0089] 상기 데이터 리드 회로(4100)는 하나의 비트라인에 대응하여 제1 센스앰프 회로(4110) 및 제2 센스앰프 회로(4120)를 포함할 수 있다. 제1 및 제2 센스앰프 회로(4110) 각각은 데이터 전압(VSA) 및 적어도 두 개의 기준전압들을 수신한다. 일예로서, 단위 셀에 2 비트의 데이터가 저장되는 경우 4 개의 기준전압들이 생성되며, 제1 센스앰프 회로(4110)는 제1 및 제4 기준전압들(VREFH, VREFL)을 수신하고, 제2 센스앰프 회로(4120)는 제2 및 제3 기준전압들(VREFHM, VREFLM)을 수신할 수 있다.

[0090] 제1 및 제2 센스앰프 회로(4110) 각각은 전술한 실시예들에서 설명된 바와 같이 입력 전압들을 차동 증폭하고, 차동 출력 신호에 대한 센싱/증폭 동작을 수행한다. 제1 센스앰프 회로(4110)는 데이터 전압(VSA)과 제1 및 제4 기준전압들(VREFH, VREFL) 사이의 레벨 차이를 적분하여 차동 출력 신호를 발생하고, 상기 차동 출력 신호를 소정의 시점에서 센싱/증폭함으로써 증폭된 차동 출력 신호(VOUT1, VOUT1b)를 발생한다. 또한, 이와 유사하게, 제

2 센스앰프 회로(4120)는 데이터 전압(VSA)과 제2 및 제3 기준전압들(VREFHM, VREFLM) 사이의 레벨 차이를 적분하여 차동 출력 신호를 발생하고, 상기 차동 출력 신호를 소정의 시점에서 센싱/증폭함으로써 증폭된 차동 출력 신호(VOUT2, VOUT2b)를 발생한다. 상기 데이터 리드 회로(4100)는 증폭된 차동 출력 신호들(VOUT1, VOUT1b, VOUT2, VOUT2b)을 수신하는 디코딩 회로(4130)를 더 구비할 수 있다.

[0091] 디코딩 회로(4130)는 증폭된 차동 출력 신호들(VOUT1, VOUT1b, VOUT2, VOUT2b)을 디코딩하여 데이터 신호(Data)를 발생한다. 데이터 전압(VSA)의 레벨은 단위 셀에 저장된 데이터에 따라 다른 값을 가지며, 또한 상기 데이터 전압(VSA)을 이용한 적분 및 센싱/증폭 동작에 따른 증폭된 차동 출력 신호들(VOUT1, VOUT1b, VOUT2, VOUT2b) 또한 서로 다른 레벨을 갖는다. 디코딩 회로(4130)는 증폭된 차동 출력 신호들(VOUT1, VOUT1b, VOUT2, VOUT2b)의 레벨을 분석하여 2 비트의 데이터 신호(Data)를 발생한다.

[0092] 도 15에서는, 단위 셀 당 2 비트의 데이터를 리드하기 위한 실시예 및 하나의 단위 셀에 대응하여 두 개의 센스앰프 회로들(4110, 4120)이 배치되는 실시예가 도시되었으나, 본 발명은 이에 국한될 필요는 없다. 일예로서, 디코딩 동작의 정확성을 향상하기 위하여, 하나의 단위 셀에 대응하여 3 개 이상의 센스앰프 회로들이 배치될 수 있다. 이 경우, 상기 4 개의 기준전압들(VREFH, VREFL, VREFHM, VREFLM)을 적절히 조합함으로써, 각각의 센스앰프 회로마다 서로 다른 듀얼 기준전압을 제공할 수 있다. 일예로서, 도 15에 도시된 센스앰프 회로 외에 추가의 센스앰프 회로(일예로서, 두 개의 센스앰프 회로)가 더 배치될 수 있으며, 어느 하나의 센스앰프 회로로는 제1 및 제3 기준전압들(VREFH, VREFLM)을 제공하고, 다른 하나의 센스앰프 회로로는 제2 및 제4 기준전압들(VREFHM, VREFL)을 제공하는 형태로 데이터 리드 회로가 구현될 수 있다.

[0093] 또한, 단위 셀 당 3 비트 이상의 데이터가 저장될 수 있으며, 이 경우 더 많은 수의 기준전압들이 기준 셀들로부터 발생되거나 기준전압 발생부로부터 발생될 수 있다.

[0094] 도 16 및 도 17은 본 발명의 일실시예에 따른 불휘발성 메모리 장치의 레이아웃의 일예를 나타내는 블록도이다. 도 16에서는 각각의 셀 어레이마다 센스앰프 회로 블록이 구분되어 배치되는 예가 도시되며, 도 17에서는 다수의 셀 어레이가 센스앰프 회로 블록을 공유하는 예가 도시된다.

[0095] 도 16에 도시된 바와 같이, 불휘발성 메모리 장치(5000)는 다수의 메모리 셀(5110)을 포함하는 셀 어레이(5100), 셀 어레이(5100)의 워드라인을 선택하기 위한 로우 디코더(5200), 셀 어레이(5100)의 비트라인을 선택하기 위한 칼럼 선택 영역(5300)을 포함할 수 있다. 칼럼 선택 영역(5300)은 본 발명의 실시예에 따른 데이터 리드 회로의 센스앰프 회로 블록을 포함할 수 있으며, 또한 상기 칼럼 선택 영역(5300)은 칼럼 디코더(미도시)로부터의 칼럼 선택 신호에 응답하여 비트라인과 센스앰프 회로(5310) 사이의 연결을 제어한다.

[0096] 셀 어레이(5100)는 기준전압들(VREFH, VREFL)을 발생하기 위한 다수의 기준 셀들을 포함할 수 있으며, 일예로서 제1 기준전압(VREFH)을 발생하기 위한 제1 기준 셀(5121)과 제2 기준전압(VREFL)을 발생하기 위한 제2 기준 셀(5122)를 포함할 수 있다. 하나의 워드라인에 대해 다수의 메모리 셀(5110)과 제1 및 제2 기준 셀(5121, 5122)이 연결될 수 있으며, 다수의 메모리 셀(5110)로부터의 데이터 전압들은 각각의 비트라인을 통하여 센스앰프 회로(5310)의 일 입력단으로 제공된다.

[0097] 제1 및 제2 기준 셀(5121, 5122)에 연결된 비트라인에 디벨로프 되는 전압은 제1 및 제2 기준전압(VREFH, VREFL)으로서 칼럼 선택 영역(5300)으로 제공된다. 칼럼 선택 영역(5300)에는 다수 개의 센스앰프 회로(5310)가 배치될 수 있으며, 상기 제1 및 제2 기준전압(VREFH, VREFL)은 다수 개의 센스앰프 회로(5310)에 공통하게 제공될 수 있다. 즉, 제1 및 제2 기준 셀(5121, 5122)로부터 발생된 제1 및 제2 기준전압(VREFH, VREFL)은 로컬(local)하게 센스앰프 회로(5310)로 제공되며, 센스앰프 회로(5310)로부터 발생되는 리드 데이터는 글로벌 라인(global line, 미도시)을 통해 출력 회로(미도시)로 전달된다.

[0098] 한편, 도 17은 도 16의 불휘발성 메모리 장치와는 다른 레이아웃을 갖는 구현예를 나타내는 도면으로서, 도 17에 도시된 바와 같이 불휘발성 메모리 장치(6000)는 다수의 메모리 셀(6110)을 포함하는 셀 어레이(6100), 셀 어레이(6100)의 워드라인을 선택하기 위한 로우 디코더(6200), 셀 어레이(6100)의 비트라인을 선택하기 위한 칼럼 선택 영역(6300)을 포함할 수 있다. 또한, 셀 어레이(6100)는 제1 기준전압(VREFH)을 발생하기 위한 제1 기준 셀(6121)과 제2 기준전압(VREFL)을 발생하기 위한 제2 기준 셀(6122)를 포함할 수 있다.

[0099] 또한, 불휘발성 메모리 장치(6000)는 칼럼 어ドレス를 디코딩하여 칼럼 선택 신호를 발생하는 칼럼 디코더 영역(6400)을 더 구비한다. 칼럼 디코더 영역(6400)은 다수의 셀 어레이(6100)에 대응하여 일측에 배치될 수 있으며, 칼럼 디코더 영역(6400)으로부터의 칼럼 선택 신호는 글로벌하게 전달되어 적어도 두 개의 셀 어레이(6100)에 공통하게 제공될 수 있다. 또한, 칼럼 디코더 영역(6400)에는 다수 개의 센스앰프 회로(6410)가 배치

될 수 있다.

[0100] 칼럼 선택 영역(6300)에는 제1 및 제2 기준전압(VREFH)을 로컬하게 전달하기 위한 로컬 전달라인(LIO)이 배치될 수 있으며, 제1 및 제2 기준 셀(6121, 6122)로부터의 제1 및 제2 기준전압(VREFH, VREFL)은 로컬 전달라인(LIO) 및 글로벌 전달라인(GIO)을 통하여 칼럼 디코더 영역(6400)으로 제공된다. 글로벌 전달라인(GIO)을 통해 전달된 제1 및 제2 기준전압(VREFH, VREFL)은 다수 개의 센스앰프 회로(6410)에 공통하게 제공될 수 있다.

[0101] 도 17에 도시된 불휘발성 메모리 장치(6400)의 구조에 따르면, 센스앰프 회로(6410)가 다수의 셀 어레이(6100)에 공유되는 구조를 가지므로 센스앰프 회로(6410)가 차지하는 면적을 감소시킬 수 있다. 반면에, 풀 디지털 레벨로 디벨로프 되기 전의 데이터 전압 및 기준전압들이 글로벌 라인을 통해 전달되므로, 상기 글로벌 라인의 저항 성분에 따른 전압 레벨의 편차(variation)의 발생 가능성이 존재하나, 전술한 실시예들의 데이터 리드 회로가 상기 편차의 영향을 감소하는 성능을 가지므로 리드 데이터의 신뢰도를 향상시킬 수 있다.

[0102] 도 18은 본 발명의 다른 실시예에 따른 불휘발성 메모리 장치의 데이터 리드회로의 일예를 나타내는 회로도이다. 도 18에서는 전술한 실시예에서 설명된 MRAM과는 다른 메모리가 적용된 실시예를 나타낸다.

[0103] 도 18에 도시된 바와 같이, 데이터 리드 회로(7100)는 메모리 셀(7110)에 저장된 데이터를 리드하기 위한 각종 회로들을 포함하며, 일예로서 데이터 전압(VSA)과 적어도 두 개의 기준전압(VREFH, VREFL)을 수신하고 센싱/증폭 동작을 수행하는 센스앰프 회로(7120)를 포함한다. 또한, 데이터 리드 회로(7100)는 비트라인을 소정의 레벨로 프리차지 하기 위한 프리차지 회로(7130), 비트라인을 선택하기 위한 비트라인 선택 회로(7140), 비트라인을 클램핑하기 위한 클램핑 회로(7150) 및 비트라인으로 전류를 제공하는 전류원(7160)을 더 포함할 수 있다.

[0104] 메모리 셀(7110)은 불휘발성 메모리 셀로서 PRAM 셀 또는 RRAM 셀 등의 저항성 메모리를 포함할 수 있다. 도 18에 도시된 바와 같이, 상기 PRAM 셀 및 RRAM 셀은 각각 직렬하게 연결되는 하나의 다이오드와 하나의 저항성 소자로 구성 또는 모델링 될 수 있다. 상기 저항성 소자의 가변 저항 특성에 따라 데이터가 저장되며, 저항성 소자의 일 노드는 비트라인에 연결되며, 다이오드의 일 노드(예컨대, 캐소드 전극)는 워드라인(WL)에 연결된다. 도 18에는 도시되지 않았으나, 불휘발성 메모리 셀이 FRAM으로 구현되는 경우에는, 도면에 도시된 구성들 중 저항성 소자를 강유전체 박막을 이용하는 강유전체 커패시터로 대체할 수 있을 것이다.

[0105] 전술한 실시예에서와 같이, 기준전압들(VREFH, VREFL)은 메모리 셀(7110)과 동일한 구조를 갖는 기준 셀(미도시)로부터 발생될 수 있다. 일예로서, 상기 기준 셀에 대해 1 회 라이트 동작을 수행함으로써, 일부의 기준 셀의 저항성 소자는 높은 저항(high resistance)을 갖도록 하며, 다른 일부의 기준 셀의 저항성 소자는 낮은 저항(low resistance)을 갖도록 한다. 이후, 데이터 리드 동작시 기준 셀을 선택하여, 상기 기준 셀에 연결된 비트라인의 전압을 기준전압들(VREFH, VREFL) 중 어느 하나로 디벨로프시킨다. 센스앰프 회로(7120)는 데이터 전압(VSA)과 기준전압들(VREFH, VREFL)을 수신하고, 전압 레벨 차이에 따른 적분 동작을 수행하여 차동 출력 신호를 발생하고, 소정의 시점에서 상기 차동 출력 신호를 센싱/증폭함으로써 증폭된 출력 신호(VOUT)를 발생한다.

[0106] 도 19는 본 발명의 실시예에 따른 불휘발성 메모리 장치를 구비하는 전자 시스템의 응용예를 도시한 블록도이다. 도 19를 참조하면, 전자 시스템(8100)은 입력 장치(8110)와 출력 장치(8120)와 메모리 장치(8140) 및 프로세서 장치(8130)를 구비한다. 메모리 장치(8140)는 불휘발성 메모리 셀을 포함하는 셀 어레이와 리드/라이트 등의 동작을 위한 주변회로를 포함하는 개념일 수 있으며, 또는 시스템 측면에서 불휘발성 메모리 장치와 메모리 콘트롤러를 포함하는 개념일 수 있다. 일예로서, 메모리 장치(8140)가 메모리 콘트롤러 및 불휘발성 메모리 장치를 포함하는 것으로 가정할 때, 도 19의 메모리(8141)는 전술한 본 발명의 실시예에 따른 불휘발성 메모리 장치가 적용될 수 있다. 프로세서 장치(8130)는 각각 해당하는 인터페이스를 통해 입력 장치(8110), 출력 장치(8120) 및 메모리 장치(8140)에 연결되어 전체적인 동작을 제어한다.

[0107] 도 20은 본 발명의 불휘발성 메모리 장치를 구비하는 단일 칩 마이크로 컴퓨터의 응용예를 도시한 블록도이다. 도 20을 참조하면, 회로 모듈(Circuit module) 형태인 마이크로 컴퓨터는 중앙 처리 장치(8290, Central Processing Unit; 이하 CPU라 함)와, CPU(8290)의 작업 영역(Work area)으로 사용되는 메모리 예컨대, RAM(8280)과, 버스 콘트롤러(8270)와, 오실레이터(8220)와, 주파수 분배기(8230)와, 불휘발성 메모리(8240)와, 전원 회로(8250)와, 입출력 포트(8260) 및 타이머 카운터(Timer counter) 등을 포함하는 다른 주변 회로들(8210)을 구비할 수 있다.

[0108] CPU(8290)는 명령 제어부(Command control part; 도시하지 않음)와 실행부(Execution part; 도시하지 않음)를 포함하며, 명령 제어부를 통해 페치된 명령(Fetched command)을 디코딩하고 디코딩 결과에 따라 실행부를 통해

프로세싱 동작을 수행한다. 불휘발성 메모리(8240)는 동작 프로그램(Operation program) 또는 CPU(8290)의 데이터를 저장하는 것 이외에도 다양한 종류의 데이터를 저장한다. 전원 회로(8250)는 불휘발성 메모리(8240)의 리드/라이트 동작 등을 위해 필요한 전압을 생성한다. 주파수 분배기(8230)는 오실레이터(8220)로부터 제공되는 소스 주파수를 복수의 주파수로 분배하여 레퍼런스 클럭 신호들(Reference clock signals) 및 다른 내부 클럭 신호들(Internal clock signals)을 제공한다.

[0109] 내부 버스(BUS)는 어드레스 버스(Address bus)와 데이터 버스(Data bus) 및 제어 버스(Control bus)를 포함한다. 버스 콘트롤러(8270)는 CPU(8290)로부터의 액세스 리퀘스트(Access request)에 응답하여 버스 액세스를 제어한다. 마이크로 컴퓨터가 시스템에 마운트된 경우, CPU(8290)는 불휘발성 메모리(8240)에 대한 리드/라이트 동작을 제어한다. 장치의 테스트 또는 제조 단계에서는 외부 기록 장치로서, 입출력 포트(8260)을 경유하여 불휘발성 메모리(8240)에 대한 리드/라이트 동작을 직접 제어할 수 있다.

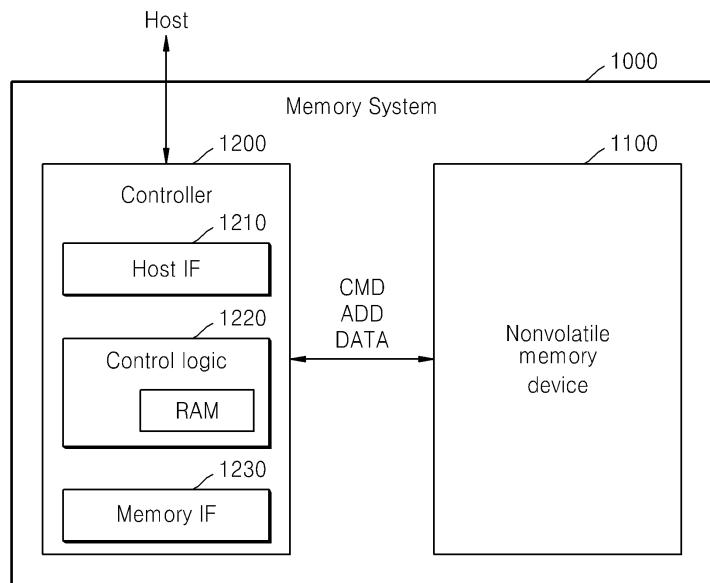
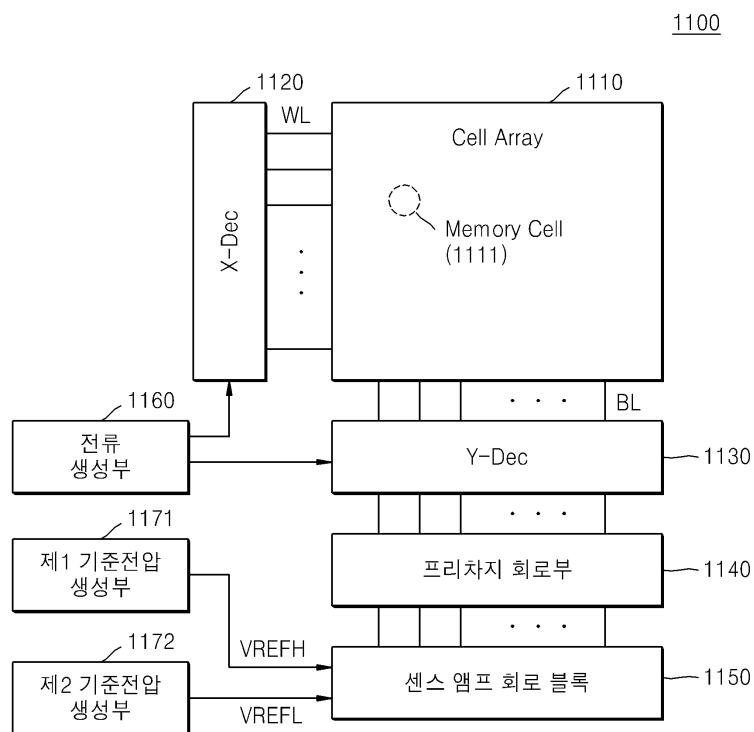
[0110] 불휘발성 메모리(8240)나 RAM(8280) 중 적어도 하나는 본 발명의 실시예에 따른 불휘발성 메모리 장치가 적용될 수 있다. 즉, 대용량의 데이터를 저장하기 위하여 본 발명의 불휘발성 메모리 장치가 적용되는 것 이외에도, 빠른 리드/라이트 타임을 요하는 RAM(8280)을 대신하여 본 발명의 불휘발성 메모리 장치가 적용될 수 있다.

[0111] 도 21은 본 발명에 따른 불휘발성 메모리 장치가 장착된 컴퓨터 시스템의 일 예를 나타내는 블록도이다.

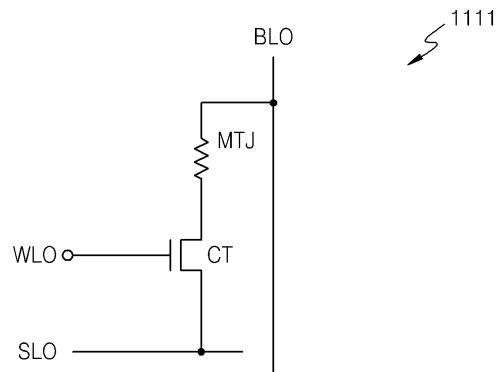
[0112] 도 21을 참조하면, 모바일 기기나 데스크톱 컴퓨터 등의 컴퓨터 시스템에 본 발명의 불휘발성 메모리 장치(8310)가 장착될 수 있다. 상기 컴퓨터 시스템(8300)은 시스템 버스에 전기적으로 연결되는 불휘발성 메모리 시스템(8310), 모뎀(8320), 중앙 처리장치(8330), RAM(8340) 및 유저 인터페이스(8350)를 구비할 수 있다. 불휘발성 메모리 시스템(8310)은 메모리 콘트롤러(8312)와 불휘발성 메모리 장치(8311)를 포함할 수 있으며, 예컨대 도 21에서는 불휘발성 메모리 장치(8311)로서 MRAM이 적용된 경우가 도시된다.

[0113] 불휘발성 메모리 시스템(8310)에는 중앙 처리장치(8330)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장된다. 불휘발성 메모리 시스템(8310)은 플래시(Flash) 메모리나, MRAM, PRAM, RRAM, FRAM 등의 불휘발성 메모리를 포함할 수 있다. 또한, 불휘발성 메모리 시스템(8310)이나 RAM(8340) 중 적어도 하나는 본 발명의 실시예에 따른 불휘발성 메모리 장치가 적용될 수 있다. 즉, 컴퓨터 시스템(8300)에 요구되는 대용량의 데이터를 저장하기 위한 메모리나, 시스템 데이터 등의 빠른 억세스를 요하는 데이터를 저장하는 메모리 등에 본 발명의 실시예에 따른 불휘발성 메모리 장치가 적용될 수 있다. 도 21에는 도시되지 않았으나, 상기 정보 처리 시스템(8300)에는 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 입출력 장치 등이 더 제공될 수 있음을 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

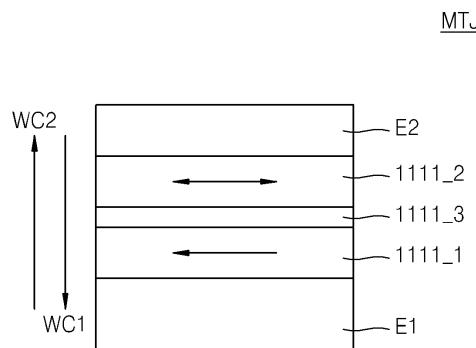
[0114] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면**도면1****도면2a**

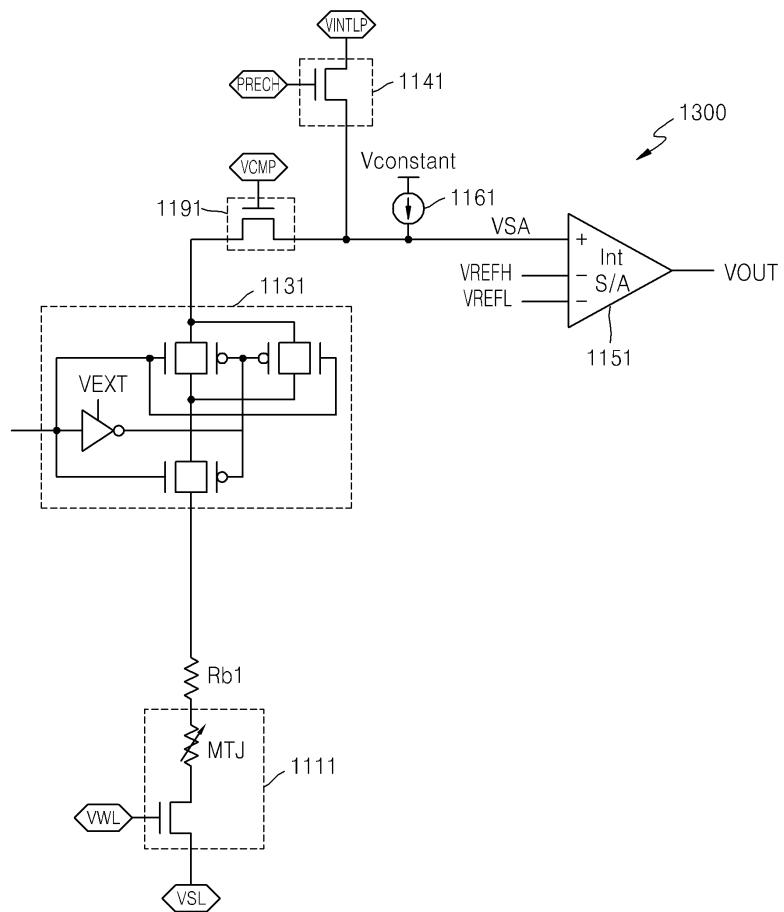
도면2b



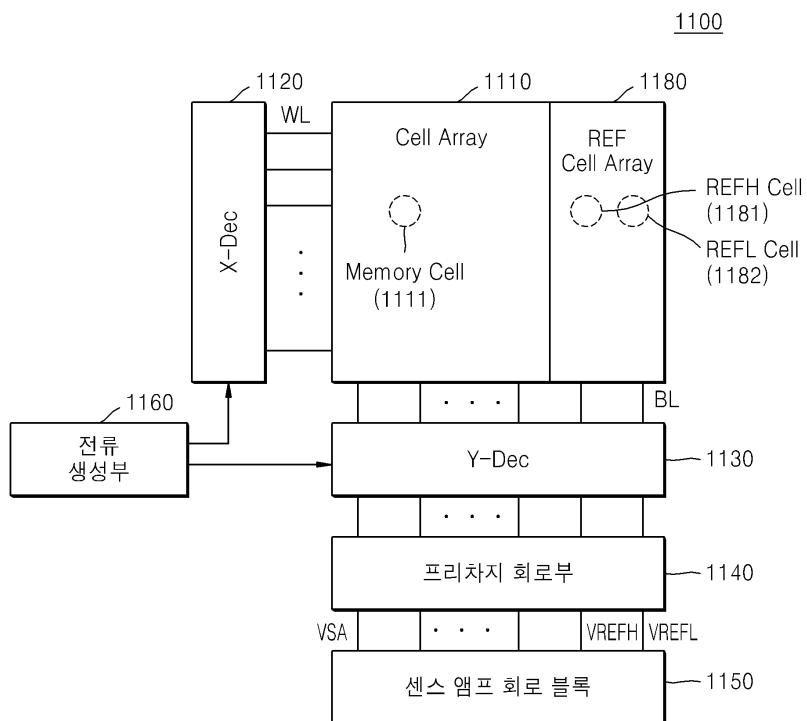
도면2c



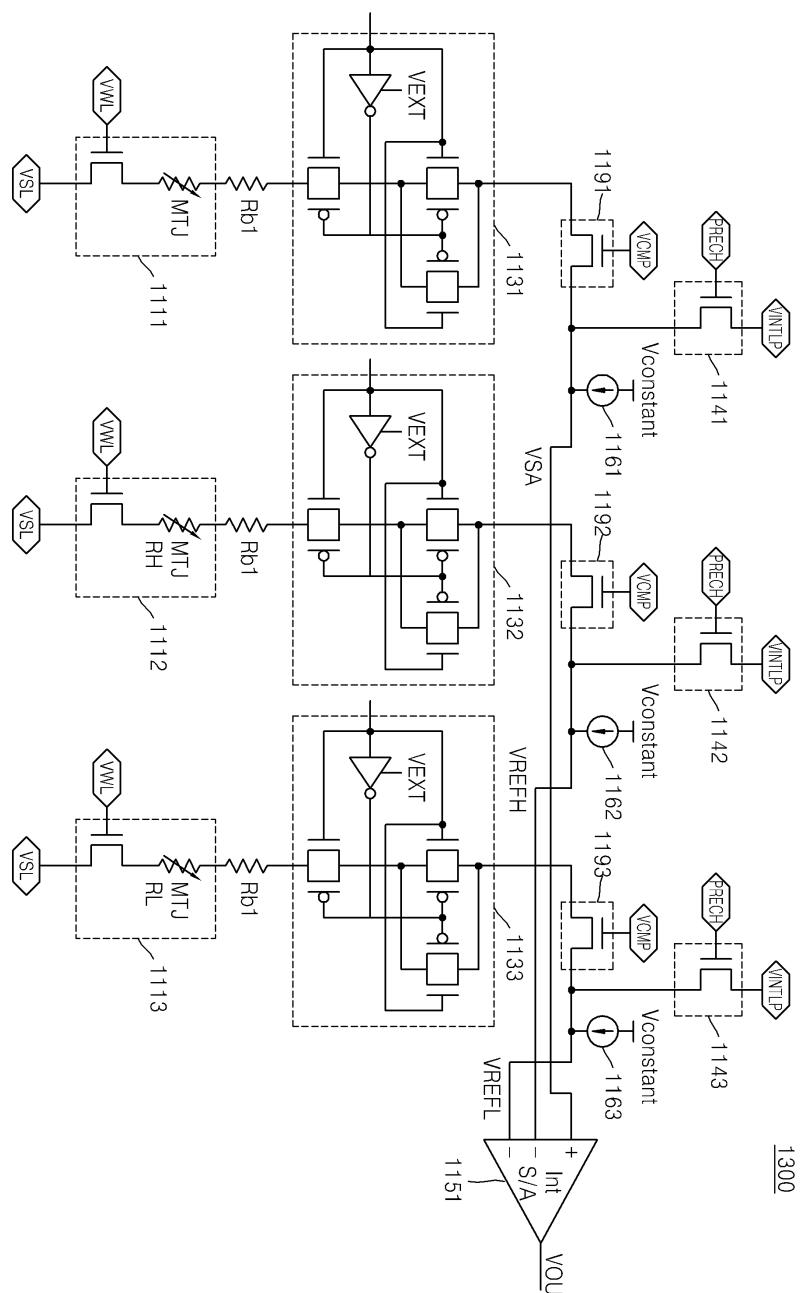
도면3



도면4

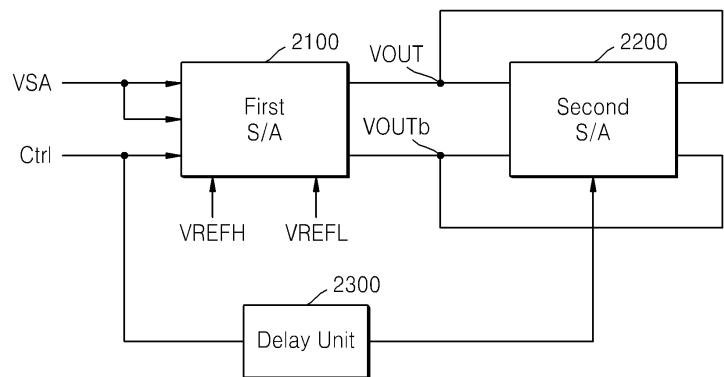


도면5



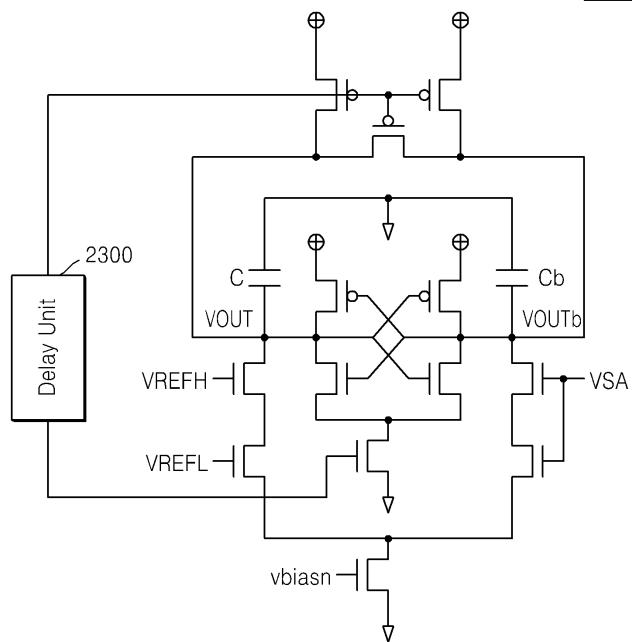
도면6

1151

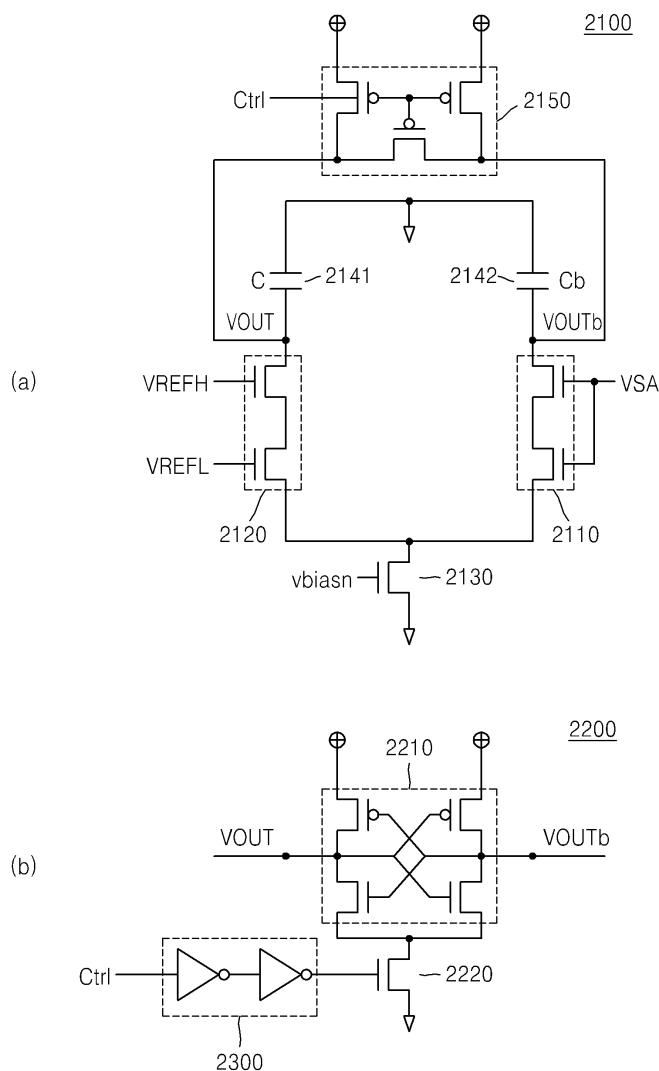


도면7

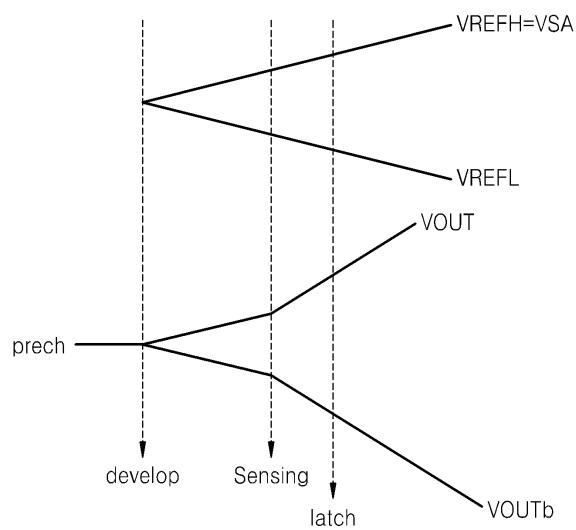
1151



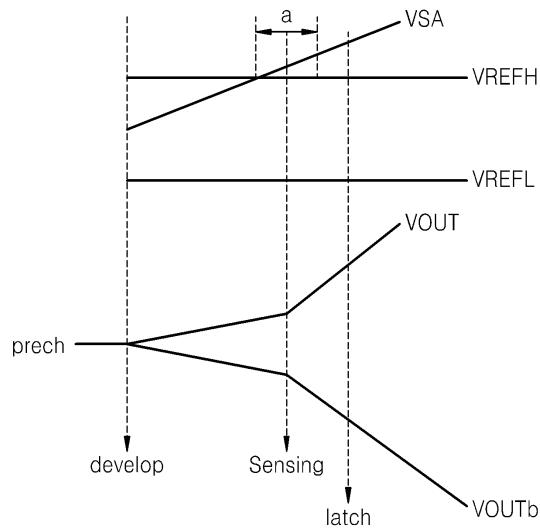
도면8



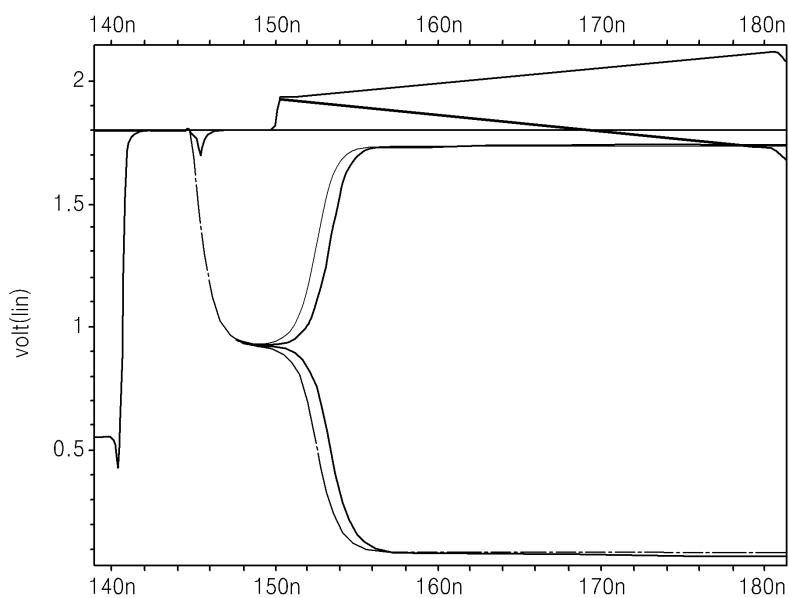
도면9

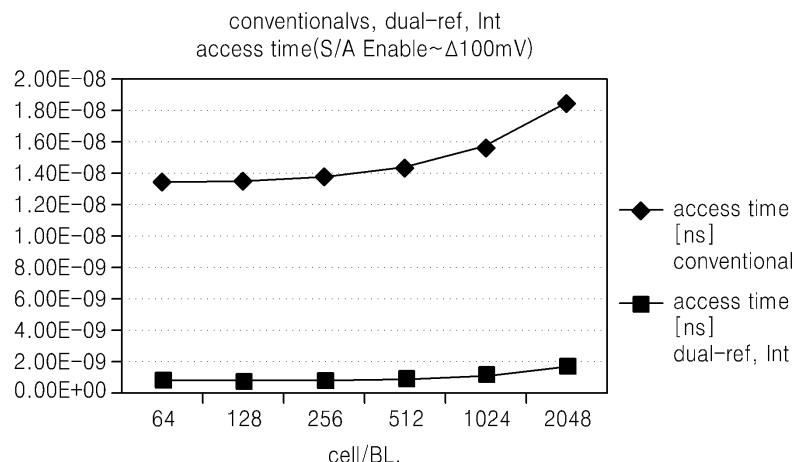
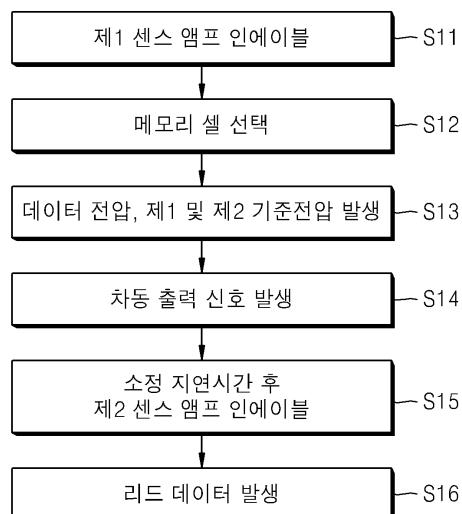


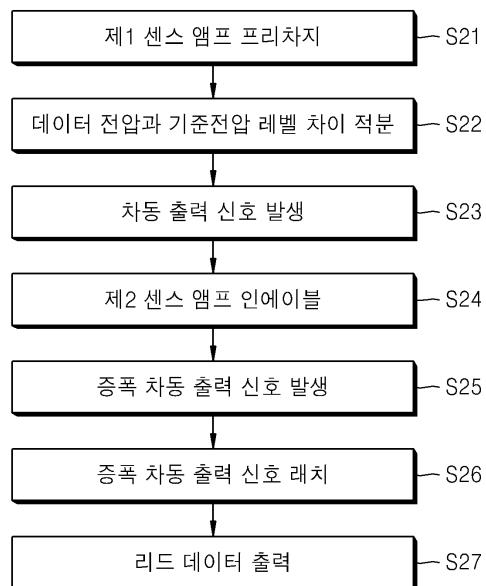
도면10



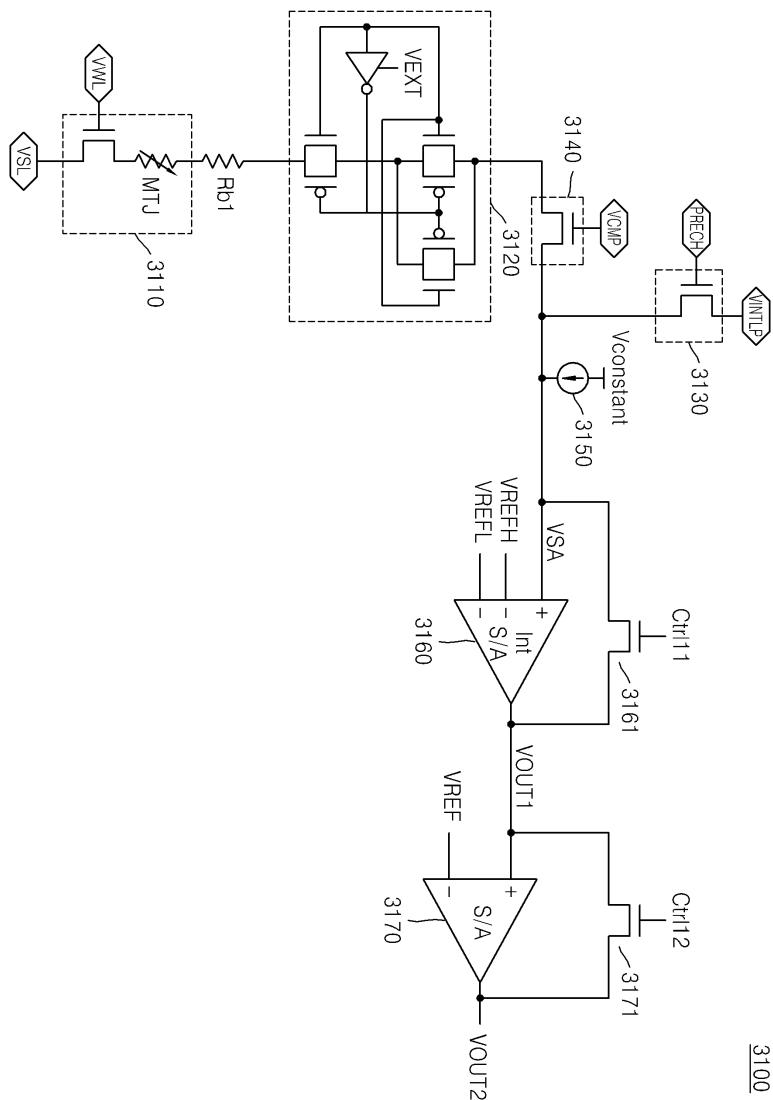
도면11a



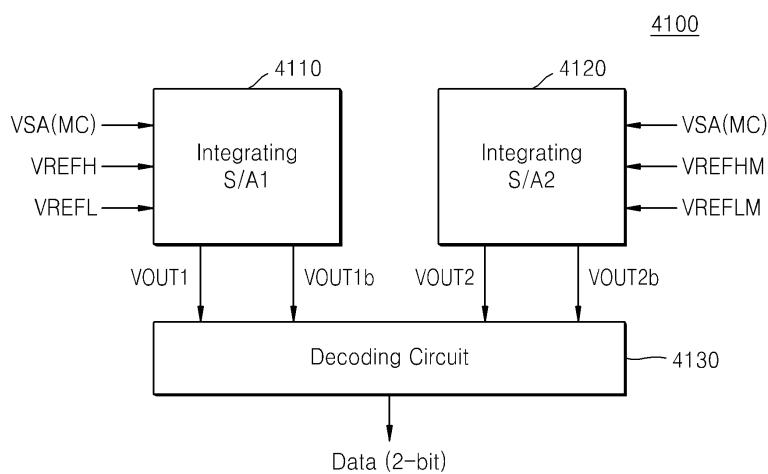
도면11b**도면12**

도면13

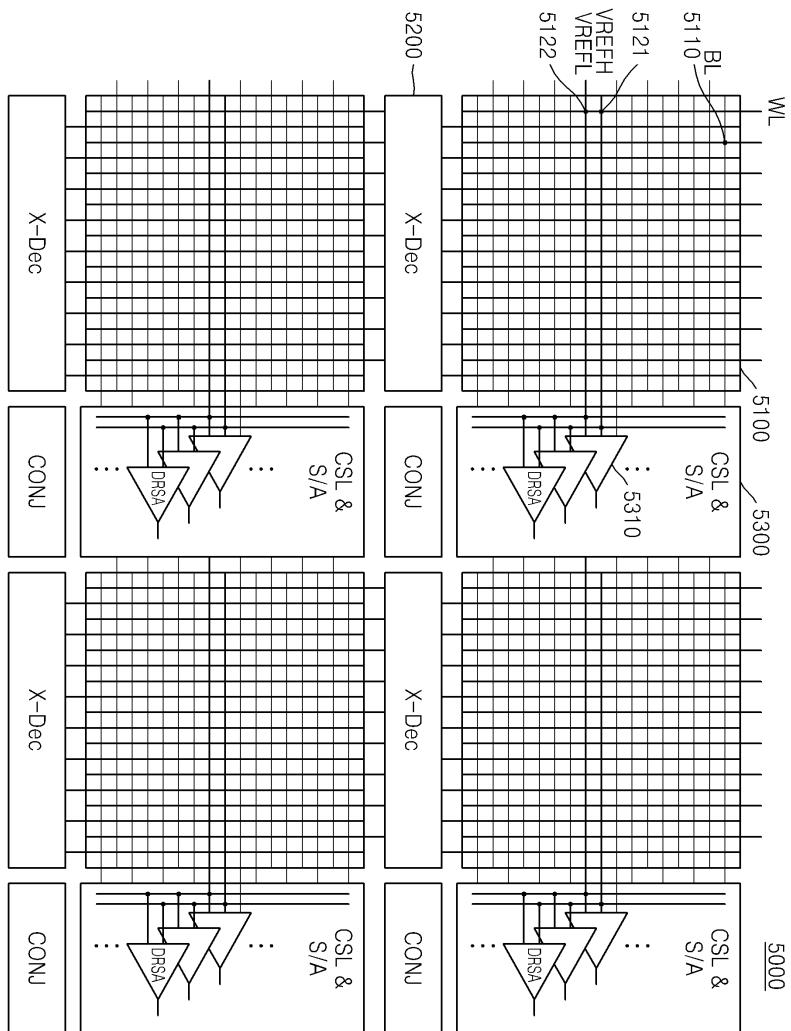
도면14



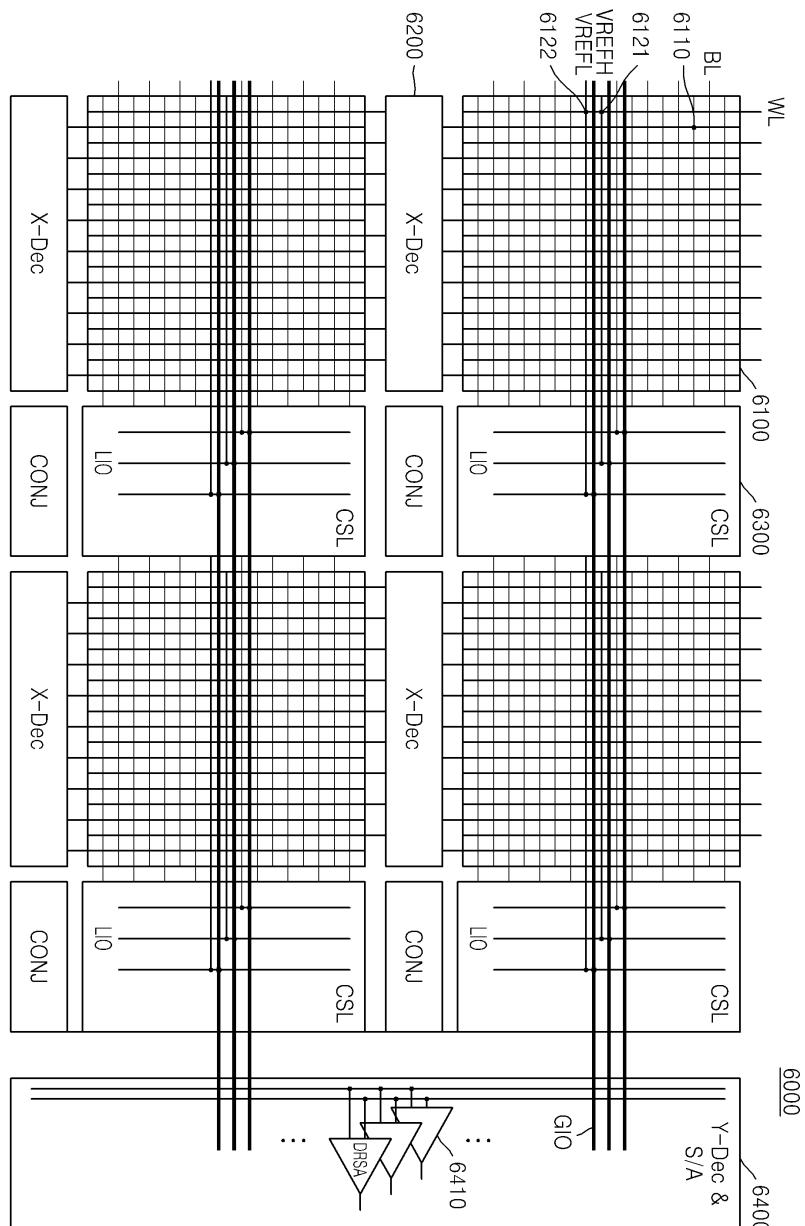
도면15



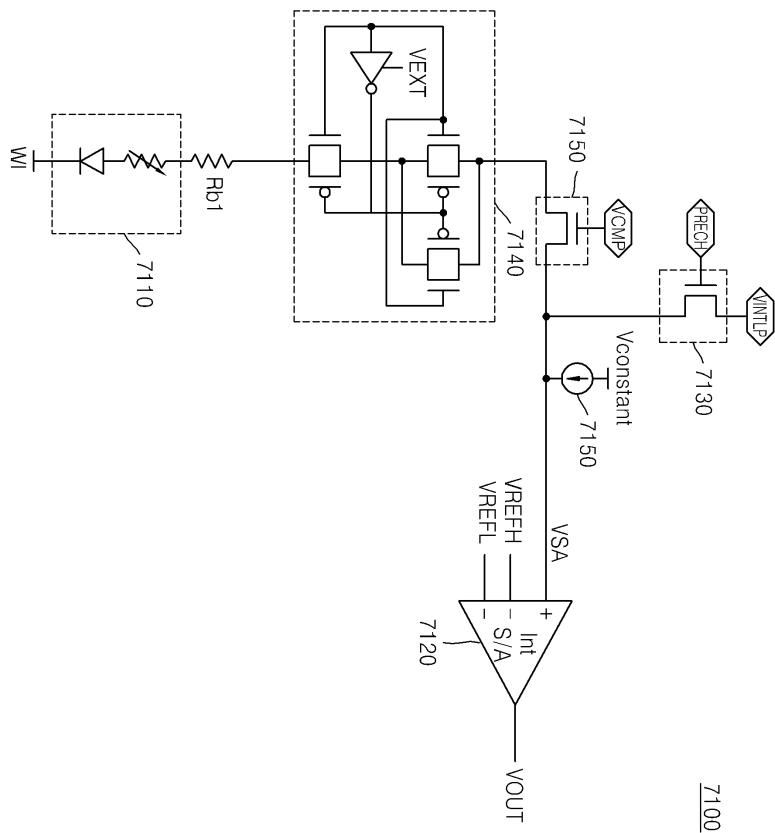
도면16



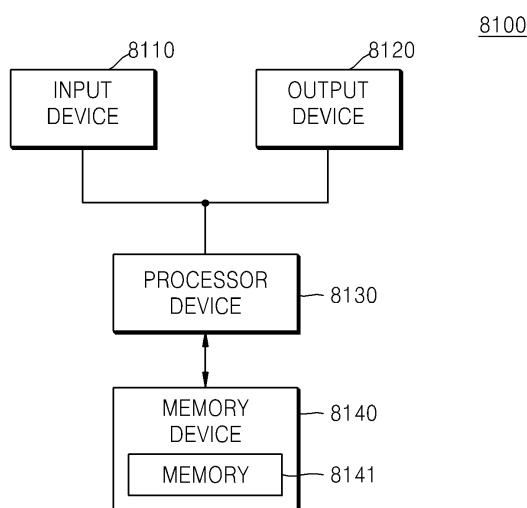
도면17



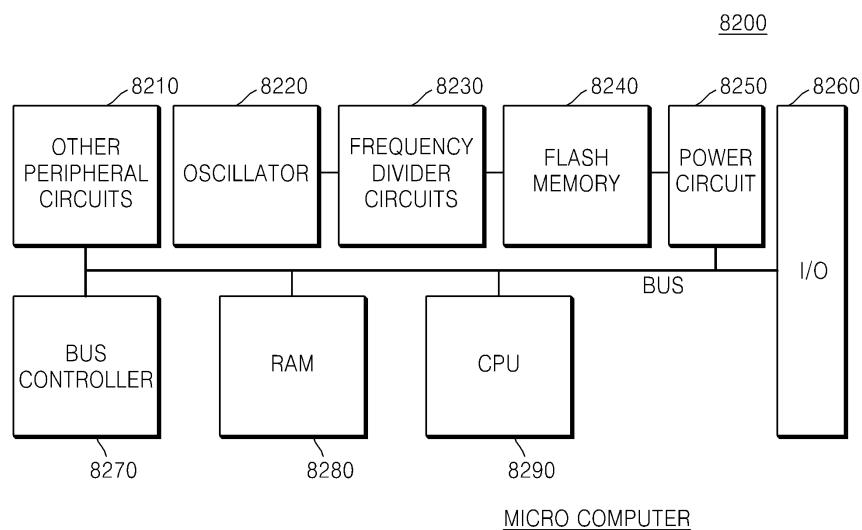
도면18



도면19



도면20



도면21

