

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年6月23日(23.06.2022)



(10) 国際公開番号

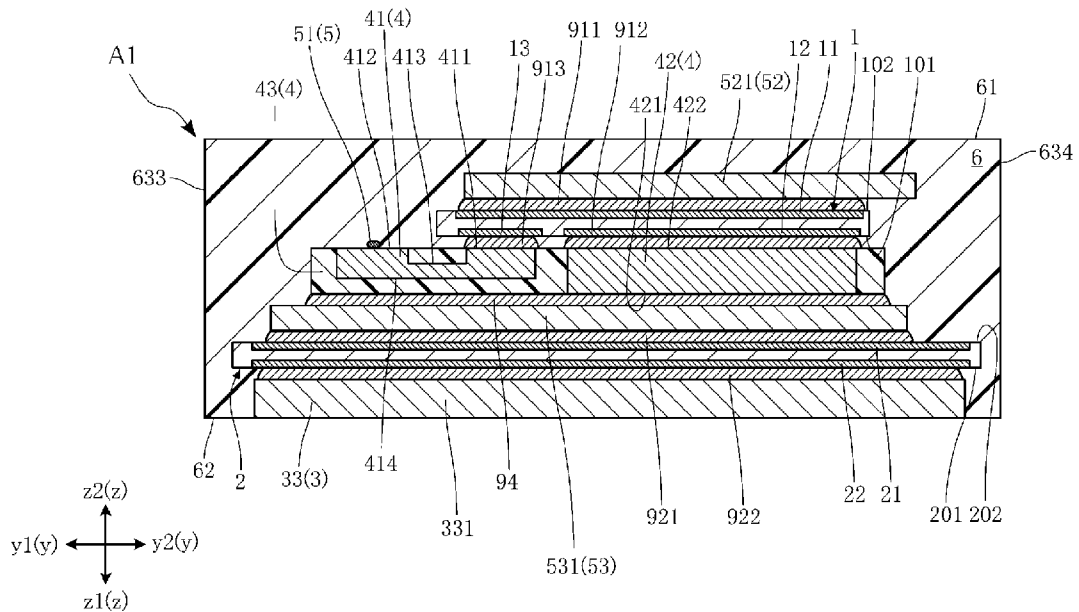
WO 2022/130889 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) *H01L 23/48* (2006.01)
H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2021/042420
- (22) 国際出願日: 2021年11月18日(18.11.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-207600 2020年12月15日(15.12.2020) JP
- (71) 出願人: ローム株式会社 (**ROHM CO., LTD.**)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 伊勢 幸太 (**ISE Kota**); 〒6158585 京都
府京都市右京区西院溝崎町2-1番地
ローム株式会社内 Kyoto (JP).
- (74) 代理人: 臼井 尚, 外 (**USUI Takashi et al.**);
〒5430014 大阪府大阪市天王寺区玉造元町
2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: SEMICONDUCTOR APPARATUS

(54) 発明の名称: 半導体装置

FIG.13



(57) Abstract: This semiconductor apparatus is provided with a semiconductor element, a conducting member, and a connecting member. The semiconductor element has a back surface on which a first electrode is formed, and a major surface on which a second electrode and a third electrode are formed. The back surface and the major surface are spaced apart from each other in a z-direction. In accordance with a drive signal input to the third electrode, on-off control is performed between the first electrode and the second electrode. The conducting member has a first bonding surface and a second bonding surface, each facing the same direction as the back surface. The first bonding surface has the third



NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

electrode bonded thereto. The second bonding surface has the connecting member bonded thereto, and is disposed so as not to overlap the semiconductor element when viewed in the z-direction.

(57) 要約: 半導体装置は、半導体素子と、導通部材と、接続部材とを備える。前記半導体素子は、第1電極が形成された裏面と、第2電極および第3電極が形成された主面とを有する。前記裏面および前記主面は、z方向に互いに離間している。前記第3電極に入力される駆動信号に応じて、前記第1電極および前記第2電極間がオンオフ制御される。前記導通部材は、各々が前記裏面と同じ方向を向く第1接合面および第2接合面を有する。前記第1接合面は、前記第3電極が接合される。前記第2接合面は、前記接続部材が接合され且つ前記z方向に見て前記半導体素子に重ならない配置とされている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 特許文献1は、従来の半導体装置の一例を開示している。同文献に記載された半導体装置は、半導体素子、チップ搭載部（タブ）、金属クリップ、ワイヤおよび複数のリードを備える。この半導体装置において、半導体素子は、MOSFET（Metal Oxide Semiconductor Field Effect Transistor）である。半導体素子は、ドレイン電極、ソース電極およびゲート電極を有する。半導体素子は、ゲート電極に入力される駆動信号に応じてドレイン電極およびソース電極間がオンオフ制御される。半導体素子の表面には、ソース電極およびゲート電極が形成されており、裏面には、ドレイン電極が形成されている。ドレイン電極は、半導体素子がチップ搭載部に接合されることでチップ搭載部と導通する。チップ搭載部は、複数のリードのいずれかと一体的に形成されている。ソース電極は、金属クリップを介して、複数のリードのいずれかに導通する。ゲート電極は、ワイヤを介して、複数のリードのいずれかに導通する。

先行技術文献

特許文献

[0003] 特許文献1：特開2014-82384号公報

発明の概要

発明が解決しようとする課題

[0004] 上述した従来の半導体素子を、フリップチップ接合などによって、支持部材に搭載する場合、表面が半導体装置の下方を向く。このため、ゲート電極が半導体装置の下方を向き、ゲート電極に直接ワイヤを接合することが困難となる。このように、従来の半導体装置においては、配線を行う上でいまだ

改善の余地があった。

[0005] 上記事情に鑑み、本開示は、ある電極（たとえば駆動信号の入力電極）が下方を向く場合であっても、当該電極への配線を容易にすることが可能な半導体装置を提供することを一の課題とする。

課題を解決するための手段

[0006] 本開示の半導体装置は、第1電極、第2電極および第3電極を有し、前記第3電極に入力される第1駆動信号に応じて前記第1電極および前記第2電極間がオンオフ制御される第1半導体素子と、前記第3電極に接合された第1導通部材と、前記第1導通部材に接合された第1接続部材と、を備えている。前記第1半導体素子は、前記第1半導体素子の厚さ方向に離間する第1主面および第1裏面を有する。前記第1主面には、前記第2電極および前記第3電極が形成され、前記第1裏面には、前記第1電極が形成されている。前記第1導通部材は、各々が前記厚さ方向において前記第1裏面と同じ方向を向き、且つ、互いに離間する第1接合面および第2接合面と、前記第1接合面および前記第2接合面を基準として前記厚さ方向に窪んだ凹面とを有する。前記第1接合面は、前記第3電極が接合されており、前記第2接合面は、前記第1接続部材が接合され、且つ、前記厚さ方向に見て前記第1半導体素子に重ならない配置とされる。

発明の効果

[0007] 上述の構成によれば、半導体装置において、半導体素子のオンオフ制御を行う駆動信号の入力電極への配線を容易にすることが可能となる。

図面の簡単な説明

[0008] [図1]第1実施形態にかかる半導体装置を示す斜視図である。

[図2]第1実施形態にかかる半導体装置を示す平面図である。

[図3]第1実施形態にかかる半導体装置を示す平面図である。

[図4]第1実施形態にかかる半導体装置を示す平面図である。

[図5]第1実施形態にかかる半導体装置を示す平面図である。

[図6]第1実施形態にかかる半導体装置を示す平面図である。

[図7]第1実施形態にかかる半導体装置を示す平面図である。

[図8]第1実施形態にかかる半導体装置を示す左側面図である。

[図9]第1実施形態にかかる半導体装置を示す右側面図である。

[図10]第1実施形態にかかる半導体装置を示す底面図である。

[図11]図2のXⅠーXⅠ線に沿う断面図である。

[図12]図2のXⅠⅠーXⅠⅠ線に沿う断面図である。

[図13]図2のXⅠⅠⅠーXⅠⅠⅠ線に沿う断面図である。

[図14]第1実施形態にかかる半導体装置の配線部材を示す斜視図である。

[図15]第2実施形態にかかる半導体装置を示す断面図である。

[図16]第3実施形態にかかる半導体装置を示す断面図である。

[図17]第4実施形態にかかる半導体装置を示す断面図である。

[図18]第5実施形態にかかる半導体装置を示す平面図である。

[図19]第5実施形態にかかる半導体装置を示す平面図である。

[図20]第6実施形態にかかる半導体装置を示す平面図である。

[図21]図20のXXⅠーXXⅠ線に沿う断面図である。

[図22]変形例にかかる半導体装置を示す平面図である。

発明を実施するための形態

[0009] 本開示の半導体装置の好ましい実施の形態について、図面を参照して、以下に説明する。以下では、同一あるいは類似の要素については、同じ符号を付して、重複する説明を適宜省略する。

[0010] 図1～図14は、第1実施形態にかかる半導体装置A1を示している。半導体装置A1は、第1半導体素子1、第2半導体素子2、複数のリード3、配線部材4、複数の接続部材5および封止部材6を備えている。半導体装置A1では、複数のリード3は、第1リード31、第2リード32、第3リード33、第4リード34、第5リード35および第6リード36を含み、複数の接続部材5は、第1接続部材51、第2接続部材52、第3接続部材53および第4接続部材54を含む。

[0011] 図1は、半導体装置A1を示す斜視図であって、封止部材6を想像線（二

点鎖線)で示している。図2は、半導体装置A1を示す平面図であって、封止部材6を想像線で示している。図3は、図2の平面図において、さらに第2接続部材52を想像線で示した図である。図4は、図3の平面図において、第2接続部材52を省略し、第1半導体素子1を想像線で示した図である。図5は、図4の平面図において、第1半導体素子1を省略し、配線部材4を想像線で示した図である。図6は、図5の平面図において、配線部材4を省略し、第3接続部材53を想像線で示した図である。図7は、図6の平面図において、第3接続部材53を省略し、第2半導体素子2を想像線で示した図である。図8は、半導体装置A1を示す左側面図である。図9は、半導体装置A1を示す右側面図である。図10は、半導体装置A1を示す底面図である。図11は、図2のX1-X1線に沿う断面図である。図12は、図2のX11-X11線に沿う断面図である。図13は、図2のX111-X111線に沿う断面図である。図14は、配線部材4を示す斜視図であって、配線部材4の一部(後述の樹脂部材43)を想像線で示した図である。

[0012] 説明の便宜上、互いに直交する3つの方向、すなわちx方向、y方向、z方向を適宜参照する。z方向は、たとえば、半導体装置A1の厚さ方向に対応する。

[0013] 第1半導体素子1および第2半導体素子2はそれぞれ、たとえばMOSFETである。これに代えて、第1半導体素子1および第2半導体素子2はそれぞれ、MISFET (Metal-Insulator-Semiconductor FET)、HEMT (High Electron Mobility Transistor) を含む電界効果トランジスタ、あるいは、IGBTのようなバイポーラトランジスタであってもよい。第1半導体素子1および第2半導体素子2はそれぞれ、たとえばSiC (炭化ケイ素) からなる。これに代えて、第1半導体素子1および第2半導体素子2はそれぞれ、Si (シリコン)、GaAs (ヒ化ガリウム) あるいはGaN (窒化ガリウム) から構成されていてもよい。第1半導体素子1および第2半導体素子2は、z方向に視て(すなわち、平面視において)、たとえば矩形状である。図3、図6、図12および図13に示すように、第1半導体素子1は

、第2半導体素子2よりも平面視サイズが小さい。また、平面視において、第1半導体素子1は、その全体が第2半導体素子2に重なる。

[0014] 第1半導体素子1は、図12および図13に示すように、第1主面101および第1裏面102を有する。第1主面101と第1裏面102とは、互いにz方向に離間する。半導体装置A1において、第1半導体素子1は、第1主面101がz1方向を向き、第1裏面102がz2方向を向いた姿勢で配置されている。

[0015] 第1半導体素子1は、図12および図13に示すように、第1電極11、第2電極12および第3電極13を有する。第1電極11は、第1裏面102に形成され、第2電極12および第3電極13は、第1主面101に形成されている。第1半導体素子1がMOSFETである例において、第1電極11はドレイン電極であり、第2電極12はソース電極であり、第3電極13はゲート電極である。第1半導体素子1は、第3電極13（ゲート電極）に第1駆動信号（たとえばゲート電圧）が入力され、第1電極11（ドレイン電極）および第2電極12（ソース電極）間がオンオフ制御される。すなわち、第1半導体素子1は、第3電極13（ゲート電極）に第1駆動信号（たとえばゲート電圧）が入力されると、この第1駆動信号に応じて導通状態と遮断状態とが切り替わる。この導通状態と遮断状態とが切り替わる動作をスイッチング動作という。導通状態では、第1電極11（ドレイン電極）から第2電極12（ソース電極）に電流が流れ、遮断状態では、この電流が流れない。

[0016] 第2半導体素子2は、図11～図13に示すように、第2主面201および第2裏面202を有する。第2主面201と第2裏面202とは、z方向に互いに離間する。半導体装置A1において、第2半導体素子2は、第2主面201がz1方向を向き、第2裏面202がz2方向を向いた姿勢で配置されている。

[0017] 第2半導体素子2は、図11～図13に示すように、第4電極21、第5電極22および第6電極23を有する。第4電極21は、第2裏面202に

形成され、第5電極22および第6電極23は、第2主面201に形成されている。第2半導体素子2がMOSFETである例において、第4電極21はドレイン電極であり、第5電極22はソース電極であり、第6電極23はゲート電極である。第2半導体素子2は、第6電極23（ゲート電極）に第2駆動信号（たとえばゲート電圧）が入力され、第4電極21（ドレイン電極）および第5電極22（ソース電極）間がオンオフ制御される。すなわち、第2半導体素子2は、第6電極23（ゲート電極）に第2駆動信号（たとえばゲート電圧）が入力されると、この第2駆動信号に応じて導通状態と遮断状態とが切り替わる。導通状態では、第4電極21（ドレイン電極）から第5電極22（ソース電極）に電流が流れ、遮断状態では、この電流が流れない。

[0018] 半導体装置A1は、第1半導体素子1および第2半導体素子2の各スイッチング動作により、直流電圧をたとえば交流電圧に変換する。半導体装置A1においては、直流電圧は、第2リード32および第3リード33間に入力され、交流電圧は、第5リード35から出力される。この直流電圧によって生じる電流、および、交流電圧によって生じる電流の各経路が半導体装置A1における主電流経路である。半導体装置A1は、たとえばハーフブリッジ型のスイッチング回路として構成される。この場合、第1半導体素子1は、半導体装置A1の上アーム回路を構成し、第2半導体素子2は、半導体装置A1の下アーム回路を構成する。第1半導体素子1と第2半導体素子2とは、直列に接続され、ブリッジを構成する。

[0019] 複数のリード3は、第1半導体素子1および第2半導体素子2を支持し、かつ、第1半導体素子1および第2半導体素子2に適宜導通する。複数のリード3はそれぞれ、図11～図13に示すように、z方向において、第2半導体素子2に対して第1半導体素子1と反対側（z1方向側）に位置する。複数のリード3は、導電性材料からなり、たとえばリードフレームを用いて形成されるものである。複数のリード3は、たとえばCuまたはCu合金等の金属製の板材に対して打ち抜きなどの切断加工および曲げ加工を施すこと

によって形成される。複数のリード3は、図8～図10に示すように、封止部材6から部分的に露出し、この露出した部分は、半導体装置A1の端子として用いられる。上述の通り、複数のリード3は、第1リード31、第2リード32、第3リード33、第4リード34、第5リード35および第6リード36を含む。第1リード31、第2リード32、第3リード33、第4リード34、第5リード35および第6リード36は、互いに離間する。

[0020] 第1リード31は、第1半導体素子1の第3電極13（ゲート電極）に導通する。図8および図10に示すように、第1リード31の一部は、封止部材6から露出する。この露出した部分は、半導体装置A1の端子であり、半導体装置A1では、第1リード31は、第1駆動信号の入力端子である。

[0021] 第2リード32は、第1半導体素子1の第1電極11（ドレイン電極）に導通する。図8および図10に示すように、第2リード32の一部は、封止部材6から露出する。この露出した部分は、半導体装置A1の端子であり、半導体装置A1では、第2リード32は、正極側の入力端子（P端子）である。

[0022] 第3リード33は、第2半導体素子2の第5電極22（ソース電極）に導通する。図10に示すように、第3リード33の一部は、封止部材6から露出する。この露出した部分は、半導体装置A1の端子であり、半導体装置A1では、第3リード33は、負極側の入力端子（N端子）である。図11～図13に示すように、第3リード33は、第2半導体素子2の第5電極22が導電性接合材922を介して接合されており、第2半導体素子2が搭載されている。導電性接合材922は、たとえばはんだ、金属ペーストあるいは焼結金属などからなり、図1～図7においては適宜省略する。

[0023] 図7に示すように、第3リード33は、パッド部331および複数の吊り部332を含む。パッド部331は、図11～図13に示すように、第3リード33のうち、導電性接合材922により、第2半導体素子2の第5電極22が接合される部位である。複数の吊り部332はそれぞれ、半導体装置A1の製造時において、複数のリード3がリードフレームである状態のとき

、パッド部331を支持する部位である。複数の吊り部332はそれぞれ、y方向において、パッド部331に繋がる部分と反対側の面が封止部材6から露出する。

[0024] 第4リード34は、第2半導体素子2の第6電極23（ゲート電極）に導通する。図9および図10に示すように、第4リード34の一部は、封止部材6から露出する。この露出した部分は、半導体装置A1の端子であり、半導体装置A1では、第4リード34は、第2駆動信号の入力端子である。

[0025] 図7に示すように、第4リード34は、パッド部341を含む。パッド部341は、第4リード34のうち、第2半導体素子2の第6電極23が接合される部位である。図11に示すように、第6電極23は、導電性接合材923によって、パッド部341に接合されている。導電性接合材923は、たとえば、はんだ、金属ペーストあるいは焼結金属からなる。

[0026] 第5リード35は、第1半導体素子1の第2電極12（ソース電極）に導通するとともに、第2半導体素子2の第4電極21（ドレイン電極）に導通する。図9および図10に示すように、第5リード35の一部は、封止部材6から露出する。この露出した部分は、半導体装置A1の端子であり、半導体装置A1では、第5リード35は、交流電圧の出力端子である。

[0027] 第6リード36は、第2半導体素子2の第4電極21（ドレイン電極）に導通する。図8および図10に示すように、第6リード36の一部は、封止部材6から露出する。この露出した部分は、半導体装置A1の端子であり、半導体装置A1では、第6リード36は、出力電圧の検出用端子である。

[0028] 半導体装置A1では、図7に示すように、第3リード33が、x方向において半導体装置A1の中央（あるいは略中央）に位置し、y方向に繋がっている。第1リード31、第2リード32および第6リード36は、第3リード33よりもx方向の一方側（x1方向側）に位置し、第4リード34および第5リード35は、第3リード33よりもx方向の他方側（x2方向側）に位置する。第1リード31、第2リード32および第6リード36は、y方向に並んでおり、第1リード31は、y方向において、第2リード32と

第6リード36とに挟まれている。第2リード32は、第1リード31よりもy方向の一方側（y2方向側）に位置する。第4リード34は、第5リード35よりもy方向の他方側（y1方向側）に位置する。第6リード36は、x方向に見て、第4リード34に重なり、第1リード31および第2リード32はそれぞれ、x方向に見て、第5リード35に重なる。各リード3（第1リード31、第2リード32、第3リード33、第4リード34、第5リード35および第6リード36）の形状および配置は、図示された例に限定されない。

[0029] 配線部材4は、図11～図13に示すように、z方向において、第1半導体素子1と第2半導体素子2との間に位置する。配線部材4は、図4および図11～図14に示すように、第1導通部材41、第2導通部材42および樹脂部材43を有する。

[0030] 第1導通部材41は、導電性材料からなる。この導電性材料は、たとえばCuまたはCu合金である。第1導通部材41は、図4および図11～図13に示すように、第1接合面411、第2接合面412、凹面413および被覆面414を有する。

[0031] 図13に示すように、第1接合面411および第2接合面412は、z2方向を向く。すなわち、第1接合面411および第2接合面412は、z方向において第1裏面102および第2裏面202と同じ方向を向く。図4に示すように、平面視において、第1接合面411は、第1半導体素子1に重なり、第2接合面412は、第1半導体素子1に重ならない。また、第1接合面411は、平面視において、第2接続部材52に重ならない。図13に示すように、第1接合面411には、導電性接合材913により、第1半導体素子1の第3電極13が接合されている。導電性接合材913は、たとえば、はんだ、金属ペーストあるいは焼結金属からなる。図11に示すように、第2接合面412には、第1接続部材51が接合されている。半導体装置A1では、第1接合面411と第2接合面412とは、z方向に直交する同一平面上に位置する。また、第1接合面411と第2接合面412とは、y

方向に沿って離間して配置されている。

[0032] 図13および図14に示すように、凹面413は、平面視において、第1接合面411と第2接合面412とに挟まれており、第1接合面411および第2接合面412に対してz方向に窪む。図13および図14に示す例では、凹面413は、複数の平面（たとえば底面および一对の側面）によって規定されているが、全体として湾曲していてもよい（たとえば上記3つの面のうちの1つの面が湾曲していてもよいし、2つあるいは3つの面がそれぞれ湾曲していてもよい）。凹面413によって窪んだ部分には、樹脂部材43が形成されている。

[0033] 図13に示すように、被覆面414は、樹脂部材43に覆われている。被覆面414は、z1方向を向く。すなわち、被覆面414は、z方向において第1接合面411および第2接合面412と反対側を向く。

[0034] 第2導通部材42は、導電性材料からなる。この導電性材料は、たとえば第1導通部材41と同様に、CuまたはCu合金である。第2導通部材42は、第1導通部材41から離間し、第1導通部材41から絶縁されている。第2導通部材42は、z方向において、第1半導体素子1と第2半導体素子2とに挟まれている。

[0035] 第2導通部材42は、図12および図13に示すように、第1頂面421および第2頂面422を有する。第1頂面421と第2頂面422とは、互いにz方向に離間する。第1頂面421は、z1方向を向き、第2頂面422は、z2方向を向く。第1頂面421は、図12および図13に示すように、導電性接合材94により、第3接続部材53に接合されている。導電性接合材94は、たとえば、はんだ、金属ペーストあるいは焼結金属からなる。第2頂面422は、図12および図13に示すように、導電性接合材912により、第1半導体素子1の第2電極12に接合されている。導電性接合材912は、たとえばはんだ、金属ペーストあるいは焼結金属などからなる。半導体装置A1では、第2頂面422は、第1接合面411および第2接合面412と、z方向に直交する同一平面上に位置する。

- [0036] 樹脂部材43は、図11～図14に示すように、第1導通部材41および第2導通部材42を部分的に覆っている。配線部材4において、樹脂部材43からは、第1導通部材41の第1接合面411および第2接合面412と、第2導通部材42の第1頂面421および第2頂面422とが露出する。樹脂部材43は、たとえば絶縁性の樹脂材料からなる。この樹脂材料は、たとえばエポキシ樹脂である。これに代えて、樹脂部材43の構成材料は、ガラスエポキシ樹脂であってもよい。
- [0037] 複数の接続部材5はそれぞれ、互いに離間する2つ以上の部位同士を導通接続する。上述の通り、複数の接続部材5は、第1接続部材51、第2接続部材52、第3接続部材53、および、第4接続部材54を含む。
- [0038] 第1接続部材51は、配線部材4の第1導通部材41と第1リード31とを導通させる。第1接続部材51は、たとえばボンディングワイヤである。これに代えて、第1接続部材51は、ボンディングリボンや金属製の板材などであってもよい。第1接続部材51は、たとえばAuまたはAu合金、CuまたはCu合金、あるいは、AlまたはAl合金からなる。第1接続部材51は、図11に示すように、一端が第1導通部材41の第2接合面412に接合され、他端が第1リード31の上面に接合されている。
- [0039] 第2接続部材52は、第1半導体素子1の第1電極11と第2リード32とを導通させる。第2接続部材52は、たとえば金属製の板材（金属クリップとも称する）である。第2接続部材52は、たとえばCuまたはCu合金からなる。第2接続部材52は、半導体装置A1における主電流経路となる。このため、ボンディングワイヤよりも金属製の板材の方が大電流・高電圧に適している。
- [0040] 第2接続部材52は、2つの接合部521、522および連結部523を含む。図12に示すように、接合部521は、導電性接合材911を介して、第1電極11上に接合されている。導電性接合材911は、たとえば、はんだ、金属ペーストあるいは焼結金属などからなる。図12に示すように、接合部522は、導電性接合材952を介して、第2リード32上に接合さ

れている。導電性接合材 9 5 2 は、たとえばはんだ、金属ペーストあるいは焼結金属などからなる。連結部 5 2 3 は、2 つの接合部 5 2 1, 5 2 2 に繋がり、これらを連結する。2 つの接合部 5 2 1, 5 2 2 は、連結部 5 2 3 を介して導通する。

[0041] 第 3 接続部材 5 3 は、配線部材 4 の第 2 導通部材 4 2 と第 2 半導体素子 2 の第 4 電極 2 1 (ドレイン電極) とを導通させるとともに、これらと第 5 リード 3 5 とを導通させる。第 3 接続部材 5 3 は、たとえば金属製の板材 (金属クリップとも称する) である。第 3 接続部材 5 3 は、たとえば Cu または Cu 合金からなる。第 3 接続部材 5 3 は、半導体装置 A 1 における主電流経路となる。このため、ボンディングワイヤよりも金属製の板材の方が大電流・高電圧に適している。第 3 接続部材 5 3 は、介在部 5 3 1、接合部 5 3 2 および連結部 5 3 3 を含む。

[0042] 図 1 1 ~ 図 1 3 に示すように、介在部 5 3 1 は、z 方向において、第 2 導通部材 4 2 と第 4 電極 2 1 とに挟まれており、第 2 導通部材 4 2 と第 4 電極 2 1 とに導通する。介在部 5 3 1 は、導電性接合材 9 2 1 により、第 4 電極 2 1 上に接合されている。導電性接合材 9 2 1 は、たとえば、はんだ、金属ペーストあるいは焼結金属からなる。また、介在部 5 3 1 上には、上記導電性接合材 9 4 により、第 2 導通部材 4 2 が接合されている。たとえば図 1 (図 2 ~ 図 5 も参照) に示すように、介在部 5 3 1 (第 3 接続部材 5 3 の一部) のある部分には、第 4 接続部材 5 4 の一端が接合されている。この接合部分は、平面視において、第 1 半導体素子 1、配線部材 4、および、第 2 接続部材 5 2 のいずれにも重ならない部分である。

[0043] 図 1 2 に示すように、接合部 5 3 2 は、導電性接合材 9 5 3 により、第 5 リード 3 5 上に接合されている。接合部 5 3 2 は、導電性接合材 9 5 3 を介して、第 5 リード 3 5 に導通する。導電性接合材 9 5 3 は、たとえばはんだ、金属ペーストあるいは焼結金属などからなる。

[0044] 図 5、図 6 および図 1 2 に示すように、連結部 5 3 3 は、介在部 5 3 1 と接合部 5 3 2 とに繋がり、これらを連結する。介在部 5 3 1 と接合部 5 3 2

とは、連結部 5 3 3 を介して導通する。

[0045] 第 4 接続部材 5 4 は、第 3 接続部材 5 3 と第 6 リード 3 6 とを導通させる。第 4 接続部材 5 4 は、たとえばボンディングワイヤである。これに代えて、第 4 接続部材 5 4 は、ボンディングリボンや金属製の板材などであってよい。第 4 接続部材 5 4 は、たとえば A u または A u 合金、A l または A l 合金、あるいは、C u または C u 合金からなる。第 4 接続部材 5 4 は、一端が第 3 接続部材 5 3 の介在部 5 3 1 に接合され、他端が第 6 リード 3 6 の上面に接合されている。

[0046] 封止部材 6 は、図 1 1 ～図 1 3 に示すように、第 1 半導体素子 1、第 2 半導体素子 2、複数のリード 3 の一部ずつ、配線部材 4 および複数の接続部材 5 を覆う。封止部材 6 は、たとえば絶縁性の樹脂材料からなる。当該樹脂材料としては、たとえば樹脂部材 4 3 と同じエポキシ樹脂が用いられる。封止部材 6 は、図 2 ～図 1 3 に示すように、樹脂主面 6 1、樹脂裏面 6 2 および複数の樹脂側面 6 3 1 ～6 3 4 を有する。

[0047] 樹脂主面 6 1 および樹脂裏面 6 2 は、図 8、図 9 および図 1 1 ～図 1 3 に示すように、z 方向に離間する。樹脂主面 6 1 は、z 2 方向を向き、樹脂裏面 6 2 は、z 1 方向を向く。複数の樹脂側面 6 3 1 ～6 3 4 はそれぞれ、z 方向において樹脂主面 6 1 および樹脂裏面 6 2 に挟まれ、かつ、樹脂主面 6 1 および樹脂裏面 6 2 に繋がる。樹脂側面 6 3 1 および樹脂側面 6 3 2 は、x 方向に離間する。樹脂側面 6 3 1 は、x 1 方向を向き、樹脂側面 6 3 2 は、x 2 方向を向く。樹脂側面 6 3 3 および樹脂側面 6 3 4 は、y 方向に離間する。樹脂側面 6 3 3 は、y 1 方向を向き、樹脂側面 6 3 4 は、y 2 方向を向く。樹脂裏面 6 2 から、複数のリード 3 の各一部ずつが露出する。また、樹脂側面 6 3 1 から、第 1 リード 3 1、第 2 リード 3 2 および第 3 リード 3 3 の各一部ずつが露出し、樹脂側面 6 3 2 から、第 4 リード 3 4 および第 5 リード 3 5 の各一部ずつが露出する。

[0048] 半導体装置 A 1 の作用効果は、次の通りである。

[0049] 半導体装置 A 1 は、第 1 半導体素子 1 と第 1 導通部材 4 1 とを備えている

。第1半導体素子1は、第1電極11、第2電極12および第3電極13を有しており、第3電極13に入力される第1駆動信号によって、第1電極11および第2電極12間がオンオフ制御される。つまり、第3電極13は、第1駆動信号の入力電極である。第1電極11は、第1半導体素子1の第1裏面102に形成されており、第2電極12および第3電極13は、第1主面101に形成されている。第1導通部材41は、第1接合面411および第2接合面412を有する。第1接合面411および第2接合面412は、第1裏面102を同じ方向を向く。第1接合面411は、第3電極13に接合され、第2接合面412は、平面視において第1半導体素子1に重ならない。この構成によると、第2接合面412が、半導体装置A1の上方を向き、第1半導体素子1に重ならないため、第2接合面412への第1接続部材51の接合が容易となる。したがって、半導体装置A1は、第1半導体素子1のオンオフ制御する駆動信号の入力電極（第3電極13）への配線を容易にすることができる。

[0050] 半導体装置A1は、第1半導体素子1および第2半導体素子2を備えている。第1半導体素子1は、平面視において、第2半導体素子2に重なっている。このように、第1半導体素子1を第2半導体素子2の上に積み重ねるように配置する場合、第3電極13が第2半導体素子2に対向することで、第3電極13に直接第1接続部材51を接合することがさらに困難となる。半導体装置A1では、第1半導体素子1の下方（z1方向）には、第2半導体素子2の他に、第3接続部材53や第3リード33が配置されているため、第3電極13への第1接続部材51の接合がさらに困難となる。しかしながら、半導体装置A1では、配線部材4（第1導通部材41）によって、第2接合面412が、半導体装置A1の上方を向くので、第1接続部材51の接合が容易となる。つまり、半導体装置A1は、第1半導体素子1および第2半導体素子2をスタック構造で実装し、かつ、第1半導体素子1および第2半導体素子2をそれぞれフリップチップ実装する上で、より有効である。

[0051] 半導体装置A1では、第1導通部材41は、第1接合面411および第2

接合面 4 1 2 から窪む凹面 4 1 3 を含む。この構成によると、第 1 導通部材 4 1 は、第 1 半導体素子 1 に対して、第 1 接合面 4 1 1 が第 3 電極 1 3 に上記導電性接合材 9 1 3 を介して導通接合されるだけである。したがって、半導体装置 A 1 は、第 1 導通部材 4 1 と第 1 半導体素子 1 との意図せぬ導通を抑制できる。たとえば、第 3 電極 1 3 と同じく第 1 主面 1 0 1 に形成された第 1 電極 1 1 と、第 1 導通部材 4 1 との意図せぬ導通を抑制できる。

[0052] 半導体装置 A 1 では、第 2 半導体素子 2 がフリップチップ実装され、第 5 電極 2 2（ソース電極）が第 3 リード 3 3 に接合されている。この構成によると、第 2 半導体素子 2 のスイッチング動作によって生じる熱の放熱性を高めることが可能となる。

[0053] 半導体装置 A 1 では、第 2 接合面 4 1 2 が平面視において、第 3 接続部材 5 3（介在部 5 3 1）、第 2 半導体素子 2 および第 3 リード 3 3（パッド部 3 3 1）に重なっている（図 1 3 参照）。この構成によると、第 2 接合面 4 1 2 に第 1 接続部材 5 1 を接合する際に、第 2 接合面 4 1 2 に z 方向下方への押圧力が印加される。これに対し、第 3 接続部材 5 3、第 2 半導体素子 2 および第 3 リード 3 3 によって配線部材 4 が支持されるので、当該押圧力による、配線部材 4 の位置ずれや第 1 接続部材 5 1 の接合不良を抑制することができる。

[0054] 図 1 5 は、第 2 実施形態にかかる半導体装置 A 2 を示している。図 1 5 は、半導体装置 A 2 を示す断面図であって、図 1 3 の断面に対応する。図 1 5 に示すように、半導体装置 A 2 は、半導体装置 A 1 と比較して、第 1 半導体素子 1 の一部が樹脂部材 4 3 に覆われている点で異なる。

[0055] 半導体装置 A 2 では、樹脂部材 4 3 は、第 1 半導体素子 1 の第 1 裏面 1 0 2 を除き、第 1 半導体素子 1 を覆っている。つまり、樹脂部材 4 3 から第 1 裏面 1 0 2 が露出する。第 1 半導体素子 1 の第 1 電極 1 1 は、第 1 裏面 1 0 2 に形成されていることから、第 1 半導体素子 1 の第 1 電極 1 1 は、樹脂部材 4 3 から露出している。

[0056] 半導体装置 A 2 では、図 1 5 に示すように、第 2 接合面 4 1 2 は、第 1 接

合面 4 1 1 よりも上方（ z 2 方向）に位置しており、第 1 半導体素子 1 の第 1 裏面 1 0 2 と、同一平面上に位置する。これにより、樹脂部材 4 3 が第 1 半導体素子 1 を部分的に覆った場合であっても、第 2 接合面 4 1 2 を樹脂部材 4 3 から露出させている。

[0057] 半導体装置 A 2 では、半導体装置 A 2 の製造時において、事前に、第 1 半導体素子 1 を配線部材 4 に一体的に形成しておく。たとえば、第 1 半導体素子 1 の第 3 電極 1 3 に第 1 導通部材 4 1 を接合し、且つ、第 1 半導体素子 1 の第 2 電極 1 2 に第 2 導通部材 4 2 を接合した後、第 1 半導体素子 1、第 1 導通部材 4 1 および第 2 導通部材 4 2 を樹脂部材 4 3 で覆う。これにより、第 1 半導体素子 1 が一体的になった配線部材 4 が形成される。このように、事前に、第 1 半導体素子 1 が一体的になった配線部材 4 を形成しておき、半導体装置 A 2 が製造される。

[0058] 半導体装置 A 2 においても、半導体装置 A 1 と同様の効果を奏することができる。

[0059] 図 1 6 は、第 3 実施形態にかかる半導体装置 A 3 を示している。図 1 6 は、半導体装置 A 3 を示す断面図であって、図 1 3 の断面に対応する。図 1 6 に示すように、半導体装置 A 3 は、半導体装置 A 1 と比較して、配線部材 4 が第 2 導通部材 4 2 を含まず、第 3 接続部材 5 3 の介在部 5 3 1 が、第 1 部 5 3 1 a と第 2 部 5 3 1 b とを含んでいる点で異なる。

[0060] 図 1 6 に示すように、第 1 部 5 3 1 a は、第 2 部 5 3 1 b よりも x 方向の寸法が大きい。すなわち、第 1 部 5 3 1 a は、第 2 部 5 3 1 b よりも厚い。第 1 部 5 3 1 a の上面には、導電性接合材 9 1 2 を介して、第 2 電極 1 2 が接合されている。第 1 部 5 3 1 a は、平面視において、半導体装置 A 1 の第 2 導通部材 4 2 と同じ（あるいは略同じ）位置に配置されている。第 2 部 5 3 1 b の上面には、導電性接合材 9 4 を介して、配線部材 4 が接合されている。第 1 部 5 3 1 a の上面と、配線部材 4 の上面とは、 z 方向において同じ（あるいは略同じ）位置に配置されている。

[0061] 半導体装置 A 3 においても、半導体装置 A 1 と同様の効果を奏することが

できる。

[0062] 図17は、第4実施形態にかかる半導体装置A4を示している。図17は、半導体装置A4を示す断面図であって、図13の断面に対応する。図17に示すように、半導体装置A4は、半導体装置A3と比較して、配線部材4が樹脂部材43を含んでいない点で異なる。なお、図17に示すように、第3接続部材53の介在部531は、半導体装置A2の介在部531と同様に、第1部531aと第2部531bとを含んでいる。

[0063] 半導体装置A3では、配線部材4は第1導通部材41のみから構成される。第1導通部材41は、封止部材6に覆われている。よって、半導体装置A3における被覆面414は、封止部材6に覆われている。半導体装置A3では、第1半導体素子1を第1部531a（介在部531）上に搭載する前に、第1半導体素子1の第3電極13に第1導通部材41を接合しておくことで、第1導通部材41が第3接続部材53から離間した姿勢で支持されている。

[0064] 半導体装置A4においても、半導体装置A1と同様の効果を奏することができる。

[0065] 図18および図19は、第5実施形態にかかる半導体装置A5を示している。図18および図19は、半導体装置A5を示す平面図である。図18においては、封止部材6を想像線で示しており、図19においては、第2接続部材52を省略し、第1半導体素子1および封止部材6を想像線で示している。図18および図19に示すように、半導体装置A5は、半導体装置A1と比較して、第1導通部材41において、第1接合面411と第2接合面412とがx方向に沿って離間して配置されている点で異なる。

[0066] 半導体装置A5では、上述の通り、第2接合面412が、第1接合面411のx方向の一方側（x1方向側）に位置している。このようにして、平面視において、第2接合面412が、第1半導体素子1および第2接続部材52に重ならないようにしている。

[0067] 半導体装置A5においても、半導体装置A1と同様の効果を奏することが

できる。

[0068] 図20および図21は、第6実施形態にかかる半導体装置A6を示している。図20は、半導体装置A6を示す平面図であって、第2接続部材52および封止部材6を想像線で示している。図21は、図20のXXI-XXI線に沿う断面図である。図20および図21に示すように、半導体装置A6は、半導体装置A5と比較して、第1半導体素子1の平面視サイズと、第2半導体素子2の平面視サイズとが、同じ（あるいは略同じ）である点で異なる。なお、半導体装置A6においては、半導体装置A5と同様に、第1接合面411と第2接合面412とがy方向に沿って配置された第1導通部材41を用いている。

[0069] 半導体装置A6では、上記の通り、第1半導体素子1の平面視サイズと第2半導体素子2の平面視サイズとが同じ（あるいは略同じ）である。図20および図21に示す例では、第1半導体素子1は、第2半導体素子2よりもx2方向に少しずれて配置されている。

[0070] 半導体装置A6においても、半導体装置A1と同様の効果を奏することができる。

[0071] 第1実施形態ないし第4実施形態では、第1接合面411と第2接合面412とがy方向に沿って配置され、第5実施形態および第6実施形態では、第1接合面411と第2接合面412とがx方向に沿って配置された例を示したが、第1接合面411および第2接合面412の各配置は適宜変更可能である。図22は、当該変形例にかかる半導体装置を示す平面図であって、図19に対応する。図22に示す半導体装置は、半導体装置A5において、第2接合面412の位置を変更したものである。たとえば、図22に示すように、凹面413を平面視において屈曲させることで、第1接合面411および第2接合面412の各配置を、他の構成要素の形状および位置などに応じて、適宜変更させることができる。

[0072] 第1実施形態ないし第6実施形態においては、第2半導体素子2が、トランジスタである例を示したが、これに限定されず、ダイオードやICなどで

あってもよい。たとえば第2半導体素子2がダイオードである例において、第2半導体素子2は、2つの電極を有しており、この2つの電極は、第2主面201と第2裏面202とにそれぞれ1つずつ設けられていてもよいし、第2主面201または第2裏面202のいずれか一方に設けられていてもよい。また、各半導体装置A1～A6において、第2半導体素子2の代わりに、抵抗器またはコンデンサなどの電子部品を備えていてもよい。また、各半導体装置A1～A6において、第2半導体素子2を備えていなくてもよい。なお、これらの変形例において、複数のリード3の配置、形状および数は適宜変更される。

[0073] 第1実施形態ないし第6実施形態において、各半導体装置A1～A6は、複数のリード3の代わりに、配線パターンが形成されたガラスエポキシ基板やシリコン基板、セラミック基板などを備えていてもよい。

[0074] 本開示にかかる半導体装置は、上記した実施形態に限定されるものではない。本開示の半導体装置の各部の具体的な構成は、種々に設計変更自在である。本開示は、以下の付記に記載された実施形態を含む。

付記1.

第1電極、第2電極および第3電極を有し、前記第3電極に入力される第1駆動信号に応じて前記第1電極および前記第2電極間がオンオフ制御される第1半導体素子と、

前記第3電極に接合された第1導通部材と、

前記第1導通部材に接合された第1接続部材と、

を備えており、

前記第1半導体素子は、前記第1半導体素子の厚さ方向に離間する第1主面および第1裏面を有し、

前記第1主面には、前記第2電極および前記第3電極が形成され、

前記第1裏面には、前記第1電極が形成され、

前記第1導通部材は、各々が前記厚さ方向において前記第1裏面と同じ方向を向き、且つ、互いに離間する第1接合面および第2接合面と、前記第1

接合面および前記第2接合面を基準として前記厚さ方向に窪んだ凹面とを有し、

前記第1接合面は、前記第3電極が接合されており、

前記第2接合面は、前記第1接続部材が接合され、且つ、前記厚さ方向に見て前記第1半導体素子に重ならない、半導体装置。

付記2.

前記厚さ方向において前記第1半導体素子よりも前記第1主面が向く方向に配置された複数のリードをさらに備え、

前記複数のリードは、前記第1接続部材が接続された第1リードを含む、付記1に記載の半導体装置。

付記3.

前記第1電極に接合された第2接続部材をさらに備え、

前記複数のリードは、前記第2接続部材が接合された第2リードを含み、

前記第1電極と前記第2リードとは前記第2接続部材を介して導通する、付記2に記載の半導体装置。

付記4.

前記厚さ方向において、前記第1主面と同じ方向を向く第2主面、および、前記第1裏面と同じ方向を向く第2裏面を有する第2半導体素子をさらに備え、

前記複数のリードは、前記厚さ方向において前記第2半導体素子に対して前記第1半導体素子と反対側に位置し、且つ、前記第2半導体素子が搭載された第3リードを含む、付記3に記載の半導体装置。

付記5.

前記第2半導体素子は、第4電極および第5電極を有しており、前記第4電極は、前記第2裏面に形成され、前記第5電極は、前記第2主面に形成され、

前記第3リードは、前記第5電極が接合されている、付記4に記載の半導体装置。

付記 6.

前記第 1 半導体素子と前記第 2 半導体素子とは前記厚さ方向に見て重なり、

前記第 2 半導体素子は、前記第 1 主面に対向する、付記 5 に記載の半導体装置。

付記 7.

前記第 3 電極は、前記厚さ方向に見て、前記第 2 半導体素子に重なる、付記 6 に記載の半導体装置。

付記 8.

前記第 2 半導体素子は、前記第 2 主面に形成された第 6 電極を有し、前記第 6 電極に入力される第 2 駆動信号に応じて前記第 4 電極および前記第 5 電極間がオンオフ制御される、付記 7 に記載の半導体装置。

付記 9.

前記複数のリードは、前記第 6 電極が接合された第 4 リードを含む、付記 8 に記載の半導体装置。

付記 10.

前記第 2 電極と前記第 4 電極とに導通する板状の第 3 接続部材をさらに備え、

前記複数のリードは、前記第 3 接続部材に接合された第 5 リードを含み、前記第 2 電極および前記第 4 電極と、前記第 5 リードとは、前記第 3 接続部材を介して導通する、付記 9 に記載の半導体装置。

付記 11.

前記第 1 導通部材を覆う絶縁性の樹脂部材をさらに備え、

前記第 1 導通部材は、前記厚さ方向において前記第 1 接合面および前記第 2 接合面と反対側を向き、かつ、前記樹脂部材に覆われた被覆面を有し、

前記第 2 接合面は、前記樹脂部材から露出する、付記 10 に記載の半導体装置。

付記 12.

前記厚さ方向において前記第 1 半導体素子と前記第 2 半導体素子とに挟まれ、且つ、前記第 1 導通部材から絶縁された第 2 導通部材をさらに備え、

前記第 2 電極と前記第 4 電極とは、前記第 2 導通部材を介して導通する、付記 1 1 に記載の半導体装置。

付記 1 3.

前記第 3 接続部材は、前記厚さ方向において前記第 2 導通部材と前記第 4 電極とに挟まれており、

前記第 2 導通部材と前記第 4 電極とは、前記第 3 接続部材を介して導通する、付記 1 2 に記載の半導体装置。

付記 1 4.

前記樹脂部材は、前記第 2 導通部材を覆い、

前記第 2 導通部材は、前記第 3 接続部材に接合された第 1 頂面を有し、

前記第 1 頂面は、前記樹脂部材から露出する、付記 1 3 に記載の半導体装置。

付記 1 5.

前記第 2 導通部材は、前記第 2 電極に接合された第 2 頂面を有し、

前記第 2 頂面は、前記樹脂部材から露出し、

前記第 2 頂面と前記第 2 接合面とは、前記厚さ方向に直交する同一平面上に位置する、付記 1 4 に記載の半導体装置。

付記 1 6.

前記樹脂部材は、前記第 1 半導体素子を覆っており、

前記第 2 接合面と前記第 1 裏面とは、前記厚さ方向に直交する同一平面上に位置する、付記 1 4 に記載の半導体装置。

付記 1 7.

前記第 1 半導体素子、前記第 2 半導体素子、前記第 1 導通部材および前記第 2 導通部材を覆う封止部材をさらに備える、付記 1 2 ないし付記 1 6 のいずれかに記載の半導体装置。

符号の説明

[0075] A 1 ～ A 6 : 半導体装置 1 : 第 1 半導体素子

1 0 1 : 第 1 主面 1 0 2 : 第 1 裏面

1 1 : 第 1 電極 1 2 : 第 2 電極

1 3 : 第 3 電極 2 : 第 2 半導体素子

2 0 1 : 第 2 主面 2 0 2 : 第 2 裏面

2 1 : 第 4 電極 2 2 : 第 5 電極

2 3 : 第 6 電極 3 : リード

3 1 : 第 1 リード 3 2 : 第 2 リード

3 3 : 第 3 リード 3 3 1 : パッド部

3 3 2 : 吊り部 3 4 : 第 4 リード

3 4 1 : パッド部 3 5 : 第 5 リード

3 6 : 第 6 リード 4 : 配線部材

4 1 : 第 1 導通部材 4 1 1 : 第 1 接合面

4 1 2 : 第 2 接合面 4 1 3 : 凹面

4 1 4 : 被覆面 4 2 : 第 2 導通部材

4 2 1 : 第 1 頂面 4 2 2 : 第 2 頂面

4 3 : 樹脂部材 5 : 接続部材

5 1 : 第 1 接続部材 5 2 : 第 2 接続部材

5 2 1 : 接合部 5 2 2 : 接合部

5 2 3 : 連結部 5 3 : 第 3 接続部材

5 3 1 : 介在部 5 3 1 a : 第 1 部

5 3 1 b : 第 2 部 5 3 2 : 接合部

5 3 3 : 連結部 5 4 : 第 4 接続部材

6 : 封止部材 6 1 : 樹脂主面

6 2 : 樹脂裏面 6 3 1 ～ 6 3 4 : 樹脂側面

9 1 1 ～ 9 1 3, 9 2 1 ～ 9 2 3, 9 4, 9 5 2, 9 5 3 : 導電性接合材

請求の範囲

- [請求項1] 第1電極、第2電極および第3電極を有し、前記第3電極に入力される第1駆動信号に応じて前記第1電極および前記第2電極間がオンオフ制御される第1半導体素子と、
 前記第3電極に接合された第1導通部材と、
 前記第1導通部材に接合された第1接続部材と、
 を備えており、
 前記第1半導体素子は、前記第1半導体素子の厚さ方向に離間する第1主面および第1裏面を有し、
 前記第1主面には、前記第2電極および前記第3電極が形成され、
 前記第1裏面には、前記第1電極が形成され、
 前記第1導通部材は、各々が前記厚さ方向において前記第1裏面と同じ方向を向き、且つ、互いに離間する第1接合面および第2接合面と、前記第1接合面および前記第2接合面を基準として前記厚さ方向に窪んだ凹面とを有し、
 前記第1接合面は、前記第3電極が接合されており、
 前記第2接合面は、前記第1接続部材が接合され、且つ、前記厚さ方向に見て前記第1半導体素子に重ならない、半導体装置。
- [請求項2] 前記厚さ方向において前記第1半導体素子よりも前記第1主面が向く方向に配置された複数のリードをさらに備え、
 前記複数のリードは、前記第1接続部材が接続された第1リードを含む、請求項1に記載の半導体装置。
- [請求項3] 前記第1電極に接合された第2接続部材をさらに備え、
 前記複数のリードは、前記第2接続部材が接合された第2リードを含み、
 前記第1電極と前記第2リードとは前記第2接続部材を介して導通する、請求項2に記載の半導体装置。
- [請求項4] 前記厚さ方向において、前記第1主面と同じ方向を向く第2主面、

および、前記第1裏面と同じ方向を向く第2裏面を有する第2半導体素子をさらに備え、

前記複数のリードは、前記厚さ方向において前記第2半導体素子に対して前記第1半導体素子と反対側に位置し、且つ、前記第2半導体素子が搭載された第3リードを含む、請求項3に記載の半導体装置。

[請求項5] 前記第2半導体素子は、第4電極および第5電極を有しており、前記第4電極は、前記第2裏面に形成され、前記第5電極は、前記第2主面に形成され、

前記第3リードは、前記第5電極が接合されている、請求項4に記載の半導体装置。

[請求項6] 前記第1半導体素子と前記第2半導体素子とは前記厚さ方向に見て重なり、

前記第2半導体素子は、前記第1主面に対向する、請求項5に記載の半導体装置。

[請求項7] 前記第3電極は、前記厚さ方向に見て、前記第2半導体素子に重なる、請求項6に記載の半導体装置。

[請求項8] 前記第2半導体素子は、前記第2主面に形成された第6電極を有し、前記第6電極に入力される第2駆動信号に応じて前記第4電極および前記第5電極間がオンオフ制御される、請求項7に記載の半導体装置。

[請求項9] 前記複数のリードは、前記第6電極が接合された第4リードを含む、請求項8に記載の半導体装置。

[請求項10] 前記第2電極と前記第4電極とに導通する板状の第3接続部材をさらに備え、

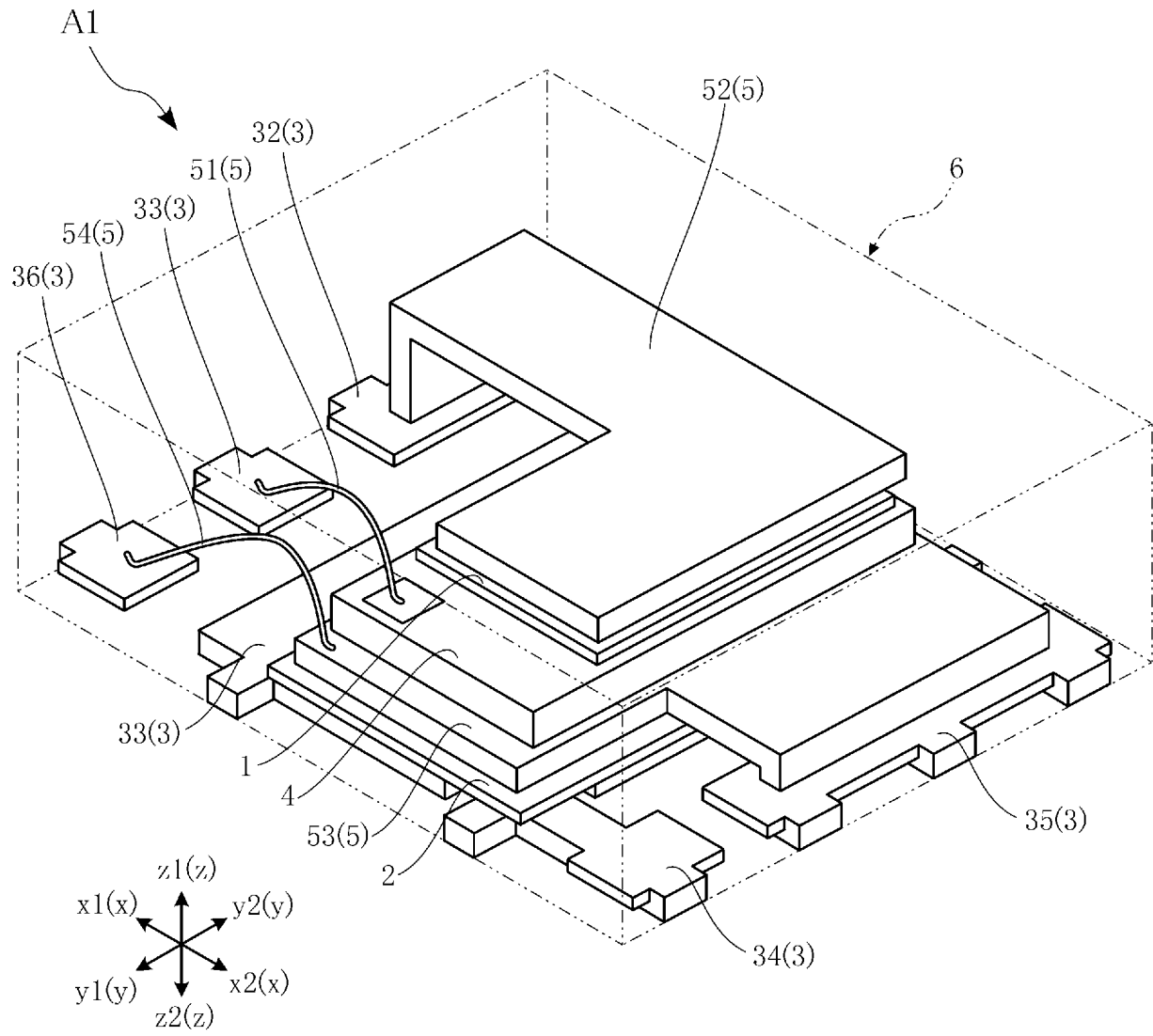
前記複数のリードは、前記第3接続部材に接合された第5リードを含み、

前記第2電極および前記第4電極と、前記第5リードとは、前記第3接続部材を介して導通する、請求項9に記載の半導体装置。

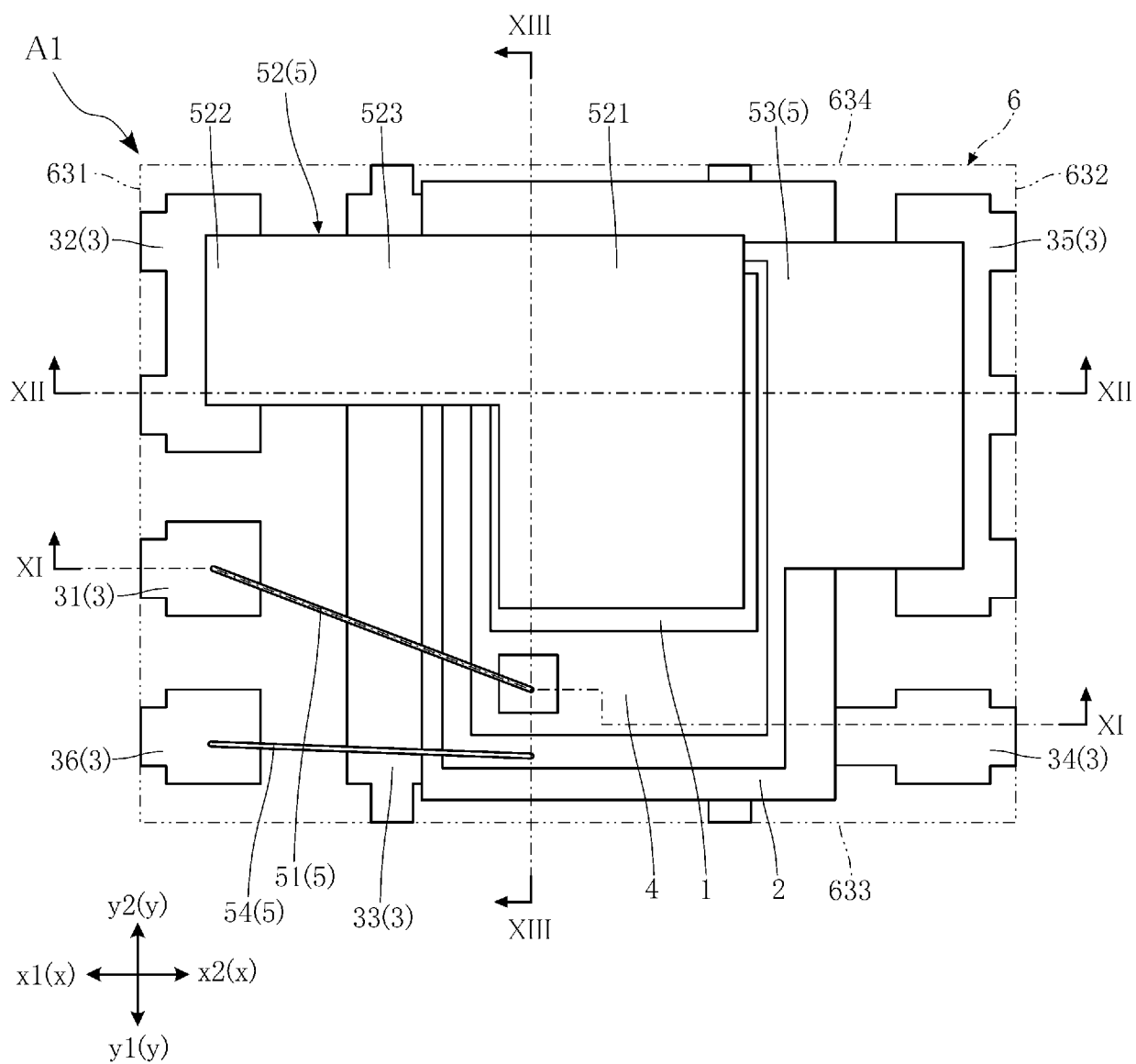
- [請求項11] 前記第1導通部材を覆う絶縁性の樹脂部材をさらに備え、
前記第1導通部材は、前記厚さ方向において前記第1接合面および前記第2接合面と反対側を向き、かつ、前記樹脂部材に覆われた被覆面を有し、
前記第2接合面は、前記樹脂部材から露出する、請求項10に記載の半導体装置。
- [請求項12] 前記厚さ方向において前記第1半導体素子と前記第2半導体素子とに挟まれ、且つ、前記第1導通部材から絶縁された第2導通部材をさらに備え、
前記第2電極と前記第4電極とは、前記第2導通部材を介して導通する、請求項11に記載の半導体装置。
- [請求項13] 前記第3接続部材は、前記厚さ方向において前記第2導通部材と前記第4電極とに挟まれており、
前記第2導通部材と前記第4電極とは、前記第3接続部材を介して導通する、請求項12に記載の半導体装置。
- [請求項14] 前記樹脂部材は、前記第2導通部材を覆い、
前記第2導通部材は、前記第3接続部材に接合された第1頂面を有し、
前記第1頂面は、前記樹脂部材から露出する、請求項13に記載の半導体装置。
- [請求項15] 前記第2導通部材は、前記第2電極に接合された第2頂面を有し、
前記第2頂面は、前記樹脂部材から露出し、
前記第2頂面と前記第2接合面とは、前記厚さ方向に直交する同一平面上に位置する、請求項14に記載の半導体装置。
- [請求項16] 前記樹脂部材は、前記第1半導体素子を覆っており、
前記第2接合面と前記第1裏面とは、前記厚さ方向に直交する同一平面上に位置する、請求項14に記載の半導体装置。
- [請求項17] 前記第1半導体素子、前記第2半導体素子、前記第1導通部材およ

び前記第 2 導通部材を覆う封止部材をさらに備える、請求項 1 2 ないし請求項 1 6 のいずれかに記載の半導体装置。

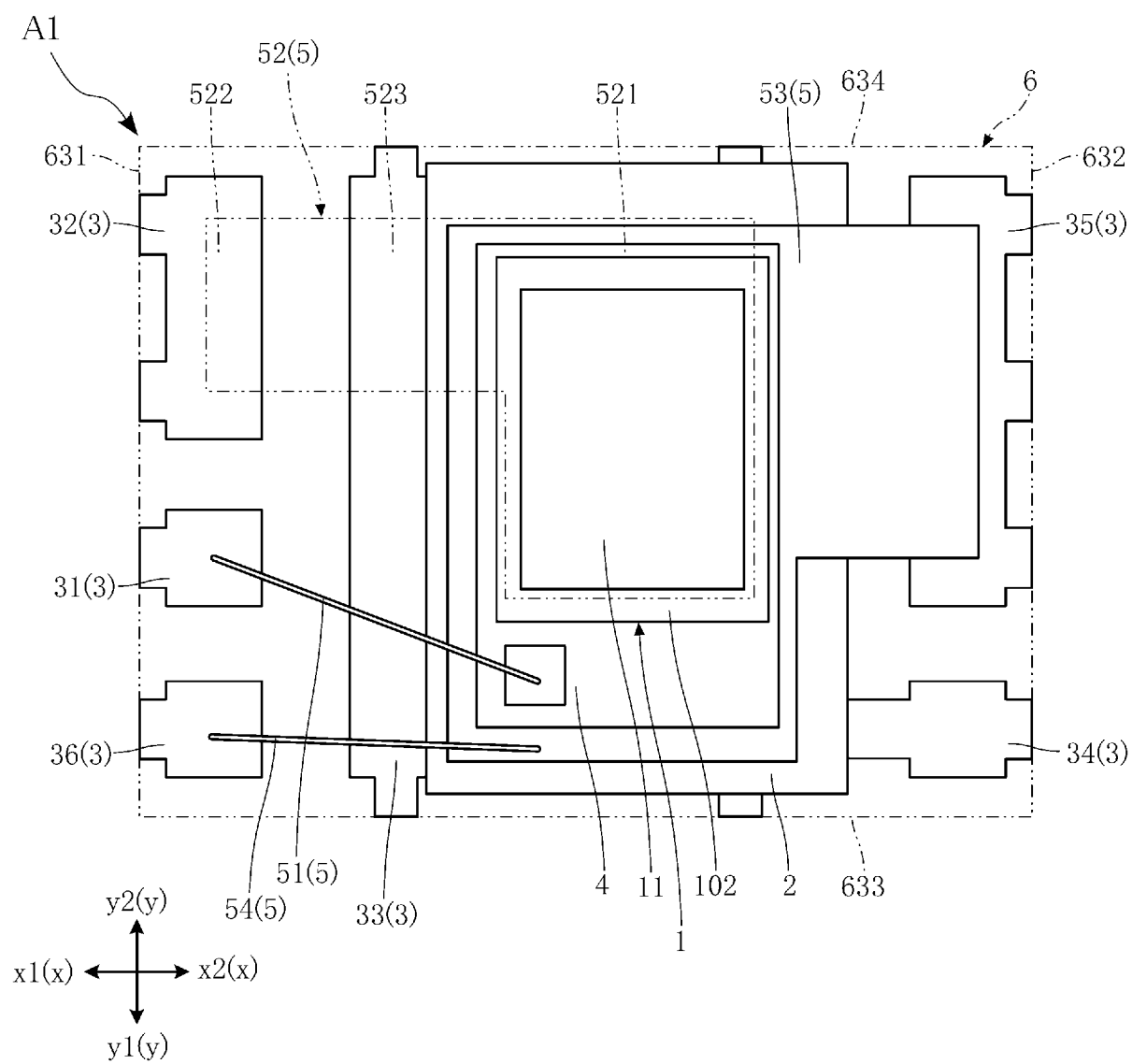
[図1]
FIG.1



[図2]
FIG.2

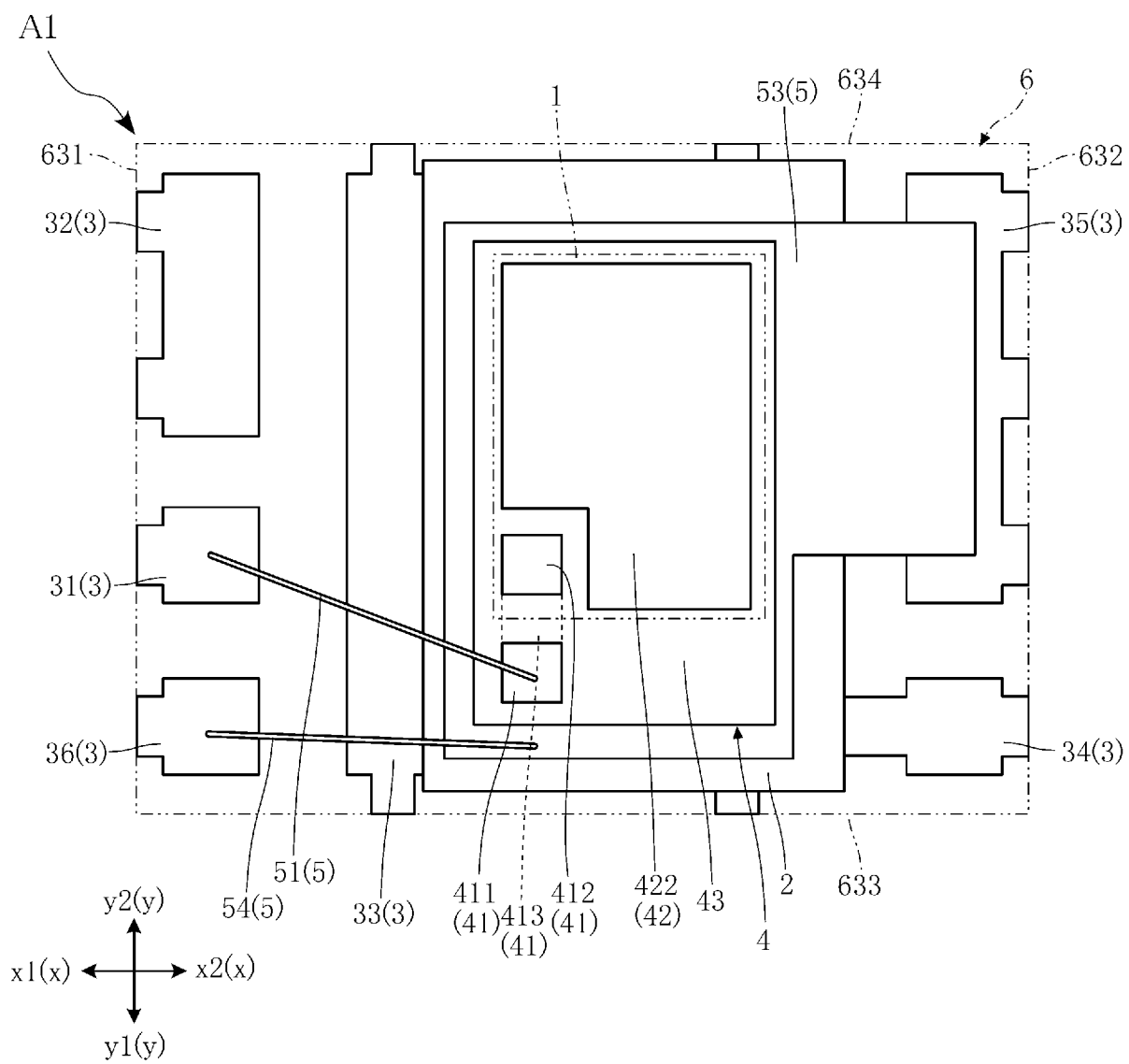


[図3]
FIG.3

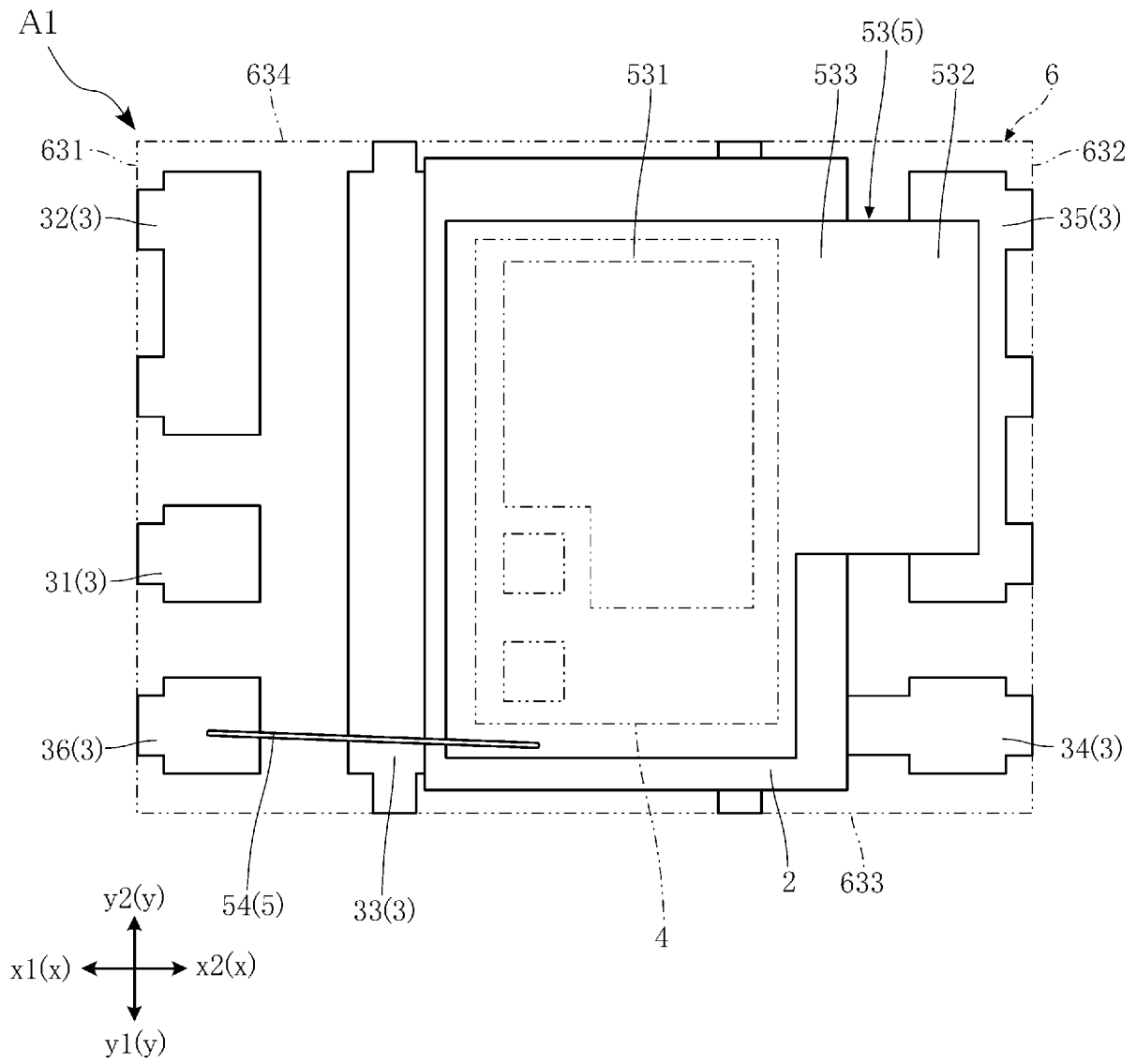


[図4]

FIG.4



[図5]
FIG.5



[図6]
FIG.6

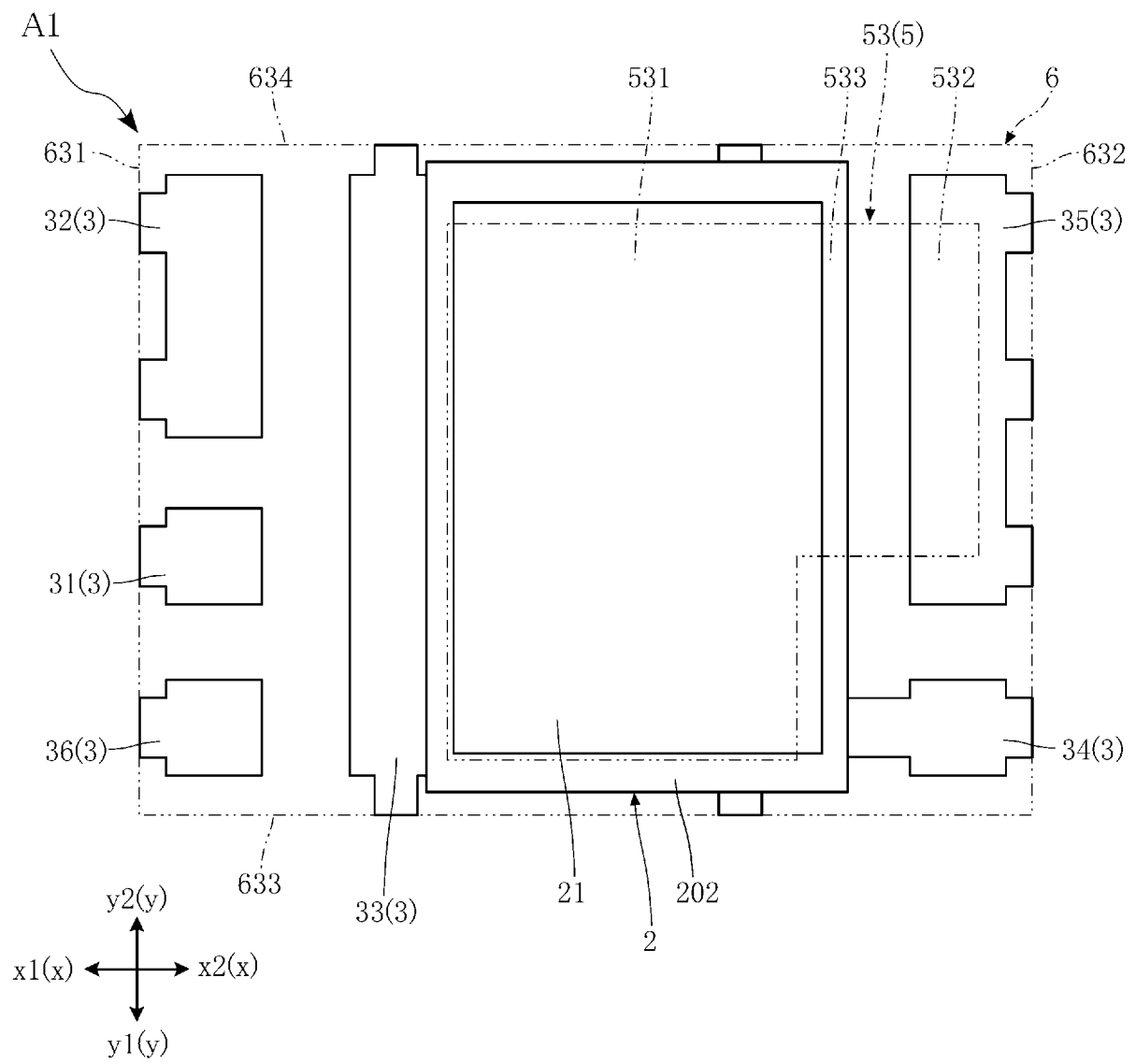
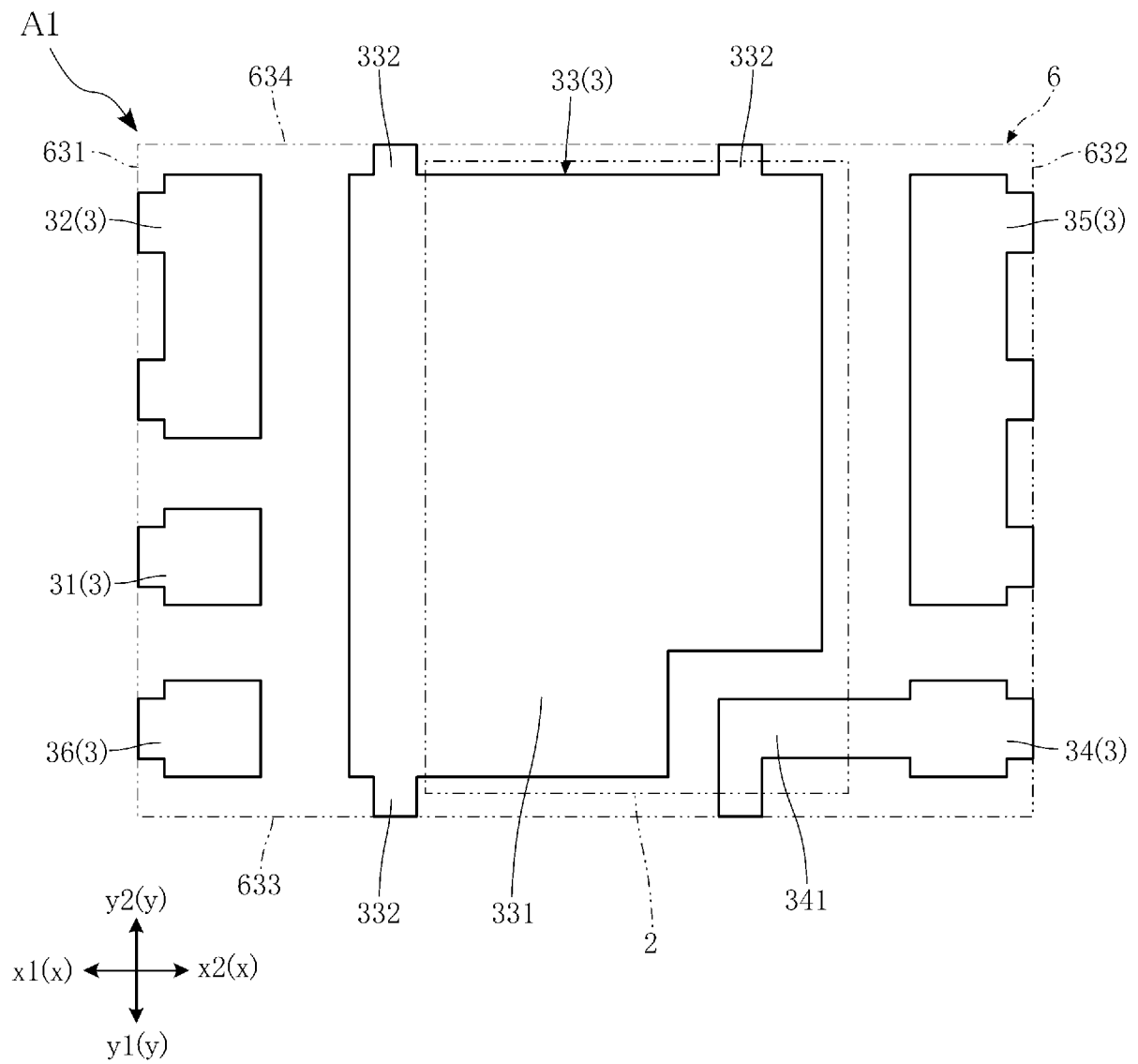
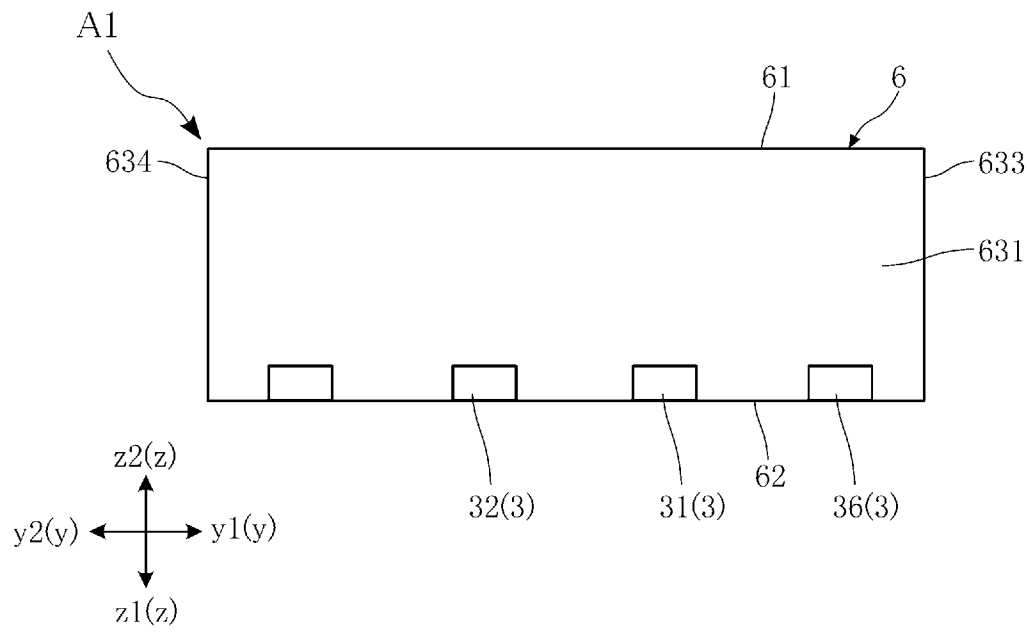


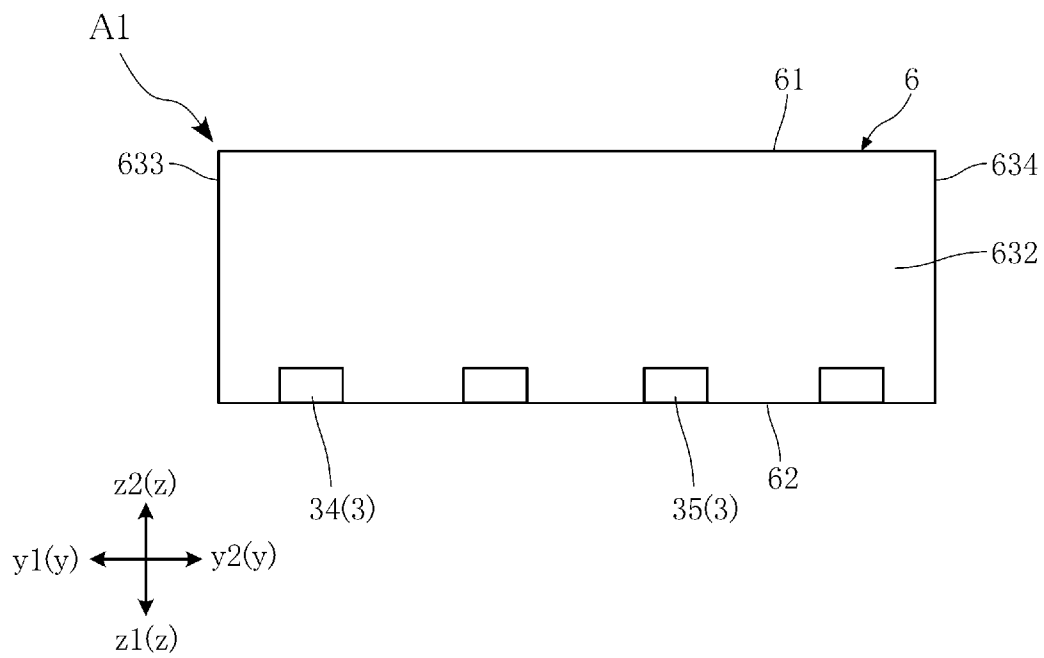
FIG. 7



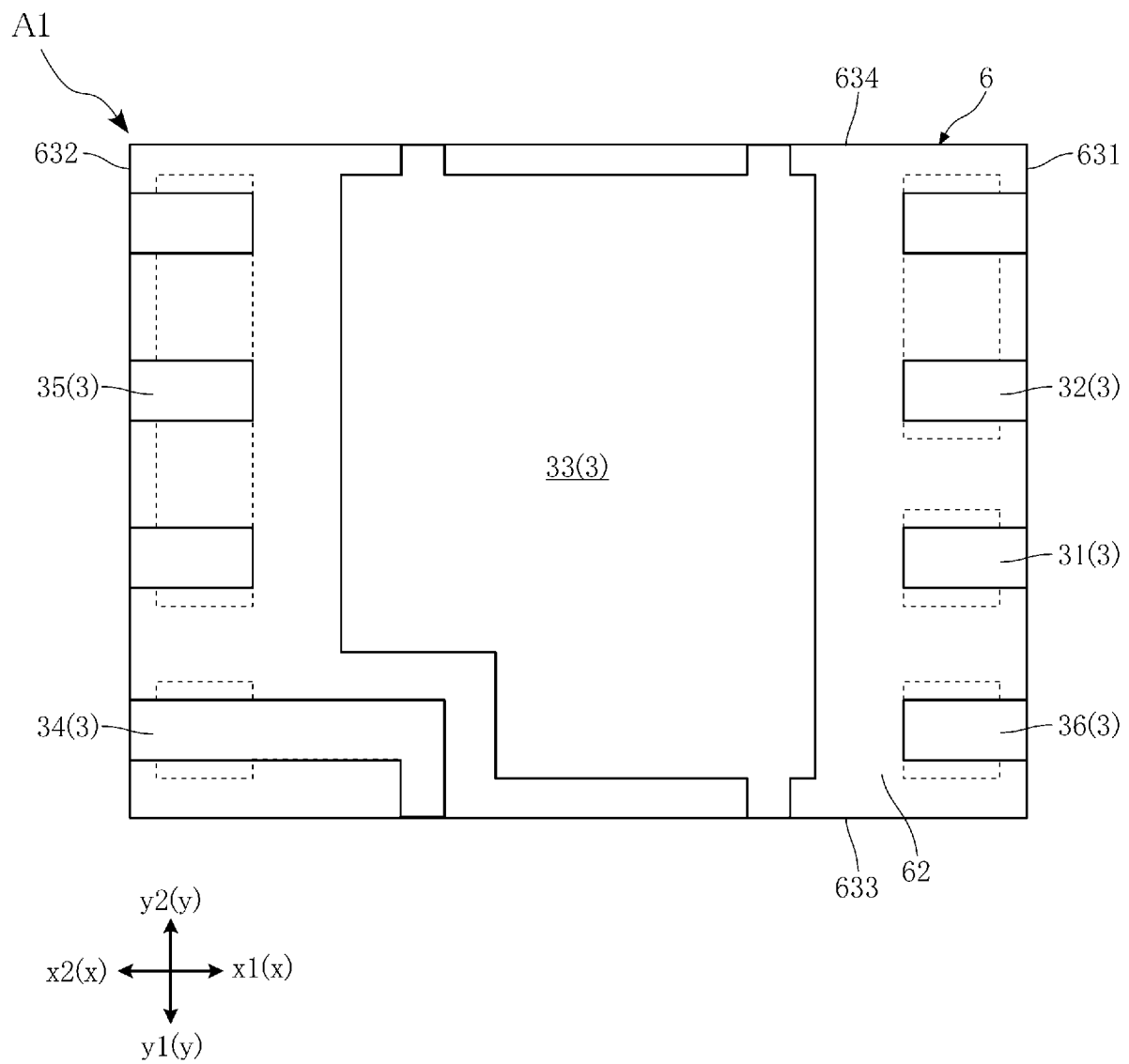
【図8】
FIG.8



【図9】
FIG.9

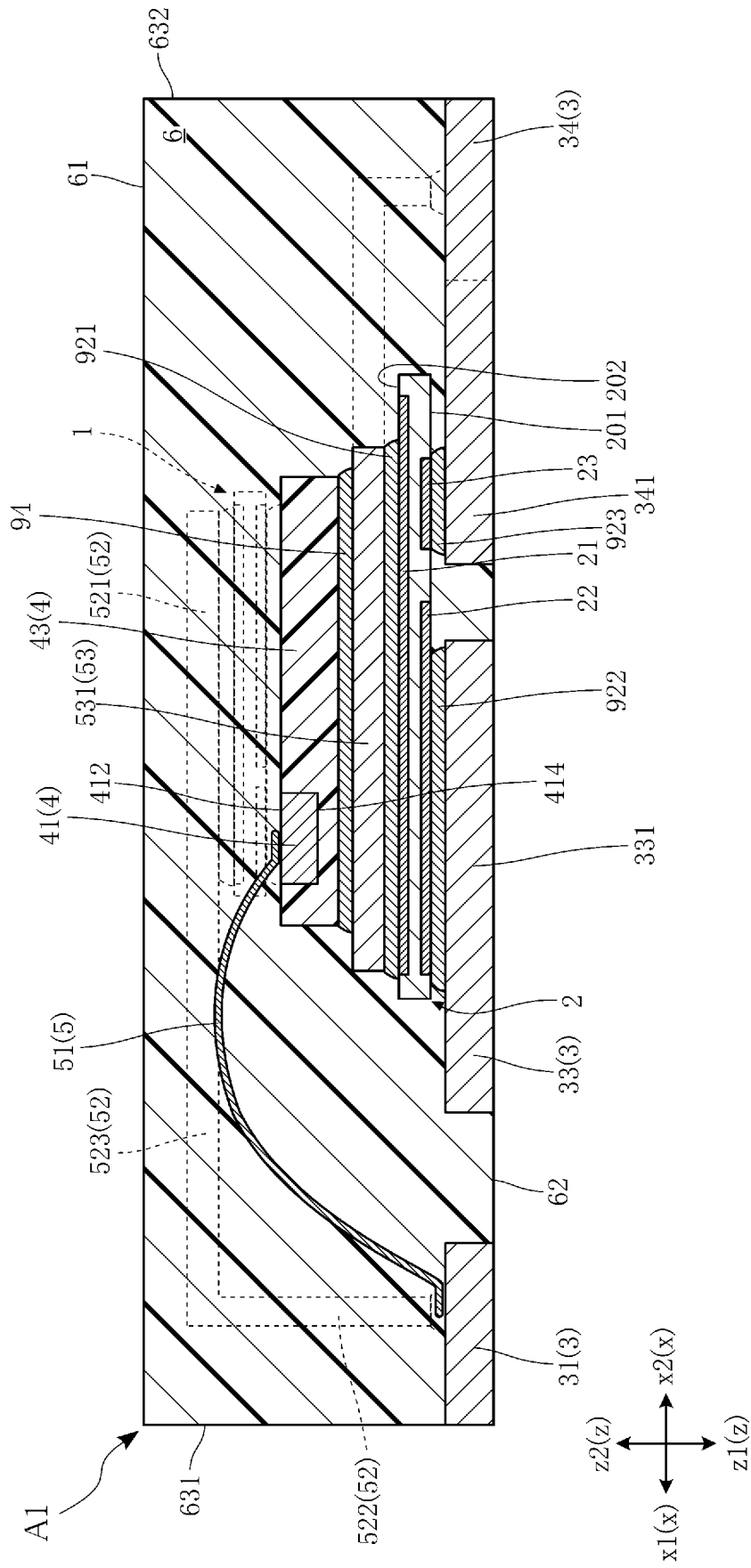


[図10]
FIG.10



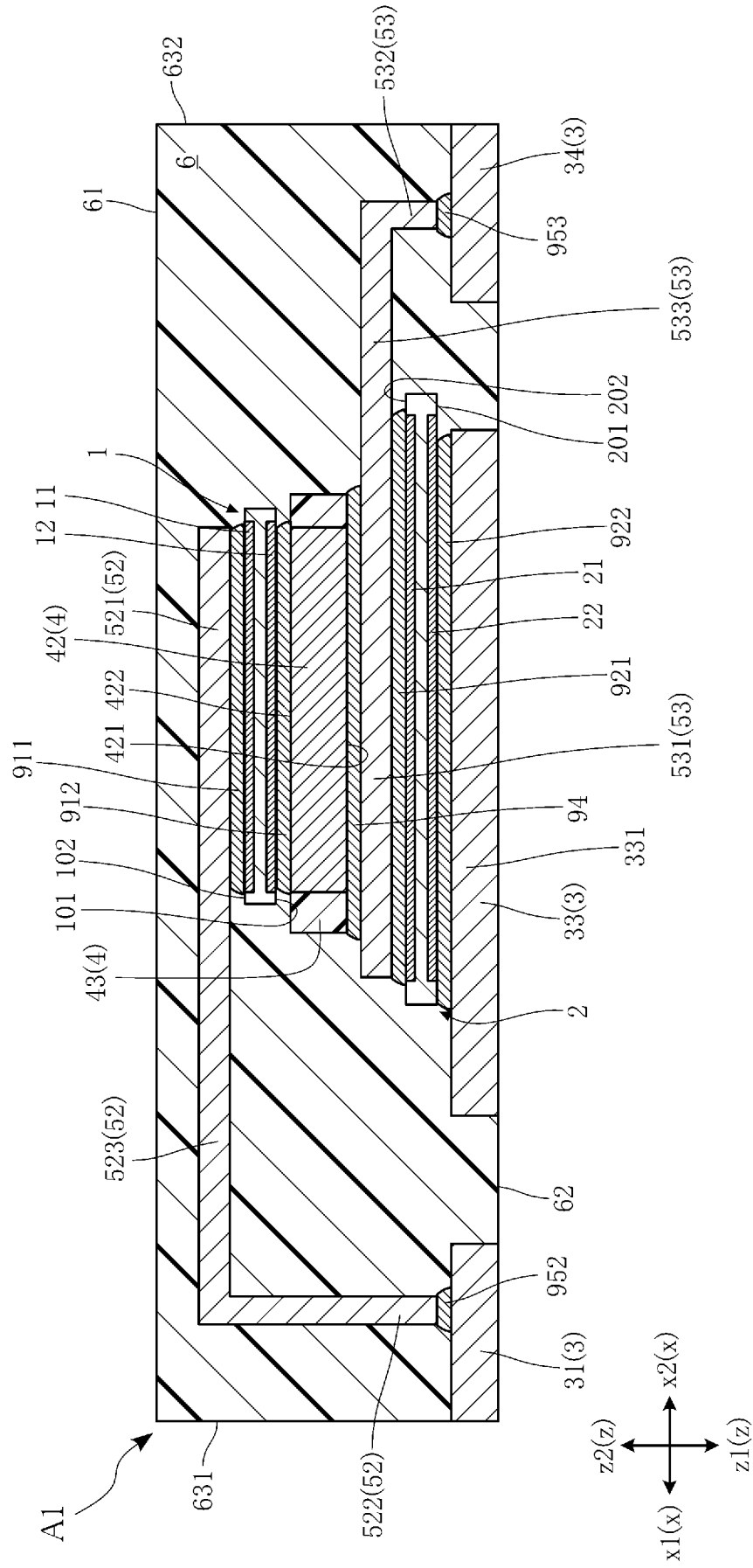
[図11]

FIG.11



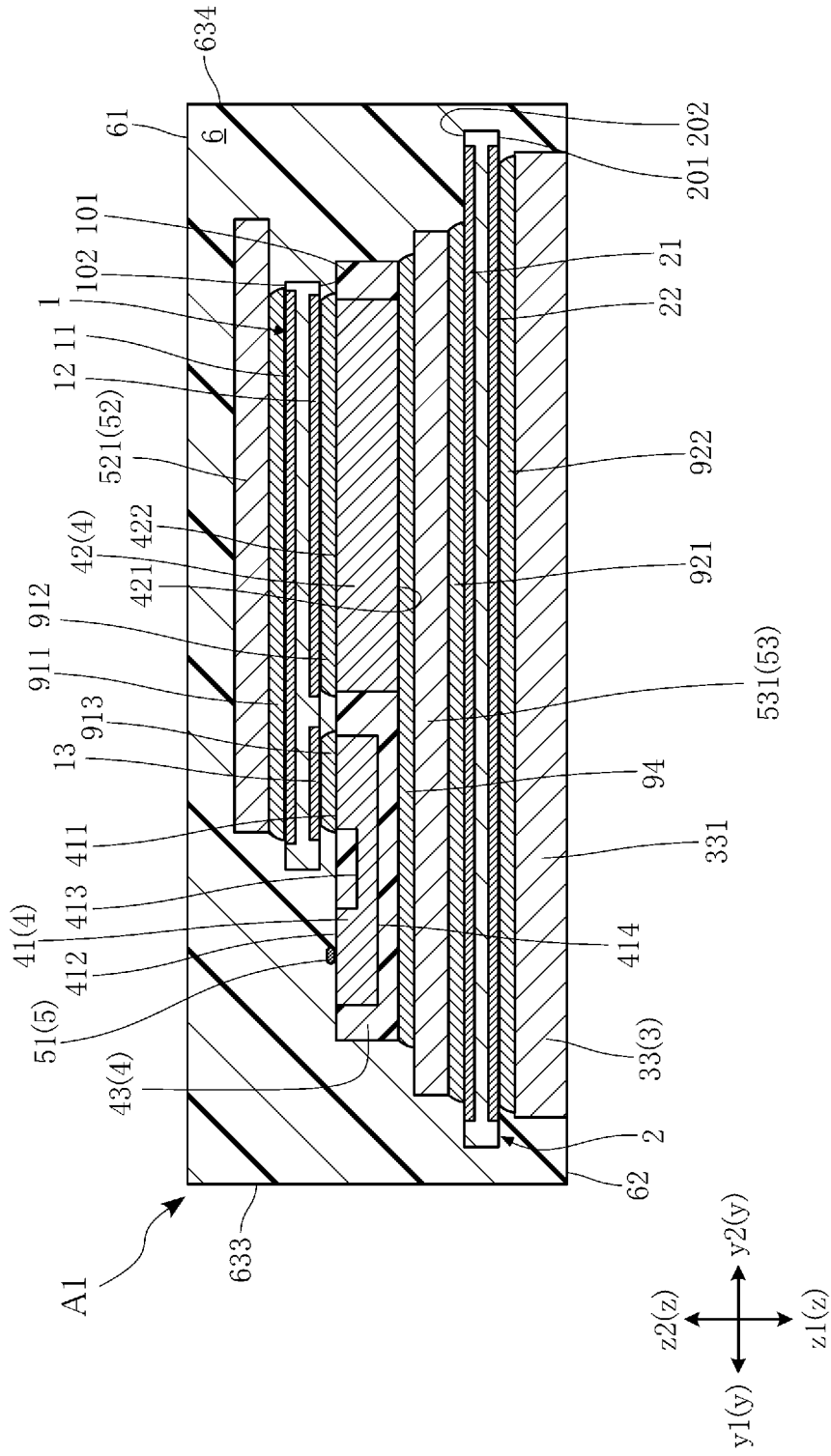
[図12]

FIG.12

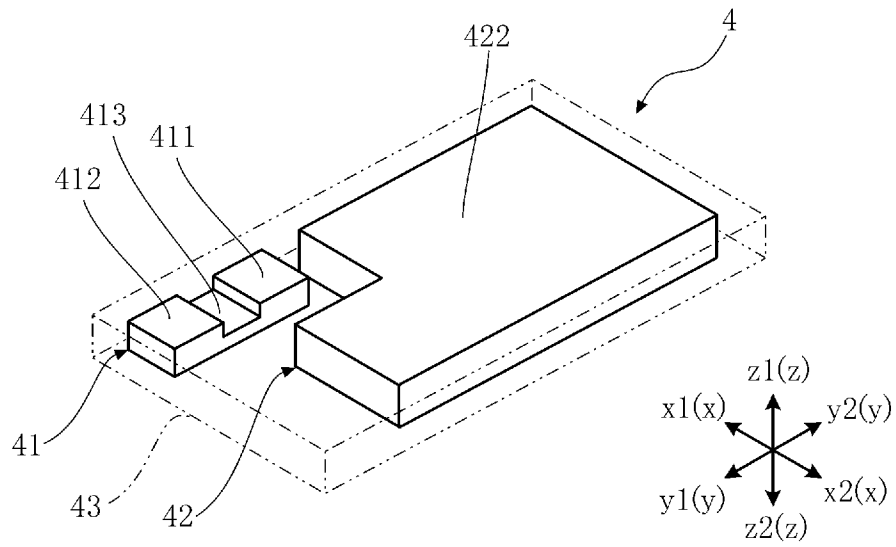


[図13]

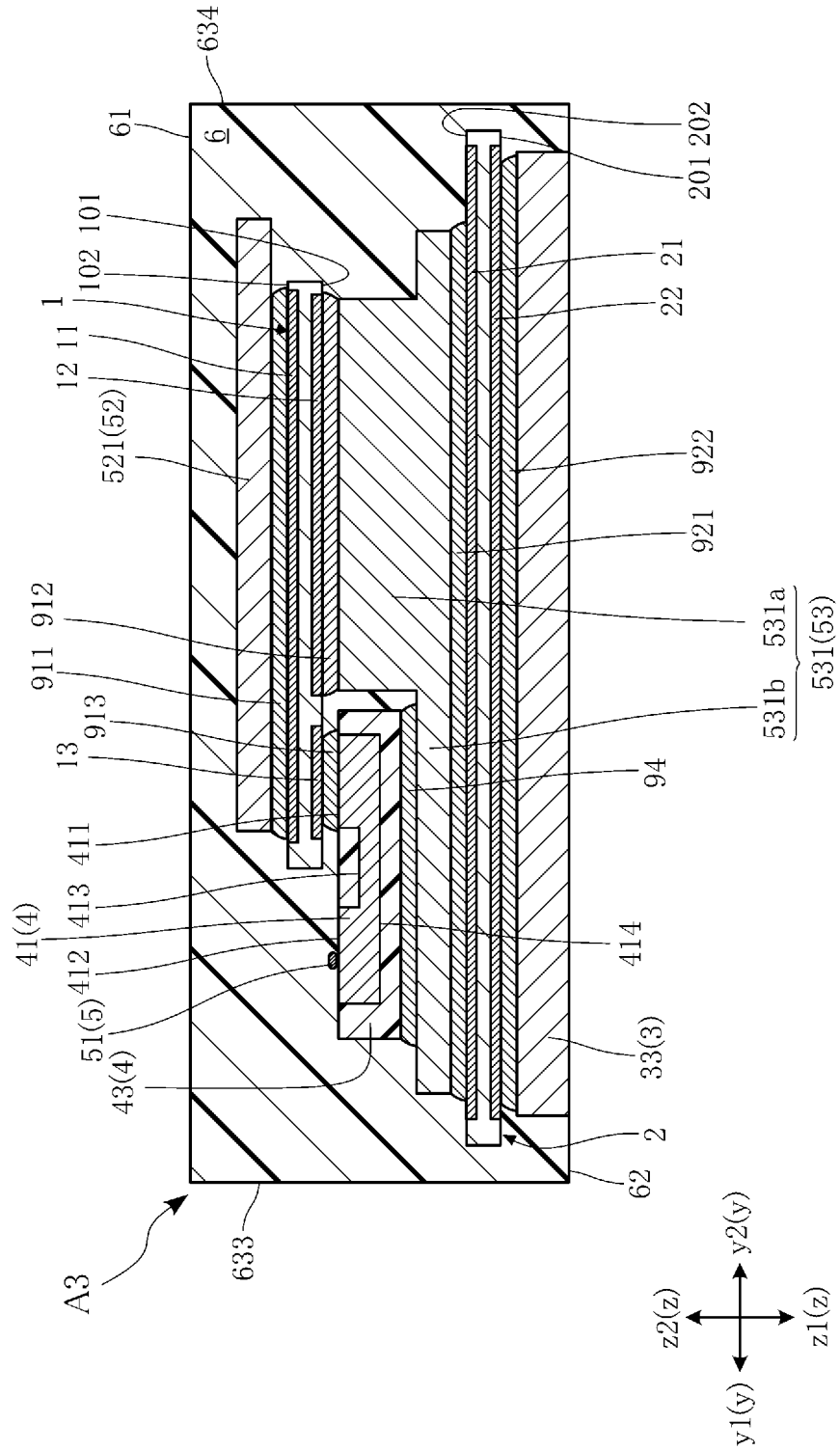
FIG.13



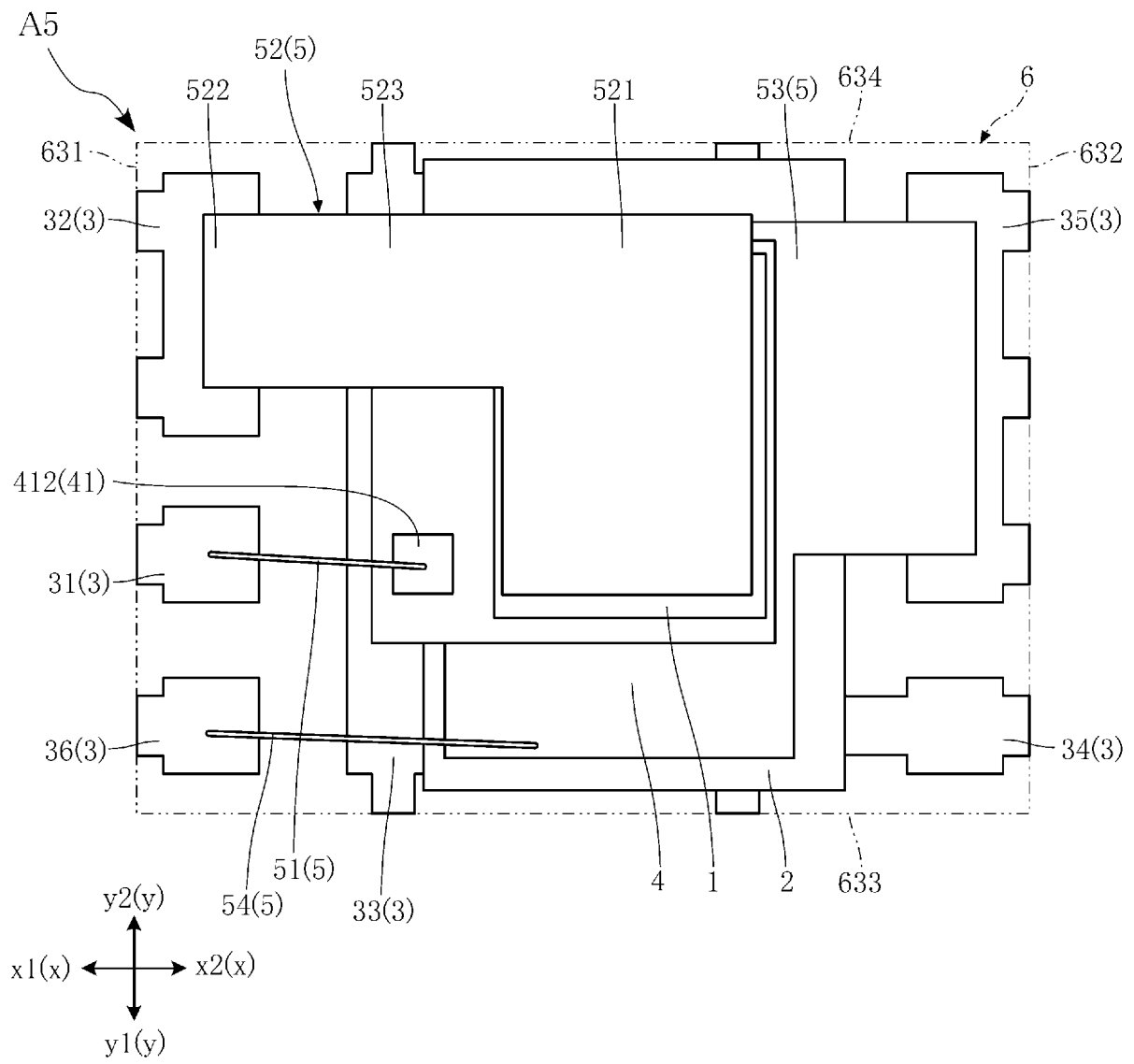
[図14]
FIG.14



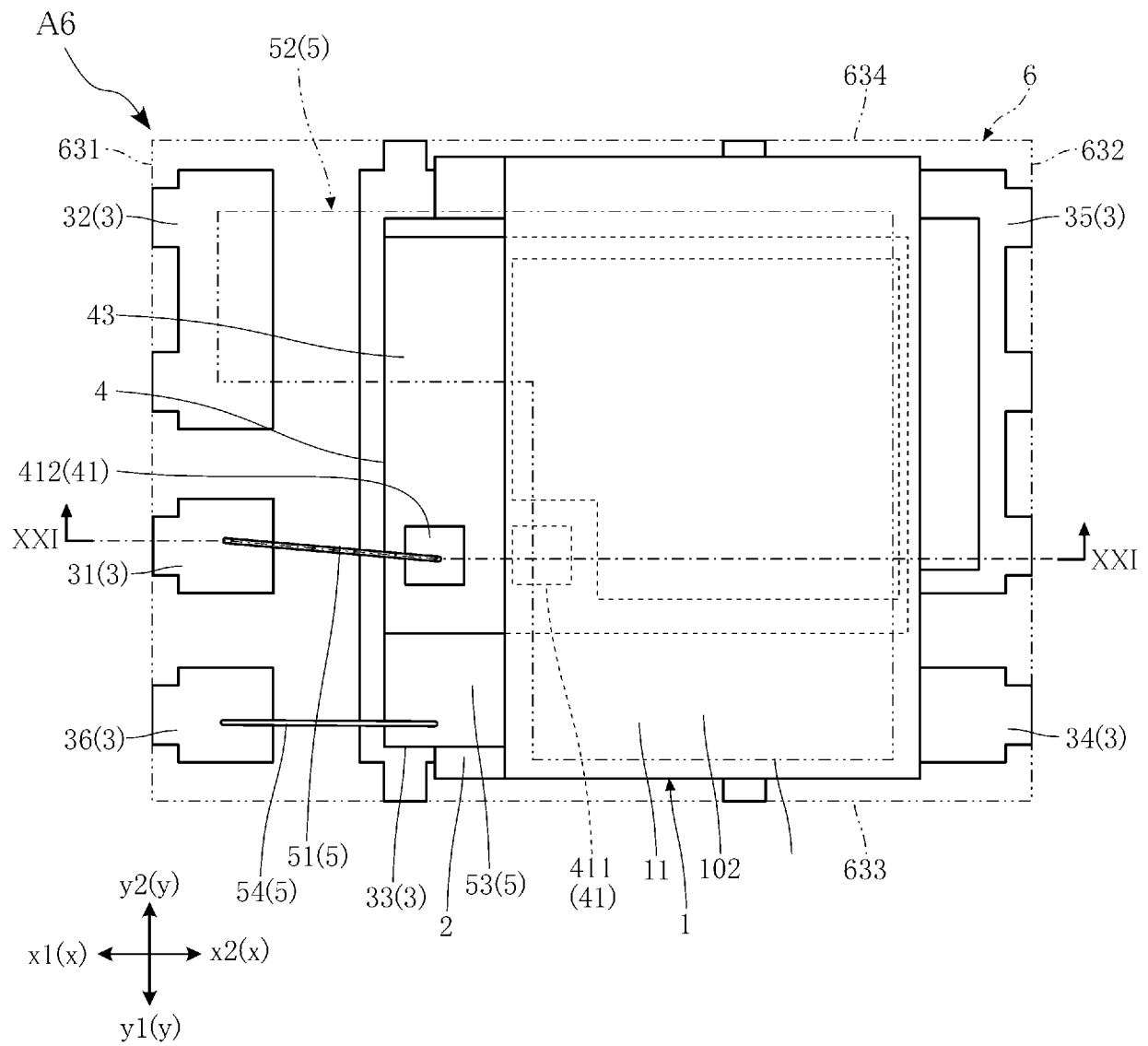
[図16]



[図18]
FIG.18

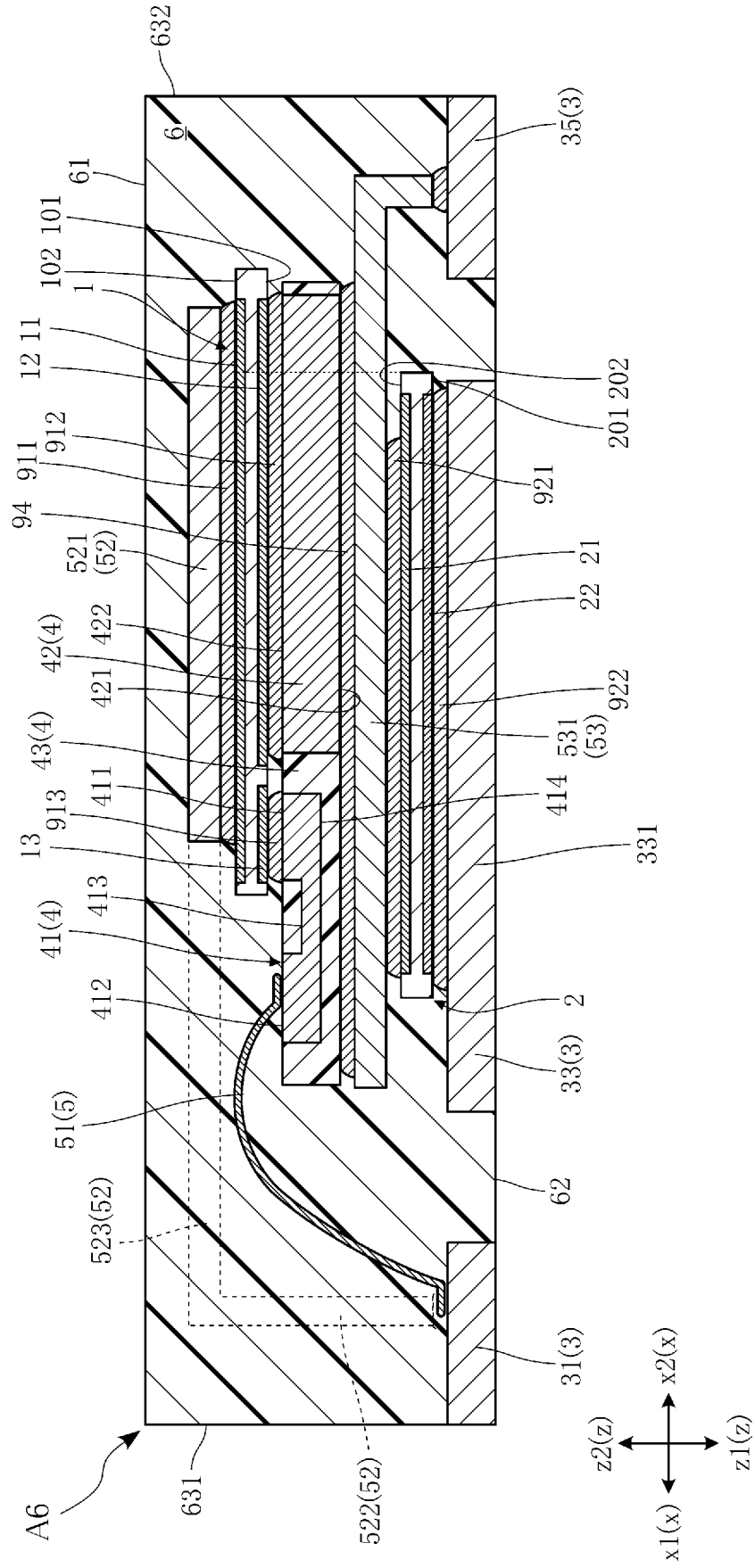


[図20]
FIG.20

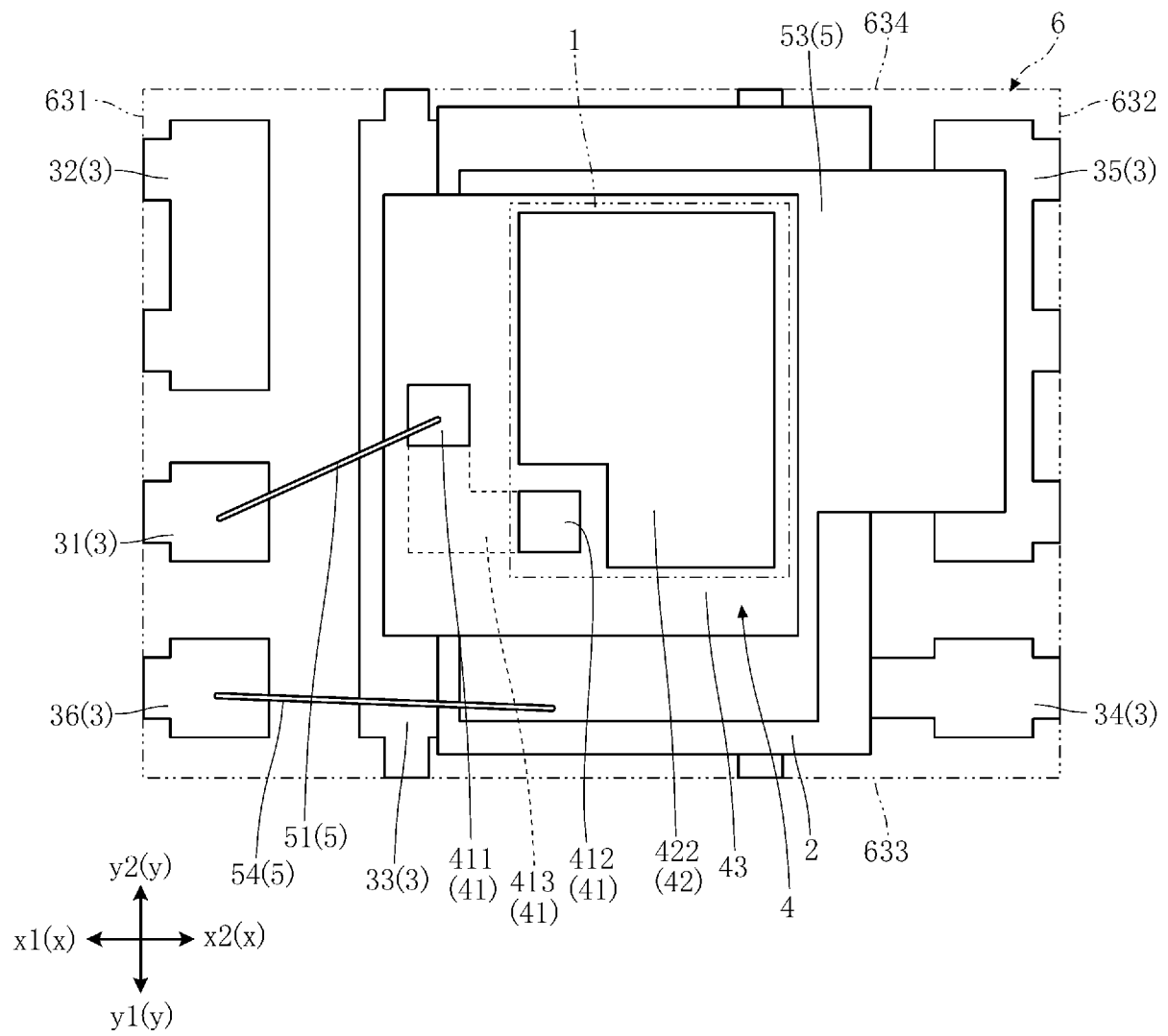


[図21]

FIG.21



[図22]
FIG.22



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/042420

A. CLASSIFICATION OF SUBJECT MATTER**H01L 25/07**(2006.01)i; **H01L 25/18**(2006.01)i; **H01L 23/48**(2006.01)i

FI: H01L25/04 C; H01L23/48 G

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/07; H01L25/18; H01L23/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2013/0214399 A1 (NATIONAL SEMICONDUCTOR CORPORATION) 22 August 2013 (2013-08-22)	1-15, 17
A	paragraphs [0022]-[0082], fig. 1-5	
A	paragraphs [0022]-[0082], fig. 1-5	16
Y	JP 2013-149760 A (FUJI ELECTRIC CO LTD) 01 August 2013 (2013-08-01)	1-15, 17
A	paragraphs [0059]-[0094], fig. 1	
A	paragraphs [0059]-[0094], fig. 1	16
A	JP 2014-107506 A (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL & TECHNOLOGY) 09 June 2014 (2014-06-09)	1-17
A	paragraphs [0020]-[0048], fig. 4-12	
A	WO 2016/024333 A1 (SHINDENGEN ELECTRIC MFG) 18 February 2016 (2016-02-18)	1-17
A	paragraphs [0045]-[0064], fig. 5	
A	JP 2015-228529 A (ROHM CO LTD) 17 December 2015 (2015-12-17)	1-17
A	paragraphs [0032]-[0084], fig. 1-17	

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

02 February 2022

Date of mailing of the international search report

15 February 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/042420

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2009/0212405 A1 (LIU, Yong et al.) 27 August 2009 (2009-08-27) paragraphs [0011]-[0045], fig. 3-21	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/042420

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2013/0214399	A1	22 August 2013	US 2012/0326287 A1 paragraphs [0021]-[0081], fig. 1-5	
				US 2012/0119343 A1	
JP	2013-149760	A	01 August 2013	WO 2013/108522 A1 paragraphs [0059]-[0094], fig. 1	
JP	2014-107506	A	09 June 2014	(Family: none)	
WO	2016/024333	A1	18 February 2016	(Family: none)	
JP	2015-228529	A	17 December 2015	(Family: none)	
US	2009/0212405	A1	27 August 2009	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 25/07(2006.01)i; H01L 25/18(2006.01)i; H01L 23/48(2006.01)i FI: H01L25/04 C; H01L23/48 G		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L25/07; H01L25/18; H01L23/48		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2013/0214399 A1 (NATIONAL SEMICONDUCTOR CORPORATION) 22.08.2013 (2013 - 08 - 22)	1-15, 17
A	段落[0022]-[0082], 図1-5	16
Y	JP 2013-149760 A (富士電機株式会社) 01.08.2013 (2013 - 08 - 01)	1-15, 17
A	段落[0059]-[0094], 図1	16
A	JP 2014-107506 A (独立行政法人産業技術総合研究所) 09.06.2014 (2014 - 06 - 09)	1-17
A	段落[0020]-[0048], 図4-12	
A	WO 2016/024333 A1 (新電元工業株式会社) 18.02.2016 (2016 - 02 - 18)	1-17
A	段落[0045]-[0064], 図5	
A	JP 2015-228529 A (ローム株式会社) 17.12.2015 (2015 - 12 - 17)	1-17
A	段落[0032]-[0084], 図1-17	
A	US 2009/0212405 A1 (LIU Yong et. al) 27.08.2009 (2009 - 08 - 27)	1-17
A	段落[0011]-[0045], 図3-21	
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 02.02.2022		国際調査報告の発送日 15.02.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 平林 雅行 5F 6310 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/042420

引用文献			公表日	パテントファミリー文献	公表日
US	2013/0214399	A1	22.08.2013	US 2012/0326287 A1 段落[0021]-[0081], 図1-5 US 2012/0119343 A1	
JP	2013-149760	A	01.08.2013	WO 2013/108522 A1 段落[0059]-[0094], 図1	
JP	2014-107506	A	09.06.2014	(ファミリーなし)	
WO	2016/024333	A1	18.02.2016	(ファミリーなし)	
JP	2015-228529	A	17.12.2015	(ファミリーなし)	
US	2009/0212405	A1	27.08.2009	(ファミリーなし)	